(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7143085号
(P7143085)

(45)発行日　令和4年9月28日(2022.9.28)

(24)登録日　令和4年9月16日(2022.9.16)

(51)国際特許分類

		FI		
H01L 29/78 (2006.01)		H01L	29/78	652J
H01L 29/06 (2006.01)		H01L	29/78	652P
H01L 29/12 (2006.01)		H01L	29/78	652T
H01L 29/739 (2006.01)		H01L	29/78	653A
H01L 21/336 (2006.01)		H01L	29/78	655A

請求項の数　12　（全12頁）　最終頁に続く

(21)出願番号　特願2018-15163(P2018-15163)
(22)出願日　平成30年1月31日(2018.1.31)
(65)公開番号　特開2019-134069(P2019-134069A)
(43)公開日　令和1年8月8日(2019.8.8)
審査請求日　令和2年6月30日(2020.6.30)
審判番号　不服2021-17122(P2021-17122/J1)
審判請求日　令和3年12月13日(2021.12.13)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　110003199弁理士法人高田・高橋国際特許事務所
(72)発明者　鈴木 健司
東京都千代田区丸の内二丁目７番３号
三菱電機株式会社内
合議体
審判長　河本 充雄
審判官　恩田 春香
審判官　鈴木 聡一郎

最終頁に続く

(54)【発明の名称】　半導体装置、電力変換装置及び半導体装置の製造方法

(57)【特許請求の範囲】

【請求項１】

ｎ型半導体基板と、

前記ｎ型半導体基板の表面に形成されたｐ型ベース層と、

前記ｐ型ベース層の上に形成されたｎ型エミッタ層と、

前記ｐ型ベース層及び前記ｎ型エミッタ層を貫通するトレンチゲートと、

前記ｎ型半導体基板と前記ｐ型ベース層の間に形成され、前記ｎ型半導体基板より濃度が高いｎ型キャリア蓄積層と、

前記ｎ型半導体基板の裏面に形成されたｐ型コレクタ層とを備え、

前記ｎ型キャリア蓄積層は、ピーク濃度の位置から前記ｐ型ベース層に向かう濃度勾配よりも、前記ピーク濃度の位置から前記ｎ型半導体基板の裏面側に向かう濃度勾配の方が大きく、不純物としてプロトンが注入されていることを特徴とする半導体装置。

【請求項２】

前記ｎ型キャリア蓄積層の深さは前記トレンチゲートよりも浅いことを特徴とする請求項１に記載の半導体装置。

【請求項３】

前記ｎ型半導体基板は、前記ｐ型ベース層、前記ｎ型エミッタ層、前記トレンチゲートが形成されたＭＯＳ領域と、耐圧を保持するために前記ＭＯＳ領域の外周に配置された外周領域とを有し、

前記ｎ型キャリア蓄積層は前記ＭＯＳ領域に形成され、前記外周領域には形成されてい

ないことを特徴とする請求項１又は２に記載の半導体装置。
【請求項４】
前記ｎ型半導体基板はワイドバンドギャップ半導体によって形成されていることを特徴とする請求項１～３の何れか１項に記載の半導体装置。
【請求項５】
請求項１～４の何れか１項に記載の半導体装置を有し、入力される電力を変換して出力する主変換回路と、
前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路とを備えることを特徴とする電力変換装置。
【請求項６】
ｎ型半導体基板の表面にｐ型ベース層を形成する工程と、
前記ｐ型ベース層の上にｎ型エミッタ層を形成する工程と、
前記ｐ型ベース層及び前記ｎ型エミッタ層を貫通するトレンチゲートを形成する工程と、
プロトンを注入することにより、前記ｎ型半導体基板と前記ｐ型ベース層の間に、前記ｎ型半導体基板より濃度が高いｎ型キャリア蓄積層を形成する工程と、
前記ｎ型半導体基板の裏面にｐ型コレクタ層を形成する工程とを備え、
前記ｎ型キャリア蓄積層は、ピーク濃度の位置から前記ｐ型ベース層に向かう濃度勾配よりも、前記ピーク濃度の位置から前記ｎ型半導体基板に向かう濃度勾配の方が大きいことを特徴とする半導体装置の製造方法。
【請求項７】
前記ｎ型キャリア蓄積層の深さを前記トレンチゲートよりも浅くすることを特徴とする請求項６に記載の半導体装置の製造方法。
【請求項８】
前記ｎ型半導体基板は、前記ｐ型ベース層、前記ｎ型エミッタ層、前記トレンチゲートが形成されたＭＯＳ領域と、耐圧を保持するために前記ＭＯＳ領域の外周に配置された外周領域とを有し、
前記ｎ型キャリア蓄積層を前記ＭＯＳ領域に形成し、前記外周領域には形成しないことを特徴とする請求項６又は７に記載の半導体装置の製造方法。
【請求項９】
前記外周領域において前記ｎ型半導体基板の前記表面にポリイミドを形成し、前記ポリイミドをマスクにして前記ＭＯＳ領域に前記プロトンを注入することを特徴とする請求項８に記載の半導体装置の製造方法。
【請求項１０】
前記プロトンを６００～１１００ｋｅＶで注入し、
前記ポリイミドの膜厚は３ｕｍ以上であることを特徴とする請求項９に記載の半導体装置の製造方法。
【請求項１１】
前記プロトンのドナー化を３５０～４５０℃の熱処理で実施することを特徴とする請求項６～１０の何れか１項に記載の半導体装置の製造方法。
【請求項１２】
前記ｐ型ベース層及び前記トレンチゲートの形成後に前記ｎ型キャリア蓄積層を形成することを特徴とする請求項６～１１の何れか１項に記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置、電力変換装置及び半導体装置の製造方法に関する。
【背景技術】
【０００２】
汎用インバータ・ＡＣサーボ等の分野で三相モータの可変速制御を行なうパワーモジュール等として、省エネの観点から絶縁ゲート型バイポーラトランジスタ（Insulated Gate

Bipolar Transistor, IGBT）が使用されている。ＩＧＢＴではスイッチング損失・オン電圧とＳＯＡ（Safe Operating Area）との間にトレードオフの関係があるが、スイッチング損失・オン電圧が低く、ＳＯＡの広いデバイスが求められている。

【０００３】

オン電圧の大半は耐圧保持に必要な厚いｎ－型半導体基板の抵抗に影響される。その抵抗を低減させるには、裏面からのホールをｎ－型半導体基板に蓄積させて伝導度変調を活発にし、ｎ－型半導体基板の抵抗を低減させることが有効である。ＩＧＢＴのオン電圧を低減させたデバイスとして、ＣＳＴＢＴ（Carrier Stored Trench Gate Bipolar Transistor）又はＩＥＧＴ（Injection Enhanced Gate Transistor）などがある。

【０００４】

ＣＳＴＢＴではｐ型ベース層の直下にキャリア蓄積（Career Stored）層と呼ばれるｎ型層を入れることで、キャリア蓄積層とｎ－型半導体基板の間に電位障壁を形成する。これにより、裏面からのホールが蓄積されやすくなり、ｎ－型半導体基板の抵抗を低減することができる。

【０００５】

ｐ型ベース層の濃度は閾値電圧を決める。しかし、キャリア蓄積層の影響でｐ型ベース層の濃度がばらつき易くなるため、閾値電圧がバラつき易くなる。閾値電圧のバラつきを小さくするには、ｐ型ベース層の近くでキャリア蓄積層の濃度を低くすればよい（例えば、特許文献１の図２（ｄ）参照）。

【先行技術文献】

【特許文献】

【０００６】

【文献】特開２００４－２２９４１号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

しかし、そのような濃度分布を持つキャリア蓄積層を通常のリン注入と熱拡散により形成しようとしても、不純物注入の制御が難しいという問題があった。

【０００８】

本発明は、上述のような課題を解決するためになされたもので、その目的はオン電圧を下げながら、閾値電圧のバラつきを小さくでき、製造が簡単な半導体装置、電力変換装置及び半導体装置の製造方法を得るものである。

【課題を解決するための手段】

【０００９】

本発明に係る半導体装置は、ｎ型半導体基板と、前記ｎ型半導体基板の表面に形成されたｐ型ベース層と、前記ｐ型ベース層の上に形成されたｎ型エミッタ層と、前記ｐ型ベース層及び前記ｎ型エミッタ層を貫通するトレンチゲートと、前記ｎ型半導体基板と前記ｐ型ベース層の間に形成され、前記ｎ型半導体基板より濃度が高いｎ型キャリア蓄積層と、前記ｎ型半導体基板の裏面に形成されたｐ型コレクタ層とを備え、前記ｎ型キャリア蓄積層は、ピーク濃度の位置から前記ｐ型ベース層に向かう濃度勾配よりも、前記ピーク濃度の位置から前記ｎ型半導体基板の裏面側に向かう濃度勾配の方が大きく、不純物としてプロトンが注入されていることを特徴とする。

【発明の効果】

【００１０】

本発明では、ｎ型キャリア蓄積層は、ピーク濃度の位置からｐ型ベース層に向かう濃度勾配よりも、ピーク濃度の位置からｎ－型半導体基板に向かう濃度勾配の方が大きい。従って、キャリア蓄積層の濃度がｐ型ベース層の近くで十分に低く、ｐ型ベース層の濃度を大きく打ち消さないため、閾値電圧のバラつきを小さくすることができる。また、キャリア蓄積層の濃度がｎ型半導体基板の近くで高くなるため、オン電圧を下げることができる。このような濃度分布を持つキャリア蓄積層は不純物としてプロトンを注入することによ

り容易に形成することができる。
【図面の簡単な説明】
【００１１】
【図１】実施の形態１に係る半導体装置を示す断面図である。
【図２】図１のＩ－ＩＩに沿ったキャリア濃度プロファイルを示す図である。
【図３】実施の形態に係る半導体装置の製造方法のフローチャートである。
【図４】実施の形態１に係る半導体装置の製造方法を示す断面図である。
【図５】実施の形態１に係る半導体装置の製造方法を示す断面図である。
【図６】実施の形態１に係る半導体装置の製造方法を示す断面図である。
【図７】実施の形態１に係る半導体装置の製造方法を示す断面図である。
【図８】実施の形態１に係る半導体装置の製造方法を示す断面図である。
【図９】実施の形態１に係る半導体装置の製造方法を示す断面図である。
【図１０】実施の形態１に係る半導体装置の製造方法を示す断面図である。
【図１１】実施の形態１に係る半導体装置の製造方法を示す断面図である。
【図１２】プロトンの加速電圧とＳｉ，Ａｌ，ポリイミド中での飛程の関係をシミュレーションした結果を示す図である。
【図１３】比較例に係る半導体装置のキャリア濃度プロファイルを示す図である。
【図１４】実施の形態と比較例のキャリア蓄積層のピーク濃度とＶｃｅ（ｓａｔ）の関係を示す図である。
【図１５】実施の形態と比較例のキャリア蓄積層のピーク濃度と閾値電圧Ｖｔｈの関係を示す図である。
【図１６】実施の形態２に係る電力変換装置を適用した電力変換システムの構成を示すブロック図である。
【発明を実施するための形態】
【００１２】
実施の形態に係る半導体装置、電力変換装置及び半導体装置の製造方法について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。
【００１３】
実施の形態１．
図１は、実施の形態１に係る半導体装置を示す断面図である。この半導体装置はＣＳＴＢＴである。ｎ$^{-}$型半導体基板１は、トランジスタ構造が形成されるＭＯＳ領域と、耐圧を保持するためにＭＯＳ領域の外周に配置された外周領域と、両者の間に配置された配線領域とを有する。
【００１４】
外周領域及び配線領域においてｎ$^{-}$型半導体基板１の表面に耐圧を保持するためにｐ型ウェル層２が形成されている。ＭＯＳ領域においてｎ$^{-}$型半導体基板１の表面にｐ型ベース層３が形成されている。ｐ型ウェル層２はｐ型ベース層３よりも深い。外周領域及び配線領域において基板上に厚い酸化膜４が形成されている。
【００１５】
ｐ型ベース層３の上にｎ$^{+}$型エミッタ層５及びｐ$^{+}$型コンタクト層６が形成されている。トレンチゲート７がｐ型ベース層３及びｎ$^{+}$型エミッタ層５を貫通している。トレンチゲート７はトレンチ内にゲート絶縁膜を介してポリシリコン等のゲート電極を埋め込んだものである。トレンチゲート７が深いほどコレクタ・エミッタ飽和電圧Ｖｃｅ（ｓａｔ）は低減するが、深すぎると製造上の難易度が増し、歩留り低下を招く。そこで、トレンチゲート７の深さは４～７ｕｍ程度にする。トレンチゲート７に接続されたポリシリコン等のゲート配線８が配線領域において酸化膜４の上に形成されている。トレンチゲート７の上に層間絶縁膜９が形成されている。
【００１６】
エミッタ電極１０がｎ$^{+}$型エミッタ層５及びｐ$^{+}$型コンタクト層６に接続されている。

ゲート配線１１がゲート配線８の上に形成されている。外周領域において酸化膜４の開口を介して電極１２がｐ型ウェル層２に接続されている。エミッタ電極１０、ゲート配線１１及び電極１２はＡｌからなり、厚みはワイヤボンディングでデバイスがダメージを受けない程度であり、具体的には３～６ｕｍである。外周領域及び配線領域においてｎ型半導体基板１の表面に表面保護膜としてポリイミド１３が形成されている。ポリイミド１３はＭＯＳ領域には形成されていない。

【００１７】

ｎ$^-$型半導体基板１より濃度が高いｎ型キャリア蓄積層１４がｎ$^-$型半導体基板１とｐ型ベース層３の間に形成されている。ｎ型キャリア蓄積層１４にはプロトンが注入されている。ｎ型キャリア蓄積層１４はＭＯＳ領域に形成され、外周領域及び配線領域には形成されていない。ｎ$^+$型バッファ層１５及びｐ型コレクタ層１６がｎ$^-$型半導体基板１の裏面に形成されている。ｐ型コレクタ層１６にコレクタ電極１７が接続されている。

【００１８】

図２は、図１のＩ－ＩＩに沿ったキャリア濃度プロファイルを示す図である。ｎ$^+$型エミッタ層５、ｐ型ベース層３、ｎ型キャリア蓄積層１４の順に濃度が高くなっている。ｎ型キャリア蓄積層１４は、ピーク濃度の位置からｐ型ベース層３に向かう濃度勾配よりも、ピーク濃度の位置からｎ$^-$型半導体基板１の裏面側に向かう濃度勾配の方が大きい。

【００１９】

続いて、本実施の形態に係る半導体装置の製造方法を説明する。図３は、実施の形態に係る半導体装置の製造方法のフローチャートである。図４から図１１は、実施の形態１に係る半導体装置の製造方法を示す断面図である。

【００２０】

まず、図４に示すように、写真製版技術及び１１００℃等の高温で長時間の熱処理により、外周領域及び配線領域にｐ型ウェル層２を選択的に形成する（ステップＳ１）。

【００２１】

次に、図５に示すように、基板全面に酸化膜４を形成し、ＭＯＳ領域において酸化膜４を除去してｎ$^-$型半導体基板１の表面にｐ型ベース層３を形成する。次に、図６に示すように、ｐ型ベース層３の上にｎ$^+$型エミッタ層５を形成する。次に、図７に示すように、ｐ型ベース層３及びｎ$^+$型エミッタ層５を貫通するトレンチゲート７を形成する（ステップＳ２）。

【００２２】

次に、図８に示すように、基板全面に層間絶縁膜９を形成し、写真製版技術を用いて酸化膜４及び層間絶縁膜９を選択的に除去してコンタクト領域を形成する（ステップＳ３）。次に、図９に示すように、エミッタ電極１０を形成する（ステップＳ４）。次に、図１０に示すように、外周領域及び配線領域に表面保護膜としてポリイミド１３を形成する（ステップＳ５）。次に、図１１に示すように、ポリイミド１３をマスクにしてＭＯＳ領域のみにおいて基板表面にプロトンを選択的に注入する。図中の×印はプロトンの停止位置を示す。次に、３５０～４００℃程度の熱処理を行うことでｎ型キャリア蓄積層１４を形成する。これらの表面工程の後に裏面工程としてｐ型コレクタ層１６及びコレクタ電極１７を形成する（ステップＳ６）。

【００２３】

ここで、ｎ型キャリア蓄積層１４を作った後に、ｎ$^+$型エミッタ層５の活性化又はゲート酸化膜の形成などで熱処理を行うと、各拡散層の深さの変動又はゲート酸化膜へのボロン又はリンの吸い出しと偏析が発生し、閾値電圧がばらつく。そこで、本実施の形態では、ｐ型ベース層３及びトレンチゲート７の形成後にｎ型キャリア蓄積層１４を形成する。これにより、閾値電圧のバラつきを抑えることができる。

【００２４】

また、エミッタ電極１０及びポリイミド１３などの表面構造形成前にｎ型キャリア蓄積層１４を作るならば、写真製版を用いて選択的にＭＯＳ領域にプロトンを注入する必要がある。エミッタ電極１０及びポリイミド１３などの表面構造形成後には、エミッタ電極１

０及びポリイミド１３の厚みを適正化することで写真製版なしでＭＯＳ領域のみにプロトンを注入することができる。

【００２５】

外周領域にプロトンが注入されるとプロトンのドナー化によって、ｐ型ウェル層２が打ち消されて耐圧が低下する可能性がある。これに対して、写真製版技術を用いて選択的にＭＯＳ領域にだけプロトンを注入してｎ型キャリア蓄積層１４を形成することもできるが、製造コストが上昇してしまう。そこで、表面保護のために外周領域に形成されたポリイミド１３をマスクにしてＭＯＳ領域のみにプロトンを選択的に注入する。これにより、外周領域にプロトンが入るのを防止し、耐圧の低下を防ぐことができる。

【００２６】

図１２は、プロトンの加速電圧とＳｉ，Ａｌ，ポリイミド中での飛程の関係をシミュレーションした結果を示す図である。ソフトウェアSRIM-2008のStopping/Range Tablesを用いてシミュレーションを行った。この結果から、プロトンをトレンチゲート７より少し浅めの深さ３～６ｕｍ程度に注入する場合、加速電圧６００～１１００ｋｅＶでプロトンを注入すればよいことが分かる。この場合に外周領域にプロトンが入らないようにするには、ポリイミド１３の膜厚は３～７ｕｍ必要である。

【００２７】

プロトンのドナー化を３５０～４５０℃の熱処理で実施する。この程度の熱処理では、他の拡散層に注入したボロン、リン又はヒ素などの不純物の拡散が起こらないのでＶｔｈバラつきが起こりにくい。

【００２８】

続いて、本実施の形態の効果を比較例と比較して説明する。図１３は、比較例に係る半導体装置のキャリア濃度プロファイルを示す図である。比較例では、ｎ型キャリア蓄積層１４のキャリア濃度がｐ型ベース層３の近くで高くなっている。

【００２９】

図１４は、実施の形態と比較例のキャリア蓄積層のピーク濃度とＶｃｅ（ｓａｔ）の関係を示す図である。本実施の形態でも比較例でもピーク濃度が高くなるほど、キャリア蓄積効果が高くなるのでＶｃｅ（ｓａｔ）が下がる。Ｖｃｅ（ｓａｔ）はＩＧＢＴのオン電圧である。

【００３０】

図１５は、実施の形態と比較例のキャリア蓄積層のピーク濃度と閾値電圧Ｖｔｈの関係を示す図である。比較例ではｎ型キャリア蓄積層１４の濃度が上がると、実効的なｐ型ベース層３の濃度が下がるので閾値電圧が低下する。逆にｎ型キャリア蓄積層１４の濃度が下がると、閾値電圧は上昇する。従って、比較例では、ｎ型キャリア蓄積層１４の濃度バラつきに対して閾値電圧がバラつくため、ＩＧＢＴの飽和電流と短絡耐量がバラつき、製品の品質が低下する。ｎ型キャリア蓄積層１４の不純物を深く注入するとｐ型ベース層３と干渉しなくなるが、トレンチゲートよりも深くなると耐圧が低下してしまう。一方、本実施の形態では、ｎ型キャリア蓄積層１４の濃度バラつきに対して閾値電圧Ｖｔｈの感度は鈍くなっている。

【００３１】

以上説明したように、本実施の形態では、ｎ型キャリア蓄積層１４は、ピーク濃度の位置からｐ型ベース層３に向かう濃度勾配よりも、ピーク濃度の位置からｎ$^-$型半導体基板１に向かう濃度勾配の方が大きい。従って、ｎ型キャリア蓄積層１４の濃度がｐ型ベース層３の近くで十分に低く、ｐ型ベース層３の濃度を大きく打ち消さないため、閾値電圧のバラつきを小さくすることができる。これにより、製造上、注入量がばらついても、オン電圧がばらつかなくなる。また、ｎ型キャリア蓄積層１４の濃度がｎ$^-$型半導体基板１の近くで高くなるため、オン電圧を下げることができる。

【００３２】

このような濃度分布を持つｎ型キャリア蓄積層１４は不純物としてプロトンを注入することにより容易に形成することができる。プロトンを注入した後に熱処理を行うことによ

り、プロトン通過領域でＳｉ結晶欠陥が酸素原子と結合を作り、ドナー化が発生し、ブロードなプロファイルが形成される。一方、ピーク濃度の位置よりｎ⁻型半導体基板１側では結晶欠陥が形成されていないため、プロトンが拡散してもドナー化は促進されない。また、軽い元素であるプロトンは飛程が大きいため、一般的なイオン注入装置を用いて低エネルギーで基板の深くまで注入することができる。この結果、上記の濃度勾配のｎ型キャリア蓄積層１４を容易に形成することができる。

【００３３】

また、ｎ型キャリア蓄積層１４はトレンチゲート７より深いと空乏化し難くなり、その付近の電界が高くなるため、耐圧が低下する。これに対して、本実施の形態ではｎ型キャリア蓄積層１４の濃度はｎ⁻型半導体基板１に向かって急峻に減衰し、ｎ型キャリア蓄積層１４の深さはトレンチゲート７よりも浅くなっている。これにより、耐圧の低下を防止することができる。

【００３４】

なお、ｎ⁻型半導体基板１は、珪素によって形成されたものに限らず、珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体によって形成されたものでもよい。ワイドバンドギャップ半導体は、例えば、炭化珪素、窒化ガリウム系材料、又はダイヤモンドである。このようなワイドバンドギャップ半導体によって形成された半導体装置は、耐電圧性や許容電流密度が高いため、小型化できる。この小型化された半導体装置を用いることで、この半導体装置を組み込んだ半導体モジュールも小型化・高集積化できる。また、半導体装置の耐熱性が高いため、ヒートシンクの放熱フィンを小型化でき、水冷部を空冷化できるので、半導体モジュールを更に小型化できる。また、半導体装置の電力損失が低く高効率であるため、半導体モジュールを高効率化できる。

【００３５】

実施の形態２．

本実施の形態は、上述した実施の形態１にかかる半導体装置を電力変換装置に適用したものである。電力変換装置は、例えば、インバータ装置、コンバータ装置、サーボアンプ、電源ユニットなどである。本発明は特定の電力変換装置に限定されるものではないが、以下、三相のインバータに本発明を適用した場合について説明する。

【００３６】

図１６は、実施の形態２に係る電力変換装置を適用した電力変換システムの構成を示すブロック図である。この電力変換システムは、電源１００、電力変換装置２００、負荷３００を備える。電源１００は、直流電源であり、電力変換装置２００に直流電力を供給する。電源１００は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができ、交流系統に接続された整流回路又はＡＣ／ＤＣコンバータで構成してもよい。また、電源１００を、直流系統から出力される直流電力を所定の電力に変換するＤＣ／ＤＣコンバータによって構成してもよい。

【００３７】

電力変換装置２００は、電源１００と負荷３００の間に接続された三相のインバータであり、電源１００から供給された直流電力を交流電力に変換し、負荷３００に交流電力を供給する。電力変換装置２００は、直流電力を交流電力に変換して出力する主変換回路２０１と、主変換回路２０１を制御する制御信号を主変換回路２０１に出力する制御回路２０３とを備えている。

【００３８】

負荷３００は、電力変換装置２００から供給された交流電力によって駆動される三相の電動機である。なお、負荷３００は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車や電気自動車、鉄道車両、エレベータ、もしくは、空調機器向けの電動機として用いられる。

【００３９】

以下、電力変換装置２００を詳細に説明する。主変換回路２０１は、スイッチング素子と還流ダイオードを備えており（図示せず）、スイッチング素子がスイッチングすること

によって、電源１００から供給される直流電力を交流電力に変換し、負荷３００に供給する。主変換回路２０１の具体的な回路構成は種々のものがあるが、本実施の形態にかかる主変換回路２０１は２レベルの三相フルブリッジ回路であり、６つのスイッチング素子とそれぞれのスイッチング素子に逆並列された６つの還流ダイオードから構成することができる。主変換回路２０１の各スイッチング素子と各還流ダイオードは、上述した実施の形態１～４のいずれかに相当する半導体装置２０２によって構成する。６つのスイッチング素子は２つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（Ｕ相、Ｖ相、Ｗ相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路２０１の３つの出力端子は、負荷３００に接続される。

【００４０】

また、主変換回路２０１は、各スイッチング素子を駆動する駆動回路（図示なし）を備えているが、駆動回路は半導体装置２０２に内蔵されていてもよいし、半導体装置２０２とは別に駆動回路を備える構成であってもよい。駆動回路は、主変換回路２０１のスイッチング素子を駆動する駆動信号を生成し、主変換回路２０１のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路２０３からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

【００４１】

制御回路２０３は、負荷３００に所望の電力が供給されるよう主変換回路２０１のスイッチング素子を制御する。具体的には、負荷３００に供給すべき電力に基づいて主変換回路２０１の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調するＰＷＭ制御によって主変換回路２０１を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、主変換回路２０１が備える駆動回路に制御指令（制御信号）を出力する。駆動回路は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

【００４２】

本実施の形態に係る電力変換装置では、半導体装置２０２として実施の形態１に係る半導体装置を適用するため、オン電圧を下げながら、閾値電圧のバラつきを小さくでき、製造が簡単である。

【００４３】

本実施の形態では、２レベルの三相インバータに本発明を適用する例を説明したが、本発明は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、２レベルの電力変換装置としたが３レベル又はマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに本発明を適用しても構わない。また、直流負荷等に電力を供給する場合にはＤＣ／ＤＣコンバータ又はＡＣ／ＤＣコンバータに本発明を適用することも可能である。

【００４４】

また、本発明を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機、レーザー加工機、又は誘導加熱調理器もしくは非接触器給電システムの電源装置として用いることもでき、さらには太陽光発電システム又は蓄電システム等のパワーコンディショナーとして用いることも可能である。

【符号の説明】

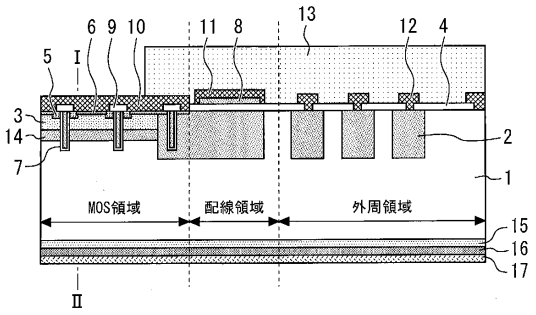
【００４５】

１　ｎ$^{-}$型半導体基板、３　ｐ型ベース層、５　ｎ$^{+}$型エミッタ層、７　トレンチゲート、１６　ｐ型コレクタ層、１４　ｎ型キャリア蓄積層、２００　電力変換装置、２０１　主変

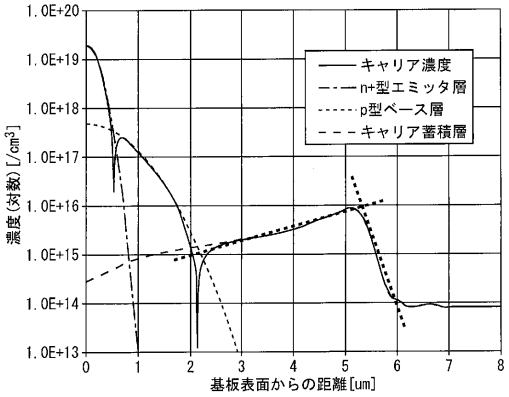
換回路、２０２　半導体装置、２０３　制御回路

【図面】

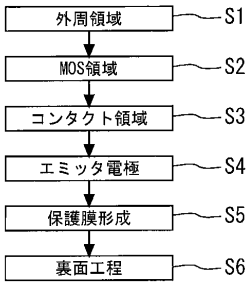
【図１】



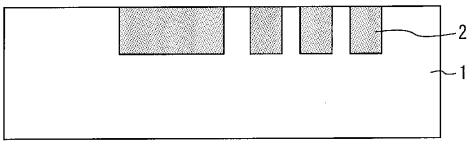
【図２】



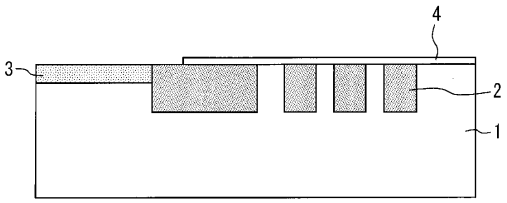
【図３】



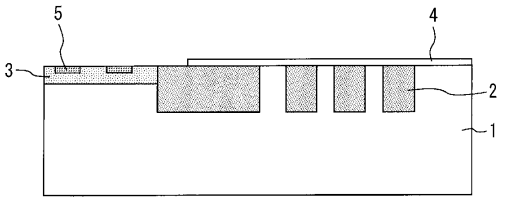
【図４】



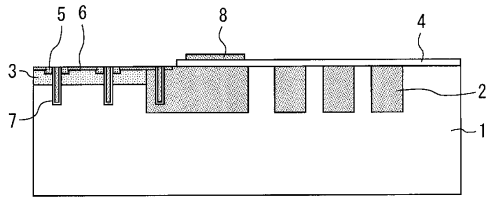
【図５】



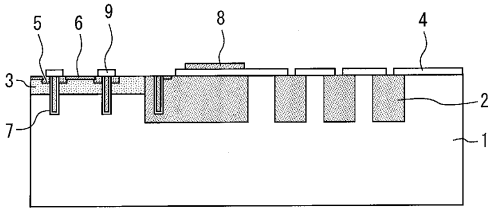
【図６】



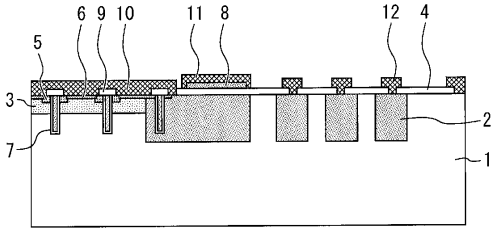
【図７】



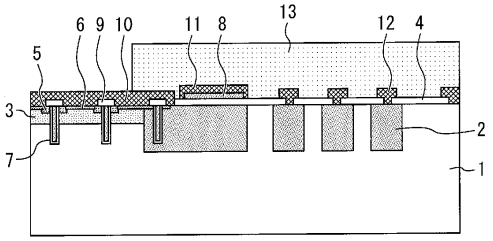
【図８】



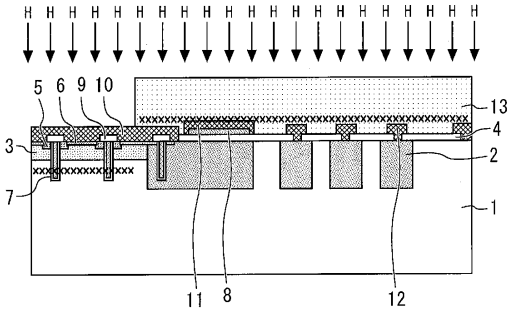
【図９】



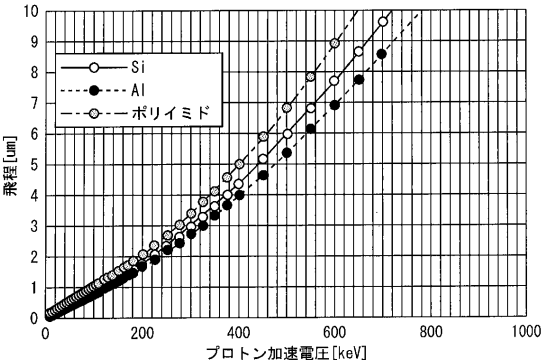
【図１０】



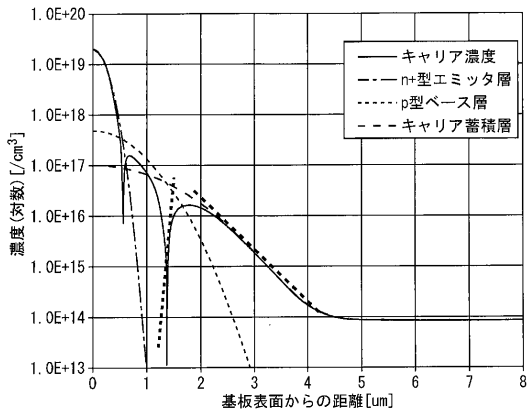
【図１１】



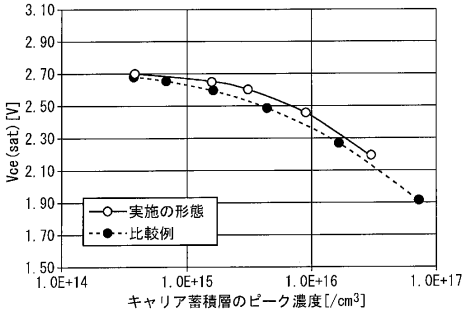
【図１２】



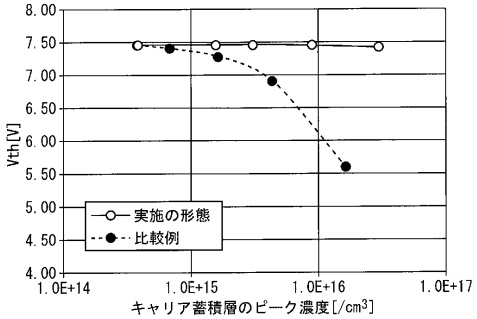
【図１３】



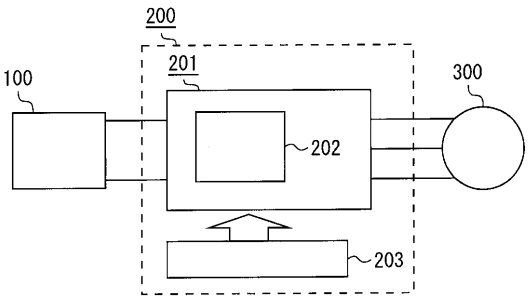
【図１４】



【図１５】



【図１６】



フロントページの続き

(51)国際特許分類
H01L 21/265 (2006.01)
H01L 21/266 (2006.01)

FI
H01L 29/78 658A
H01L 21/265 F
H01L 21/265 M
H01L 21/265 602A
H01L 29/06 301F
H01L 29/06 301G
H01L 29/06 301V

(56)参考文献 特開２００７－３１１６２７（ＪＰ，Ａ）
国際公開第２０１４／１９９４６５（WO，Ａ１）
国際公開第２０１７／１８７６７０（WO，Ａ１）
特開２０１４－７２５４（ＪＰ，Ａ）
特開２０１７－１３５３３９（ＪＰ，Ａ）
特開２００８－９１８５３（ＪＰ，Ａ）
特開２０１４－１６５３０６（ＪＰ，Ａ）

(58)調査した分野 (Int.Cl.，ＤＢ名)
H01L29/78
H01L29/06
H01L29/739
H01L21/336