(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 9 月 2 日(02.09.2010)

PCT

(10) 国際公開番号
WO 2010/097915 A1

(51) 国際特許分類:
H05B 33/12 (2006.01)

(21) 国際出願番号: PCT/JP2009/053431

(22) 国際出願日: 2009 年 2 月 25 日(25.02.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): パイオニア株式会社(**Pioneer Corporation**) [JP/JP]; 〒1538654 東京都目黒区目黒１丁目４番１号 Tokyo (JP). 東北パイオニア株式会社(**Tohoku Pioneer Corporation**) [JP/JP]; 〒9948585 山形県天童市大字久野本字日光１１０５番地 Yamagata (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 早藤 晶紀 (**HAYAFUJI, Akinori**) [JP/JP]; 〒9921128 山形県米沢市八幡原４丁目３１４６番地７ 東北パイオニア株式会社 米沢工場内 Yamagata (JP).

(74) 代理人: 木下 茂(**KINOSHITA, Shigeru**); 〒2100007 神奈川県川崎市川崎区駅前本町１１番地１号 パシフィックマークス川崎１１階 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

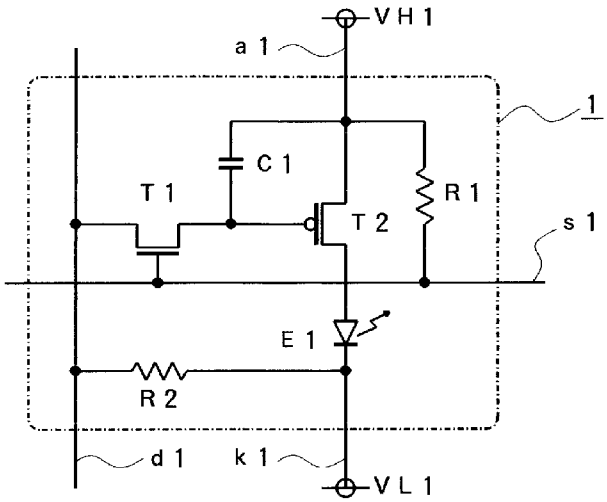
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: ORGANIC EL DISPLAY DEVICE, MOTHER SUBSTRATE THEREOF, AND INSPECTION METHOD THEREFOR

(54) 発明の名称 : 有機ＥＬ表示装置およびそのマザー基板、並びにその検査方法

[図1]



(57) **Abstract**: A first resistor element (R1) and a second resistor element (R2) are added to a pixel circuit (1) in which lighting of an organic EL element (E1) is driven by a control TFT (T1) and a driving TFT (T2). An anode power supply line (a1) and a scanning line (s1) are connected via the first resistor element (R1), and a cathode power supply line (k1) and a data line (d1) are connected via the second resistor element (R2). Lighting of each pixel is driven by applying an anode voltage for inspection (VH1) to the anode power supply line and a cathode voltage for inspection (VL1) to the cathode power supply line. Thus, it is possible to verify whether or not the pixel circuit (1) normally functions.

(57) 要約: 制御ＴＦＴ（Ｔ１）と駆動ＴＦＴ（Ｔ２）とにより有機ＥＬ素子（Ｅ１）が点灯駆動される画素回路（１）に、第１の抵抗素子（Ｒ１）および第２の抵抗素子（Ｒ２）が加えられている。 すなわち、アノード電源配線（ａ１）と走査配線（ｓ１）とは、前記第１の抵抗素子（Ｒ１）を介して接続され、カソード電源配線（ｋ１）とデータ配線（ｄ１）とは、第２の抵抗素子（Ｒ２）を介して接続される。 前記アノード電源配線に検査用アノード電圧（ＶＨ１）、前記カソード電源配線に検査用カソード電圧（ＶＬ１）を印加することによって、各画素は点灯駆動される。これにより画素回路１が正常に機能しているか否かを検証することができる。

WO 2010/097915 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明 細 書

有機EL表示装置およびそのマザー基板、並びにその検査方法

技術分野

[0001] この発明は、アクティブマトリックス型有機EL表示装置に関し、特にドライバICの実装前のマザー基板の状態において前記表示装置の検査を可能にした表示装置およびその検査方法に関する。

背景技術

[0002] 携帯電話機や携帯型情報端末機などの普及によって、高精細な画像表示機能を有し、薄型かつ低消費電力を実現することができる表示装置(以下、表示パネルともいう。)の需要が増大しており、自発光型素子であるという特質を生かした有機EL(エレクトロルミネッセンス)素子を用いた表示パネルが実用化されている。

[0003] 前記した有機EL素子を用いた表示パネルとして、各EL素子をマトリクス状に配列した単純マトリクス型表示パネルと、マトリクス状に配列したEL素子の各々に、TFTからなる能動素子を加えたアクティブマトリックス型表示パネルが提案されている。後者のアクティブマトリックス型表示パネルは、前者の単純マトリクス型表示パネルに比べて低消費電力化を実現させることができ、また画素間のクロストークが少ない等の特質を備えており、特に大画面を構成する高精細度のディスプレイに適している。

[0004] 一般に前記した表示パネルは、その量産性を高めるために大判のマザー基板を用い、当該マザー基板に対して個々の表示パネルに対応した多数の有機EL素子並びにTFTの成膜工程等を順次実行するいわゆる多数個取りの手段が採用される。このように、マザー基板に対して複数の表示パネルを一度に成形した後に、スクライブ等の手段を利用して各表示パネルが個々に切り出される。

[0005] ところで、前記した例えばアクティブマトリックス型表示パネルにおいては、マザー基板から各表示パネルが個々に切り出された後に、個々のパネルにドライバ回路(IC)を実装し、この状態でTFTよりなる画素回路を含む有機EL素子の点灯検査を行う工程が採用されている。

[0006] 前記した工程によると、前記点灯検査の時点で画素回路を含む有機EL素子の不

良を発見した場合、ドライバ回路の実装工程等がムダになるために、結果として製造コストを上げる一因になっている。

[0007] そこで、各表示パネルを切り出す前のマザー基板の状態において、もしくはドライバICの実装前に、各表示パネルにおける画素回路を含む有機EL素子の点灯検査を行うことについて提案がなされており、これは次に示す特許文献1および2などに開示されている。

特許文献1:特開2008－58637号公報

特許文献2:特開2008－52235号公報

発明の開示

発明が解決しようとする課題

[0008] 前記特許文献1には、各表示パネルにドライバICを実装する前に、画素回路の点灯検査を行うための構成が開示されている。この構成によると個々の表示パネルに、電源線入力パッド、電源制御線入力パッド、簡易検査制御パッド、マージン線入力パッド等の端子と、検査時に使用される各行毎に設けられたスイッチ素子が必要となる。

[0009] また、前記特許文献2には、マザー基板の状態で画素回路の点灯検査を行う構成が開示されている。これによると、分割される個々の表示パネル毎に、検査用回路を具備させるものであり、したがってマザー基板上の各表示パネル(小基板)毎に、独立した検査を行うことは可能である。しかしながら、必然的に端子数や配線数が多くなり、小基板毎に検査用回路を具備するために回路規模の増大は免れない。

[0010] この発明は、前記した問題点に着目してなされたものであり、ドライバICの未実装の状態におけるマザー基板の状態で、画素回路の点灯検査が可能であり、各小基板毎に格別な検査回路をそれぞれ備える必要のない有機EL表示装置およびそのマザー基板、並びにその検査方法を提供することを課題とするものである。

課題を解決するための手段

[0011] 前記した課題を解決するためになされたこの発明にかかる表示装置およびそのマザー基板、並びにその検査方法は、以下の各独立請求項にかかる構成を少なくとも具備するものである。

[0012] 〔請求項1〕

有機EL素子と、前記有機EL素子のアノードにソース又はドレインのいずれか一方が接続され、他方がアノード電源配線に接続された駆動TFTと、前記駆動TFTのゲートにソース又はドレインのいずれか一方が接続され、他方がデータ配線に接続され、かつゲートが走査配線に接続された制御TFTとが少なくとも備えられた画素を複数備え、前記有機EL素子のカソードはカソード電源配線に接続された有機EL表示装置の検査方法であって、

前記アノード電源配線と前記走査配線とは、第1の抵抗素子を介して接続され、

前記カソード電源配線と前記データ配線とは、第2の抵抗素子を介して接続され、

前記アノード電源配線に検査用アノード電圧、前記カソード電源配線に検査用カソード電圧を印加することによって、前記各画素を点灯駆動させることを特徴とする有機EL表示装置の検査方法。

[0013] 〔請求項3〕

有機EL素子と、前記有機EL素子のアノードにソース又はドレインのいずれか一方が接続され、他方がアノード電源配線に接続された駆動TFTと、前記駆動TFTのゲートにソース又はドレインのいずれか一方が接続され、他方がデータ配線に接続され、かつゲートが走査配線に接続された制御TFTとが少なくとも備えられた画素を複数備え、

前記有機EL素子のカソードはカソード電源配線に接続され、

前記走査配線は、第1の抵抗素子を介して前記アノード電源配線に接続され、

前記データ配線は、第2の抵抗素子を介して前記カソード電源配線に接続されていることを特徴とする有機EL表示装置。

[0014] 〔請求項7〕

有機EL素子と、前記有機EL素子のアノードにソース又はドレインのいずれか一方が接続され、他方がアノード電源配線に接続された駆動TFTと、前記駆動TFTのゲートにソース又はドレインのいずれか一方が接続され、他方がデータ配線に接続され、かつゲートが走査配線に接続された制御TFTとが少なくとも備えられた画素を複数備え、

前記有機EL素子のカソードはカソード電源配線に接続され、

前記走査配線は、第1の抵抗素子を介して前記アノード電源配線に接続され、

前記データ配線は、第2の抵抗素子を介して前記カソード電源配線に接続されている有機EL表示装置が1つの基板上に複数形成され、

少なくとも1つ以上の前記各有機EL表示装置の前記アノード電源配線が共通接続された共通アノード電源配線と、

少なくとも1つ以上の前記各有機EL表示装置の前記カソード電源配線が共通接続された共通カソード電源配線と、

前記共通アノード電源配線に接続された検査用アノード端子と、

前記共通カソード電源配線に接続された検査用カソード端子とが備えられていることを特徴とする有機EL表示装置のマザー基板。

[0015] 〔請求項9〕

有機EL素子と、前記有機EL素子のアノードにソース又はドレインのいずれか一方が接続され、他方がアノード電源配線に接続された駆動TFTと、前記駆動TFTのゲートにソース又はドレインのいずれか一方に接続され、他方がデータ配線に接続され、かつゲートが走査配線に接続された制御TFTとが少なくとも備えられた画素を複数備え、前記有機EL素子のカソードはカソード電源配線に接続された有機EL表示装置の検査方法であって、

前記駆動TFTのゲートには、容量素子の一方の電極が接続され、

前記容量素子の他方の電極から検査信号を入力し、

前記アノード電源配線に検査用アノード電圧、前記カソード電源配線に検査用カソード電圧を印加することによって、前記各画素を点灯駆動させることを特徴とする有機EL表示装置の検査方法。

[0016] 〔請求項10〕

有機EL素子と、前記有機EL素子のアノードにソース又はドレインのいずれか一方が接続され、他方がアノード電源配線に接続された駆動TFTと、前記駆動TFTのゲートにソース又はドレインのいずれか一方が接続され、他方がデータ配線に接続され、かつゲートが走査配線に接続された制御TFTと、一方の電極が前記駆動TFTの

ゲートに接続された容量素子が少なくとも備えられた画素が複数備えられ、

前記有機EL素子のカソードはカソード電源配線に接続され、

前記容量素子の他方の電極は、前記画素外で前記アノード電源配線に接続されていることを特徴とする有機EL表示装置。

図面の簡単な説明

[0017] [図1]この発明に係る表示装置において好適に利用される画素回路の第1の例を示した回路構成図である。

[図2]多数の表示装置を形成するためのマザー基板の例を示した模式図である。

[図3]この発明に係る表示装置において好適に利用される画素回路の第2の例を示した回路構成図である。

[図4]同じく画素回路の第3の例を示した回路構成図である。

[図5]同じく画素回路の第4の例を示した回路構成図である。

[図6]同じく画素回路の第5の例を示した回路構成図である。

[図7]同じく画素回路の第6の例を示した回路構成図である。

[図8]同じく画素回路の第7の例を示した回路構成図である。

[図9]図8に示す画素回路を点灯可能に結線した例を示す回路構成図である。

[図10]図8に示す画素回路を採用する場合のマザー基板の例を示した模式図である。

[図11]同じく他のマザー基板の例を示した模式図である。

[図12]カラー表示パネルにおいて好適に利用できるマザー基板の例を示した模式図である。

符号の説明

[0018]

1	画素回路
2	表示装置(表示パネル)
3	マザー基板
a1	アノード電源配線
Ac	共通アノード電源配線
At	検査用アノード端子

C1　容量素子(コンデンサ)

d1　データ配線

E1　有機EL素子

k1　カソード電源配線

Kc　共通カソード電源配線

Kt　検査用カソード端子

Ki　検査用容量端子

s1　走査配線

SW1　スイッチング素子

SW2　スイッチング素子

R1　第1の抵抗素子

R2　第2の抵抗素子

R3～R8　抵抗素子

T1　制御TFT

T2　駆動TFT

T3～T7　TFT

VH1　検査用アノード電圧

VL1　検査用カソード電圧

発明を実施するための最良の形態

[0019] この発明にかかる有機EL表示装置およびそのマザー基板、並びにその検査方法について、図に示す実施の形態に基づいて説明する。図1は有機EL表示装置を構成する画素回路1の例を示したものであり、この構成はコンダクタンスコントロール方式と呼ばれている。

[0020] すなわち、nチャンネルで構成された制御TFT(T1)のゲートは、走査配線s1に接続され、そのソースはデータ配線d1に接続されている。また前記制御TFTのドレインは、pチャンネルで構成された駆動TFT(T2)のゲートに接続されると共に、電荷保持用のコンデンサ(容量素子)C1の一方の電極に接続されている。

[0021] また、駆動TFTのソースは前記容量素子C1の他方の電極に接続されると共にアノ

ード電源配線a1に接続されている。また駆動TFTのドレインは、有機EL素子E1のアノードに接続され、前記有機EL素子E1のカソードは、カソード電源配線k1に接続されている。

[0022] 図1に示した画素回路1において、走査配線s1に走査選択信号が供給されると、制御TFT(T1)がオン状態になり、この時データ配線d1に供給されるデータ電圧がTFT(T1)を介して駆動TFT(T2)のゲートに接続されている容量素子C1に保持される。

[0023] 前記駆動TFT(T2)には、容量素子C1に保持された電圧に応じた電流を有機EL素子E1に流し、当該素子E1を点灯させる。そして、走査選択動作が終了して、制御TFT(T1)がオフされても、容量素子C1に保持された電圧によって、駆動TFT(T2)は有機EL素子E1の点灯状態を継続させるように作用する。

[0024] 前記した構成の画素回路1に対して、この実施の形態においては、さらに第1の抵抗素子R1および第2の抵抗素子R2が具備されている。すなわち、前記走査配線s1が、第1の抵抗素子R1を介して前記アノード電源配線a1に接続され、前記データ配線d1は、第2の抵抗素子R2を介して、前記カソード電源配線k1に接続されている。

[0025] 前記した画素構成において、前記アノード電源配線a1に検査用アノード電圧VH1を、また前記カソード電源配線k1に検査用カソード電圧VL1を印加する(ただし、VH1－VL1の値が、EL素子E1のスレッショルド電圧よりも十分に大きな電位差になされる。)ことで、EL素子E1を点灯状態にすることができる。

[0026] すなわち、制御TFT(T1)のゲートには、第1の抵抗素子R1を介して前記VH1が印加され、同制御TFTのソースには、第2の抵抗素子R2を介して前記VL1が印加される。これにより、制御TFTはオン状態になり、駆動TFT(T2)のゲートをVL1に近いレベルに設定する。このために同駆動TFTはオン状態となり、EL素子E1を点灯状態にすることができる。

[0027] 前記EL素子E1の点灯により、制御TFT(T1)および駆動TFT(T2)、容量素子C1および有機EL素子E1が正常に機能していることが検証される。この画素構成によると、格別な検査回路は不要であり、EL素子E1を点灯駆動するためのドライバ(IC)回路も未実装の状態で各画素の点灯検査を行うことができる。

[0028] なお、図1に示す構成においては制御TFTにnチャンネル型を、駆動TFTにpチャンネル型を用いているが、これらは適宜選択することができる。したがって、有機EL装置のアノードに駆動TFT(T2)のソースが接続され、駆動TFT(T2)のゲートに制御TFT(T1)のドレインが接続される回路構成になされる場合もある。

[0029] 以上は1つの画素回路に着目して、その検査方法を説明したものであり、現実には図2に示すように、前記画素回路1が縦横方向にマトリクス状に配列して形成された有機EL表示装置(表示パネル)2が、さらに縦横方向に多数形成された大判のマザー基板3を対象として、同様の検査が一括して実行される。

[0030] すなわち、図2に示す例は縦横方向に4×3の各表示パネル2が同時に積層形成されるマザー基板3の形態を示したものであり、各表示パネル2に「データDR」および「走査DR」として鎖線で標記した領域は、マザー基板3より表示パネル2が切り出された後に、データドライバICおよび走査ドライバICが搭載される領域を示している。

[0031] また、各表示パネル2の大部分の面積を占める格子模様で示した部分は、図1に示した画素回路1が縦横方向にマトリクス状に配列されることで形成された発光表示部分を示している。

[0032] 図2に示すマザー基板3には、各表示パネル2から引き出されたアノード電源配線a1を共通接続する共通アノード電源配線Acが配列されている。なお、各表示パネル2においては、図1に示す各画素回路1における電源配線a1がそれぞれ集合されて、図2に示すアノード電源配線a1になされている。

[0033] そして、図に示す例においては、縦方向の4つの表示パネル2におけるアノード電源配線a1が共通アノード電源配線Acに接続されており、この共通アノード電源配線Acは、マザー基板3の端部において検査用アノード端子Atに接続されている。

[0034] また、マザー基板3には、各表示パネル2から引き出されたカソード電源配線k1を共通接続する共通カソード電源配線Kcが配列されている。なお、各表示パネル2においては、図1に示す各画素回路1における電源配線k1がそれぞれ集合されて、図2に示すカソード電源配線k1になされている。

[0035] そして、同様に縦方向の4つの表示パネル2におけるカソード電源配線k1が共通カソード電源配線Kcに接続されており、この共通カソード電源配線Kcは、マザー基板

3の端部において検査用カソード端子Ktに接続されている。

[0036] 前記したマザー基板3の構成において、前記した検査用アノード端子Atに、前記した検査用アノード電圧VH1を印加し、また検査用カソード端子Ktに、前記した検査用カソード電圧VL1を印加することで、検査用アノード電圧VH1は共通アノード電源配線Acを介して、また検査用カソード電圧VL1は共通カソード電源配線Kcを介して各表示パネル2に印加される。

[0037] 前記マザー基板3における個々の表示パネル2には、すでに説明した図1に示す画素回路1がマトリクス状に配列されており、前記した第1と第2の抵抗素子R1，R2の作用により画素を構成する全てのEL素子E1を点灯状態にすることができる。したがって各表示パネル2に配列されたEL素子E1の点灯により、各画素回路が正常に機能していることが検証できる。

[0038] 図2に示したマザー基板3の構成においては、前記した点灯検査の終了後に符号2で示す表示パネルの単位で切り出され、このカット工程で共通アノード電源配線Acと、共通カソード電源配線Kcは切除される。

[0039] なお、前記したマザー基板3の構成においては、必ずしも図1に示したように各画素回路1毎に、それぞれ第1と第2の抵抗素子R1，R2を設ける必要はない。すなわち、前記した表示パネル2の単位において、1つの走査配線s1とアノード電源配線a1との間に前記第1の抵抗素子R1が接続されれば、この走査配線s1に共通して接続される他の画素回路は、検査時において前記第1の抵抗素子R1を共用して点灯動作がなされる。

[0040] また同様に、表示パネル2の単位において、1つのデータ配線d1とカソード電源配線k1との間に前記第2の抵抗素子R2が接続されれば、このデータ配線d1に共通して接続される他の画素回路は、検査時において前記第2の抵抗素子R2を共用して点灯動作がなされる。

[0041] また、表示パネル2の完成品においては、前記第1と第2の抵抗素子R1，R2がたとえ画素回路1内に存在していても、点灯動作に障害を与えることはない。すなわち各データ配線d1および走査配線s1は、前記したデータドライバICおよび走査ドライバICによりドライブされ、各ドライバ出力は無信号の状態においては、基準電位になされ

る。したがって、各データ配線d1および走査配線s1は、オープン状態になされることはなく、前記抵抗素子R1，R2により誤点灯されることはない。

[0042] 図3は、前記した第1と第2の抵抗素子R1，R2を画素回路1外に配置した例を示したものである。なお、図3においては図1に示した各部と同一の機能を果たす部分を同一符号で示しており、したがってその詳細な説明は省略する。

[0043] 図3に示す例においては、外付けの第1の抵抗素子R1を介して、検査用アノード電圧VH1が制御TFT（T1）のゲートに供給されるようになされ、また外付けの第2の抵抗素子R2を介して、検査用カソード電圧VL1が制御TFT（T1）のソースに供給されるように作用する。

[0044] なお、図3に示したように第1と第2の抵抗素子R1，R2を画素回路1外に配置した場合であっても、すでに説明した理由と同様の理由により、各画素回路1にそれぞれ対応して前記第1と第2の抵抗素子R1，R2をそれぞれ配置する必要はない。

[0045] 図3に示したように第1と第2の抵抗素子R1，R2を外付けにした画素回路1を備えた表示パネル2においても、図2に示した構成のマザー基板3の形態において、各画素回路1の点灯検査を実行することができ、同様の作用効果を得ることができる。

[0046] 図4は、第1と第2の抵抗素子R1，R2を画素回路1外に配置した他の例を示したものであり、図1および図3に示した各部と同一の機能を果たす部分を同一符号で示しており、したがってその詳細な説明は省略する。

[0047] 図4に示す構成においては、検査用アノード電圧VH1が印加される第1の抵抗素子R1に直列に符号SW1で示されたスイッチング素子が挿入され、検査用カソード電圧VL1が印加される第2の抵抗素子R2に直列に符号SW2で示されたスイッチング素子が挿入されており、他の構成は図3に示した例と同様である。

[0048] 図4に示す構成によれば、画素回路1の点灯検査時以外においては、SW1およびSW2で示すスイッチング素子をオフ状態とすることで、第1と第2の抵抗素子R1，R2を介した検査用電圧が画素回路1に一切影響を与えないようにすることができる。

[0049] 図5は図4に示すスイッチング素子SW1，SW2をそれぞれTFTにより構成した例を示している。この例においては、検査用アノード電圧VH1が印加される第1の抵抗素子R1に直列にpチャンネル型TFT（T3）が挿入され、そのゲートは抵抗素子R3を介

して検査用カソード電圧VL1にプルダウンされている。

[0050] また、検査用カソード電圧VL1が印加される第2の抵抗素子R2に直列にnチャンネル型TFT(T4)が挿入され、そのゲートは抵抗素子R4を介して検査用アノード電圧VH1にプルアップされている。

[0051] 図5に示す構成によれば、画素回路1の点灯検査時以外においては、TFT(T3)のゲートに接続されたt1を例えば前記VH1と同等の電位に設定し、TFT(T4)のゲートに接続されたt2を例えば回路の基準電位(アース)に設定することで、前記各TFTをオフ状態にすることができる。これにより、第1と第2の抵抗素子R1, R2を介した検査用電圧が画素回路1に一切影響を与えないようにすることができる。

[0052] 図6は、前記した第1および第2の抵抗素子R1, R2が画素回路1内に配置された他の例を示すものであり、図1に示した各部と同一の機能を果たす部分を同一符号で示しており、したがってその詳細な説明は省略する。

[0053] この図6に示す例においては、駆動TFT(T2)と有機EL素子E1との間にpチャンネル型TFT(T5)が挿入されている。そして、当該TFTのゲートは抵抗素子R5を介して、有機EL素子E1のカソード側、すなわちカソード電源配線k1に接続されている。

[0054] 図6に示す画素回路1によると、アノード電源配線a1とカソード電源配線k1にそれぞれ、前記した検査用アノード電圧VH1および検査用カソード電圧VL1を印加すると、TFT(T5)はオン状態になり、有機EL素子E1を点灯させることができる。これにより、画素回路1が正常に機能することが検証される。

[0055] なお、前記TFT(T5)は、表示パネルとして動作する場合には、画素回路1内において定電流素子として機能することになる。

[0056] 図7は、前記した第1および第2の抵抗素子R1, R2が画素回路1内に配置されたさらに他の例を示すものであり、これはカレントミラー方式の画素回路の例を示している。なお、図7においては、図1に示した各部と同一の機能を果たす部分を同一符号で示しており、したがってその詳細な説明は適宜省略する。

[0057] この図7に示す実施の形態において、駆動TFT(T2)はゲートに印加されるゲート電圧に応じた電流を有機EL素子E1に流すように動作する。pチャンネル型TFT(T

7)は、前記駆動TFT(T2)と同じ特性を有しており、前記駆動TFT(T2)とTFT(T7)とは、スイッチとして機能する駆動TFT(T1)とnチャンネル型TFT(T6)を介して、カレントミラー回路を構成している。

[0058] 走査配線s1に走査選択信号が供給されると、TFT(T1)およびTFT(T6)が共にオン状態になり、この時データ配線d1から供給される定電流が制御TFT(T1)を介してTFT(T7)に供給され、電流値に応じた電圧がTFT(T7)のゲートに接続されている容量素子C1に保持される。

[0059] 駆動TFT(T2)には、容量素子C1に保持された電圧に応じてTFT(T7)を流れる電流と同じ値の電流が流れ、有機EL素子E1を点灯させる。そして、走査選択動作が終了して、TFT(T1)とTFT(T6)がオフされても、容量素子C1に保持された電圧によって、駆動TFT(T2)は有機EL素子E1の点灯状態を継続させるように作用する。

[0060] 図7に示した画素回路においても、前記走査配線s1が、第1の抵抗素子R1を介して前記アノード電源配線a1に接続され、前記データ配線d1は、第2の抵抗素子R2を介して、前記カソード電源配線k1に接続されている。

[0061] したがって、前記アノード電源配線a1に検査用アノード電圧VH1を、また前記カソード電源配線k1に検査用カソード電圧VL1を印加することで、EL素子E1を点灯状態にすることができる。

[0062] 前記EL素子E1の点灯により、画素回路1が正常に機能していることが検証できる。この画素構成においても、格別な検査回路は不要であり、EL素子E1を点灯駆動するためのドライバ(IC)回路も未実装の状態で各画素の点灯検査を行うことができる。

[0063] 図8以降は、この発明にかかる有機EL表示装置およびそのマザー基板、並びにその検査方法について、前記した第1および第2の抵抗素子R1, R2が具備されない他の実施の形態を示すものである。

[0064] まず、図8においては図1に示した各部と同一の機能を果たす部分を同一符号で示しており、したがってその詳細な説明は省略する。この図8に示す実施の形態においては、駆動TFT(T2)のゲートに一方の電極が接続された容量素子C1の他方の電極は、アノード電源配線a1から切り離されて検査用容量端子ctになされている。

[0065] 図8に示す画素回路1において、アノード電源配線a1には前記した検査用アノード電圧VH1が、またカソード電源配線k1には前記した検査用カソード電圧VL1が印加される。この状態で前記した検査用容量端子ctに、矩形波、鋸歯状波、正弦波等の検査信号を入力することで、前記検査信号の周波数に同期して、駆動TFT(T2)が断続的にオン動作し、有機EL素子E1も断続的に点灯駆動される。これにより、画素回路1が正常に機能することが検証できる。

[0066] この画素構成においても、格別な検査回路は不要であり、EL素子E1を点灯駆動するためのドライバ(IC)回路も未実装の状態で各画素の点灯検査を行うことができる。

[0067] なお、図8に示す画素回路1においては、前記した点灯検査の終了後においては、図9に示すように画素回路1の外側の領域で、容量素子C1の検査用容量端子ct側の電極が、アノード電極配線a1に接続される。これにより1つの点灯画素が形成される。

[0068] 図10は、図8に示した画素回路1がマトリクス状に配列して形成された表示パネル2におけるマザー基板3の好ましい形態を示し、マザー基板3を対象として、各画素回路1の点灯検査を実行する例を説明するものである。なお、図10に示すマザー基板3においては、縦横2×2の表示パネル2の形成領域を示している。そして、図2に示したマザー基板3と同一の機能を果たす部分を同一符号で示しており、したがって、その詳細な説明は省略する。

[0069] 図10に示すマザー基板3においては、各表示パネル2から引き出された検査用容量端子itを共通接続する共通検査用端子線Icがさらに配列されている。なお、図10に示す各表示パネル2においては、図8に示す各画素回路1における検査用容量端子ctがそれぞれ集合されて、図10に示す検査用端子線ctになされている。そして、共通検査用端子線Icはマザー基板3の端部において検査用容量端子Kiに接続されている。

[0070] 前記したマザー基板3の構成において、検査用アノード端子Atには、前記した検査用アノード電圧VH1が、また検査用カソード端子Ktには、前記した検査用カソード電圧VL1がそれぞれ印加される。さらに検査用容量端子Kiには、前記したとおり矩

形波、鋸歯状波、正弦波等の検査信号が印加される。

[0071] これにより、前記検査信号の周波数に同期して、各表示パネル2に配列された全ての有機EL素子E1も断続的に点灯駆動され、画素回路1が正常に機能しているか否かを検証することができる。

[0072] 一方、図8に示した画素回路1においては、検査用容量端子ctをカソード電源配線k1に接続し、アノード電源配線a1に前記した検査用アノード電圧VH1を印加し、カソード電源配線k1にパルス信号を供給するようにしても、同様に有機EL素子E1を点灯させることができる。これによる有機EL素子E1の点灯により画素回路1が正常に機能することが検証できる。

[0073] 図11は、図8に示した検査用容量端子ctをカソード電源配線k1に接続する場合におけるマザー基板3の好ましい形態を示している。なお、図12に示すマザー基板3においては、1つの表示パネル2が形成された部分のみを示している。そして、図2に示したマザー基板3と同一の機能を果たす部分を同一符号で示しており、したがって、その詳細な説明は省略する。

[0074] 図11に示すマザー基板3においては、各表示パネル2の各画素回路から引き出された検査用容量端子ctがそれぞれ集合されて、検査用容量端子線ctになされており、この検査用容量端子線ctが、表示パネル2の形成領域外で表示パネル2において集合されたカソード電源配線k1に接続されている。

[0075] そして、カソード電源配線k1はマザー基板3上において共通カソード電源配線Kcに接続され、共通カソード電源配線Kcはマザー基板3の端部において検査用カソード端子Ktに接続されている。

[0076] 図11に示したマザー基板3の構成において、検査用アノード端子Atに前記下検査用アノード電圧VH1を印加し、また検査用カソード端子Ktにパルス信号を供給することで、各表示パネル2に配列された有機EL素子E1を点灯駆動することができる。これにより各表示パネル2に配列された個々の画素回路1が正常に機能しているか否かを検証することができる。

[0077] そして、前記した点灯検査の後に、符号2で示す表示パネルの単位でマザー基板3から切り出され、この時に検査用容量端子線ctとカソード電源配線k1の接続が切り

離される。

[0078] 図12は、複数の異なる発光色の有機EL素子を備えて、例えばカラー表示を実現する表示パネルのマザー基板に好適に採用することができる例を示すものである。なお、図12に示すマザー基板3においては、1つの表示パネル2の形成領域のみを示している。そして、図2に示したマザー基板3と同一の機能を果たす部分を同一符号で示しており、したがって、その詳細な説明は省略する。

[0079] この図12に示す例は、表示パネル2に、R(赤)、G(緑)、B(青)の各色を発光する有機EL素子をサブピクセルとして配列し、前記3つのサブピクセルにより1つのカラー表示画素を形成した場合において、好適に採用されるものである。

[0080] 前記した各サブピクセルは、それぞれ発光効率が異なり、現状において実用化し得る前記各色のEL素子の発光効率は、概ねGの発光効率が高く、RおよびBの発光効率は低い。したがって各サブピクセルに対して同一の駆動電圧を供給した場合には、正常なカラーバランスを得ることは困難になる。

[0081] そこで、図12に示す例は、同一色のサブピクセル毎に、アノード電源配線ar, ag, abが設けられ、色ごとに抵抗素子R6～R8が挿入される。すなわち、各発光色毎のアノード電源配線ar, ag, abは、前記各発光色の有機EL素子の特性に基づく抵抗値を有するカラーバランス調整用の抵抗素子R6～R8を介し、アノード電源配線a1を経て、前記した共通アノード電源配線Acに接続される。

[0082] この場合、発光効率の最も低いサブピクセルのアノード電源配線には、前記カラーバランス調整抵抗を挿入せずに、発光効率の高いサブピクセルのアノード電源配線にカラーバランス調整抵抗を挿入しても良い。

[0083] 図12に示す構成は、すでに説明した図2、図10および図11に示すマザー基板3の構成に採用することができる。そして、前記した点灯検査の後に、符号2で示す表示パネルの単位でマザー基板3から切り出され、この時に前記各抵抗素子R6～R8は切除される。

[0084] なお、図12に示すマザー基板3の構成においては、カラーバランス調整用の抵抗素子R6～R8は、符号2で示す表示パネルの外側に形成されているが、これは表示パネル2の内側に形成されていても良い。この場合には、R, G, Bごとに異なる駆動

電圧源を用意することなく、一つの共通の駆動電圧源を用いてカラーバランスの整った表示を実現させることができる。

請求の範囲

[1] 有機EL素子と、前記有機EL素子のアノードにソース又はドレインのいずれか一方が接続され、他方がアノード電源配線に接続された駆動TFTと、前記駆動TFTのゲートにソース又はドレインのいずれか一方が接続され、他方がデータ配線に接続され、かつゲートが走査配線に接続された制御TFTとが少なくとも備えられた画素を複数備え、前記有機EL素子のカソードはカソード電源配線に接続された有機EL表示装置の検査方法であって、

前記アノード電源配線と前記走査配線とは、第1の抵抗素子を介して接続され、

前記カソード電源配線と前記データ配線とは、第2の抵抗素子を介して接続され、

前記アノード電源配線に検査用アノード電圧、前記カソード電源配線に検査用カソード電圧を印加することによって、前記各画素を点灯駆動させることを特徴とする有機EL表示装置の検査方法。

[2] 前記有機EL表示装置が複数形成されたマザー基板において、

少なくとも1つ以上の前記各有機EL表示装置の前記アノード電源配線が共通接続された共通アノード電源配線と、

少なくとも1つ以上の前記各有機EL表示装置の前記カソード電源配線が共通接続された共通カソード電源配線と、

前記共通アノード電源配線に接続された検査用アノード端子と、

前記共通カソード電源配線に接続された検査用カソード端子とが備えられ、

前記アノード電源配線に検査用アノード電圧、前記カソード電源配線に検査用カソード電圧を印加することによって、前記各画素を点灯駆動させることを特徴とする請求項1に記載の有機EL表示装置の検査方法。

[3] 有機EL素子と、前記有機EL素子のアノードにソース又はドレインのいずれか一方が接続され、他方がアノード電源配線に接続された駆動TFTと、前記駆動TFTのゲートにソース又はドレインのいずれか一方が接続され、他方がデータ配線に接続され、かつゲートが走査配線に接続された制御TFTとが少なくとも備えられた画素を複数備え、

前記有機EL素子のカソードはカソード電源配線に接続され、

前記走査配線は、第1の抵抗素子を介して前記アノード電源配線に接続され、

前記データ配線は、第2の抵抗素子を介して前記カソード電源配線に接続されていることを特徴とする有機EL表示装置。

[4] 前記第1の抵抗素子と前記第2の抵抗素子は、画素回路の中に配置されていることを特徴とする請求項3に記載の有機EL表示装置。

[5] 前記第1の抵抗素子と前記第2の抵抗素子は、画素回路外に配置されていることを特徴とする請求項3に記載の有機EL表示装置。

[6] 前記第1の抵抗素子と、前記第2の抵抗素子には、スイッチング素子がそれぞれ直列に接続されていることを特徴とする請求項5に記載の有機EL表示装置。

[7] 有機EL素子と、前記有機EL素子のアノードにソース又はドレインのいずれか一方が接続され、他方がアノード電源配線に接続された駆動TFTと、前記駆動TFTのゲートにソース又はドレインのいずれか一方が接続され、他方がデータ配線に接続され、かつゲートが走査配線に接続された制御TFTとが少なくとも備えられた画素を複数備え、

前記有機EL素子のカソードはカソード電源配線に接続され、

前記走査配線は、第1の抵抗素子を介して前記アノード電源配線に接続され、

前記データ配線は、第2の抵抗素子を介して前記カソード電源配線に接続されている有機EL表示装置が1つの基板上に複数形成され、

少なくとも1つ以上の前記各有機EL表示装置の前記アノード電源配線が共通接続された共通アノード電源配線と、

少なくとも1つ以上の前記各有機EL表示装置の前記カソード電源配線が共通接続された共通カソード電源配線と、

前記共通アノード電源配線に接続された検査用アノード端子と、

前記共通カソード電源配線に接続された検査用カソード端子とが備えられていることを特徴とする有機EL表示装置のマザー基板。

[8] 前記各有機EL表示装置には、複数の異なる発光色の有機EL素子が備えられ、前記アノード電源配線は、前記異なる発光色の有機EL素子に応じて複数備えられ、

前記各発光色毎のアノード電源配線は、前記各発光色の有機EL素子の特性に基

づく抵抗値を有するカラーバランス調整抵抗素子を介して、前記共通アノード電源配線に接続されていることを特徴とする請求項7に記載の有機EL装置のマザー基板。

[9] 有機EL素子と、前記有機EL素子のアノードにソース又はドレインのいずれか一方が接続され、他方がアノード電源配線に接続された駆動TFTと、前記駆動TFTのゲートにソース又はドレインのいずれか一方に接続され、他方がデータ配線に接続され、かつゲートが走査配線に接続された制御TFTとが少なくとも備えられた画素を複数備え、前記有機EL素子のカソードはカソード電源配線に接続された有機EL表示装置の検査方法であって、

前記駆動TFTのゲートには、容量素子の一方の電極が接続され、

前記容量素子の他方の電極から検査信号を入力し、

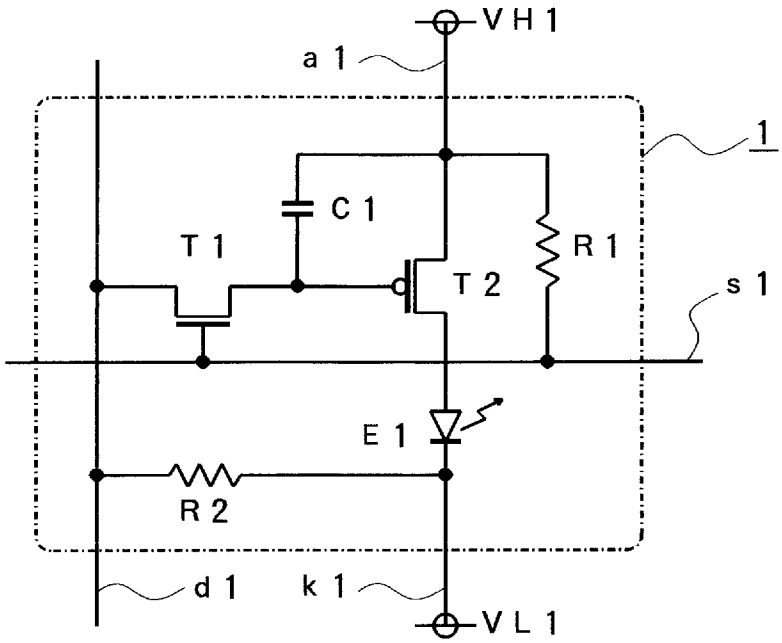
前記アノード電源配線に検査用アノード電圧、前記カソード電源配線に検査用カソード電圧を印加することによって、前記各画素を点灯駆動させることを特徴とする有機EL表示装置の検査方法。

[10] 有機EL素子と、前記有機EL素子のアノードにソース又はドレインのいずれか一方が接続され、他方がアノード電源配線に接続された駆動TFTと、前記駆動TFTのゲートにソース又はドレインのいずれか一方が接続され、他方がデータ配線に接続され、かつゲートが走査配線に接続された制御TFTと、一方の電極が前記駆動TFTのゲートに接続された容量素子が少なくとも備えられた画素が複数備えられ、

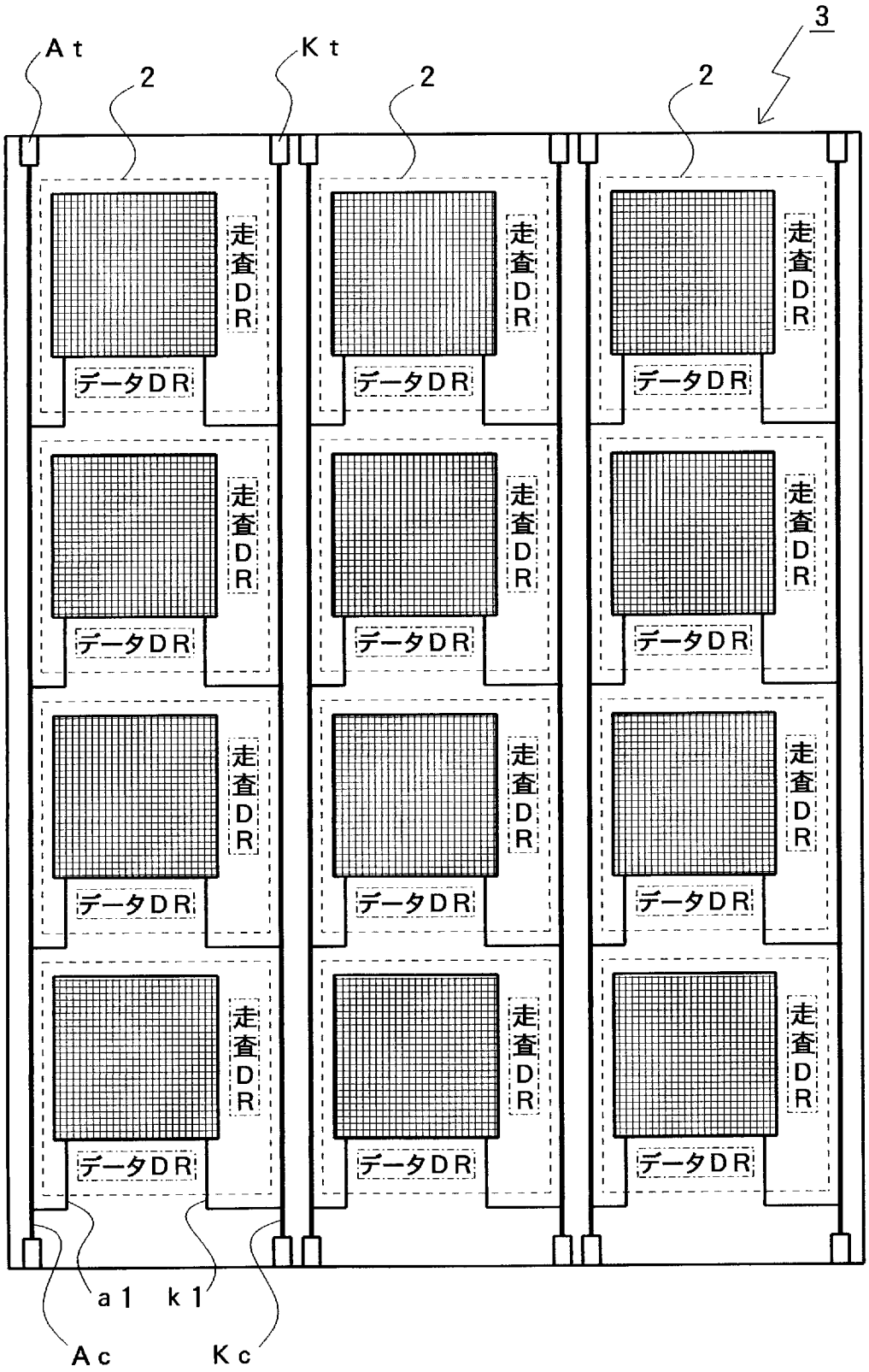
前記有機EL素子のカソードはカソード電源配線に接続され、

前記容量素子の他方の電極は、前記画素外で前記アノード電源配線に接続されていることを特徴とする有機EL表示装置。

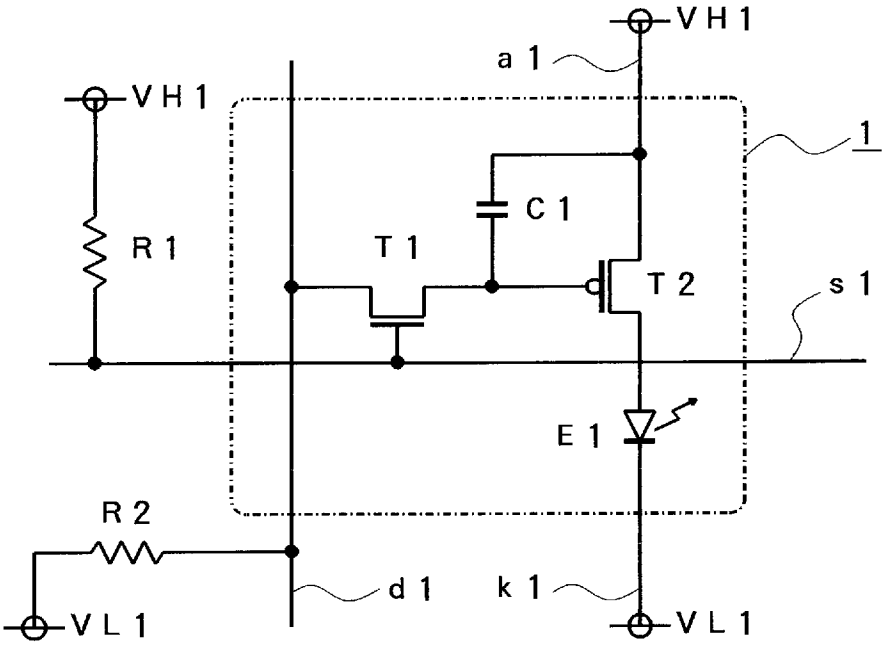
[図1]



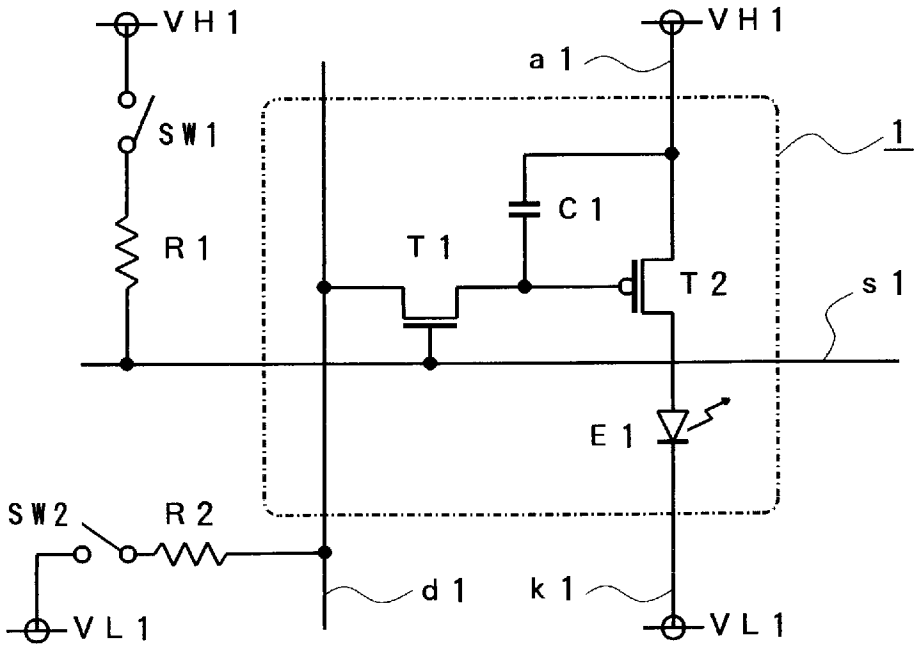
[図2]



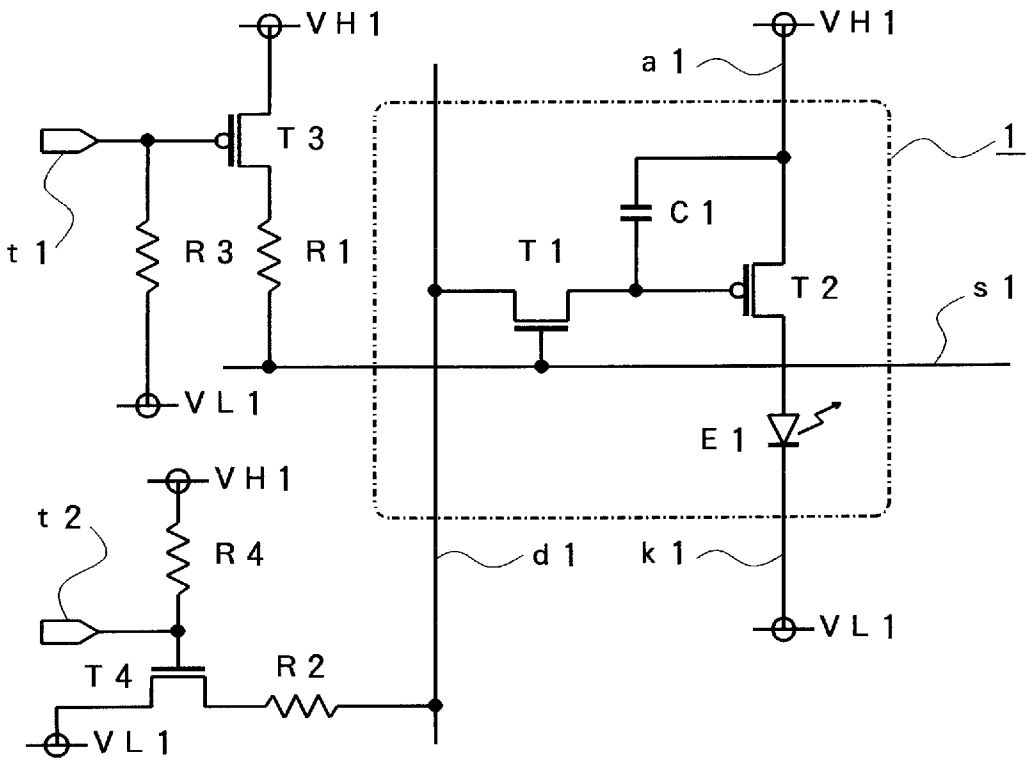
[図3]


VH1
a1
VH1
1
C1
R1
T1
T2
s1
E1
R2
d1
k1
VL1
VL1

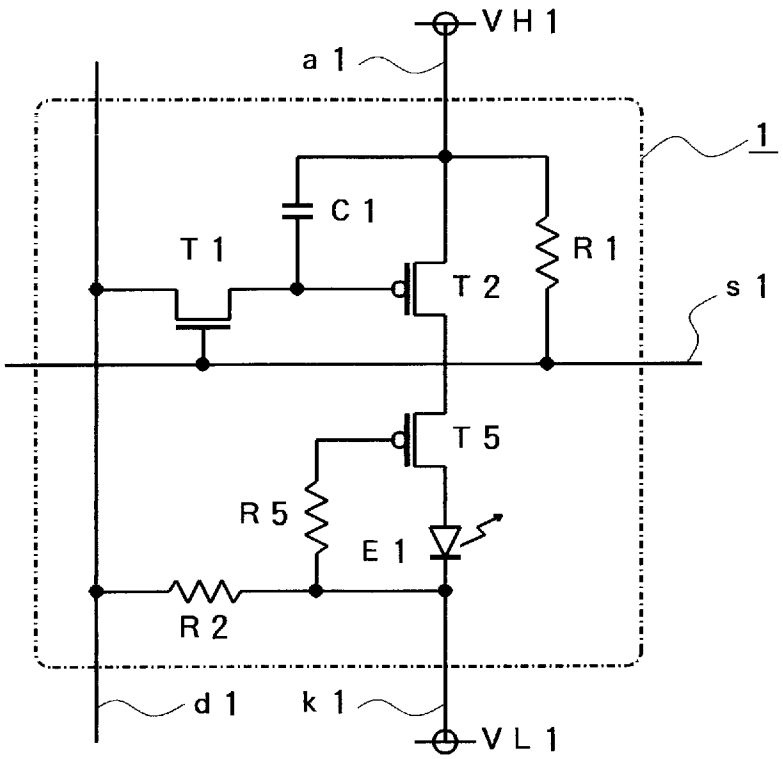
[図4]


VH1
VH1
a1
SW1
1
C1
R1
T1
T2
s1
E1
SW2
R2
d1
k1
VL1
VL1

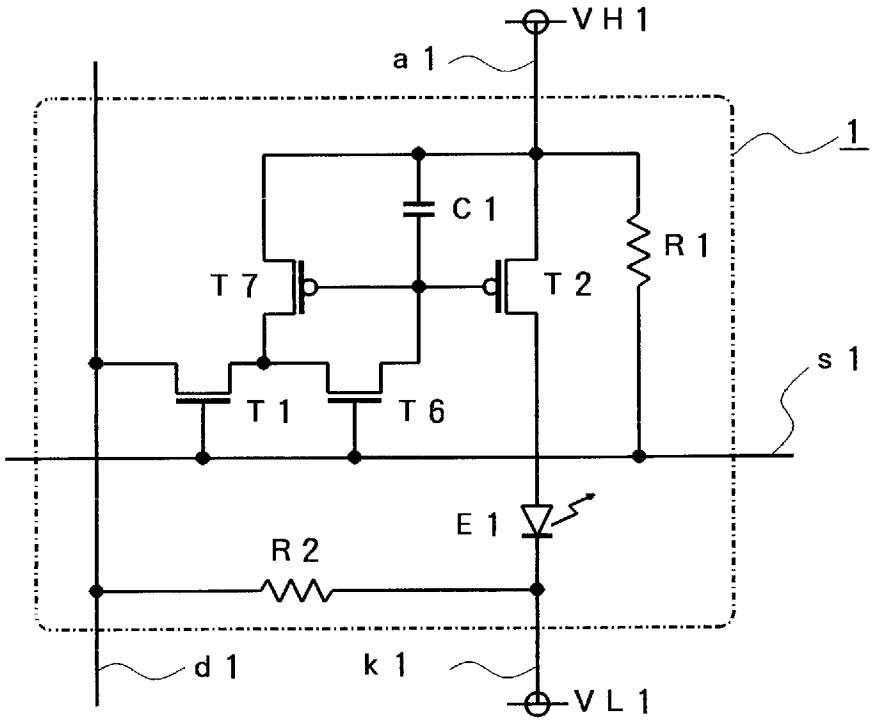
[図5]


VH1
VH1
a1
1
T3
C1
t1
R3
R1
T1
T2
s1
VL1
E1
VH1
t2
R4
d1
k1
VL1
T4
R2
VL1

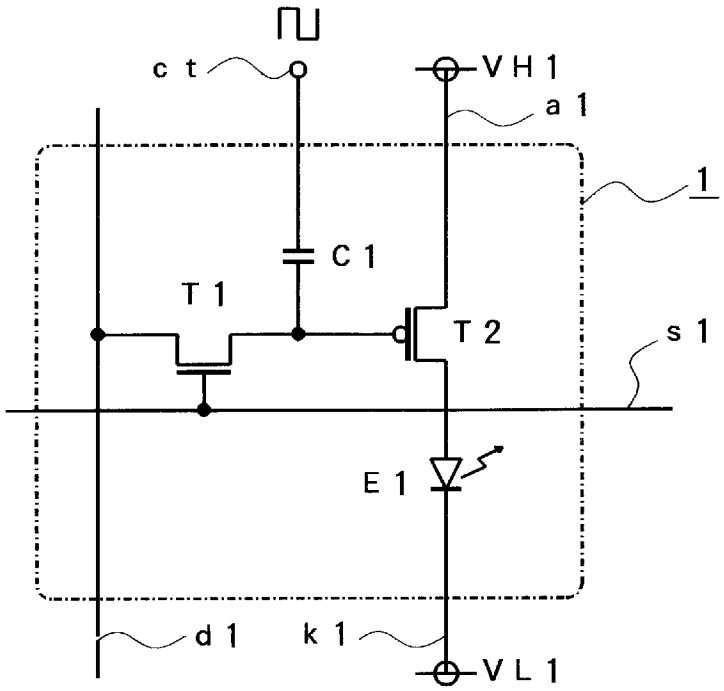
[図6]


VH1
a1
1
C1
T1
T2
R1
s1
T5
R5
E1
R2
d1
k1
VL1

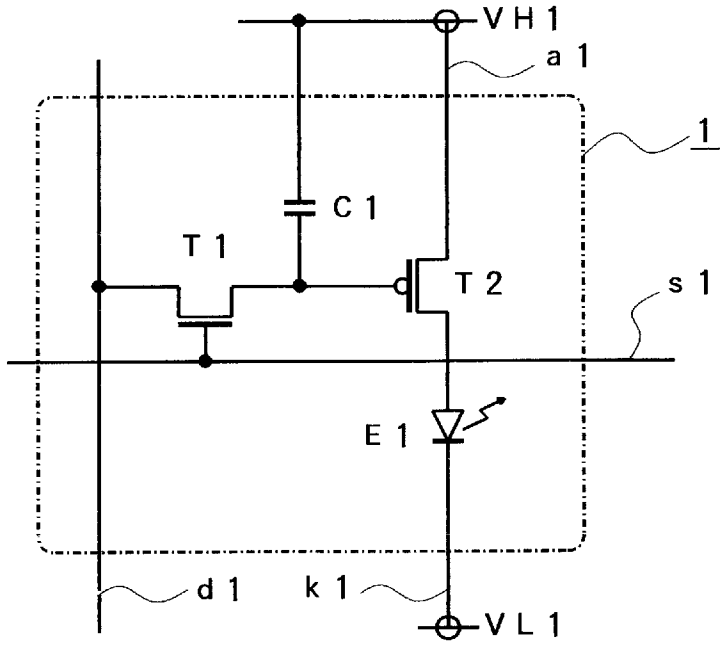
[図7]


VH1
a1
1
C1
R1
T7
T2
s1
T1
T6
E1
R2
d1
k1
VL1

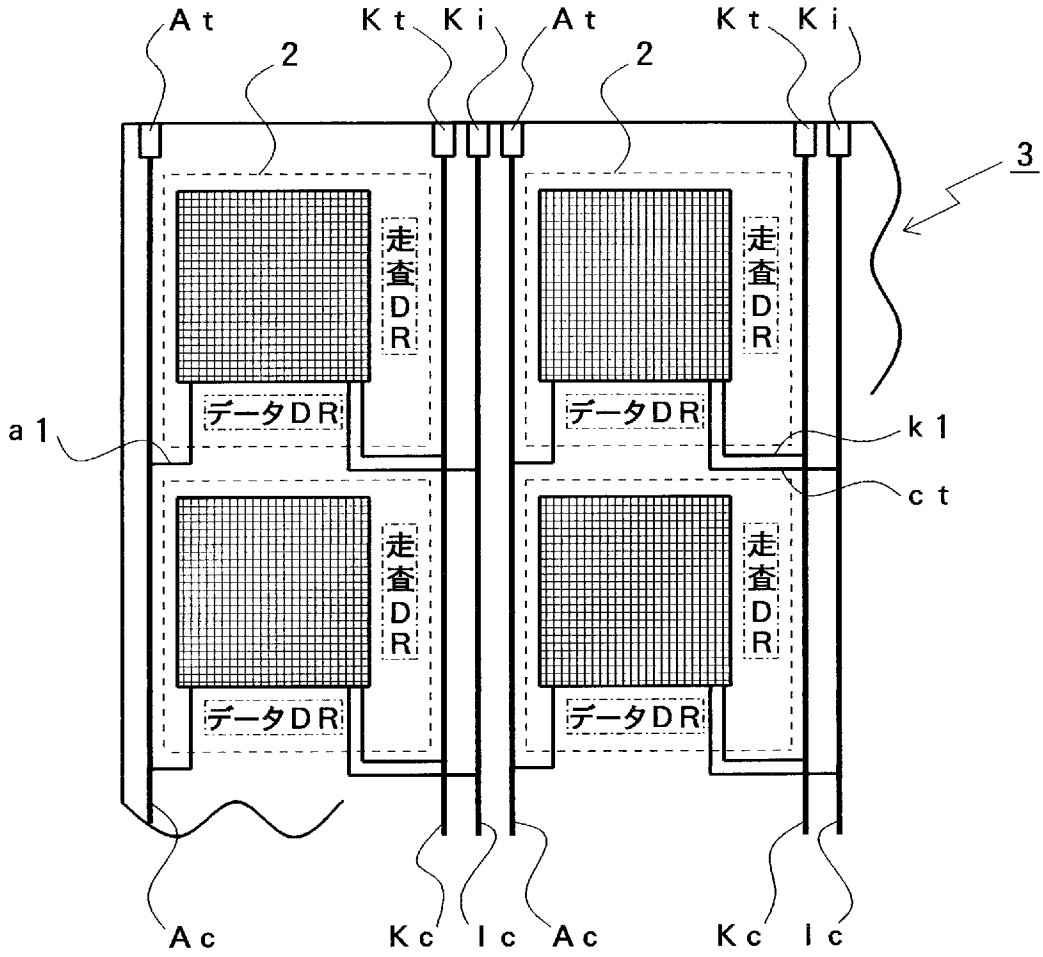
[図8]



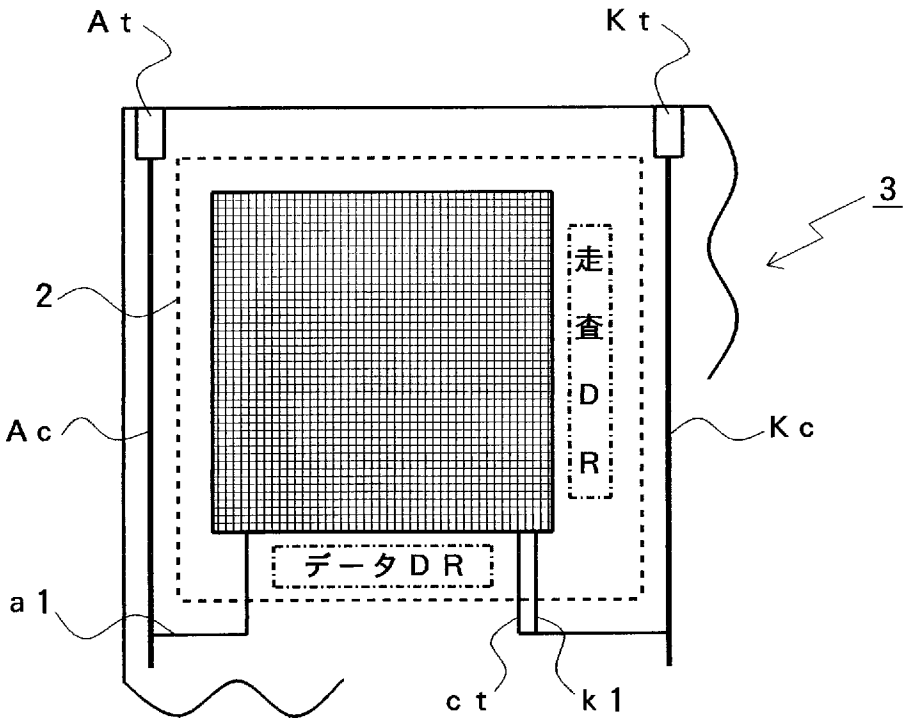
[図9]



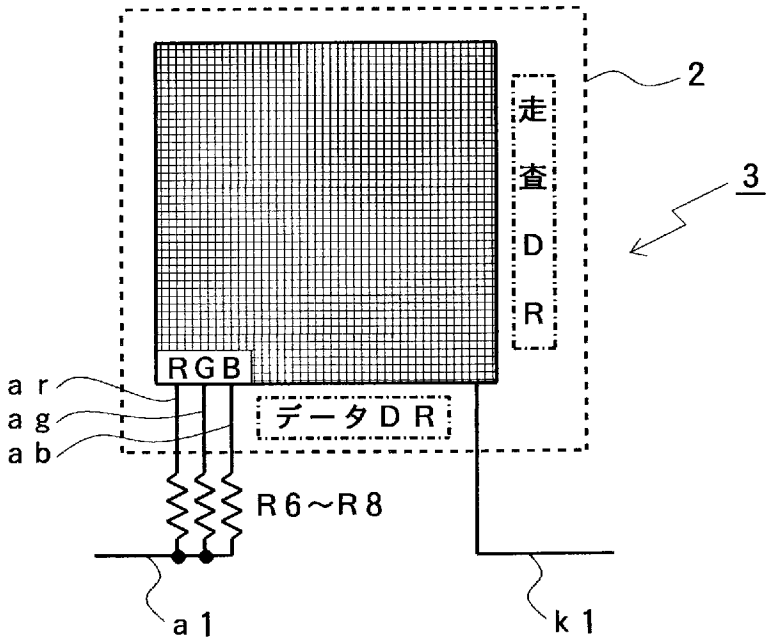
[図10]



[図11]


A t
K t
3
2
走査DR
A c
K c
データDR
a 1
c t
k 1

[図12]


2
3
走査DR
RGB
a r
a g
a b
データDR
R6～R8
a 1
k 1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/053431

A. CLASSIFICATION OF SUBJECT MATTER
H05B33/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H05B33/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009
Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-058637 A (Kyocera Corp.), 13 March, 2008 (13.03.08), Full text; all drawings (Family: none)	1-10
A	JP 2008-052235 A (Samsung SDI Co., Ltd.), 06 March, 2008 (06.03.08), Full text; all drawings & US 2008/0048946 A1 & EP 1892695 A2 & KR 10-2008-0017972 A	1-10
A	JP 2004-361942 A (Toshiba Matsushita Display Technology Co., Ltd.), 24 December, 2004 (24.12.04), Full text; all drawings (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 May, 2009 (27.05.09)	09 June, 2009 (09.06.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/053431

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-195854 A (Mitsubishi Electric Corp.), 21 July, 2005 (21.07.05), Full text; all drawings & US 2005/0156830 A1 & KR 10-2005-0072662 A	1-10
A	JP 2006-065284 A (Seiko Epson Corp.), 09 March, 2006 (09.03.06), Full text; all drawings & US 2006/0017672 A1	1-10
A	JP 2008-250003 A (Sony Corp.), 16 October, 2008 (16.10.08), Full text; all drawings (Family: none)	1-10
A	JP 2008-083529 A (Seiko Epson Corp.), 10 April, 2008 (10.04.08), Full text; all drawings (Family: none)	1-10
X A	JP 2005-107129 A (International Business Machines Corp.), 21 April, 2005 (21.04.05), Claims 1, 2, 6; Fig. 1 & US 2005/0067943 A1	10 1-9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/053431

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The "special technical feature" of the inventions of claims 1-8 is that an anode power supply line and a scanning line are connected via a first resistor element, and a cathode power supply line and a data line are connected via a second resistor element, while the "special technical feature" of the inventions of claims 9, 10 is that an inspection signal can be inputted from one electrode of a capacitor element the other electrode of which is connected to a gate of a driving TFT.

Since there is no technical relationship between these inventions involving one or more of the same or corresponding special technical features, these inventions are not considered to be so linked (Continued to the extra sheet.)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☒ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

as to form a single general inventive concept.

Therefore, an invention group composed of the inventions of claims 1-8 and an invention group composed of the inventions of claims 9, 10 obviously do not satisfy the requirement of unity of invention.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０５３４３１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H05B33/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H05B33/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-058637 A (京セラ株式会社) 2008.03.13, 全文全図 (ファミリーなし)	1-10
A	JP 2008-052235 A (三星エスディアイ株式会社) 2008.03.06, 全文全図 & US 2008/0048946 A1 & EP 1892695 A2 & KR 10-2008-0017972 A	1-10

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 ２７．０５．２００９	国際調査報告の発送日 ０９．０６．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｏ　３０１２ 渡邉　勇 電話番号　０３－３５８１－１１０１　内線　３２７１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2004-361942 A (東芝松下ディスプレイテクノロジー株式会社) 2004.12.24, 全文全図 (ファミリーなし)	1-10
A	JP 2005-195854 A (三菱電機株式会社) 2005.07.21, 全文全図 & US 2005/0156830 A1 & KR 10-2005-0072662 A	1-10
A	JP 2006-065284 A (セイコーエプソン株式会社) 2006.03.09, 全文全図 & US 2006/0017672 A1	1-10
A	JP 2008-250003 A (ソニー株式会社) 2008.10.16, 全文全図 (ファミリーなし)	1-10
A	JP 2008-083529 A (セイコーエプソン株式会社) 2008.04.10, 全文全図 (ファミリーなし)	1-10
X A	JP 2005-107129 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2005.04.21, 【請求項1,2,6】, 【図1】 & US 2005/0067943 A1	10 1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０５３４３１

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項 _____ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1-8に係る発明の「特別な技術的特徴」は、第1の抵抗素子を介して、アノード電源配線と走査配線とを接続すると共に第2の抵抗素子を介してカソード電源配線とデータ配線とを接続する点であるのに対して、請求項9、10に係る発明の「特別な技術的特徴」は、駆動TFTのゲートの一方の電極が接続された容量素子の他方の電極から検査信号を入力できる点である。

これらの発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものとは認められない。

よって、請求項1-8に係る発明からなる発明群と、請求項9、10に係る発明からなる発明群とでは、発明の単一性の要件を満たしていないことは明らかである。

１．☑ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☑ 追加調査手数料の納付はあったが、異議申立てはなかった。