

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4353336号  
(P4353336)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年8月7日(2009.8.7)

(51) Int.Cl.		F I	
G 1 1 C 13/00	(2006.01)	G 1 1 C 13/00	A
H O 1 L 27/105	(2006.01)	H O 1 L 27/10	4 4 8
G 1 1 C 29/04	(2006.01)	G 1 1 C 29/00	6 0 3 Z

請求項の数 22 (全 26 頁)

(21) 出願番号	特願2007-289550 (P2007-289550)	(73) 特許権者	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成19年11月7日(2007.11.7)	(74) 代理人	100115738 弁理士 鷲頭 光宏
(65) 公開番号	特開2008-181633 (P2008-181633A)	(74) 代理人	100121681 弁理士 緒方 和文
(43) 公開日	平成20年8月7日(2008.8.7)	(72) 発明者	中井 潔 東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内
審査請求日	平成19年11月7日(2007.11.7)	審査官	須原 宏光
(31) 優先権主張番号	特願2006-349651 (P2006-349651)	(56) 参考文献	国際公開第2007/046128 (W O, A1)
(32) 優先日	平成18年12月26日(2006.12.26)		最終頁に続く
(33) 優先権主張国	日本国(JP)		

(54) 【発明の名称】 半導体記憶装置及びそのプログラム方法

(57) 【特許請求の範囲】

【請求項1】

電気抵抗が可逆的に変化する可変抵抗材料を含む記録層と、前記記録層と接する電極層とからなる記録ユニット及び不揮発性メモリ素子と、

前記記録ユニットに電流を流すことにより、前記記録ユニットを構成する前記記録層と前記電極層とを物理的に分離させる書き込み回路と、

前記記録ユニットに電圧を印加することにより、前記記録ユニットを構成する前記記録層と前記電極層との接続状態を検出する検出回路と、を備え、

前記記録ユニットを構成する前記記録層と前記電極層との接触面積は、前記不揮発性メモリ素子を構成する前記記録層と前記電極層との接触面積よりも大きい、

ことを特徴とする半導体記憶装置。

【請求項2】

前記検出回路により検出された接続状態を示す論理値を保持するラッチ回路をさらに備えることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記不揮発性メモリ素子は、前記記録ユニットとほぼ同じ構成を有していることを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項4】

前記記録ユニットの前記電極層の径の値は、前記不揮発性メモリ素子の前記電極層の径の値よりも大きい、ことを特徴とする請求項3に記載の半導体記憶装置。

## 【請求項 5】

前記記録ユニットは、前記不揮発性メモリ素子を含むメモリセルであって欠陥のあるメモリセルのアドレスを記憶するヒューズ素子として用いられることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体記憶装置。

## 【請求項 6】

前記記録ユニットは、プログラムを記憶する ROM 素子として用いられることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体記憶装置。

## 【請求項 7】

前記記録ユニットの前記記録層に含まれる前記可変抵抗材料を所定の抵抗状態に初期化させる初期化回路をさらに備えることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体記憶装置。

10

## 【請求項 8】

前記可変抵抗材料は、相状態によって電気抵抗が異なる相変化材料であることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体記憶装置。

## 【請求項 9】

前記可変抵抗材料は、電圧パルスの印加によって電気抵抗が変化する磁気抵抗材料であることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体記憶装置。

## 【請求項 10】

複数のビット線と、前記複数のビット線と交差する複数のワード線と、前記ビット線と前記ワード線との交点に配置された複数のメモリセルと、欠陥のあるメモリセルのアドレスを記憶するヒューズ素子を備える半導体記憶装置であって、

20

前記メモリセル及び前記ヒューズ素子は、いずれも記録層及び電極層を有し、

前記記録層は、電気抵抗が可逆的に変化する可変抵抗材料を含み、

前記ヒューズ素子を構成する前記記録層と前記電極層との接触面積は、前記不揮発性メモリ素子を構成する前記記録層と前記電極層との接触面積よりも大きい、

ことを特徴とする半導体記憶装置。

## 【請求項 11】

前記ヒューズ素子は、前記メモリセルに含まれる不揮発性メモリ素子とほぼ同じ構成を有している、ことを特徴とする請求項 10 に記載の半導体記憶装置。

## 【請求項 12】

30

前記可変抵抗材料は、相状態によって電気抵抗が異なる相変化材料であることを特徴とする請求項 10 又は 11 に記載の半導体記憶装置。

## 【請求項 13】

前記不揮発性メモリ素子は、前記記録層に含まれる前記相変化材料の相状態によって情報を保持し、前記ヒューズ素子は、前記記録層と前記電極層との物理的接触の有無によって情報を保持することを特徴とする請求項 12 に記載の半導体記憶装置。

## 【請求項 14】

前記ヒューズ素子に書き込み電流を流すことにより、前記記録層と前記電極層とを物理的に分離させる書き込み回路と、前記ヒューズ素子に初期化電流を流すことにより、前記記録層に含まれる前記相変化材料を結晶化させる初期化回路をさらに備え、

40

前記書き込み電流の電流量は、前記初期化電流の電流量よりも大きいことを特徴とする請求項 12 又は 13 に記載の半導体記憶装置。

## 【請求項 15】

前記可変抵抗材料は、電圧パルスの印加によって電気抵抗が変化する磁気抵抗材料であることを特徴とする請求項 10 又は 11 に記載の半導体記憶装置。

## 【請求項 16】

請求項 10 乃至 15 のいずれか一項に記載の半導体記憶装置に欠陥アドレスをプログラムするプログラム方法であって、

欠陥のあるメモリセルのアドレスを特定するアドレス特定ステップと、特定された欠陥アドレスに応じて、所定のヒューズ素子を構成する前記記録層と前記電極層とを物理的に

50

分離させる書き込みステップとを備えることを特徴とする半導体記憶装置のプログラム方法。

【請求項 17】

前記ヒューズ素子に含まれる前記記録層の抵抗状態を判定する判定ステップをさらに備え、

前記書き込みステップは、前記記録層が低抵抗状態であると判定されたヒューズ素子を複数個用いることを特徴とする請求項 16 に記載の半導体記憶装置のプログラム方法。

【請求項 18】

前記ヒューズ素子に初期化電流を流すことにより、前記記録層に含まれる前記相変化材料を結晶化させる初期化ステップをさらに備えることを特徴とする請求項 16 又は 17 に記載の半導体記憶装置のプログラム方法。

10

【請求項 19】

前記初期化ステップを行っても前記記録層が低抵抗状態とならないヒューズ素子を無効化する無効化ステップをさらに備えることを特徴とする請求項 18 に記載の半導体記憶装置のプログラム方法。

【請求項 20】

可逆的な不揮発記録が可能な第 1 のメモリセルと、不可逆的な不揮発記録が可能な第 2 のメモリセルとを備え、

前記第 1 及び第 2 のメモリセルは、いずれも、電気抵抗が可逆的に変化する可変抵抗材料を含む記録層と、前記記録層と接する電極層とを含み、

20

前記第 2 のメモリセルを構成する前記記録層と前記電極層との接触面積は、前記第 1 のメモリセルを構成する前記記録層と前記電極層との接触面積よりも大きい、  
ことを特徴とする半導体記憶装置。

【請求項 21】

前記第 1 のメモリセルは、前記記録層に含まれる可変抵抗材料の電気抵抗を変化させることによって可逆的な不揮発記録を行うことが可能であり、

前記第 2 のメモリセルは、前記記録層と前記電極層とを物理的に分離させることによって不可逆的な不揮発記録を行うことが可能であることを特徴とする請求項 20 に記載の半導体記憶装置。

30

【請求項 22】

前記第 1 のメモリセルと前記第 2 のメモリセルが同じメモリセルアレイ内に混在していることを特徴とする請求項 20 又は 21 に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置及びそのプログラム方法に関し、特に、相変化材料のように、電気抵抗が可逆的に変化する可変抵抗材料を用いた半導体記憶装置及びそのプログラム方法に関する。

【背景技術】

【0002】

40

パーソナルコンピュータやサーバなどには、階層的に構築された種々の記憶装置が用いられる。下層の記憶装置は安価で且つ大容量であることが求められ、上層の記憶装置には高速アクセスが求められる。最も下層の記憶装置としては、一般的にハードディスクドライブや磁気テープなどの磁気ストレージが用いられる。磁気ストレージは不揮発性であり、しかも、半導体メモリなどに比べて極めて大容量のデータを安価に保存することが可能であるが、アクセススピードが遅く、しかも、多くの場合ランダムアクセス性を有していない。このため、磁気ストレージには、プログラムや長期的に保存すべきデータなどが格納され、必要に応じてより上層の記憶装置に転送される。

【0003】

メインメモリは、磁気ストレージよりも上層の記憶装置である。一般的に、メインメモ

50

りには D R A M (Dynamic Random Access Memory) が用いられる。D R A M は、磁気ストレージに比べて高速アクセスが可能であり、しかも、ランダムアクセス性を有している。また、S R A M (Static Random Access Memory) などの高速半導体メモリよりも、ビット単価が安いという特徴を有している。

【 0 0 0 4 】

最も上層の記憶装置は、M P U (Micro Processing Unit) に内蔵された内蔵キャッシュメモリである。内蔵キャッシュメモリは、M P U のコアと内部バスを介して接続されることから、極めて高速なアクセスが可能である。しかしながら、確保できる記録容量は極めて少ない。尚、内蔵キャッシュとメインメモリとの間の階層を構成する記憶装置として、2次キャッシュや3次キャッシュなどが使用されることもある。

10

【 0 0 0 5 】

D R A M がメインメモリとして選択される理由は、アクセス速度とビット単価のバランスが非常に良いからである。しかも、半導体メモリの中では大容量であり、近年においては1ギガビットを超える容量を持つチップも開発されている。しかしながら、D R A M は揮発性メモリであり、電源を切ると記憶データが失われてしまうため、プログラムや長期的に保存すべきデータの格納には適していない。また、電源投入中も、データを保持するためには定期的リフレッシュ動作を行う必要があるため、消費電力の低減に限界があるとともに、コントローラによる複雑な制御が必要であるという課題を抱えている。

【 0 0 0 6 】

大容量の不揮発性半導体メモリとしては、フラッシュメモリが知られている。しかしながら、フラッシュメモリは、データの書き込みやデータの消去に大電流が必要であり、しかも、書き込み時間や消去時間が非常に長いというデメリットを有している。したがって、メインメモリとしてのD R A Mを代替することは不適切である。その他、M R A M (Magnetoresistive Random Access Memory) や F R A M (Ferroelectric Random Access Memory) 等の不揮発性メモリが提案されているが、D R A M と同等の記憶容量を得ることは困難である。

20

【 0 0 0 7 】

一方、D R A M に代わる半導体メモリとして、相変化材料を用いて記録を行うP R A M (Phase change Random Access Memory) が提案されている(特許文献1, 2参照)。P R A M は、記録層に含まれる相変化材料の相状態によってデータを記憶する。つまり、相変化材料は、結晶相における電気抵抗とアモルファス相における電気抵抗が大きく異なっていることから、これを利用して、データを記録することができる。

30

【 0 0 0 8 】

相状態の変化は、相変化材料に書き込み電流を流し、これにより相変化材料を加熱することによって行われる。データの読み出しは、相変化材料に読み出し電流を流し、その抵抗値を測定することによって行われる。読み出し電流は、相変化を生じさせないように、書き込み電流よりも十分小さな値に設定される。このように、相変化材料の相状態は、高熱を印加しない限り変化しないことから、電源を切ってもデータが失われることはない。

【 0 0 0 9 】

P R A M に限らず、およそ全ての半導体記憶装置は、製造不良などによって欠陥メモリセルが生じるのが実情である。このような欠陥メモリセルは、通常、冗長メモリセルに置き換えられ、これによって欠陥のあるアドレスが救済される。

40

【 0 0 1 0 】

一般に、欠陥のあるアドレスは、複数のヒューズ素子を含むプログラム回路に記憶される。そして、欠陥のあるアドレスに対してアクセスが要求されると、上記プログラム回路によってこれが検出され、その結果、欠陥メモリセルではなく冗長メモリセルに対して代替アクセスが行われることになる。

【 0 0 1 1 】

ヒューズ素子の切断方法としては、大きく分けて、大電流によって溶断する方法と、レーザービームの照射によって破壊する方法の2通りの方法が知られている。前者の方法は、

50

レーザートリマーなどの高価な装置が不要であるとともに、ヒューズ素子が正しく切断されたか否かを簡単に自己診断できるなどの利点を有している。しかしながら、大電流によってポリシリコンなどからなるヒューズ素子を溶断するためには、かなりの大電流が必要である。このため、半導体記憶装置の内部に大規模なヒューズ切断回路や診断回路を組み込んでおく必要があり、これによりチップ面積の増大をもたらすという問題がある。

【 0 0 1 2 】

これに対し、後者の方法は、半導体記憶装置の内部にヒューズ切断回路などを組み込んでおく必要がないため、チップ面積を縮小することができる。しかしながら、この方法では、レーザービームの照射によってパッシベーション膜が破壊されてしまうことから、ここから水分などが侵入し、製品の信頼性を低下させる原因となることがあった。

10

【 0 0 1 3 】

他方、近年においては、アンチヒューズと呼ばれる素子を用いて欠陥アドレスを記憶する方法が提案されている（特許文献3，4参照）。アンチヒューズとは、通常のヒューズ素子とは逆に、初期状態においては非導通状態であり、書き込み操作を行うと導通状態となる素子である。しかしながら、アンチヒューズに対して書き込み操作を行っても、その導通状態には大きなばらつきが生じることから、アンチヒューズが非導通状態であるか導通状態であるかを判定するためにはセンス回路などが必要であり、これにより回路規模が大きくなるという問題があった。

【 0 0 1 4 】

このように、欠陥アドレスを記憶するためのプログラム回路は、その種類によって一長一短があり、P R A Mにおいてもこの点を考慮して適切なプログラム回路を選択する必要がある。ところで、P R A Mは不揮発性メモリであることから、P R A Mのメモリセル自体をプログラム回路の一部として用いることが考えられる。つまり、製造時において、記憶すべき欠陥アドレスに応じ、メモリセルに含まれる相変化材料を結晶状態又はアモルファス状態としておく方法が考えられる。

20

【 0 0 1 5 】

しかしながら、相変化材料の結晶化温度は150 程度と比較的低い。このため、ウェハ状態で正しくプログラムを完了しても、パッケージング時や実装時に行われるリフローによって全て結晶化してしまい、プログラムした内容が消去されてしまう。このため、P R A Mのメモリセル自体をプログラム回路の一部として用いることは、現実的に困難である。

30

【 0 0 1 6 】

他方、電圧パルスの印加によって電気抵抗が変化する磁気抵抗材料を用いたR R A M (Resistive Random Access Memory) も知られている。しかしながら、R R A Mにおいても、リフローによってプログラム内容が変化する可能性があることから、メモリセル自体をプログラム回路の一部として用いるのは困難であると考えられる。

【 0 0 1 7 】

このように、パッケージング前や実装前にP R A MやR R A Mのメモリセルに欠陥アドレスなどの情報を記憶させても、この情報をパッケージング後や実装後に亘って保持することは困難であった。

40

【 0 0 1 8 】

以上の問題は、欠陥アドレスを記憶するためのプログラム回路のみならず、データ領域とは別にユーザプログラムやベンダープログラムを記録するためのプログラム回路を設ける場合においても生じる問題である。例えば、フラッシュメモリなどにおいては、ユーザ領域とは別に、1回限りの書き込みが可能なO T P (One Time Programming) 領域が備えられていることがある。O T P領域には、ユーザプログラムやベンダープログラムなどが記録され、一旦O T P領域に記録されたプログラムはその後消去することができない。つまり、不可逆的な不揮発記録を行うことができる。このようなO T P領域をP R A MやR R A Mなどに設ける場合、P R A M素子やR R A M素子をO T P領域用に用いると、リフローによってプログラム内容が破壊される問題が生じる。

50

【特許文献1】特開2006-24355号公報  
【特許文献2】特開2005-158199号公報  
【特許文献3】特開2000-132992号公報  
【特許文献4】特開2000-208637号公報  
【発明の開示】

【発明が解決しようとする課題】

【0019】

したがって、本発明の目的は、電気抵抗が可逆的に変化しうる可変抵抗材料を有する改良された半導体記憶装置を提供することである。

【0020】

また、本発明の他の目的は、電気抵抗が可逆的に変化しうる可変抵抗材料を用いて不可逆的に情報を記録可能な半導体記憶装置を提供することである。

【0021】

また、本発明のさらに他の目的は、改良されたプログラム回路を備える不揮発性の半導体記憶装置を提供することである。

【0022】

また、本発明のさらに他の目的は、電気抵抗が可逆的に変化しうる可変抵抗材料を有する記憶素子に対してパッケージング前や実装前に記憶させた情報を、パッケージング後や実装後に亘って保持することが可能な半導体記憶装置を提供することである。

【0023】

また、本発明のさらに他の目的は、このような半導体記憶装置に対するプログラム方法を提供することである。

【課題を解決するための手段】

【0024】

本発明の一側面による半導体記憶装置は、電気抵抗が可逆的に変化しうる可変抵抗材料を含む記録層と、前記記録層と接する電極層とからなる記録ユニット及び不揮発性メモリ素子と、前記記録ユニットに電流を流すことにより、前記記録ユニットを構成する前記記録層と前記電極層とを物理的に分離させる書き込み回路と、前記記録ユニットに電圧を印加することにより、前記記録ユニットを構成する前記記録層と前記電極層との接続状態を検出する検出回路と、を備え、前記記録ユニットを構成する前記記録層と前記電極層との接触面積は、前記不揮発性メモリ素子を構成する前記記録層と前記電極層との接触面積よりも大きい、ことを特徴とする。

【0025】

可変抵抗材料の種類については特に限定されないが、相状態によって電気抵抗が異なる相変化材料や、電圧パルスの印加によって電気抵抗が変化する磁気抵抗材料を用いることができる。特に相変化材料は比較的融点が高いため、本発明における記録層の材料として最も好適である。

【0026】

本発明によれば、記録層に含まれる可変抵抗材料の抵抗状態によって情報を記憶するのではなく、記録層と電極層との物理的接触の有無によって情報を記憶している。つまり、記録層と電極層とが物理的に接触していればこれらに電流が流れ、記録層と電極層とが物理的に接触していなければこれらに電流が流れないことから、不可逆的に情報を記憶することが可能となる。

【0027】

このようにして不可逆的に記録された情報は、種々の用途に使用することが可能となる。例えば、上述した記録層と電極層からなる記録ユニットに欠陥アドレスを記憶させれば、プログラム回路のヒューズ素子として利用することが可能となる。或いは、記録ユニットにペンダープログラムなどを記憶させれば、OTP領域のメモリセルとして利用することが可能となる。これらの場合、ユーザデータが格納されるメモリセルが不揮発性メモリ素子を有しており、この不揮発性メモリ素子が上述した記録ユニットとほぼ同じ構成を有

10

20

30

40

50

していることが好ましい。これによれば、不揮発性メモリ素子とヒューズ素子を同一工程で形成することが可能となる。

【0028】

また、本発明の他の側面による半導体記憶装置は、可逆的な不揮発記録が可能な第1のメモリセルと、不可逆的な不揮発記録が可能な第2のメモリセルとを備え、第1及び第2のメモリセルは、いずれも、電気抵抗が可逆的に変化する可変抵抗材料を含む記録層と、前記記録層と接する電極層とを含み、前記第2のメモリセルを構成する前記記録層と前記電極層との接触面積は、前記第1のメモリセルを構成する前記記録層と前記電極層との接触面積よりも大きい、ことを特徴とする。

【0029】

本発明によれば、ユーザデータを第1のメモリセルに記録し、欠陥アドレスやベンダープログラムなどを第2のメモリセルに記録することができる。第1のメモリセルと第2のメモリセルは、互いにほぼ同じ構成を有していることが好ましく、この場合、第1のメモリセルは記録層に含まれる可変抵抗材料の電気抵抗を変化させることによって可逆的な不揮発記録を行うことができ、第2のメモリセルは記録層と電極層とを物理的に分離させることによって不可逆的な不揮発記録を行うことができる。

【0030】

また、本発明の一側面による半導体記憶装置のプログラム方法は、複数のビット線と、前記複数のビット線と交差する複数のワード線と、前記ビット線と前記ワード線との交点に配置された複数のメモリセルと、欠陥のあるメモリセルのアドレスを記憶するヒューズ素子を備え、前記メモリセル及び前記ヒューズ素子は、いずれも記録層及び電極層を有し、前記記録層は、電気抵抗が可逆的に変化する可変抵抗材料を含み、前記ヒューズ素子を構成する前記記録層と前記電極層との接触面積は、前記不揮発性メモリ素子を構成する前記記録層と前記電極層との接触面積よりも大きい、半導体記憶装置に対して欠陥アドレスをプログラムするプログラム方法であって、欠陥のあるメモリセルのアドレスを特定するアドレス特定ステップと、特定された欠陥アドレスに応じて、所定のヒューズ素子を構成する前記記録層と前記電極層とを物理的に分離させる書き込みステップとを備えることを特徴とする。

【0031】

本発明によれば、記録層と電極層との物理的接触の有無によってヒューズ素子に欠陥アドレスを保持させていることから、パッケージング前や実装前に記憶させた欠陥アドレスを、パッケージング後や実装後に亘って保持することが可能となる。

【発明の効果】

【0032】

このように、本発明によれば、記録層に含まれる可変抵抗材料の抵抗状態によって情報を記憶するのではなく、記録層と電極層との物理的接触の有無によって情報を記憶していることから、可変抵抗材料を用いた不可逆的な情報の記憶が可能となる。したがって、本発明をPRAMに適用すれば、メモリセルに含まれる不揮発性メモリ素子については記録層に含まれる相変化材料の相状態によって情報を保持し、ヒューズ素子については記録層と電極層との物理的接触の有無によって情報を保持することが可能となる。

【0033】

これにより、PRAMやRRAMのように、電気抵抗が可逆的に変化する可変抵抗材料を用いた半導体記憶装置において、欠陥アドレスやベンダープログラムなど不可逆的な不揮発記録が要求される情報をパッケージング前や実装前に記憶させることが可能となる。

【発明を実施するための最良の形態】

【0034】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

10

20

30

40

50

## 【 0 0 3 5 】

図 1 は、本発明の好ましい第 1 の実施形態による半導体記憶装置の全体構成を模式的に示すブロック図である。

## 【 0 0 3 6 】

図 1 に示すように、本実施形態による半導体記憶装置は、メモリセルアレイ 1 0 0 を有している。メモリセルアレイ 1 0 0 に対しては、外部からアドレス信号 A D D を供給することによりアクセス可能であり、アクセスされたメモリセルに対して入出力データ D Q の授受が行われる。メモリセルアレイ 1 0 0 に対するアクセスはアクセス制御回路 1 1 0 によって行われ、入出力データ D Q の授受は I / O 回路 1 2 0 によって行われる。

## 【 0 0 3 7 】

アドレス信号 A D D は、プログラム回路 2 0 0 を経路することにより内部アドレス I A D D となり、アクセス制御回路 1 1 0 に供給される。プログラム回路 2 0 0 は、メモリセルアレイ 1 0 0 に含まれる欠陥アドレスを記憶する回路であり、記憶された欠陥アドレスが供給されると、これを代替アドレスに置換してアクセス制御回路 1 1 0 に供給する。これにより、アクセス制御回路 1 1 0 はメモリセルアレイ 1 0 0 に含まれる冗長メモリセルに対してアクセスを行うことから、欠陥のあるアドレスが救済される。

## 【 0 0 3 8 】

後述するように、プログラム回路 2 0 0 には複数のヒューズセットが含まれている。プログラム回路 2 0 0 に欠陥アドレスを書き込む場合には、ヒューズセット選択回路 1 3 0 の出力であるヒューズセット選択信号 D E C 1 ~ D E C m を用いて所定のヒューズセットを選択し、この状態でプログラム回路 2 0 0 に欠陥アドレスを供給する。ヒューズセット選択回路 1 3 0 によるヒューズセット選択信号 D E C 1 ~ D E C m の生成は、例えば入力データをデコードすることによって行うことができる。

## 【 0 0 3 9 】

図 2 は、メモリセルアレイ 1 0 0 の構成を示す回路図である。

## 【 0 0 4 0 】

図 2 に示すように、メモリセルアレイ 1 0 0 は、複数のビット線 B 1 ~ B a と、これらビット線と交差する複数のワード線 W 1 ~ W b と、ビット線とワード線との交点に配置された複数のメモリセル M C とを有している。各メモリセル M C は、対応するビット線と基準電位（又はソース配線）との間に直列に接続された不揮発性メモリ素子 P C 及びトランジスタ T r によって構成されている。トランジスタ T r の制御端子は、対応するワード線に接続されている。

## 【 0 0 4 1 】

図 3 は、不揮発性メモリ素子 P C の構造を示す断面図である。

## 【 0 0 4 2 】

図 3 に示すように、不揮発性メモリ素子 P C は、層間絶縁膜 1 0 1 と、層間絶縁膜 1 0 1 に埋め込まれた下部電極層 1 0 2 と、層間絶縁膜 1 0 1 上に設けられた記録層 1 0 3 及び上部電極層 1 0 4 とを備えて構成されている。上部電極層 1 0 4 は、ビット線に接続される電極層である。或いは、上部電極層 1 0 4 自体がビット線であっても構わない。また、下部電極層 1 0 2 は、下層の配線層 1 0 5 に接続されており、この配線層 1 0 5 を介して対応するトランジスタ T r （図示せず）に接続される。

## 【 0 0 4 3 】

下部電極層 1 0 2 は、ヒータープラグとして用いられる。つまり、データの書き込み時において、発熱体の一部となる。このため、下部電極層 1 0 2 の材料としては、電気抵抗の比較的高い材料、例えば、メタルシリサイド、メタル窒化物、メタルシリサイドの窒化物など用いることが好ましい。特に限定されるものではないが、W、T i N、T a N、W N、T i A l N などの高融点金属及びその窒化物、或いは、T i S i N、W S i N などの高融点金属シリサイドの窒化物、さらには、T i C N 等の材料を好ましく用いることができる。

## 【 0 0 4 4 】

10

20

30

40

50



記録層103は、電気抵抗が可逆的に変化する可変抵抗材料によって構成され、本実施形態においては相変化材料によって構成されている。記録層103を構成する相変化材料としては、2以上の相状態を取り、且つ、相状態によって電気抵抗が異なる材料であれば特に制限されないが、いわゆるカルコゲナイド材料を選択することが好ましい。カルコゲナイド材料とは、ゲルマニウム(Ge)、アンチモン(Sb)、テルル(Te)、インジウム(In)、セレン(Se)等の元素を少なくとも一つ以上含む合金を指す。一例として、GaSb、InSb、InSe、Sb<sub>2</sub>Te<sub>3</sub>、GeTe等の2元系元素、Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>、InSbTe、GaSeTe、SnSb<sub>2</sub>Te<sub>4</sub>、InSbGe等の3元系元素、AgInSbTe、(GeSn)SbTe、GeSb(SeTe)、Te<sub>8</sub>Ge<sub>15</sub>Sb<sub>2</sub>S<sub>2</sub>等の4元系元素が挙げられる。

10

## 【0045】

カルコゲナイド材料を含む相変化材料は、アモルファス相(非晶質相)及び結晶相のいずれかの相状態をとることができ、アモルファス相では相対的に高抵抗状態、結晶相では相対的に低抵抗状態となる。

## 【0046】

図4は、カルコゲナイド材料を含む相変化材料の相状態を制御する方法を説明するためのグラフである。

## 【0047】

カルコゲナイド材料を含む相変化材料をアモルファス状態とするためには、図4の曲線Aに示すように、融点T<sub>m</sub>以上の温度に一旦加熱した後、冷却すればよい。一方、カルコゲナイド材料を含む相変化材料を結晶状態とするためには、図4の曲線Bに示すように、結晶化温度T<sub>x</sub>以上、融点T<sub>m</sub>未満の温度に一旦加熱し、ある程度の時間この状態を維持した後、冷却すればよい。加熱は、通電によって行うことができる。加熱時の温度は通電量、すなわち、単位時間当たりの電流量や通電時間によって制御することができる。

20

## 【0048】

記録層103に書き込み電流を流した場合、記録層103のうち、下部電極層102の直上部分が発熱する。つまり、記録層103に書き込み電流を流すことにより、図5に示す相変化領域Pにおいて、カルコゲナイド材料の相状態を変化させることができる。相変化領域Pは下部電極層102と接する領域である。したがって、相変化領域Pが結晶状態であれば、下部電極層102と上部電極層104との間は低抵抗状態となり、相変化領域Pがアモルファス状態であれば、下部電極層102と上部電極層104との間は高抵抗状態となる。この差を利用して、不揮発性メモリ素子PCに情報を記憶することが可能となる。

30

## 【0049】

メモリセルアレイ100は、このような不揮発性メモリ素子PCを有するメモリセルMCを多数備えており、これにより、所望のユーザデータを記憶することができる。

## 【0050】

図6は、プログラム回路200の構成を示すブロック図である。

## 【0051】

図6に示すように、プログラム回路200は、複数のヒューズセット201~20mと、アドレス置換回路210とを備えている。ヒューズセット201~20mは、それぞれ欠陥アドレスを記憶する回路単位であり、したがって本例では、m個の欠陥アドレスを記憶できることになる。ヒューズセット201~20mには、それぞれ対応するヒューズセット選択信号DEC1~DECmが供給されており、欠陥アドレスの書き込み時においてヒューズセット201~20mを個別に選択することができる。また、各ヒューズセット201~20mにはアドレス信号ADDが共通に供給されており、記憶している欠陥アドレスとの一致を検出すると、検出信号HIT1~HITmを活性化させる。

40

## 【0052】

検出信号HIT1~HITmは、アドレス置換回路210に供給される。検出信号HIT1~HITmのいずれかが活性化すると、アドレス置換回路210はアドレス信号AD

50

Dを代替アドレスに変換し、これを内部アドレスIADDとしてアクセス制御回路110に供給する。一方、検出信号HIT1～HITmがいずれかも非活性状態であれば、アドレス置換回路210はアドレス信号ADDを変換することなく、そのまま内部アドレスIADDとしてアクセス制御回路110に供給する。

【0053】

図7は、一つのヒューズセット20iの構成を示す回路図である。

【0054】

図7に示すように、一つのヒューズセット20iは、アドレス信号ADDの各ビット(A0～An)にそれぞれ対応する複数の単位回路220～22nと、これら単位回路220～22nからの一致信号C0～Cnを受けるAND(論理積)回路230によって構成されている。単位回路220～22nは、それぞれ欠陥アドレスの対応する1ビットを記憶する回路であり、アドレス信号ADDの対応する1ビットと一致した場合、一致信号C0～Cnをハイレベルに活性化させる。

10

【0055】

したがって、AND回路230は、全ての一致信号C0～Cnがハイレベルになると、検出信号HITiをハイレベルに活性化させる。検出信号HITiは、図6に示したようにアドレス置換回路210に供給される。

【0056】

図8は、一つの単位回路22jの基本構成を示すブロック図である。

【0057】

図8に示すように、一つの単位回路22jは、記録ユニットを構成するヒューズ素子Fを有している。ヒューズ素子Fの一端は電源配線に接続されており、他端である接点Nは検出回路240、書き込み回路250及びラッチ回路260に接続されている。

20

【0058】

検出回路240はヒューズ素子Fの接続状態を検出する回路であり、半導体記憶装置のリセット時に活性化されるパワーオン信号PONに应答して検出動作を行う。また、書き込み回路250はヒューズ素子Fを切断するための回路であり、ヒューズ切断信号FCUT、アドレス信号ADDの対応するビットAj及び対応するヒューズセット選択信号DECiに应答して切断動作を行う。さらに、ラッチ回路260は、接点Nの論理レベルをラッチする回路であり、ラッチされた論理レベルは判定回路270に供給される。判定回路270は、ラッチされた論理レベルとアドレス信号ADDの対応するビットAjの論理レベルとを比較する回路であり、これらが一致している場合には、一致信号Cjを活性化させる。

30

【0059】

図9は、ヒューズ素子Fの構造を示す断面図である。

【0060】

図9に示すように、ヒューズ素子Fは、図3に示した不揮発性メモリ素子PCとほぼ同じ構成を有している。つまり、層間絶縁膜101と、層間絶縁膜101に埋め込まれた下部電極層102と、層間絶縁膜101上に設けられた記録層103及び上部電極層104とを備えて構成されている。上部電極層104は、電源配線に接続される電極層である。或いは、上部電極層104自体が電源配線であっても構わない。また、下部電極層102は、下層の配線層105に接続されており、この配線層105が図8に示した接点Nとなる。

40

【0061】

これら、層間絶縁膜101、下部電極層102、記録層103、上部電極層104及び配線層105は、不揮発性メモリ素子PCを構成するこれら要素と同一工程で同時に形成される。したがって、ヒューズ素子Fを形成するための追加工程は不要である。

【0062】

このように、ヒューズ素子Fは不揮発性メモリ素子PCと同じ構成を有しているが、ヒューズ素子Fに含まれる記録層103は、相変化材料層の相状態を変化させることにより

50

情報を記憶するのではなく、記録層 103 と下部電極層 102 との物理的接触の有無によって情報を記憶する。

【0063】

つまり、製造直後の初期状態においては、図 9 に示すように、記録層 103 と下部電極層 102 とが接触していることから、この場合、ヒューズ素子 F には電流が流すことができる。したがって、図 8 に示した検出回路 240 を活性化させて記録層 103 と下部電極層 102 との間に電源電圧を印加すると、接点 N の電位はほぼ電源電位となる。

【0064】

これに対し、図 8 に示した書き込み回路 250 を活性化させると、記録層 103 と下部電極層 102 との間に大電流が流れ、図 4 の曲線 Q に示すように、記録層 103 は相変化材料の融点  $T_m$  を大幅に超えて加熱される。その結果、図 10 に示すように、記録層 103 と下部電極層 102 との界面近傍において破壊が生じ、空洞 R が形成される。これにより、記録層 103 と下部電極層 102 とは物理的に分離されることから、ヒューズ素子 F には電流が流れなくなる。したがって、図 8 に示した検出回路 240 を活性化させて記録層 103 と下部電極層 102 との間に電源電圧を印加しても、接点 N の電位はほぼグラウンド電位となる。

【0065】

このようにして記録層 103 と下部電極層 102 を物理的に分離すると、これらを再び接触状態に戻すことはできない。したがって、ヒューズ素子 F は、レーザービームの照射などによって切断する通常のヒューズ素子と同様、情報を不可逆的に記憶することが可能となる。

【0066】

ここで、ヒューズ素子 F を構成する記録層 103 の材料としてカルコゲナイド材料などの相変化材料を用いているのは、次の理由による。第 1 に、カルコゲナイド材料などの相変化材料は、アルミニウム (Al) やポリシリコンなど他の導電材料に比べて融点がかかなり低く、破壊により空洞 R を形成しやすい点が挙げられる。第 2 に、本実施形態による半導体記憶装置は、メモリセル MC が不揮発性メモリ素子 PC を有しているため、不揮発性メモリ素子 PC を形成する工程にてヒューズ素子 F を同時に形成することができるからである。

【0067】

ヒューズ素子 F を構成する記録層 103 は、相変化材料を含んでいることから、図 9 のように非切断状態、つまり、記録層 103 と下部電極層 102 とが接触している状態であっても、ヒューズ素子 F の抵抗値にはばらつきが生じうる。一般には、成膜直後においてはアモルファス状態であり、その後のリフロー工程などによって結晶状態となる。このため、非切断状態であるヒューズ素子 F は、十分に低抵抗状態となるはずである。しかしながら、実際には、記録層 103 と下部電極層 102 との接触面積が小さくなると、初期状態における抵抗値のばらつきが大きくなる傾向がある。特に、下部電極層 102 の径をメモリセル並みに微細化すると、非切断状態であってもヒューズ素子 F が高抵抗状態となる可能性が高くなる。

【0068】

このような点を考慮して、本実施形態では、不揮発性メモリ素子 PC に含まれる下部電極層 102 の径  $D_1$  (図 3 参照) と、ヒューズ素子 F に含まれる下部電極層 102 の径  $D_2$  (図 9 参照) との関係を

$$D_1 < D_2$$

に設定している。このように設定することにより、ヒューズ素子 F における記録層 103 と下部電極層 102 との接触面積が拡大することから、非切断状態にあるヒューズ素子 F をより確実に低抵抗状態とすることが可能となる。但し、この点は本発明において必須ではない。

【0069】

図 11 は、単位回路 22j のより具体的な構成を示す回路図である。

## 【 0 0 7 0 】

図 1 1 に示す回路は、ヒューズ素子 F の他端である接点 N とグランド配線との間に直列接続されたトランジスタ 2 4 1 , 2 4 2 を有している。これらトランジスタ 2 4 1 , 2 4 2 は、図 8 に示した検出回路 2 4 0 に相当する。トランジスタ 2 4 1 のゲートには、半導体記憶装置のリセット時に活性化されるパワーオン信号 P O N が供給される。一方、トランジスタ 2 4 2 のゲートは電源電位に固定され、トランジスタ 2 4 1 に流れる電流量を制限する電流制限素子として機能する。したがって、ヒューズ素子 F は、パワーオン信号 P O N が活性化すると、一時的にグランド配線に接続されることになる。但し、トランジスタ 2 4 2 によって電流が制限されていることから、トランジスタ 2 4 1 がオンしても、ヒューズ素子 F が切断されることはない。

10

## 【 0 0 7 1 】

また、図 1 1 に示す回路は、ヒューズ素子 F の他端である接点 N とグランド配線との間に直列接続されたトランジスタ 2 5 1 ~ 2 5 3 をさらに有している。これらトランジスタ 2 5 1 ~ 2 5 3 は、図 8 に示した書き込み回路 2 5 0 に相当する。トランジスタ 2 5 1 のゲートには対応するヒューズセット選択信号 D E C i が供給され、トランジスタ 2 5 1 のゲートにはヒューズ切断信号 F C U T が供給され、トランジスタ 2 5 3 のゲートにはアドレス信号 A D D の対応するビット A j が供給される。トランジスタ 2 5 1 ~ 2 5 3 は、ヒューズ素子 F を切断可能なオン電流を流すことが可能であり、これにより、トランジスタ 2 5 1 ~ 2 5 3 が全てオンすると、ヒューズ素子 F は図 9 に示す非切断状態から図 1 0 に示す切断状態に変化する。

20

## 【 0 0 7 2 】

また、図 1 1 に示すインバータ 2 6 1 とトランジスタ 2 6 2 , 2 6 3 は、図 8 に示したラッチ回路 2 6 0 に相当する。インバータ 2 6 1 の入力端は接点 N に接続されている。また、トランジスタ 2 6 2 は、接点 N とグランド配線との間に接続されており、トランジスタ 2 6 2 のゲートにはインバータ 2 6 1 の出力がフィードバックされる。さらに、トランジスタ 2 6 3 のゲートには、対応するヒューズセット選択信号 D E C i の反転信号が供給される。かかる構成により、パワーオン信号 P O N が一時的に活性化すると、ヒューズ素子 F が非切断状態であればインバータ 2 6 1 の出力はローレベルとなり、ヒューズ素子 F が切断状態であればインバータ 2 6 1 の出力はハイレベルとなる。

30

## 【 0 0 7 3 】

但し、ヒューズセット選択信号 D E C i が活性レベル（ハイレベル）である期間は、トランジスタ 2 6 3 がオフ状態となることから、ラッチ動作は行われない。これは、ヒューズ素子 F の切断電流量をトランジスタ 2 5 1 ~ 2 5 3 によって正しく制御するためである。

## 【 0 0 7 4 】

さらに、図 1 1 に示す E X N O R（排他的否論理和）回路 2 7 1 は、図 8 に示した判定回路 2 7 0 に相当する。E X N O R 回路 2 7 1 は、アドレス信号 A D D の対応するビット A j とインバータ 2 6 1 の出力を受け、これらが一致すると一致信号 C j をハイレベルとする。

40

## 【 0 0 7 5 】

ヒューズ素子 F の切断は、ウェハ状態で行われる動作試験において欠陥のあるメモリセルのアドレスを特定した後、特定された欠陥アドレスに応じて行われる。

## 【 0 0 7 6 】

図 1 2 は、プログラム回路 2 0 0 に対するプログラム方法を説明するためのフローチャートである。

## 【 0 0 7 7 】

まず、ウェハ状態で動作試験を行い、これによって欠陥アドレスを検出する（ステップ S 1 1）。次に、検出された欠陥アドレスのいずれかを一つを特定し（ステップ S 1 2）、ヒューズセット選択信号 D E C 1 ~ D E C m を用いていずれか一つのヒューズセットを選択する（ステップ S 1 3）。ヒューズセットの選択は、図 1 に示したヒューズセット選

50

択回路130によって入力データをデコードすることによって行う。これにより、ヒューズセット選択信号DEC1~DECmのいずれか(例えばDECi)が活性化し、対応するヒューズセット20iに対する欠陥アドレスの書き込みが可能な状態となる。

**【0078】**

この状態で、ヒューズ切断信号FCUTをハイレベルに活性化させるとともに、欠陥アドレスを供給する(ステップS14)。これにより、選択されたヒューズセット20iに含まれるヒューズ素子Fのうち、欠陥アドレスの対応するビットが「1」であるヒューズ素子Fには、トランジスタ251~253を介して切断電流が流れることになる。これにより、ヒューズ素子Fを構成する記録層103と下部電極層102とが物理的に分離され、ヒューズ素子Fは切断される。これに対し、欠陥アドレスの対応するビットが「0」であるヒューズ素子Fには切断電流が流れず、記録層103と下部電極層102とは物理的に接触した状態が保たれる。

10

**【0079】**

そして、他にプログラムすべき欠陥アドレスがあれば(ステップS15: YES)、ステップS12に戻って欠陥アドレスの特定を行う。一方、他にプログラムすべき欠陥アドレスが無ければ(ステップS15: NO)、一連のプログラム処理を終了する。

**【0080】**

以上により、各欠陥アドレスがプログラム回路200に含まれるヒューズセット201~20mのいずれかに書き込まれる。したがって、リセット動作によってパワーオン信号PONを一時的に活性化させると、ラッチ回路260に欠陥アドレスがラッチされ、判定回路270を用いたアドレス判定が可能な状態となる。そして、外部から欠陥アドレスが実際に供給されると、検出信号HIT1~HITmのいずれかが活性化し、アドレス置換回路210によって代替アドレスへの置換が行われる。

20

**【0081】**

以上説明したように、本実施形態による半導体記憶装置では、ヒューズ素子Fが相変化材料からなる記録層103を含んでおり、記録層103と下部電極層102とを物理的に分離させることによって不可逆的に欠陥アドレスを記録している。このため、レーザビームを用いてヒューズ素子を切断することによって欠陥アドレスを記憶するタイプの半導体記憶装置とは異なり、パッシベーション膜が破壊されることがなく、製品の信頼性を高めることが可能となる。しかも、切断時にレーザビームを用いないことから、ヒューズ素子Fの近傍(例えばヒューズ素子Fの上方など)に他の素子や配線などを配置することができる。つまり、ヒューズ素子Fの近傍がデッドスペースとならないことから、集積度を高めることが可能となる。

30

**【0082】**

また、相変化材料は比較的融点が高いことから、ポリシリコンなどからなるヒューズ素子を大電流によって溶断するタイプと比べて、切断が非常に容易且つ確実であるという利点も有する。具体的には、本実施形態によるヒューズ素子Fを切断するのに必要な電圧は2~3V程度、切断に要する時間は数十~数百 $\mu$ s程度である。また、ヒューズ素子Fの切断前の抵抗値は約数K~数十Kであるのに対し、切断後の抵抗値はMオーダーとなるこのため、アンチヒューズのように、非導通状態であるか導通状態であるかを判定するセンス回路なども不要である。

40

**【0083】**

さらに、本実施形態では、メモリセルMCに含まれる不揮発性メモリ素子PCとヒューズ素子Fとがほぼ同じ構造を有していることから、これらを同一工程で形成することが可能となり、ヒューズ素子Fを形成するための追加工程が不要である。しかも、本実施形態では、不揮発性メモリ素子PCに含まれる下部電極層102の径D1よりも、ヒューズ素子Fに含まれる下部電極層102の径D2を大きく設定していることから、初期状態における抵抗値のばらつきを低減することが可能となる。

**【0084】**

このように、本実施形態では、ヒューズ素子Fに含まれる下部電極層102の径D2を

50

大きくすることによって、初期状態における抵抗値のばらつきを低減しているが、初期状態においてヒューズ素子Fが低抵抗状態となっているか否かを確認可能な手段を設ければ、より信頼性を高めることが可能となる。以下、初期状態におけるヒューズ素子Fの抵抗状態を確認可能な第2の実施形態について説明する。

【0085】

図13は、本発明の好ましい第2の実施形態において用いられる単位回路22jの回路図であり、初期状態においてヒューズ素子Fが低抵抗状態となっているか否かを確認するための回路が付加されている。具体的には、アドレス信号ADDの対応するビットAjとテスト信号TESTを受けるAND回路280が追加され、その出力がEXNOR回路271に供給された構成を有している。その他の構成については、図11に示した回路と同じである。

10

【0086】

テスト信号TESTは、通常時においてハイレベルであり、テスト時においてローレベルとなる信号である。したがって、通常時は図11に示した回路と全く同じ動作をするが、テスト時においてはEXNOR回路271の一方の入力信号がローレベルに固定される。したがって、テスト時においては、アドレス信号ADDの値にかかわらず、一致信号Cjはヒューズ素子Fが低抵抗状態であるか高抵抗状態であるかを示すことになる。つまり、ヒューズ素子Fが低抵抗状態であれば一致信号Cjはハイレベルとなり、ヒューズ素子Fが高抵抗状態であれば一致信号Cjはローレベルとなる。

【0087】

20

図14は、本実施形態にて用いられるヒューズセット20iの構成を示すブロック図である。

【0088】

図14に示すヒューズセット20iは、図7に示したヒューズセット20iと異なり、イネーブル回路300及びAND回路231が追加されている。各単位回路220~22n及びイネーブル回路300にはテスト信号TESTが供給され、イネーブル回路300には無効化信号ECUTが供給されている。AND回路231は、一致信号C0~Cnを受ける回路であり、これらが全てハイレベルとなると判定信号PASSiをハイレベルに活性化させる。

【0089】

30

また、AND回路230の入力には、イネーブル回路300の出力であるイネーブル信号Eが追加されている。このため、本実施形態では、一致信号C0~Cnだけでなく、イネーブル信号Eについてもハイレベルとなった場合に、検出信号HITiが活性化する。その他の構成については、図7に示したヒューズセット20iと同じである。

【0090】

図15は、イネーブル回路300の回路図である。

【0091】

図15に示すように、イネーブル回路300は、トランジスタ253のゲートに無効化信号ECUTが供給され、AND回路280の一入力端が電源電位及びグランド電位に固定されている点において、図13に示した単位回路22jと異なる。その他の構成については、図13に示した単位回路22jと同じである。

40

【0092】

図16は、本実施形態におけるプログラム方法を説明するためのフローチャートである。

【0093】

本実施形態によるプログラム方法は、欠陥アドレスの検出(ステップS11)のあとに、ヒューズセットのテスト(ステップS21)と不良ヒューズセットの無効化(ステップS22)が追加されている点において、図12に示したプログラム方法と相違している。尚、これら追加されたステップS21、S22は、ステップS11より前に実行しても構わない。

50

## 【 0 0 9 4 】

ヒューズセットのテスト（ステップ S 2 1）は、テスト信号 T E S T をローレベルに活性化させることにより行う。この時点では、まだいずれのヒューズ素子 F も切断されていないことから、正しく低抵抗状態となっていれば、一致信号 C 0 ~ C n は全てハイレベルとなるはずである。したがって、単位回路 2 2 0 ~ 2 2 n に含まれるヒューズ素子 F が全て低抵抗状態となっているならば、AND 回路 2 3 1 の出力である判定信号 P A S S i はハイレベルとなるはずである。

## 【 0 0 9 5 】

しかしながら、いずれかのヒューズ素子 F が高抵抗状態となっている場合には、対応する単位回路 2 2 j の出力である一致信号 C j がローレベルとなることから、当該ヒューズセット 2 0 i の判定信号 P A S S i は活性化せず、ローレベルのままとなる。

10

## 【 0 0 9 6 】

このような不良ヒューズセットは、欠陥アドレスを正しく記憶することができないため、無効化処理を行う（ステップ S 2 2）。不良ヒューズセットの無効化は、無効化信号 E C U T をハイレベルに活性化させた状態で、無効化すべき不良ヒューズセットに対応するヒューズセット選択信号 D E C i をハイレベルに活性化させることにより行う。これにより、不良ヒューズセットに含まれるイネーブル回路 3 0 0 のヒューズ素子 F が切断される。イネーブル回路 3 0 0 のヒューズ素子 F が切断されると、イネーブル回路 3 0 0 の出力であるイネーブル信号 E はローレベルに固定され、使用できない状態となる。

## 【 0 0 9 7 】

20

このようにしてヒューズセットの選別を行った後は、既に説明した手順にしたがって欠陥アドレスの書き込みを行う（ステップ S 1 2 ~ ステップ S 1 5）。このとき、ステップ S 1 3 におけるヒューズセットの選択は、イネーブル信号 E がハイレベルである正常なヒューズセットの中から行き、イネーブル信号 E がローレベルである不良ヒューズセットからは選択しない。これにより、初期状態における抵抗値のばらつきによって欠陥アドレスを正しく記憶できないヒューズセットの使用を回避することができ、信頼性をより高めることが可能となる。

## 【 0 0 9 8 】

このように、本実施形態では、高抵抗状態となっているヒューズ素子を含むヒューズセットを無効化しているが、初期化によってヒューズ素子 F が低抵抗化する手段を設ければ、無効化されるヒューズセットを救済することが可能となる。以下、初期化によってヒューズ素子 F を低抵抗化可能な第 3 の実施形態について説明する。

30

## 【 0 0 9 9 】

図 1 7 及び図 1 8 は、それぞれ本発明の好ましい第 3 の実施形態において用いられる単位回路 2 2 j 及びイネーブル回路 3 0 0 の回路図である。

## 【 0 1 0 0 】

図 1 7 及び図 1 8 に示すように、本実施形態において用いられる単位回路 2 2 j 及びイネーブル回路 3 0 0 には、初期化によってヒューズ素子 F を低抵抗化するための回路が付加されている。具体的には、トランジスタ 2 5 2 , 2 5 3 と並列接続されたトランジスタ 2 5 4 が追加され、そのゲートに電源電位が供給された構成を有している。その他の構成については、図 1 3 及び図 1 5 に示した回路とそれぞれ同じである。

40

## 【 0 1 0 1 】

トランジスタ 2 5 4 は、ヒューズ素子 F に初期化電流を流すためのトランジスタであり、トランジスタ 2 5 2 がオフしている状態でトランジスタ 2 5 1 がオンすると、ヒューズ素子 F には初期化電流が流れる。初期化電流は、切断時に流す電流よりも小さく、ヒューズ素子 F に含まれる記録層 1 0 3 が図 4 に示した曲線 B に従って加熱されるレベルに設定される。このため、トランジスタ 2 5 1 がオンすると、ヒューズ素子 F に含まれる記録層 1 0 3 は結晶化され、低抵抗状態となる。

## 【 0 1 0 2 】

図 1 9 は、本実施形態におけるプログラム方法を説明するためのフローチャートである

50

## 【 0 1 0 3 】

本実施形態によるプログラム方法は、欠陥アドレスの検出（ステップ S 1 1）のあとに、ヒューズセットのテスト（ステップ S 3 1）、不良ヒューズセットの初期化（ステップ S 3 2）、初期化の成否判定（ステップ S 3 3）及び不良ヒューズセットの無効化（ステップ S 3 4）が追加されている点において、図 1 2 に示したプログラム方法と相違している。尚、これら追加されたステップ S 3 1 ~ 3 4 は、ステップ S 1 1 より前に実行しても構わない。

## 【 0 1 0 4 】

ヒューズセットのテスト（ステップ S 3 1）は、上述したステップ S 2 1 と同じであり、テスト信号 T E S T をローレベルに活性化させることにより行う。上述の通り、この時点では、まだいずれのヒューズ素子 F も切断されていないことから、単位回路 2 2 0 ~ 2 2 n に含まれるヒューズ素子 F が全て低抵抗状態となっていれば、判定信号 P A S S i はハイレベルとなるはずである。

## 【 0 1 0 5 】

しかしながら、いずれかのヒューズ素子 F が高抵抗状態となっている場合には、対応する単位回路 2 2 j の出力である一致信号 C j がローレベルとなることから、当該ヒューズセット 2 0 i の判定信号 P A S S i は活性化せず、ローレベルのままとなる。

## 【 0 1 0 6 】

このような不良ヒューズセットは、このままでは欠陥アドレスを正しく記憶することができないため、これを救済すべく、初期化処理を行う（ステップ S 3 2）。不良ヒューズセットの初期化は、ヒューズ切断信号 F C U T をローレベルとした状態で、初期化すべき不良ヒューズセットに対応するヒューズセット選択信号 D E C i をハイレベルに活性化させることにより行う。これにより、不良ヒューズセットに含まれる全てのヒューズ素子 F には初期化電流が流れ、ヒューズ素子 F に含まれる記録層 1 0 3 が結晶化される。これにより、高抵抗状態であったヒューズ素子 F も低抵抗状態に変化する。

## 【 0 1 0 7 】

次に、再びヒューズセットのテストを行うことにより、初期化が成功したか否かを判定する（ステップ S 3 3）。その結果、初期化に失敗したヒューズセット、つまり、初期化を行ってもなお判定信号 P A S S i がローレベルとなるヒューズセットについては、無効化処理を行う（ステップ S 3 4）。無効化処理（ステップ S 3 4）は、上述したステップ S 2 2 と同じであり、無効化信号 E C U T をハイレベルに活性化させた状態で、無効化すべき不良ヒューズセットに対応するヒューズセット選択信号 D E C i をハイレベルに活性化させることにより行う。対応するイネーブル信号 E はローレベルに固定され、当該ヒューズセットは使用できない状態となる。

## 【 0 1 0 8 】

このようにしてヒューズセットの選別を行った後は、既に説明した手順にしたがって欠陥アドレスの書き込みを行う（ステップ S 1 2 ~ ステップ S 1 5）。ここでも、ステップ S 1 3 におけるヒューズセットの選択は、イネーブル信号 E がハイレベルである正常なヒューズセットの中から行き、イネーブル信号 E がローレベルである不良ヒューズセットからは選択しない。

## 【 0 1 0 9 】

このように、本実施形態では、不良ヒューズセットに対して初期化を行っていることから、初期状態において高抵抗状態となっているヒューズ素子 F を低抵抗状態に変化させることができる。これにより、無効化されるヒューズセットをほとんど無くすることが可能となる。尚、本実施形態では、初期化処理（ステップ S 3 2）を不良ヒューズセットに対してのみ実行しているが、ヒューズセット選択信号 D E C 1 ~ D E C m を全てハイレベルとすることにより、全てのヒューズセット 2 0 1 ~ 2 0 m に対して初期化処理を行っても構わない。

## 【 0 1 1 0 】

10

20

30

40

50



次に、本発明の第4の実施形態について説明する。

【0111】

図20は、本発明の好ましい第4の実施形態による半導体記憶装置の全体構成を模式的に示すブロック図である。

【0112】

図20に示すように、本実施形態による半導体記憶装置は、メモリセルアレイ100、アクセス回路110及びI/O回路120に加え、OTP領域400を備えている。メモリセルアレイ100、アクセス回路110及びI/O回路120については、図1に示したものと同様である。図20では、プログラム回路200及びヒューズセット選択回路130が省略されているが、図1に示した半導体記憶装置と同様、これらを備えていても構

10

【0113】

OTP領域400は、ユーザプログラムやベンダープログラムを記録するための領域であり、一旦OTP領域400に記録されたプログラムはその後消去することができない。つまり、不可逆的な不揮発記録を行うことができる。

【0114】

図21は、OTP領域400の構成を示すブロック図である。

【0115】

図21に示すように、OTP領域400は、デコーダ410と、複数のOTPレジスタ401~40mによって構成されている。デコーダ410は、アドレス信号ADDをデコードすることにより、対応する選択信号SEL1~SELMを活性化させる回路である。これら選択信号SEL1~SELMは、それぞれ対応するOTPレジスタ401~40mに供給される。

20

【0116】

各OTPレジスタ40i (i = 1 ~ m) は、いずれも単位回路420~42nによって構成されている。各単位回路420~42nの具体的な回路構成については、ビットA<sub>j</sub>の代わりに対応する選択信号SEL<sub>i</sub>が用いられる他は、図11又は図17に示した単位回路22<sub>j</sub>と同じ回路構成を有している。したがって、単位回路420~42nに含まれるヒューズ素子Fを切断することによって、n+1ビットのデータDATAを不可逆的に不揮発記録することができる。単位回路420~42nの出力DATAは、図20に示すI/O回路120に供給され、外部に出力される。

30

【0117】

このような構成により、本実施形態による半導体記憶装置においては、可逆的な不揮発記録が必要なユーザデータについてはメモリセルアレイ100に記録し、不可逆的な不揮発記録が必要なユーザプログラムやベンダープログラムについてはOTP領域400に記録することができる。このため、ベンダープログラムなどをパッケージング前や実装前にOTP領域400に記憶させた場合であっても、リフローによってプログラム内容が破壊されることがない。

【0118】

尚、上述した第4の実施形態では、OTP領域400が図6に示したプログラム回路200と類似の構成を有しているが、OTP領域400の構成がこれに限定されるものではない。したがって、例えば図2に示すメモリセルアレイ100と同様、ワード線とビット線の交点にメモリセルMCがアレイ状に配列されたマトリクス構成を有していても構わない。

40

【0119】

次に、本発明の第5の実施形態について説明する。

【0120】

図22は、本発明の好ましい第5の実施形態による半導体記憶装置の全体構成を模式的に示すブロック図である。

【0121】

50

図 2 2 に示すように、本実施形態による半導体記憶装置においては、O T P 領域 5 0 0 がメモリセルアレイ 1 0 0 の一部を構成している。つまり、ユーザ領域を構成するメモリセルと O T P 領域を構成するメモリセルが同じメモリセルアレイ内に混在している。図 2 2 においても、プログラム回路 2 0 0 及びヒューズセット選択回路 1 3 0 が省略されているが、図 1 に示した半導体記憶装置と同様、これらを備えていても構わない。

#### 【 0 1 2 2 】

図 2 3 は、本実施形態におけるメモリセルアレイ 1 0 0 の構成を示す図である。図 2 3 ( a ) に示す例では、ユーザ領域 5 1 0 と O T P 領域 5 0 0 がロウアドレスによって区別されており、図 2 3 ( b ) に示す例では、ユーザ領域 5 1 0 と O T P 領域 5 0 0 がカラムアドレスによって区別されている。このような構成によれば、メモリセルアレイ 1 0 0 に対する通常のアクセスによって、O T P 領域 5 0 0 に記録されたユーザプログラムやベンダープログラムなどを読み出すことが可能となる。

#### 【 0 1 2 3 】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

#### 【 0 1 2 4 】

例えば、上記実施形態では、記録層を構成する可変抵抗材料として、カルコゲナイド材料などの相変化材料を用いているが、電気抵抗が可逆的に変化する可変抵抗材料であれば、相変化材料に限定されない。したがって、電圧パルスの印加によって電気抵抗が変化する磁気抵抗材料を用いても構わない。この場合、メモリセル M C についても同じ磁気抵抗材料を用いることにより、いわゆる R R A M を構成することが好ましい。このような磁気抵抗材料としては、P r C a M n O 系材料、例えば、 $P r_{1-x} C a_x M n O_3$ などを挙げるができる。

#### 【 0 1 2 5 】

但し、記録層を構成する可変抵抗材料としては、上記実施形態のように、相変化材料を選択することが最も好ましい。相変化材料は比較的融点が高いため、電流の印加によって空洞を形成しやすいからである。

#### 【 0 1 2 6 】

また、上記実施形態では、記録層と下部電極層とを物理的に分離させることによって欠陥アドレスを記憶しているが、記録層から分離させる電極層は下部電極層に限定されず、記録層と接する他の電極層（例えば、上部電極層）であっても構わない。

#### 【 0 1 2 7 】

また、上記実施形態では、記録層と下部電極層とを物理的に分離させることによって欠陥アドレスやベンダープログラムなどを記憶しているが、記憶させる情報としてはこれらに限られるものではない。例えば、ロット番号などの個人情報であっても構わないし、チップの機能を切り替えるためのいわゆるヒューズオプションに関する情報であっても構わない。

#### 【 図面の簡単な説明 】

#### 【 0 1 2 8 】

【 図 1 】 本発明の好ましい第 1 の実施形態による半導体記憶装置の全体構成を模式的に示すブロック図である。

【 図 2 】 メモリセルアレイ 1 0 0 の構成を示す回路図である。

【 図 3 】 不揮発性メモリ素子 P C の構造を示す断面図である。

【 図 4 】 カルコゲナイド材料を含む相変化材料の相状態を制御する方法を説明するためのグラフである。

【 図 5 】 不揮発性メモリ素子 P C 内の相変化領域 P の位置を説明するための断面図である。

【 図 6 】 プログラム回路 2 0 0 の構成を示すブロック図である。

【 図 7 】 一つのヒューズセット 2 0 i の構成を示す回路図である。

【図 8】一つの単位回路 2 2 j の基本構成を示すブロック図である。

【図 9】ヒューズ素子 F の構造を示す断面図である。

【図 10】ヒューズ素子 F に空洞 R が形成された状態を示す断面図である。

【図 11】単位回路 2 2 j のより具体的な構成を示す回路図である。

【図 12】第 1 の実施形態におけるプログラム方法を説明するためのフローチャートである。

【図 13】本発明の好ましい第 2 の実施形態において用いられる単位回路 2 2 j の回路図である。

【図 14】第 2 の実施形態において用いられるヒューズセット 2 0 i の構成を示すブロック図である。

10

【図 15】イネーブル回路 3 0 0 の回路図である。

【図 16】第 2 の実施形態におけるプログラム方法を説明するためのフローチャートである。

【図 17】本発明の好ましい第 3 の実施形態において用いられる単位回路 2 2 j の回路図である。

【図 18】本発明の好ましい第 3 の実施形態において用いられるイネーブル回路 3 0 0 の回路図である。

【図 19】第 3 の実施形態におけるプログラム方法を説明するためのフローチャートである。

【図 20】本発明の好ましい第 4 の実施形態による半導体記憶装置の全体構成を模式的に示すブロック図である。

20

【図 21】OTP 領域 4 0 0 の構成を示すブロック図である。

【図 22】本発明の好ましい第 5 の実施形態による半導体記憶装置の全体構成を模式的に示すブロック図である。

【図 23】本発明の好ましい第 5 の実施形態におけるメモリセルアレイ 1 0 0 の構成を示す図であり、( a ) はユーザ領域 5 1 0 と OTP 領域 5 0 0 がロウアドレスによって区別された例を示し、( b ) はユーザ領域 5 1 0 と OTP 領域 5 0 0 がカラムアドレスによって区別された例を示している。

【符号の説明】

【 0 1 2 9 】

30

1 0 0          メモリセルアレイ

1 0 1          層間絶縁膜

1 0 2          下部電極層

1 0 3          記録層

1 0 4          上部電極層

1 0 5          配線層

1 1 0          アクセス制御回路

1 2 0          I / O 回路

1 3 0          ヒューズセット選択回路

2 0 0          プログラム回路

40

2 0 1 ~ 2 0 m      ヒューズセット

2 1 0          アドレス置換回路

2 2 0 ~ 2 2 n      単位回路

2 3 0 , 2 3 1 , 2 8 0      A N D 回路

2 4 0          検出回路

2 4 1 , 2 4 2 , 2 5 1 ~ 2 5 4 , 2 6 2 , 2 6 3      トランジスタ

2 5 0          書き込み回路

2 6 0          ラッチ回路

2 6 1          インバータ

2 7 0          判定回路

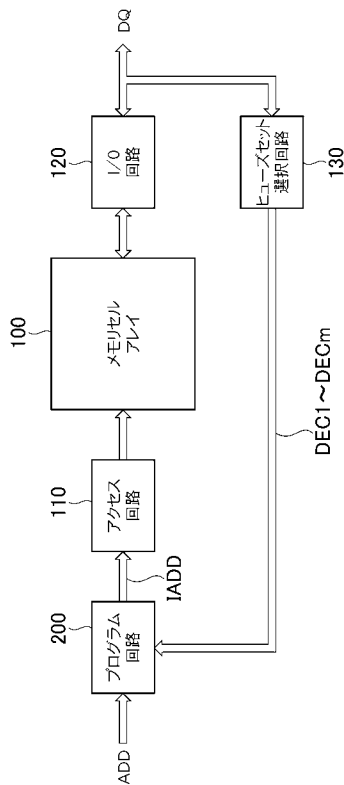
50

- 271 EXNOR回路
- 300 イネーブル回路
- 400, 500 OTP領域
- 401 ~ 40m OTPレジスタ
- 410 デコーダ
- 420 ~ 42n 単位回路
- 510 ユーザ領域
- ADD アドレス信号
- C0 ~ Cn 一致信号
- DEC1 ~ DECm ヒューズセット選択信号
- DQ 入出力データ
- E イネーブル信号
- ECUT 無効化信号
- F ヒューズ素子
- FCUT ヒューズ切断信号
- HIT1 ~ HITm 検出信号
- IADD 内部アドレス
- MC メモリセル
- PASSi 判定信号
- PC 不揮発性メモリ素子
- PON パワーオン信号
- R 空洞
- TEST テスト信号

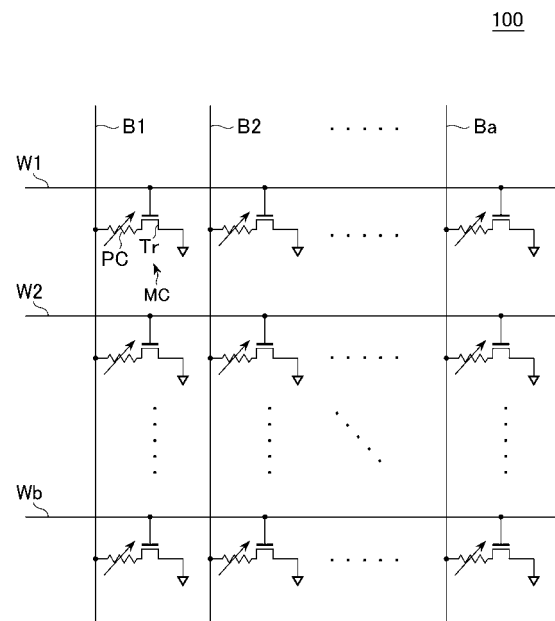
10

20

【図1】

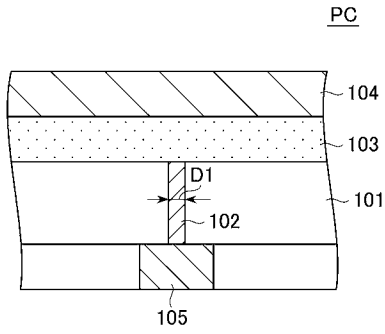


【図2】

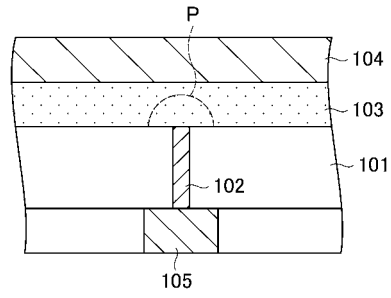


100

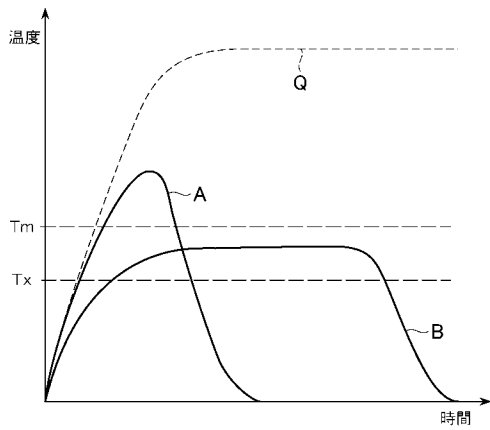
【図3】



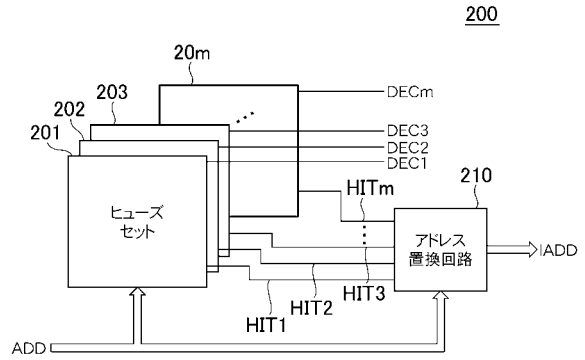
【図5】



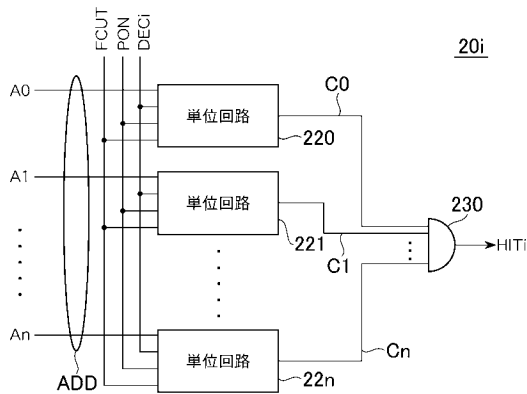
【図4】



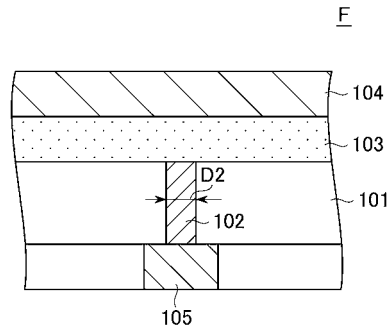
【図6】



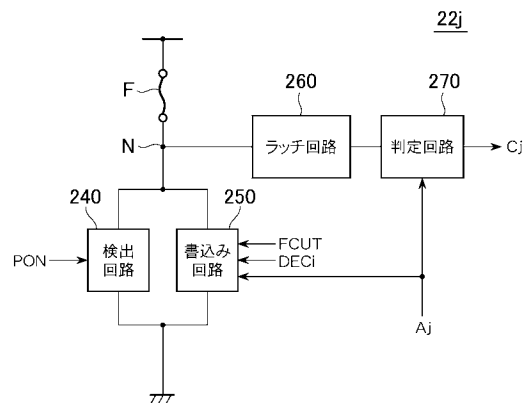
【図7】



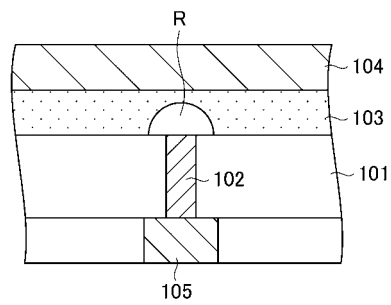
【図9】



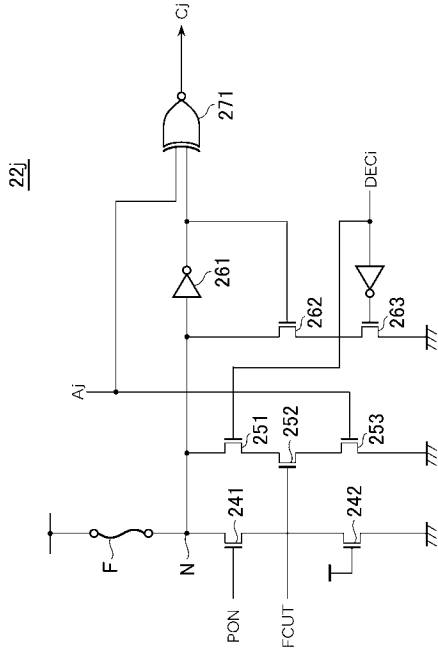
【図8】



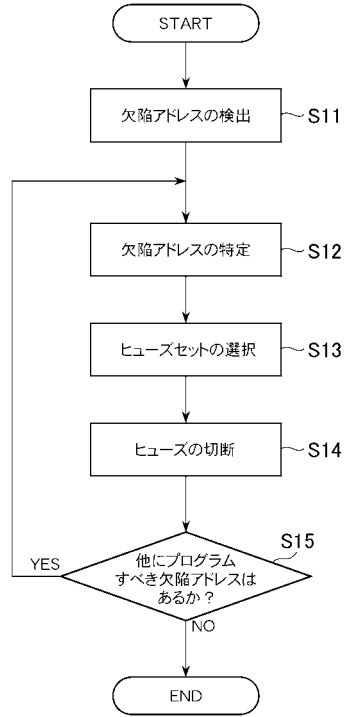
【図10】



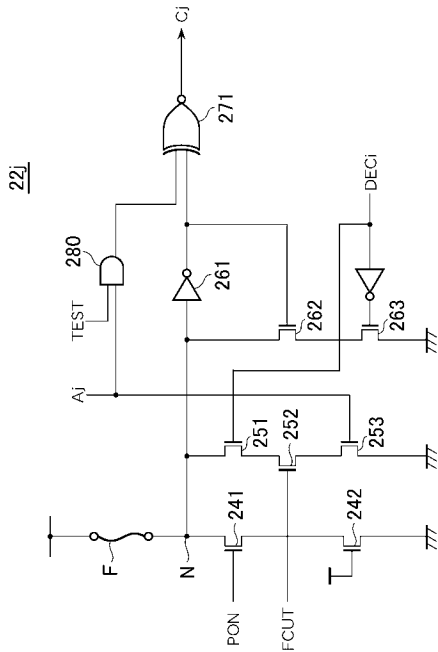
【図11】



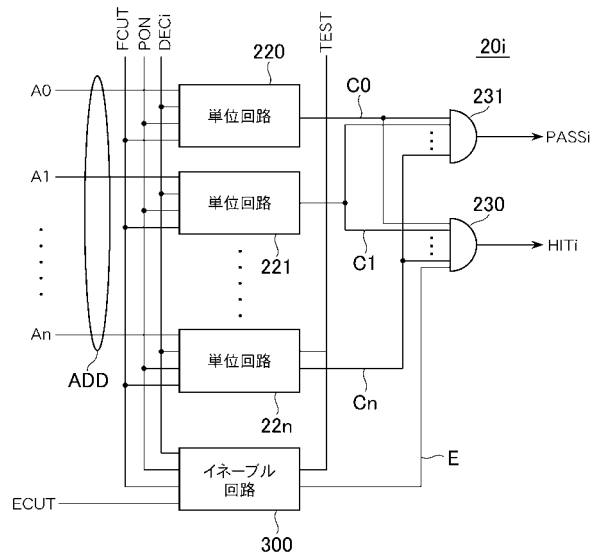
【図12】



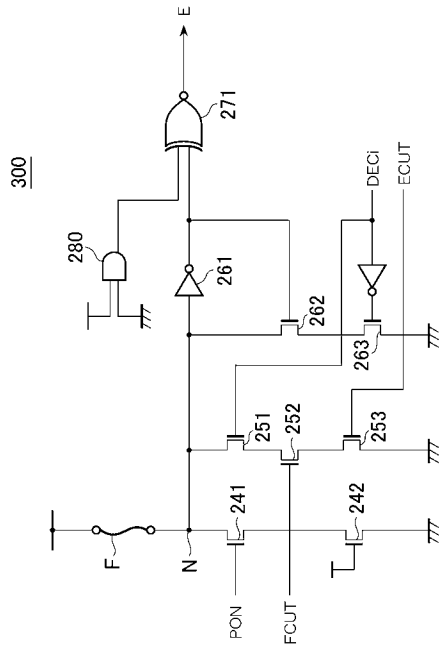
【図13】



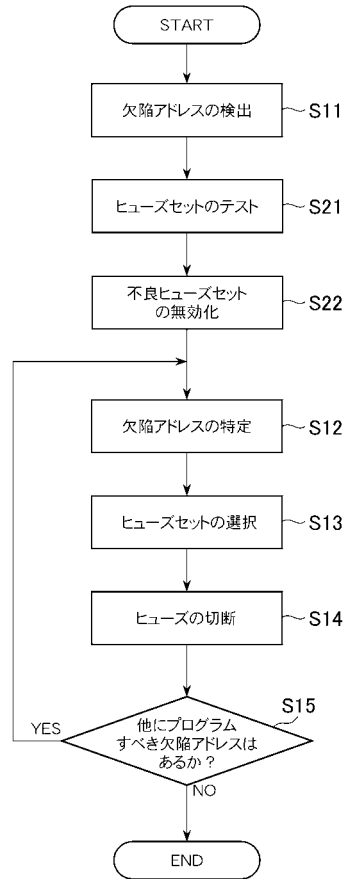
【図14】



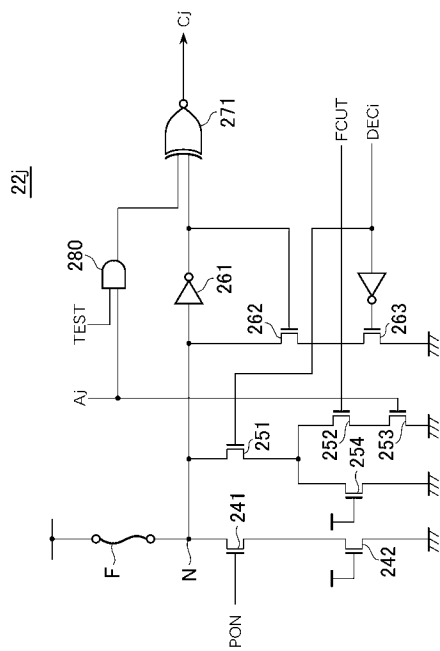
【図15】



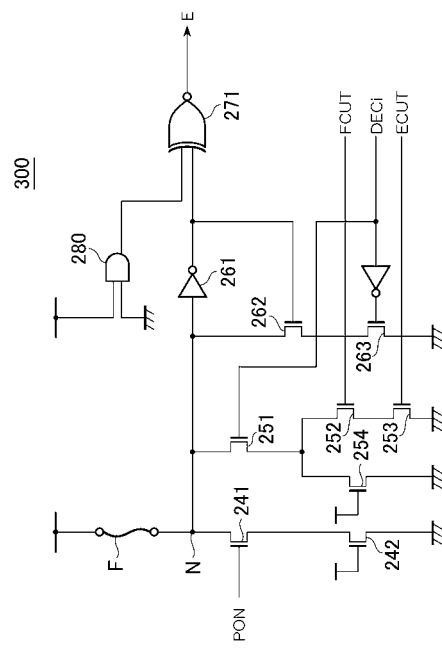
【図16】



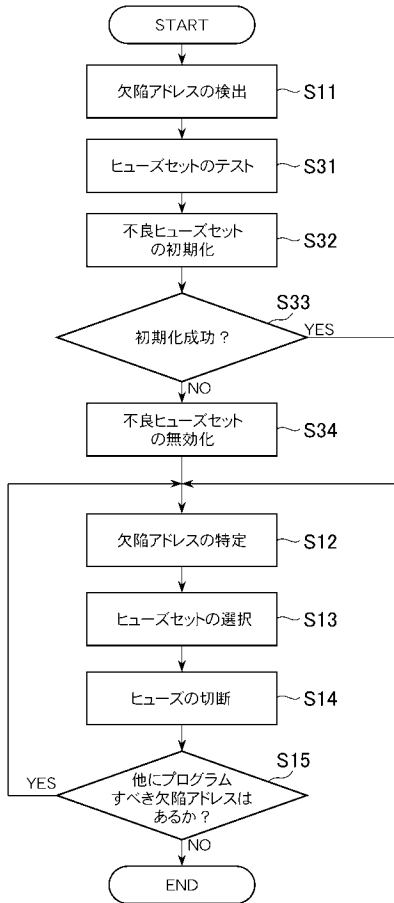
【図17】



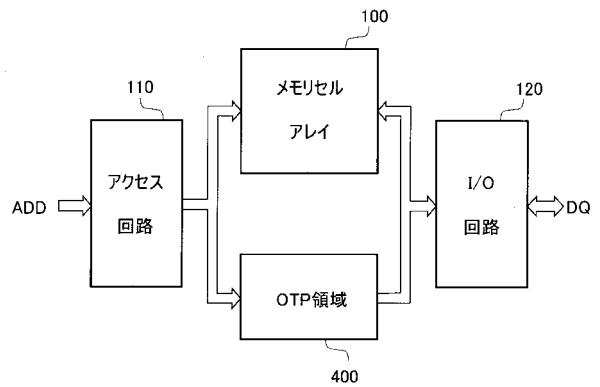
【図18】



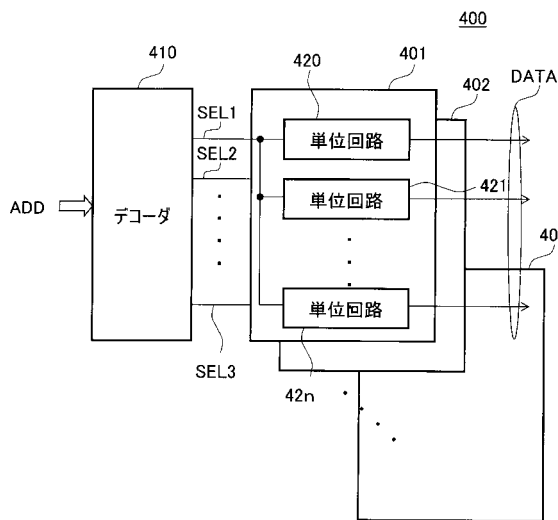
【図19】



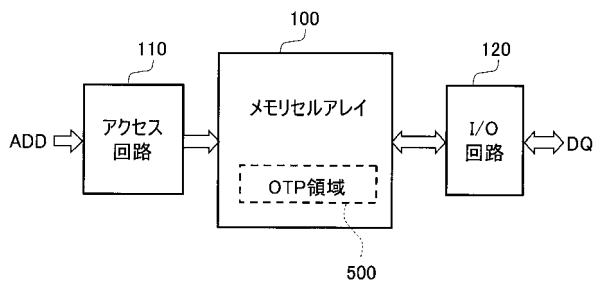
【図20】



【図21】

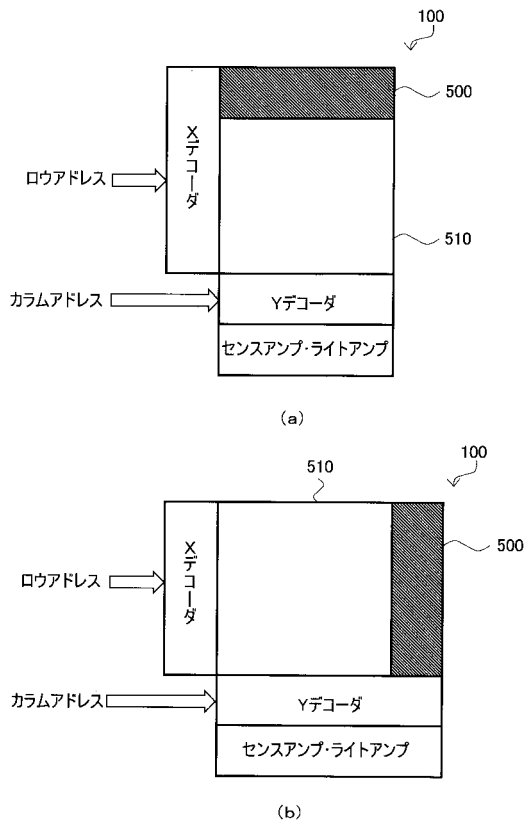


【図22】





【図23】



---

フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 1 1 C	1 3 / 0 0
G 1 1 C	2 9 / 0 0
H 0 1 L	2 7 / 1 0
G 1 1 C	1 7 / 0 0