



(12)发明专利

(10)授权公告号 CN 104934447 B

(45)授权公告日 2019.01.22

(21)申请号 201510373064.0

(22)申请日 2010.08.06

(65)同一申请的已公布的文献号

申请公布号 CN 104934447 A

(43)申请公布日 2015.09.23

(30)优先权数据

2009-185317 2009.08.07 JP

2009-206489 2009.09.07 JP

(62)分案原申请数据

201010248811.5 2010.08.06

(73)专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72)发明人 山崎舜平 坂田淳一郎 坂仓真之

及川欣聪 冈崎健一 丸山穗高

津吹将志

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 申发振

(51)Int.Cl.

H01L 27/12(2006.01)

(56)对比文件

CN 1154490 A, 1997.07.16, 全文.

CN 1716632 A, 2006.01.04, 全文.

JP 特开2009-176865 A, 2009.08.06, 全文.

审查员 史敏娜

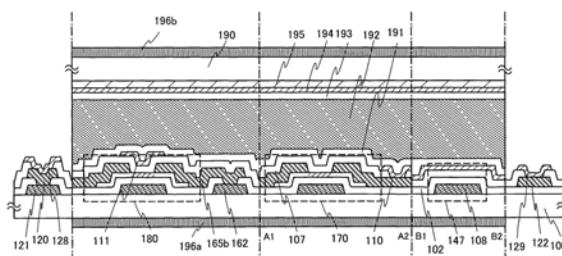
权利要求书2页 说明书43页 附图43页

(54)发明名称

半导体装置及其制造方法

(57)摘要

本发明涉及半导体装置及其制造方法。本发明的目的之一在于提高半导体装置的可靠性。本发明的一种半导体装置包括在同一衬底上的驱动电路部和显示部(也称为像素部),驱动电路部和显示部分别包括:半导体层由氧化物半导体构成的薄膜晶体管;第一布线;以及第二布线,其中薄膜晶体管包括源电极层或漏电极层及接触于半导体层的氧化物导电层,驱动电路部的薄膜晶体管以以栅电极层和导电层夹着半导体层的方式构成,并且第一布线和第二布线在设置在栅极绝缘膜中的开口中通过氧化物导电层电连接。



1. 一种半导体装置,包括:
包括晶体管的驱动电路部;以及
包括电容器的像素部,
其中,所述晶体管包括:
第一电极层;
所述第一电极层上的第一绝缘层;
所述第一绝缘层上的氧化物半导体层;
所述氧化物半导体层上的第二电极层和第三电极层;
所述第二电极层、所述第三电极层和所述氧化物半导体层上且与所述第二电极层、所述第三电极层和所述氧化物半导体层接触的第二绝缘层;以及
所述第二绝缘层上的透明导电层,
其中,所述电容器包括:第一电极、所述第一电极上的第二电极以及所述第一电极与所述第二电极之间的电介质,
其中,所述第二电极是与所述透明导电层相同的材料,并且
其中,所述氧化物半导体层的晶化率为80%以上。
2. 一种半导体装置,包括:
包括晶体管的驱动电路部;
包括电容器及像素电极层的像素部;
所述像素电极层上的第一取向膜;以及
所述第一取向膜上的液晶层,
其中,所述晶体管包括:
第一电极层;
所述第一电极层上的第一绝缘层;
所述第一绝缘层上的氧化物半导体层;
所述氧化物半导体层上的第二电极层和第三电极层;
所述第二电极层、所述第三电极层和所述氧化物半导体层上且与所述第二电极层、所述第三电极层和所述氧化物半导体层接触的第二绝缘层;以及
所述第二绝缘层上的透明导电层,
其中,所述电容器的靠近所述液晶层的一侧的电极是与所述透明导电层相同的材料,并且
其中,所述氧化物半导体层的晶化率为80%以上。
3. 一种半导体装置,包括:
包括晶体管的驱动电路部;
包括电容器的像素部;以及
第一布线和第二布线,
其中,所述晶体管包括:
第一电极层;
所述第一电极层上的第一绝缘层;
所述第一绝缘层上的氧化物半导体层;

所述氧化物半导体层上的第二电极层和第三电极层；

所述第二电极层、所述第三电极层和所述氧化物半导体层上且与所述第二电极层、所述第三电极层和所述氧化物半导体层接触的第二绝缘层；以及

所述第二绝缘层上的透明导电层，

其中，所述第一布线是与所述第一电极层相同的材料，

其中，所述第二布线是与所述第二电极层和所述第三电极层相同的材料，

其中，所述电容器包括：所述第一布线的一部分作为第一电极、所述第一布线的所述一部分上的第二电极以及所述第一布线的所述一部分与所述第二电极之间的电介质，

其中，所述第二电极是与所述透明导电层相同的材料，并且

其中，所述氧化物半导体层的晶化率为80%以上。

4. 根据权利要求1所述的半导体装置，其中，所述电容器的所述第一电极是与所述第一电极层相同的材料。

5. 根据权利要求1至3中任一项所述的半导体装置，其中，所述氧化物半导体层包括铟、镓和锌。

6. 根据权利要求1至3中任一项所述的半导体装置，其中，所述氧化物半导体层包括铟、锡和锌。

7. 根据权利要求1至3中任一项所述的半导体装置，其中，所述透明导电层包括铟和锌。

8. 根据权利要求1至3中任一项所述的半导体装置，其中，所述透明导电层电连接至所述第一电极层。

9. 根据权利要求1至3中任一项所述的半导体装置，其中，所述第一绝缘层使用氧化硅层、氮化硅层或氧化铝层的单层或叠层形成。

10. 根据权利要求1至3中任一项所述的半导体装置，其中，所述氧化物半导体层包括沟道形成区、源区和漏区，并且，所述沟道形成区的载流子浓度低于所述源区和所述漏区的载流子浓度。

11. 根据权利要求3所述的半导体装置，其中，所述第一布线通过设置于所述第一布线上的所述第一绝缘层中的开口电连接至所述第二布线。

12. 根据权利要求2所述的半导体装置，其中，所述电容器的另一个电极是与所述第一电极层相同的材料。

半导体装置及其制造方法

[0001] 本申请是申请日为2010年8月6日、申请号为201010248811.5、发明名称为“半导体装置及其制造方法”的中国发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种使用氧化物半导体的半导体装置。

背景技术

[0003] 另外,本说明书中的半导体装置指的是能够通过利用半导体特性工作的所有装置,因此液晶显示装置等的电光装置、半导体电路以及电子设备都是半导体装置。

背景技术

[0004] 近年来,一种利用形成在具有绝缘表面的衬底上的半导体薄膜(厚度大约为几nm至几百nm)来构成薄膜晶体管(TFT)的技术备受瞩目。薄膜晶体管被广泛地应用于如集成电路(Integrated Circuit:略号为IC)及电光装置之类的电子器件,尤其是对作为图像显示装置的开关元件的TFT的开发日益火热。金属氧化物的种类繁多且用途广。氧化铟作为较普遍的材料被用于液晶显示器等所需要的透明电极材料。

[0005] 在金属氧化物中存在呈现半导体特性的金属氧化物。作为呈现半导体特性的金属氧化物,例如可以举出氧化钨、氧化锡、氧化铟、氧化锌等,并且已知一种将这种呈现半导体特性的金属氧化物用作沟道形成区的薄膜晶体管(专利文献1及专利文献2)。

[0006] [专利文献1]日本专利申请公开2007-123861号公报

[0007] [专利文献2]日本专利申请公开2007-96055号公报

[0008] 作为使用氧化物半导体膜的薄膜晶体管,要求其工作速度快、制造工序较简单并要求其具有充分的可靠性。

发明内容

[0009] 本发明的课题之一在于提高使用氧化物半导体膜的薄膜晶体管的工作特性及可靠性。

[0010] 尤其是,优选用于驱动电路的薄膜晶体管的工作速度较快。

[0011] 例如,当将薄膜晶体管的沟道长度(L)形成得较短或将沟道宽度W形成得较宽时可以实现工作速度的高速化。但是,当将沟道长度形成得较短时,存在开关特性例如导通截止比变小的问题。另外,当将沟道宽度W形成得较宽时,存在薄膜晶体管自身的电容负载上升的问题。

[0012] 另外,本发明的目的之一在于提供一种半导体装置,该半导体装置具备即使沟道长度较短也具有稳定的电特性的薄膜晶体管。

[0013] 另外,当在绝缘表面上形成多个不同的电路时,例如,当将像素部和驱动电路形成在同一衬底上时,用作像素部的薄膜晶体管要求具有优越的开关特性,例如要求其导通截

止比较大,而用作驱动电路的薄膜晶体管要求工作速度快。尤其是,显示装置的精细度越高显示图像的写入时间越短,所以优选用于驱动电路的薄膜晶体管的工作速度快。

[0014] 本发明的课题之一还在于降低使用氧化物半导体层的薄膜晶体管的电特性的不均匀。

[0015] 本发明的一个方式是一种半导体装置,该半导体装置包括:同一衬底上的驱动电路部以及显示部(也称为像素部),其中,该驱动电路部和该显示部包括:薄膜晶体管、第一布线(也称为端子或连接电极)、第二布线(也称为端子或连接电极),并且,薄膜晶体管包括:由金属构成的栅电极、该栅电极上的栅极绝缘膜、该栅极绝缘膜上的氧化物半导体层、该氧化物半导体层上的由金属构成的源电极(也称为源电极层)及漏电极(也称为漏电极层)以及氧化物半导体层和源电极及漏电极上的保护绝缘层,并且,驱动电路部中的薄膜晶体管包括位于保护绝缘层上并与氧化物半导体层重叠的导电层,并且,显示部中的薄膜晶体管电连接到像素电极(也称为像素电极层),并且,第一布线由与栅电极相同的材料形成,并且,第二布线由与源电极或漏电极相同的材料形成,并且,所述驱动电路部的第一布线和第二布线通过设置在栅极绝缘膜和保护绝缘层中的开口(接触孔)电连接。

[0016] 本发明的一个方式是一种半导体装置,该半导体装置包括:同一衬底上的驱动电路部以及显示部(也称为像素部),其中,该驱动电路部和该显示部包括:薄膜晶体管、第一布线、第二布线,并且,薄膜晶体管包括:由金属构成的栅电极、该栅电极上的栅极绝缘膜、该栅极绝缘膜上的氧化物半导体层、该氧化物半导体层上的由金属构成的源电极及漏电极以及氧化物半导体层和源电极及漏电极上的保护绝缘层,并且,驱动电路部中的薄膜晶体管包括位于保护绝缘层上并与氧化物半导体层重叠的导电层,并且,显示部中的薄膜晶体管电连接到像素电极(也称为像素电极层),并且,第一布线由与栅电极相同的材料形成,并且,第二布线由与源电极或漏电极相同的材料形成,并且,驱动电路部的第一布线和第二布线通过形成在栅极绝缘膜中的开口电连接。

[0017] 作为像素用薄膜晶体管及驱动电路用薄膜晶体管,使用底栅结构的反交错型薄膜晶体管。像素用薄膜晶体管及驱动电路用薄膜晶体管是设置有与露出在源电极层与漏电极层之间的氧化物半导体层接触的氧化物绝缘膜的沟道蚀刻型薄膜晶体管。

[0018] 驱动电路用薄膜晶体管采用将氧化物半导体层夹在栅电极和导电层之间的结构。由此,可以降低薄膜晶体管的阈值的不均匀,而可以提供具备其电特性稳定的薄膜晶体管的半导体装置。可以将导电层设定为与栅电极层相同的电位、浮动电位或如GND电位、0V等固定电位。此外,通过向导电层施加任意的电位,可以对薄膜晶体管的阈值进行控制。

[0019] 用来实现上述结构的本发明的一个方式是一种半导体装置的制造方法,包括如下步骤:在同一衬底上的形成驱动电路部的第一区域和形成显示部的第二区域中通过第一光刻工序形成用作栅电极的第一电极和由与第一电极相同的材料构成的第一布线;在第一电极及第一布线上形成用作栅极绝缘膜的第一绝缘膜;通过第二光刻工序在第一绝缘膜上形成氧化物半导体层;进行用来对氧化物半导体层进行脱水化或脱氢化的热处理;通过第三光刻工序在氧化物半导体层上形成用作源电极的第二电极和用作漏电极的第三电极及由与源电极或漏电极相同的材料构成的第二布线;在第二电极、第三电极及氧化物半导体层上形成用作保护绝缘层的第二绝缘膜;通过第四光刻工序选择性地去除重叠于第一布线的第二绝缘膜及第二绝缘膜以形成第一开口,并且选择性地去除重叠于第二布线的第二绝缘

膜以形成第二开口；在第二区域中，选择性地去除位于重叠于第二电极或第三电极的部分中的第二绝缘膜以形成第三开口；通过第五光刻工序，形成通过第一开口及第二开口将第一布线和第二布线电连接的第一导电层；在第一区域中的隔着第二绝缘膜重叠于氧化物半导体层的部分中形成由与第一导电层相同的材料构成的第四电极；在第二区域中，形成由与第一导电层相同的材料构成的通过第三开口电连接到薄膜晶体管的用作像素电极的第五电极。

[0020] 通过使用相同的光刻工序同时形成第一开口至第三开口，并使用相同的工序同时形成像素电极、第一导电层及第四电极，可以在不增加光刻工序的情况下实现上述结构。

[0021] 通过五回的光刻工序可以提供驱动电路部和显示部形成在同一衬底上的半导体装置。

[0022] 用来实现上述结构的本发明的一个方式是一种半导体装置的制造方法，包括如下步骤：在同一衬底上的形成驱动电路部的第一区域和形成显示部的第二区域中，通过第一光刻工序形成用作栅电极的第一电极以及由与第一电极相同的材料构成的第一布线；在第一电极及第一布线上形成用作栅极绝缘膜的第一绝缘膜；通过第二光刻工序在第一绝缘膜上形成氧化物半导体层；进行用来对氧化物半导体层进行脱水化或脱氢化的热处理；通过第三光刻工序选择性地去除第一布线上的第一绝缘膜以形成第四开口；通过第四光刻工序在氧化物半导体层上形成用作源电极的第二电极、用作漏电极的第三电极以及由与第二电极或第三电极相同的材料形成的第二布线；在第二电极和第三电极及氧化物半导体层上形成用作保护绝缘层的第二绝缘膜；通过第五光刻工序，选择性地去除第二区域中的重叠于第二电极或第三电极的部分上的第二绝缘膜以形成第三开口；通过第六光刻工序在第一区域的隔着第二绝缘膜重叠于氧化物半导体层的部分上形成第四电极；在第二区域中形成由与第四电极相同的材料构成的通过第三开口电连接到薄膜晶体管的用作像素电极的第五电极。

[0023] 只要是在形成第一绝缘膜之后，就也可以在利用第二光刻工序形成氧化物半导体层之前利用第三光刻工序形成第四开口。

[0024] 虽然与之前的方式相比，由于增加了用来在形成氧化物半导体层之后在第一布线上设置开口的光刻工序而总共通过六回的光刻工序以在同一衬底上形成驱动电路部和显示部，但是由于用来连接第一布线和第二布线的开口的台阶仅为第一绝缘膜的厚度，所以可以以良好的覆盖性对第一布线和第二布线进行牢固的连接，从而提高半导体装置的可靠性。

[0025] 另外，在上述光刻工序中，还可以使用由多级灰度掩模形成的掩模层来进行蚀刻工序。该多级灰度掩模是所透过的光成为多种强度的曝光掩模。

[0026] 使用多级灰度掩模形成的掩模层呈具有多种厚度的形状，并且当对掩模层进行蚀刻时可以进一步地改变其形状，所以可以将其用于加工为不同图案的多个蚀刻工序。因此，利用一个多级灰度掩模可以形成至少对应两种以上的不同图案的掩模层。因此，可以减少曝光掩模数，并且可以削减所对应的光刻工序，所以可以简化工序。

[0027] 上述结构解决上述课题中的至少一个。

[0028] 另外，作为本说明书中使用的氧化物半导体，形成由 $\text{InMO}_3 (\text{ZnO})_m (m > 0)$ 表示的薄膜，并制造将该薄膜用作半导体层的薄膜晶体管。另外，M表示从Ga、Fe、Ni、Mn和Co中选择的

一种金属元素或多种金属元素。例如,作为M,除了有包含Ga的情况以外,还有包含Ga和Ni或Ga和Fe等包含Ga以外的上述金属元素的情况。此外,在上述氧化物半导体中,除了作为M而包含的金属元素之外,有时还包含作为杂质元素的Fe、Ni等其他过渡金属元素或该过渡金属的氧化物。在本说明书中,在具有由 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 表示的结构的氧化物半导体层中,将具有作为M包含Ga的结构的氧化物半导体称为In-Ga-Zn-O类氧化物半导体,并且将其薄膜称为In-Ga-Zn-O类非单晶膜。

[0029] 另外,作为用于氧化物半导体层的金属氧化物,除了可以使用上述材料之外,还可以使用In-Sn-Zn-O类、In-Al-Zn-O类、Sn-Ga-Zn-O类、Al-Ga-Zn-O类、Sn-Al-Zn-O类、In-Zn-O类、Sn-Zn-O类、Al-Zn-O类、In-O类、Sn-O类、Zn-O类的金属氧化物。另外,由上述金属氧化物构成的氧化物半导体层还可以含有氧化硅。

[0030] 当在氮或稀有气体(氩、氦等)等惰性气体气氛下进行加热处理时,氧化物半导体层通过加热处理变成氧缺乏型而被低电阻化,即被N型化(N⁻化等),然后,通过形成与氧化物半导体层接触的氧化物绝缘膜并在成膜之后进行加热处理,来使氧化物半导体层变成氧过剩状态而被高电阻化,即被I型化。另外,也可以说成是进行使氧化物半导体层成为氧过剩状态的固相氧化。由此,可以制造并提供具有电特性好且可靠性高的薄膜晶体管的半导体装置。

[0031] 在脱水化或脱氢化中,通过在氮或稀有气体(氩、氦等)等惰性气体气氛下以400℃以上且低于衬底的应变点的温度,优选的是以420℃以上且570℃以下的温度进行加热处理来减少氧化物半导体层所含有的水分等的杂质。此外,可以防止水(H₂O)再浸入。

[0032] 优选在H₂O为20ppm以下的氮气气氛下进行脱水化或脱氢化的热处理。此外,也可以在H₂O为20ppm以下的超干燥空气下进行。

[0033] 用于进行氧化物半导体层的脱水化或脱氢化的热处理条件是:即使在将温度升至450℃的条件下利用TDS对该进行了脱水化或脱氢化之后的氧化物半导体层进行测定,水的两个峰值或者至少出现在300℃附近的一个峰值也不被检测出。所以,即使在将温度升至450℃的条件下利用TDS对使用进行了脱水化或脱氢化的氧化物半导体层的薄膜晶体管进行测定时,至少出现在300℃附近的水的峰值也不被检测出。

[0034] 并且,当对氧化物半导体层进行用于脱水化或脱氢化的加热温度T的降温时,重要的是:通过使用进行了脱水化或脱氢化的同一炉来不使氧化物半导体层接触大气,从而使水或氢不再混入到氧化物半导体层中。通过进行脱水化或脱氢化,使氧化物半导体层的电阻降低,即在将其N型化(N⁻等)之后使其电阻增大而使其成为I型的氧化物半导体层。通过使用该氧化物半导体层制造薄膜晶体管,可以使薄膜晶体管的阈值电压(V_{th})为正,从而实现所谓常关闭型的开关元件。作为半导体装置(显示装置),优选以薄膜晶体管的栅电压为尽量近于0V的正的阈值电压的条件形成沟道。注意,当薄膜晶体管的阈值电压为负时,容易成为所谓常开启型,也就是说即使栅电压为0V,在源电极和漏电极之间也有电流流过。在有源矩阵型的显示装置中,构成电路的薄膜晶体管的电特性十分重要,该电特性决定显示装置的性能。尤其是,在薄膜晶体管的电特性之中阈值电压很重要。即使在场效应迁移率高的情况下,当阈值电压值高或阈值电压值为负时,电路的控制比较困难。在薄膜晶体管的阈值电压的绝对值大的情况下,当驱动电压低时TFT不能起到开关功能而有可能导致负载。在是n沟道型的薄膜晶体管的情况下,优选是当对栅电压施加正的电压时初次形成沟道并产生

漏极电流的晶体管。不提高驱动电压就不能形成沟道的晶体管和即使在负电压状态下也能形成沟道并产生漏极电流的晶体管不适合用于电路的薄膜晶体管。

[0035] 另外,可以将从加热温度T开始降温的气体气氛转换成与升温到加热温度T的气体气氛不同的气体气氛。例如,使用与进行了脱水化或脱氢化的相同的炉而在不接触大气的情况下,使炉中充满高纯度的氧气体或 N_2O 气体、超干燥空气(露点为 $-40^{\circ}C$ 以下,优选为 $-60^{\circ}C$ 以下)来进行冷却。

[0036] 在通过进行脱水化或脱氢化的加热处理使膜中所含有的水分减少之后,在不含有水分的气氛(露点为 $-40^{\circ}C$ 以下,优选为 $-60^{\circ}C$ 以下)下进行缓冷(或冷却)。通过使用该氧化物半导体膜,可以在提高薄膜晶体管的电特性的同时实现具有高的量产性和高的性能的薄膜晶体管。

[0037] 在本说明书中,将在氮或稀有气体(氩、氦等)等惰性气体气氛下的加热处理称为用于脱水化或脱氢化的加热处理。在本说明书中,为了方便起见,不仅将通过该加热处理使 H_2 脱离称为脱氢化,而且将包括H、OH等的脱离也称为脱水化或脱氢化。

[0038] 当在氮或稀有气体(氩、氦等)等惰性气体气氛下进行加热处理时,氧化物半导体层通过加热处理变成氧缺乏型而被低电阻化,即被N型化(N^- 化等)。

[0039] 另外,形成与漏电极层重叠的氧缺乏型高电阻漏区(也称为HRD区域)。此外,还形成与源电极层重叠的氧缺乏型高电阻源区(也称为HRS)。

[0040] 具体而言,高电阻漏区的载流子浓度在 $1 \times 10^{18}/cm^3$ 以上的范围内,并且高电阻漏区是载流子浓度至少高于沟道形成区的载流子浓度(小于 $1 \times 10^{18}/cm^3$)的区域。另外,本说明书的载流子浓度指的是在室温下通过霍尔效应测量而求出的载流子浓度的值。

[0041] 并且,通过至少使经过脱水化或脱氢化的氧化物半导体层的一部分处于氧过剩状态,来使其电阻增大,即被I型化,而形成沟道形成区。另外,至于使经过脱水化或脱氢化的氧化物半导体层变为氧过剩状态的处理,可以通过以下处理来实现:利用溅射法的氧化物绝缘膜的成膜,该氧化物绝缘膜接触于经过脱水化或脱氢化的氧化物半导体层;形成氧化物绝缘膜之后的加热处理;在含有氧的气氛下的加热处理;在惰性气体气氛下加热之后在氧气气氛下的冷却处理;使用超干燥空气(露点为 $-40^{\circ}C$ 以下,优选为 $-60^{\circ}C$ 以下)的冷却处理;等等。

[0042] 另外,为了将经过脱水化或脱氢化的氧化物半导体层的至少一部分(与栅电极层重叠的部分)用作沟道形成区,通过选择性地使其成为氧过剩状态,可以使其电阻增大,即被I型化。将由Ti等的金属电极构成的源电极层及漏电极层以与经过脱水化或脱氢化的氧化物半导体层接触的方式形成在经过脱水化或脱氢化的氧化物半导体层上,并通过使既不与源电极层重叠又不与漏电极层重叠的露出区域选择性地处于氧过剩状态来形成沟道形成区。当使氧化物半导体层选择性地处于氧过剩状态时,形成有重叠于源电极层的第一高电阻源区及重叠于漏电极层的第二高电阻漏区,而第一高电阻源区和第二高电阻漏区之间的区域成为沟道形成区。即,在源电极层和漏电极层之间以自对准的方式形成沟道形成区。

[0043] 由此,可以制作并提供具有电特性良好且可靠性高的薄膜晶体管的半导体装置。

[0044] 另外,通过在与漏电极层重叠的氧化物半导体层中形成高电阻漏区,可以提高形成驱动电路时的可靠性。具体而言,通过形成高电阻漏区,可以形成如下结构:从漏电极层至高电阻漏区、沟道形成区,导电性能够阶梯性地变化。所以,当将漏电极层连接到提供高

电源电位VDD的布线来使薄膜晶体管工作时,即使栅电极层与漏电极层之间被施加高电场,由于高电阻漏区成为缓冲区而不被施加局部性的高电场,所以可以提高薄膜晶体管的耐压性。

[0045] 另外,通过在与漏电极层以及源电极层重叠的氧化物半导体层中形成高电阻漏区及高电阻源区,可以降低形成驱动电路时的沟道形成区中的泄漏电流。具体而言,通过形成高电阻漏区,在漏电极层和源电极层之间流过的晶体管的泄漏电流依次流过漏电极层、漏电极层一侧的高电阻漏区、沟道形成区、源电极层一侧的高电阻源区及源电极层。此时在沟道形成区中,可以将从漏电极层一侧的高电阻漏区流向沟道形成区的泄漏电流集中在当晶体管处于截止状态时成为高电阻的栅极绝缘层与沟道形成区的界面附近,而可以降低背沟道部(远离栅电极层的沟道形成区的表面的一部分)中的泄漏电流。

[0046] 另外,虽然也要根据栅电极层的宽度,但与源电极层重叠的高电阻源区和与漏电极层重叠的高电阻漏区隔着栅极绝缘层分别与栅电极层的一部分重叠,由此能够更有效地缓和漏电极层的端部附近的电场强度。

[0047] 此外,也可以在氧化物半导体层和源电极及漏电极之间形成氧化物导电层。作为氧化物导电层,优选采用其成分中包含氧化锌而不包含氧化铟的氧化物导电层。例如,可以使用氧化锌、氧化锌铝、氧氮化锌铝、氧化锌镓等。氧化物导电层还用作低电阻漏区(也称为LRN(Low Resistance N-type conductivity)区、LRD(Low Resistance Drain)区)。具体地说,低电阻漏区的载流子浓度高于高电阻漏区(HRD区)的载流子浓度,例如优选其浓度在 $1 \times 10^{20}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下的范围内。通过将氧化物导电层设置在氧化物半导体层和源电极及漏电极之间,可以降低电极-氧化物半导体层之间的接触电阻,从而可以实现晶体管的高速工作,由此可以提高外围电路(驱动电路)的频率特性。

[0048] 可以连续地形成用来形成氧化物导电层和源电极及漏电极的金属层。

[0049] 此外,上述第一布线及第二布线可以使用由与用作LRN或LRD的氧化物导电层相同的材料和金属材料而构成的叠层布线。通过采用金属和氧化物导电层的叠层,对下层布线的重叠部分或开口等的台阶的覆盖性得到改善,从而可以降低布线电阻。此外,由于还能够防止迁移等所引起的布线的局部性的高电阻化及断线,所以可以提供可靠性高的半导体装置。

[0050] 此外,当进行上述第一布线和第二布线的连接时,通过以中间夹着氧化物导电层的方式进行连接,可以防止因连接部(接触部)的金属表面上形成绝缘氧化物而导致的接触电阻的增大,从而可以提供可靠性高的半导体装置。

[0051] 另外,因为薄膜晶体管容易被静电等损坏,所以优选将用于保护像素部的薄膜晶体管的保护电路与栅极线或源极线设置在同一衬底上。保护电路优选由使用氧化物半导体层的非线性元件构成。

[0052] 注意,为了方便起见而附加第一、第二等序数词,但其并不表示工序顺序或叠层顺序。此外,其在本说明书中不表示特定发明的事项的固有名称。

[0053] 通过使用氧化物半导体层可以实现具备具有优越的电特性及优越的可靠性的薄膜晶体管的半导体装置。

附图说明

- [0054] 图1是说明半导体装置的图；
- [0055] 图2A至2C是说明半导体装置的制造方法的图；
- [0056] 图3A至3C是说明半导体装置的制造方法的图；
- [0057] 图4A至4C是说明半导体装置的制造方法的图；
- [0058] 图5是说明半导体装置的图；
- [0059] 图6A至6D是说明半导体装置的制造方法的图；
- [0060] 图7A和7B是说明半导体装置的制造方法的图；
- [0061] 图8A至8D是说明半导体装置的制造方法的图；
- [0062] 图9A和9B是说明半导体装置的制造方法的图；
- [0063] 图10是说明半导体装置的图；
- [0064] 图11A至11D是说明半导体装置的图；
- [0065] 图12A和12B是说明半导体装置的方框图的图；
- [0066] 图13A和13B是说明信号线驱动电路的结构图；
- [0067] 图14A至14D是说明移位寄存器的结构的电路图；
- [0068] 图15A和15B是说明移位寄存器的结构的电路图及说明移位寄存器的工作的时序图；
- [0069] 图16A至16C是说明半导体装置的图；
- [0070] 图17是说明半导体装置的图；
- [0071] 图18是示出电子书阅读器的一例的外观图；
- [0072] 图19A和19B是示出电视装置及数码相框的实例的外观图；
- [0073] 图20A和20B是示出游戏机的实例的外观图；
- [0074] 图21A和21B是示出便携式计算机及手机的一例的外观图；
- [0075] 图22是说明半导体装置的图；
- [0076] 图23是说明半导体装置的图；
- [0077] 图24是说明半导体装置的图；
- [0078] 图25是说明半导体装置的图；
- [0079] 图26是说明半导体装置的图；
- [0080] 图27是说明半导体装置的图；
- [0081] 图28是说明半导体装置的图；
- [0082] 图29是说明半导体装置的图；
- [0083] 图30是说明半导体装置的图；
- [0084] 图31是说明半导体装置的图；
- [0085] 图32是说明半导体装置的图；
- [0086] 图33是说明半导体装置的图；
- [0087] 图34是说明半导体装置的图；
- [0088] 图35是说明半导体装置的图；
- [0089] 图36A和36B是说明半导体装置的图；
- [0090] 图37是说明半导体装置的制造工序的图；
- [0091] 图38是说明半导体装置的图；

[0092] 图39是对水的生成及脱离机理的计算结果进行说明的图；

[0093] 图40是对能量图的计算结果进行说明的图。

具体实施方式

[0094] 参照附图对实施方式进行详细说明。但是，本发明的实施方式并不局限于以下说明，所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容可以不脱离本发明的宗旨及其范围地变换为各种各样的形式。因此，不应该被解释为仅限定在以下实施方式所记载的内容中。注意，在以下说明的结构中，在不同的附图之间共同使用同一附图标记来表示同一部分或具有同一功能的部分，而省略其重复说明。

[0095] 实施方式1

[0096] 参照图1至图5对具有薄膜晶体管的半导体装置的制造工序进行说明。

[0097] 图1示出作为本发明的一个方式的半导体装置的液晶显示装置。在图1所示的液晶显示装置中，衬底100和对置衬底190夹着液晶层192对置，其中衬底100上设置有包括薄膜晶体管170及电容147的像素部、包括薄膜晶体管180的驱动电路部、像素电极层110以及用作取向膜的绝缘层191，并且对置衬底190上设置有用作取向膜的绝缘层193，对置电极层194以及用作滤色片的着色层195。此外，在衬底100和对置衬底190的分别与液晶层192相反的一侧上设置有偏振片（具有偏振器的层，也简单地称为偏振器）196a、196b，并且在栅极布线的端子部中设置有第一端子121、连接电极120及连接用的端子电极128，并且在源极布线的端子部中设置有第二端子122及连接用的端子电极129。

[0098] 在驱动电路部中，在薄膜晶体管180中在栅电极层及半导体层的上方设置有导电层111，并且漏电极层165b电连接到由与栅电极层相同的工序形成的导电层162。此外，在像素部中，薄膜晶体管170的漏电极层与像素电极层110电连接。

[0099] 以下，参照图2A至2C至图5以及图11A至11D对制造方法进行具体说明。图5是液晶显示装置的像素部的平面图，图1至图4相当于沿着图5中的线A1-A2、B1-B2的截面图。

[0100] 在具有绝缘表面的衬底100的整个表面上形成导电层之后，通过第一光刻工序形成抗蚀剂掩模，通过蚀刻去除不需要的部分以形成布线及电极（栅电极层101、栅电极层161、导电层162、电容布线108（也称作电容布线层）及第一端子121）。如图2A所示，当以在布线及电极的端部形成锥形形状的方式进行蚀刻时，被层叠的膜的覆盖性得到提高，所以是优选的。注意，栅电极层101、栅电极层161分别包括在栅极布线中。

[0101] 虽然对可用于具有绝缘表面的衬底100的衬底没有很大的限制，但是其至少需要具有能够承受后面的加热处理程度的耐热性。可以使用玻璃衬底作为具有绝缘表面的衬底100。

[0102] 另外，当后面的加热处理的温度较高时，可以使用应变点为730℃以上的玻璃衬底。另外，作为玻璃衬底，例如可以使用如铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃等的玻璃材料。另外，通过使玻璃衬底相比硼酸而含有更多的氧化钡（BaO），可以获得更实用的耐热玻璃。因此，优选使用相比B₂O₃包含更多的BaO的玻璃衬底。

[0103] 另外，也可以使用如陶瓷衬底、石英衬底、蓝宝石衬底等的由绝缘体构成的衬底代替上述玻璃衬底。此外，还可以使用结晶化玻璃等。因为在本实施方式中示出的液晶显示装置为透过型，所以作为衬底100使用具有透光性的衬底，但是，当采用反射型时，也可以使用

非透光性的金属衬底等的衬底用作衬底100。

[0104] 也可以将成为基底膜的绝缘膜设置在衬底100与栅电极层101、栅电极层161、导电层162、电容布线108及第一端子121之间。基底膜具有防止杂质元素从衬底100扩散的作用，可以使用选自氮化硅膜、氧化硅膜、氮氧化硅膜和氧氮化硅膜中的一种或多种膜的叠层结构形成。

[0105] 栅电极层101、栅电极层161、导电层162、电容布线108及第一端子121可以通过使用钼、钛、铬、钽、钨、铝、铜、钕、钐等金属材料或以这些材料为主要成分的合金材料的单层或叠层来形成。

[0106] 例如，作为栅电极层101、栅电极层161、导电层162、电容布线108及第一端子121的双层的叠层结构，优选采用：在铝层上层叠钼层的双层结构；在铜层上层叠钼层的双层结构；在铜层上层叠氮化钛层或氮化钽层的双层结构；层叠氮化钛层和钼层的双层结构。作为三层的叠层结构，优选采用钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、氮化钛层或钛层的叠层。

[0107] 接着，在栅电极层101、栅电极层161、导电层162、电容布线108及第一端子121上形成栅极绝缘层102（参照图2A）。

[0108] 通过利用等离子体CVD法或溅射法等并使用氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层或氧化铝层的单层或叠层，可以形成栅极绝缘层102。例如，作为成膜气体使用SiH₄、氧及氮并通过等离子体CVD法来形成氧氮化硅层，即可。将栅极绝缘层402的厚度设定为100nm以上且500nm以下。当采用叠层时，例如采用50nm以上且200nm以下的第一栅极绝缘层和第一栅极绝缘层上的5nm以上且300nm以下的第二栅极绝缘层的叠层。

[0109] 在本实施方式中，利用等离子体CVD法形成厚度为200nm以下的氮化硅层作为栅极绝缘层102。

[0110] 接着，在栅极绝缘层102上形成厚度为2nm以上且200nm以下的氧化物半导体膜130（参照图2B）。

[0111] 另外，优选在使用溅射法形成氧化物半导体膜之前，进行引入氩气体来产生等离子体的反溅射，以去除附着到栅极绝缘层102表面上的尘屑。反溅射是指使用RF电源在氩气氛下对衬底一侧施加电压来在衬底附近形成等离子体以进行表面改性的方法。另外，也可以使用氮、氦、氧等代替氩气氛。此外，也可以在对氩气氛添加氧、N₂O等的气氛下进行。另外，也可以在对氩气氛中加入Cl₂、CF₄等的气氛下进行。

[0112] 为了即使在形成氧化物半导体膜130之后进行用于脱水化或脱氢化的加热处理也使氧化物半导体膜处于非晶状态，优选将氧化物半导体膜430的厚度设定得薄，即50nm以下。通过将氧化物半导体膜的厚度设定得薄，即使在形成氧化物半导体层之后进行加热处理也可以抑制晶化。

[0113] 氧化物半导体膜130使用In-Ga-Zn-O类非单晶膜、In-Sn-Zn-O类、In-Al-Zn-O类、Sn-Ga-Zn-O类、Al-Ga-Zn-O类、Sn-Al-Zn-O类、In-Zn-O类、In-Ga-O类、Sn-Zn-O类、Al-Zn-O类、In-O类、Sn-O类、Zn-O类的氧化物半导体膜。在本实施方式中，使用In-Ga-Zn-O类氧化物半导体靶材并通过溅射法来形成氧化物半导体膜130。另外，可以在稀有气体（典型是氩）气氛下、在氧气气氛下或者在稀有气体（典型是氩）及氧气气氛下通过溅射法来形成氧化物半导体膜130。另外，当使用溅射法时，优选使用含有2wt%以上且10wt%以下的SiO₂的靶材来进行

成膜,而使氧化物半导体膜430含有阻碍晶化的 SiO_x ($x>0$),以抑制在后面的工序中进行用于脱水化或脱氢化的加热处理时被晶化。

[0114] 在此,使用包含In、Ga及Zn的氧化物半导体靶材($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol%], $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [at%])并以如下条件下进行成膜,该条件是:衬底和靶材之间的距离是100mm;压力是0.2Pa;直流(DC)电流是0.5kW;在氩及氧(氩:氧=30sccm:20sccm 氧流量比率40%)气氛下。另外,当使用脉冲直流(DC)电源时,可以减少尘屑且膜厚度分布也均匀,所以是优选的。将In-Ga-Zn-O类非单晶膜的厚度设定为5nm至200nm。在本实施方式中,使用In-Ga-Zn-O类氧化物半导体靶材并通过溅射法来形成20nm的In-Ga-Zn-O类非单晶膜作为氧化物半导体膜。

[0115] 作为溅射法,有作为溅射电源使用高频电源的RF溅射法、DC溅射法,并且还有以脉冲方式施加偏压的脉冲DC溅射法。RF溅射法主要用于绝缘膜的形成,而DC溅射法主要用于金属膜的形成。

[0116] 此外,还有可以设置多个材料不同的靶材的多元溅射装置。多元溅射装置既可以在同一处理室中层叠形成不同材料的膜,又可以在同一处理室中使多种材料同时放电而进行成膜。

[0117] 此外,有利用如下溅射法的溅射装置,该溅射法是:在处理室内具备磁体机构的磁控管溅射法;以及不使用辉光放电而利用使用微波来产生的等离子体的ECR溅射法。

[0118] 此外,作为使用溅射法的成膜方法,还有:在成膜时使靶材物质与溅射气体成分产生化学反应而形成它们的化合物薄膜的反应溅射法;以及在成膜时对衬底也施加电压的偏压溅射法。

[0119] 接着,在氧化物半导体膜130上通过进行第二光刻工序来形成抗蚀剂掩模137并利用蚀刻去除氧化物半导体膜130及栅极绝缘层102的不需要的部分,并在栅极绝缘层102中形成到达第一端子121的接触孔119及到达导电层162的接触孔118(参照图2C)。

[0120] 像这样,通过在氧化物半导体膜130层叠在栅极绝缘层102的整个面上的状态下进行在栅极绝缘层102中形成接触孔的工序,栅极绝缘层102的表面不直接与抗蚀剂掩模接触,从而可以防止对栅极绝缘层102的表面的污染(杂质等的附着等)。由此,可以使栅极绝缘层102和氧化物半导体膜130之间的界面状态良好,从而提高可靠性。

[0121] 还可以在栅极绝缘层上直接形成抗蚀剂图案然后形成接触孔的开口。在这种情况下,优选在剥离抗蚀剂之后进行热处理来进行栅极绝缘膜表面的脱水化、脱氢化、脱羟基化处理。例如,可以在惰性气体气氛(氮或氩、氦、氙等)下或氧气氛下进行加热处理(以400℃以上且低于衬底的应变点的温度),来去除栅极绝缘层内含有的氢及水等的杂质。

[0122] 接着,去除抗蚀剂掩模137,并使用通过第三光刻工序而形成的抗蚀剂掩模135a、135b对氧化物半导体膜130进行蚀刻,来形成岛状氧化物半导体层131、132(参照图3A)。另外,用来形成岛状氧化物半导体层的抗蚀剂掩模135a、135b可以使用喷墨法来形成。当通过喷墨法形成抗蚀剂掩模时不使用光掩模,因此可以缩减制造成本。

[0123] 接着,对氧化物半导体层131、132进行脱水化或脱氢化,来形成经过脱水化或脱氢化的氧化物半导体层133、134(参照图3B)。将进行脱水化或脱氢化的第一加热处理的温度设定为400℃以上且低于衬底的应变点,优选设定为425℃以上。注意,当采用425℃以上的温度时加热处理时间是1小时以下即可,但是当采用低于425℃的温度时加热处理时间长于

1小时。在此,将衬底放入到加热处理装置之一的电炉中,在氮气氛下对氧化物半导体层进行加热处理,然后不使其接触于大气而防止水或氢再次混入到氧化物半导体层,而形成氧化物半导体层。在本实施方式中,在氮气氛下使用同一炉将氧化物半导体层的温度从进行氧化物半导体层的脱水化或脱氢化所需的加热温度 T 缓冷到水无法再次混入的温度,具体而言,在氮气氛下将氧化物半导体层的温度降低到比加热温度 T 低 100°C 以上的温度。另外,不局限于氮气氛,而在氦、氖、氩等稀有气体气氛下进行脱水化或脱氢化。

[0124] 通过以 400°C 至 700°C 的温度对氧化物半导体层进行热处理,可以对氧化物半导体层进行脱水化、脱氢化,从而可以防止水(H_2O)再浸入氧化物半导体层。

[0125] 作为氧化物半导体膜中的水的脱离机理的一个例子,对以下反应途径进行了解析(在氧化物半导体膜中,水及作为 OH 或 H 的反应)。另外,氧化物半导体膜使用 In-Ga-Zn-O 类非晶膜。

[0126] 此外,利用密度泛函法(DFT)计算计算模型处于基态时的最佳分子结构。以势能、电子间静电能、电子的动能、包括所有的复杂的电子间的互相作用的交换相关能的总和表示DFT的总能量。在DFT中,由于使用以电子密度表示的单电子势的泛函(函数的函数之意)来近似表示交换相关作用,所以计算速度快且精度高。在此,利用作为混合泛函的B3LYP来规定涉及交换相关能的各参数的权重。此外,作为基函数,铟原子、镓原子和锌原子使用LanL2DZ(Ne核的有效核势加上分裂价层(split valence)基组的基函数),除此之外的原子使用6-311(对各原子价轨道使用三个收缩函数的三重分裂价层(triple split valence)基组的基函数)。根据上述基函数,例如在氢原子的情况下考虑 $1s$ 至 $3s$ 的轨道,而在氧原子的情况下考虑 $1s$ 至 $4s$ 、 $2p$ 至 $4p$ 的轨道。再者,作为极化基组(polarization basis sets),对氢原子加上 p 函数,对氧原子加上 d 函数,以提高计算精度。

[0127] 此外,作为量子化学计算程序,使用Gaussian03。使用高性能计算机(SGI株式会社制,Altix4700)来进行计算。

[0128] 可以认为包含在氧化物半导体膜中的 $-\text{OH}$ 通过进行脱水化或脱氢化的加热处理互相发生反应而生成 H_2O 。这里,对如图39所示那样的水的生成·脱离机理进行解析。另外,在图39中,由于 Zn 为2价,当 M_1M_2 的双方或其中一方为 Zn 时,去除一个与 Zn 键合的 $\text{M}'-\text{O}$ 键。

[0129] 图39中的 M 表示金属原子, $\text{In} \cdot \text{Ga} \cdot \text{Zn}$ 这三种适合。在初始状态1中, $-\text{OH}$ 以与 M_1 和 M_2 交联的方式形成配位键。在跃迁状态2中, $-\text{OH}$ 中的 H 转位到另一个 $-\text{OH}$ 。在中间状态3中,所生成的 H_2O 分子与金属原子形成配位键。在终结状态4中, H_2O 分子脱离而离开无限远。

[0130] 由于 (M_1-M_2) 的组合一共有6种,即:1. In-In 、2. Ga-Ga 、3. Zn-Zn 、4. In-Ga 、5. In-Zn 、6. Ga-Zn ,所以对所有组合进行了计算。另外,在本计算中,为了计算的简略化,采用使用 H 替换 M' 的计算模型的集群计算(cluster computing)。

[0131] 在计算中,求出对应于图39的反应途径的能量图。作为 (M_1-M_2) 的共6种组合的代表而在图40中示出1. In-In 的计算结果。

[0132] 由图40可知水的生成所需要的活化能为 1.16eV 。由于生成的水分子的脱离,与中间状态3相比终结状态 41.58eV 左右不稳定。

[0133] 另外,若反过来将图40看成是从右到左的反应,则可以将其看成是水进入到氧化物半导体膜内的反应。此时,配位到金属的水被水解而形成两个 OH 键的反应所需要的活化能为 0.47eV 。

[0134] 同样,对其他的 (M_1 - M_2) 组合的反应途径进行解析。表1示出1至6的水生成反应的活化能 (E_a [eV])。

[0135] [表1]

[0136]

	1	2	3	4	5	6
M_1 - M_2	In-In	Ga-Ga	Zn-Zn	In-Ga	In-Zn	Ga-Zn
E_a	1.16	1.25	2.01	1.14	1.35	1.4

[0137] 由表1可知:在1. In-In和4. In-Ga中,容易发生水的生成反应。而在3. Zn-Zn中不容易发生水的生成反应。由此,可以推测当使用Zn原子时不容易发生水的生成反应。

[0138] 另外,加热处理装置不局限于电炉,例如还可以使用GRTA (Gas Rapid Thermal Anneal,即气体快速热退火) 装置、LRTA (Lamp Rapid Thermal Anneal,即灯快速热退火) 装置等的RTA (Rapid Thermal Anneal) 装置。LRTA装置是利用从灯如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等发出的光(电磁波)的辐射加热被处理物的装置。此外,LRTA装置除了灯以外还可以具备由从电阻发热体等的发热体的热传导或热辐射来加热被处理物的设备。GRTA是指使用高温气体进行加热处理的方法。作为气体,使用即使进行加热处理也不与被处理物产生反应的如氩等的稀有气体或氮。可以利用RTA法以600℃至700℃进行几分钟的加热处理。

[0139] 另外,在第一加热处理中,优选氮或氦、氖、氙等的稀有气体不包含水、氢等。尤其是,以400℃至700℃的氧化物半导体层的脱水化、脱氢化的加热处理,优选在 H_2O 为20ppm以下的氮气氛下进行。另外,优选将导入于加热处理装置中的氮或氦、氖、氙等的稀有气体的纯度设定为6N (99.9999%) 以上,优选设定为7N (99.99999%) 以上(即,将杂质浓度设定为1ppm以下,优选设定为0.1ppm以下)。

[0140] 另外,根据第一加热处理的条件或氧化物半导体层的材料,也有时进行晶化,而形成微晶或多晶。例如,有时形成晶化率为90%以上或80%以上的微晶氧化物半导体层。此外,根据第一加热处理的条件或氧化物半导体层的材料,有时形成不含有结晶成分的非晶氧化物半导体。

[0141] 另外,也可以对加工成岛状氧化物半导体层131、132之前的氧化物半导体膜130进行氧化物半导体层的第一加热处理。在此情况下,在第一加热处理之后从加热装置拿出衬底,以进行光刻工序。

[0142] 作为氧化物半导体层的脱水化、脱氢化的热处理,可以在以下任一工序之后进行:形成氧化物半导体层之后;在氧化物半导体层上层叠了源电极及漏电极之后;或者在源电极及漏电极上形成钝化膜之后。

[0143] 另外,还可以在进行了氧化物半导体膜130的脱水化或脱氢化处理之后,进行如图2C所示的在栅极绝缘层102中形成接触孔118、119的工序。

[0144] 另外,这里的氧化物半导体膜的蚀刻不限于湿蚀刻,而还可以使用干蚀刻。

[0145] 作为干蚀刻所使用蚀刻气体,优选使用含有氯的气体(氯类气体,例如氯(Cl_2)、氯化硼(BCl_3)、氯化硅($SiCl_4$)、四氯化碳(CCl_4)等)。

[0146] 另外,还可以使用含有氟的气体(氟类气体,例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)等)、溴化氢(HBr)、氧(O_2)或对上述气体添加了氦(He)或氩

(Ar)等的稀有气体的气体等。

[0147] 作为干蚀刻法,可以使用平行平板型RIE(Reactive Ion Etching:反应性离子蚀刻)法或ICP(Inductively Coupled Plasma:感应耦合等离子体)蚀刻法等。适当地调节蚀刻条件(施加到线圈形电极的电力量、施加到衬底一侧的电极的电力量、衬底一侧的电极温度等),以便蚀刻为所希望的加工形状。

[0148] 作为用于湿蚀刻的蚀刻液,可以使用:将磷酸、醋酸以及硝酸混合的溶液等。此外,还可以使用IT007N(日本关东化学株式会社制造)。

[0149] 通过清洗去除湿蚀刻后的蚀刻液以及被蚀刻掉的材料。也可以提纯包括该被去除了的材料的蚀刻液的废液,来再使用所含的材料。通过从该蚀刻后的废液回收包含在氧化物半导体层中的铟等的材料并将它再使用,可以高效地使用资源并实现低成本化。

[0150] 另外,根据材料适当地调节蚀刻条件(蚀刻液、蚀刻时间以及温度等),以便可以蚀刻为所希望的加工形状。

[0151] 接着,在氧化物半导体层133、134上利用溅射法或真空蒸镀法形成由金属材料构成的金属导电膜。

[0152] 作为金属导电膜的材料,可以举出选自Al、Cr、Cu、Ta、Ti、Mo、W中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。另外,金属导电膜可以采用单层结构或两层以上的叠层结构。例如,可以举出:包含硅的铝膜的单层结构;在铝层上层叠钛膜的两层结构;Ti膜、层叠在该Ti膜上的铝膜、在其上层叠的Ti膜的三层结构等。另外,也可以使用:组合铝与选自钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、Sc(钪)中的一个或多个元素的合金膜或氮化膜。

[0153] 当在形成金属导电膜之后进行加热处理时,优选金属导电膜具有能够耐受该加热处理的耐热性。

[0154] 接着,进行第四光刻工序以形成抗蚀剂掩模136a、136b、136c、136d、136e、136f,并通过对金属导电膜的蚀刻去除不需要的部分而形成源电极层105a、漏电极层105b、源电极层165a、漏电极层165b、连接电极120以及第二端子122(参照图3C)。

[0155] 另外,当进行金属导电膜的蚀刻时,以氧化物半导体层133、134不被去除的方式适当地调节各种材料及蚀刻条件。

[0156] 在本实施方式中,将Ti膜用作金属导电膜,将In-Ga-Zn-O类氧化物用作氧化物半导体层133、134,并且将过氧化氢铵水(铵、水、过氧化氢水的混合液)用作蚀刻剂。

[0157] 在该第四光刻工序中,将与源电极层105a、165a、漏电极层105b、165b相同材料的连接电极120和第二端子122分别形成于端子部。另外,第二端子122与源极布线(包括源电极层105a、165a的源极布线)电连接。另外,连接电极120在接触孔119中接触于第一端子121地形成并与其电连接。

[0158] 另外,还可以使用喷墨法形成用来形成源电极层及漏电极层的抗蚀剂掩模136a、136b、136c、136d、136e、136f。当通过喷墨法形成抗蚀剂掩模时不使用光掩模,因此可以缩减制造成本。

[0159] 接着,去除抗蚀剂掩模136a、136b、136c、136d、136e、136f,并形成接触于氧化物半导体层133、134的成为保护绝缘膜的氧化物绝缘膜107。

[0160] 此时,在氧化物半导体层133、134中形成接触于氧化物绝缘膜的区域,该区域中的

隔着栅极绝缘层重叠于栅电极层且重叠于氧化物绝缘膜107的区域成为沟道形成区。

[0161] 将氧化物绝缘膜107的厚度至少设定为1nm以上,并且可以适当地使用溅射法等防止水、氢等的杂质混入到氧化物绝缘膜107的方法来形成氧化物绝缘膜107。

[0162] 在本实施方式中,使用溅射法形成300nm厚的氧化硅膜作为氧化物绝缘膜107。将形成膜时的衬底温度设定为室温以上且300℃以下即可,在本实施方式中将该衬底温度设定为室温。可以在稀有气体(典型为氩)气氛下或氧气气氛下通过溅射法形成氧化硅膜。另外,作为靶材,可以使用氧化硅靶材或硅靶材。例如,可以使用硅靶材在氧气气氛下通过溅射法形成氧化硅。在第一加热处理中,接触于被低电阻化的氧化物半导体层地形成的氧化物绝缘膜使用不包含水分、氢离子、OH⁻等的杂质且阻挡上述杂质从外部侵入的无机绝缘膜,典型地使用氧化硅膜、氮氧化硅膜、氧化镓膜、氧化铝膜或者氧氮化铝膜等。

[0163] 接着,在惰性气体气氛下或氮气体气氛下进行第二加热处理(优选是200℃以上且400℃以下,例如250℃以上且350℃以下)(参照图4A)。例如,在氮气气氛下进行250℃且1小时的第二加热处理。当进行第二加热处理时,重叠于氧化物绝缘膜107的氧化物半导体层133、134的一部分在接触于氧化物绝缘膜107的状态下被加热。

[0164] 通过上述工序,对成膜后的氧化物半导体层进行用于脱水化或脱氢化的加热处理而使其电阻降低之后,选择性地使氧化物半导体层的一部分成为氧过剩状态。

[0165] 其结果,在氧化物半导体层133中,与栅电极层161重叠的沟道形成区166成为I型,重叠于源电极层165a的高电阻源区167a和重叠于漏电极层165b的高电阻漏区167b以自对准的方式形成,并形成有氧化物半导体层163。同样地,在氧化物半导体层134中,重叠于栅电极层101的沟道形成区116成为I型,重叠于源电极层105a的高电阻源区117a和重叠于漏电极层105b的高电阻漏区117b以自对准的方式形成,并形成有氧化物半导体层103。

[0166] 另外,通过在与漏电极层105b、165b(及源电极层105a、165a)重叠的氧化物半导体层103、163中形成高电阻漏区117b、167b(或高电阻源区117a、167a),可以提高形成驱动电路时的可靠性。具体而言,通过形成高电阻漏区117b、167b,可以形成如下结构:从漏电极层105b、165b至高电阻漏区117b、167b、沟道形成区116、166,导电性能阶梯性地变化。所以,当将漏电极层105b、165b连接到提供高电源电位VDD的布线来使薄膜晶体管工作时,即使栅电极层101、161与漏电极层105b、165b之间被施加高电场,由于高电阻漏区成为缓冲区而不会被施加局部性的高电场,所以可以提高晶体管的耐压性。

[0167] 另外,通过在与漏电极层105b、165b(以及源电极层105a、165a)重叠的氧化物半导体层中形成高电阻漏区117b、167b(或高电阻区117a、167a),可以降低形成驱动电路时的沟道形成区116、166中的泄漏电流。

[0168] 在本实施方式中,在利用溅射法形成氧化硅膜作为氧化物绝缘膜107之后,进行250℃至350℃的热处理,以使氧从源区和漏区之间的氧化物半导体层的露出部分(沟道形成区)向氧化物半导体层中含浸并扩散到氧化物半导体层中。通过使用溅射法形成氧化硅膜,可以使该氧化硅膜中含有过剩的氧,并通过热处理使氧含浸并扩散到氧化物半导体层中。通过使氧含浸并扩散到氧化物半导体层中,可以实现沟道形成区的高电阻化(i型化)。由此,可以获得常关闭状态的薄膜晶体管。

[0169] 根据上述工序,可以在同一衬底上,在驱动电路中形成薄膜晶体管180并在像素部中形成薄膜晶体管170。薄膜晶体管170、180是包括高电阻源区、高电阻漏区及包括沟道形

成区的氧化物半导体层的底栅型薄膜晶体管。所以,薄膜晶体管170、180具有以下结构:即使其被施加高电场,由于高电阻漏区或高电阻源区成为缓冲区而不被施加局部性的高电场,所以晶体管的耐压性得到提高。

[0170] 通过在同一衬底上形成驱动电路部和像素部,可以缩短连接驱动电路和外部信号的连接布线,所以可以实现半导体装置的小型化和低成本化。

[0171] 还可以在氧化物绝缘膜107上形成保护绝缘膜。例如,使用RF溅射法形成氮化硅膜。由于RF溅射法的量产性高,所以作为保护绝缘层的成膜方法是优选的。保护绝缘层使用不包含水分、氢离子或 OH^- 等的杂质并防止上述杂质从外部侵入的无机绝缘膜,例如使用氮化硅膜、氮化铝膜、氮氧化硅膜或氧氮化铝膜等。

[0172] 接着,进行第五光刻工序以形成抗蚀剂掩模,并通过对氧化物绝缘层107的蚀刻,形成到达漏电极层105b的接触孔125,并去除抗蚀剂掩模(参照图4B)。另外,根据该蚀刻形成到达第二端子的122的接触孔127以及到达连接电极120的接触孔126。另外,还可以使用喷墨法形成用于形成接触孔的抗蚀剂掩模。当通过喷墨法形成抗蚀剂掩模时不使用光掩模,因此可以缩减制造成本。

[0173] 接着,形成具有透光性的导电膜。使用溅射法或真空蒸镀法等形成氧化铟(In_2O_3)或氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,简称为ITO)等作为具有透光性的导电膜的材料。作为具有透光性的导电膜的其他材料,可以使用含有氮的Al-Zn-O类非单晶膜,即Al-Zn-O-N类非单晶膜、含有氮的Zn-O类非单晶膜、含有氮的Sn-Zn-O类非单晶膜。另外,Al-Zn-O-N类非单晶膜的锌的组成比(原子百分比)是47原子%以下,该锌的组成比大于非单晶膜中的铝的组成比(原子百分比),并且非单晶膜中的铝的组成比(原子百分比)大于非单晶膜中的氮的组成比(原子百分比)。上述材料的蚀刻处理使用盐酸类的溶液进行。但是,由于对ITO的蚀刻特别容易产生残渣,因此也可以使用氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$),以便改善蚀刻加工性。

[0174] 另外,以具有透光性的导电膜的组成比的单位为原子百分比,并且通过使用电子探针显微分析仪(EPMA:Electron Probe X-ray MicroAnalyzer)的分析进行评价。

[0175] 接着,进行第六光刻工序,形成抗蚀剂掩模,通过蚀刻去除具有透光性的导电膜的不需要的部分来形成像素电极层110、导电层111以及端子电极128、129,然后去除抗蚀剂掩模。图4C示出此时的截面图。另外,图5相当于该阶段的平面图。

[0176] 另外,在该第六蚀刻工序中,以电容部中的栅极绝缘层102及氧化物绝缘膜107为电介质并使用电容布线108和像素电极层110形成存储电容。

[0177] 也可以将作为以栅极绝缘层102为电介质并使用电容布线和电容电极(也称为电容电极层)形成的存储电容的电容147形成在同一衬底上。此外,也可以不设置电容布线,而隔着保护绝缘膜及栅极绝缘层重叠像素电极与相邻的像素的栅极布线来形成存储电容。

[0178] 形成在端子部的端子电极128、129成为用于连接FPC的电极或者布线。隔着连接电极120形成在第一端子121上的端子电极128成为用作栅极布线的输入端子的连接用端子电极。形成在第二端子122上的端子电极129是用作源极布线的输入端子的连接用端子电极。

[0179] 另外,图11A及图11B分别示出该阶段的栅极布线端子部的截面图及俯视图。图11A相当于沿着图11B中的C1-C2线的截面图。在图11A中,形成在氧化物绝缘膜107上的导电膜155是用作输入端子的连接用端子电极。另外,在图11A中,在端子部中,由与栅极布线相同的材料形成的第一端子151和由与源极布线相同的材料形成的连接电极153隔着栅极绝缘

层重叠而直接接触地被导通。另外,连接电极153和导电膜155通过设置在氧化物绝缘膜107中的接触孔直接接触地被导通。

[0180] 另外,图11C及图11D分别示出该阶段的栅极布线端子部的截面图和俯视图。另外,图11C相当于沿着图11D中的D1-D2线的截面图。在图11C中,形成在氧化物绝缘膜107上的导电膜155是用作输入端子的连接用端子电极。另外,在图11C中,在端子部中,由与栅极布线相同的材料形成的电极156在与源极布线电连接的第二端子150的下方隔着栅极绝缘层102与其重叠。电极156不与第二端子150电连接,通过将电极156设定为与第二端子150不同的电位,例如浮动状态、GND、0V等,可以形成用于对杂波的措施的电容或用于对静电的措施的电容。此外,第二端子150隔着氧化物绝缘膜107与导电膜155电连接。

[0181] 根据像素密度设置多个栅极布线、源极布线及电容布线。此外,在端子部中,排列地配置多个电位与栅极布线相同的第一端子、多个电位与源极布线相同的第二端子以及多个电位与电容布线相同的第三端子等。各端子的数量可以是任意的,实施者可以适当地决定各端子的数量。

[0182] 由此,通过6回的光刻工序,可以使用6个光掩模完成具有薄膜晶体管180的驱动电路部、具有薄膜晶体管170的像素部、具有存储电容的电容147及外部提取端子部。通过将薄膜晶体管和存储电容对应于每个像素配置为矩阵状来构成像素部,可以将其用作用来制造有源矩阵型显示装置的一方的衬底。在本说明书中,为方便起见将这种衬底称为有源矩阵衬底。

[0183] 当制造有源矩阵型液晶显示装置时,在有源矩阵衬底和设置有对置电极的对置衬底之间设置液晶层来固定有源矩阵衬底和对置衬底。另外,将与设置在对置衬底的对置电极电连接的共同电极设置在有源矩阵衬底上,并且在端子部设置与共同电极电连接的第四端子。该第四端子是用来将共同电极设定为固定电位例如GND、0V等的端子。

[0184] 在氧化物绝缘膜107、导电层111、像素电极层110上形成用作取向膜的绝缘层191。

[0185] 在对置衬底190上形成着色层195、对置电极层194以及用作取向膜的绝缘层193。使用密封材料(未图示)以隔着调节液晶显示装置的单元间隙的间隔物并夹着液晶层192的方式贴合衬底100和对置衬底190。可以在减压下进行上述贴合工序。

[0186] 作为密封剂,通常优选使用可见光固化树脂、紫外线固化树脂或者热固化树脂。典型地,可以使用丙烯酸树脂、环氧树脂或氨基树脂等。另外,还可以含有光(典型的是紫外线)聚合引发剂、热固化剂、填充物、耦合剂。

[0187] 液晶层192是通过将液晶材料封入到空隙中而形成的。作为液晶层192,既可以在贴合衬底100和对置衬底190之前使用利用滴落的分配器法(滴落法)来形成,也可以在将衬底100与对置衬底190贴合之后利用毛细现象来注入液晶的注入法来形成。对于液晶材料没有特殊的限定,而可以使用各种材料。另外,当液晶材料使用呈现蓝相的材料时不需要取向膜。

[0188] 通过在衬底100的外侧设置偏振片196a并在对置衬底190的外侧设置偏振片196b,可以制造本实施方式中的透过性的液晶显示装置(参照图1)。

[0189] 另外,虽然没有图示,适当地设置黑矩阵(遮光层)、偏振构件、相位差构件及防止反射构件等的光学构件(光学衬底)等。例如,也可以使用利用偏振片及相位差板的圆偏振。此外,也可以使用背光灯或侧光灯等作为光源。

[0190] 在有源矩阵型液晶显示装置中,通过驱动配置为矩阵状的像素电极,在画面上形成显示图案。详细地说,通过在被选择的像素电极和对应于该像素电极的对置电极之间施加电压,进行配置在像素电极和对置电极之间的液晶层的光学调制,该光学调制被观察者识别为显示图案。

[0191] 当液晶显示装置显示动态图像时,由于液晶分子本身的响应慢,所以有产生余象或动态图像的模糊的问题。有一种所谓的被称为黑插入的驱动技术,在该驱动技术中为了改善液晶显示装置的动态图像特性,而每隔一帧地进行整个画面的黑显示。

[0192] 此外,还有所谓的被称为倍速驱动的驱动技术,其中通过将垂直同步频率设定为通常的1.5倍或2倍以上来改善动态图像特性。

[0193] 另外,还有如下驱动技术:为了改善液晶显示装置的动态图像特性,作为背光灯使用多个LED(发光二极管)光源或多个EL光源等来构成面光源,并使构成面光源的各光源独立地以脉冲方式在一个帧期间内进行驱动。作为面光源,可以使用三种以上的LED或白色发光的LED。由于可以独立地控制多个LED,因此也可以按照液晶层的光学调制的切换时序使LED的发光时序同步。因为在该驱动技术中可以部分地关断LED,所以尤其是在进行一个画面中的黑色显示区所占的比率高的图像显示的情况下,可以得到耗电量减少的效果。

[0194] 通过组合这些驱动技术,与现有的液晶显示装置相比,可以进一步改善液晶显示装置的动态图像特性等的显示特性。

[0195] 通过利用使用氧化物半导体的薄膜晶体管来形成,可以降低制造成本。尤其是,通过根据上述方法接触于氧化物半导体层地形成氧化绝缘膜,可以制造并提供具有稳定的电特性的薄膜晶体管。所以,可以提供具有电特性良好且可靠性高的薄膜晶体管的半导体装置。

[0196] 因为沟道形成区的半导体层为高电阻区域,所以薄膜晶体管的电特性稳定,而可以防止截止电流的增加等。因此,可以制造具有电特性良好且可靠性高的薄膜晶体管的半导体装置。

[0197] 另外,由于薄膜晶体管容易因静电等而被损坏,所以优选将保护电路设置在与像素部或驱动电路相同的衬底上。优选采用使用氧化物半导体层的非线性元件构成保护电路。例如,将保护电路设置在像素部和扫描线输入端子及信号线输入端子之间。在本实施方式中,设置多个保护电路,以便在扫描线、信号线及电容总线因静电等而被施加浪涌电压时像素晶体管等不被损坏。因此,保护电路采用当其被施加浪涌电压时向共同布线释放电荷的结构。另外,保护电路由并联配置在扫描线和共同布线之间的非线性元件构成。非线性元件由二极管等的二端子元件或晶体管等的三端子元件构成。例如,非线性元件也可以使用与像素部的薄膜晶体管170相同的工序形成,例如通过晶体管的连接栅极端子和漏极端子,可以使非线性元件具有与二极管同样的特性。

[0198] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0199] 实施方式2

[0200] 在本实施方式中,使用图6A至6D及图7A和7B示出在实施方式1中在氧化物半导体层与源电极层或漏电极层之间设置氧化物导电层作为源区及漏区的例子。因此,由于本实施方式的其他部分可以与实施方式1同样地实施,所以省略对与实施方式1相同的部分或具有同样作用的部分及工序的重复说明。另外,由于图6A至6D及图7A和7B与图1至图5除了工

序的一部分相异之外其他都相同,所以使用相同的符号表示相同的部分并省略对相同部分的详细说明。

[0201] 首先,根据实施方式1进行到实施方式1中的图3B为止的工序。图6A与图3B相同。

[0202] 在经过脱水化或脱氢化的氧化物半导体层133、134上形成氧化物导电膜140,并在氧化物导电膜140上层叠由金属导电材料构成的金属导电膜。

[0203] 作为氧化物导电膜140的成膜方法,可以使用溅射法、真空蒸镀法(电子束蒸镀法等)、电弧放电离子电镀法或喷涂法。作为氧化物导电膜140的材料,优选在成分中含有氧化锌而不含有氧化镉的材料。作为这种氧化物导电膜140,可以适当地使用氧化锌、氧化锌铝、氮化锌铝、氧化锌镓等。作为其厚度,可以在50nm以上且300nm以下的范围内适当地进行选择。另外,当使用溅射法时,优选使用含有2wt%以上且10wt%以下的 SiO_2 的靶材进行成膜,以使氧化物导电膜含有阻碍晶化的 SiO_x ($x>0$),以便抑制在后面的工序中进行用于脱水化或脱氢化的加热处理时被晶化。

[0204] 接着,进行第四光刻工序,形成抗蚀剂掩模136a、136b、136c、136d、136e、136f,并根据蚀刻去除金属导电膜的不需要的部分以形成源电极层105a、漏电极层105b、源电极层165a、漏电极层165b、连接电极120及第二端子122(参照图6B)。

[0205] 当进行金属导电膜的蚀刻时,以氧化物导电膜140及氧化物半导体层133、134不被去除的方式适当地调节各种材料及蚀刻条件。

[0206] 接着,去除抗蚀剂掩模136a、136b、136c、136d、136e、136f,并以源电极层105a、漏电极层105b、源电极层165a、漏电极层165b为掩模对氧化物导电膜140进行蚀刻以形成氧化物导电层164a、164b、氧化物导电层104a、104b(参照图6C)。作为以氧化锌为成分的氧化物导电膜140,例如可以使用如抗蚀剂剥离液那样的碱性溶液容易地进行蚀刻。此外,在同工序中在端子部中也形成氧化物导电层138、139。

[0207] 利用氧化物半导体层和氧化物导电膜的蚀刻速度差,进行分割用来形成沟道形成区的氧化物导电膜的蚀刻处理。利用氧化物导电膜的蚀刻速度比氧化物半导体层的蚀刻速度快这一点,对氧化物半导体层上的氧化物导电膜进行选择性地蚀刻。

[0208] 因此,优选利用灰化工序去除抗蚀剂掩模136a、136b、136c、136d、136e、136f。当进行使用剥离液的蚀刻时,以氧化物导电膜140及氧化物半导体层133、134不被过剩地蚀刻的方式适当地调节蚀刻条件(蚀刻剂的种类、浓度、蚀刻时间)。

[0209] 通过如本实施方式所示那样,在将氧化物半导体层蚀刻为岛状之后层叠氧化物导电膜和金属导电膜,并使用同一掩模蚀刻包括源电极层及漏电极层的布线图案,可以使氧化物导电膜残留在金属导电膜的布线图案之下。

[0210] 在栅极布线(导电层162)和源极布线(漏电极层165b)的接触部分中,通过在源极布线的下层形成氧化物导电层164b,氧化物导电层164b成为缓冲层,并且氧化物导电层164b与金属不形成形成绝缘性氧化物,所以是优选的。

[0211] 形成接触于氧化物半导体层133、134的成为保护绝缘膜的氧化物绝缘膜107。在本实施方式中,使用溅射法形成300nm厚的氧化硅膜作为氧化物绝缘膜107。

[0212] 接着,在惰性气体气氛下或氮气体气氛下进行第二加热处理(优选是200℃以上且400℃以下,例如250℃以上且350℃以下)。例如,在氮气氛下进行250℃且1小时的第二加热处理。当进行第二加热处理时,重叠于氧化物绝缘膜107的氧化物半导体层133、134的一部

分在接触于氧化物绝缘膜107的状态下被加热。

[0213] 通过上述工序,对成膜后的氧化物半导体层进行用于脱水化或脱氢化的加热处理而使其电阻降低之后,选择性地使氧化物半导体层的一部分处于氧过剩状态。

[0214] 其结果,在氧化物半导体层133中,与栅电极层161重叠的沟道形成区166成为I型,重叠于源电极层165a及氧化物导电层164a的高电阻源区167a和重叠于漏电极层165b及氧化物导电层164b的高电阻漏区167b以自对准的方式形成,并形成有氧化物半导体层163。同样地,在氧化物半导体层134中,沟道形成区116成为I型,重叠于源电极层105a及氧化物导电层104a的高电阻源区117a和重叠于漏电极层105b及氧化物导电层104b的高电阻漏区117b以自对准的方式形成,并形成有氧化物半导体层103。

[0215] 设置在氧化物半导体层163、103和由金属材料构成的漏电极层105b、漏电极层165b之间的氧化物导电层104b、164b也发挥作为低电阻漏区(LRN(低电阻N型导电型:Low Resistance N-type conductivity)区(也称为LRD(低电阻漏极:Low Resistance Drain)区))的功能。同样地,设置在氧化物半导体层163、103和由金属材料构成的源电极层105a、源电极层165a之间的氧化物导电层104a、164a也发挥作为低电阻源区(LRN(低电阻N型导电型:Low Resistance N-type conductivity)区(也称为LRD(低电阻源极:Low Resistance Source)区))的功能。通过采用氧化物半导体层、低电阻漏区、由金属材料构成的漏电极层的结构,可以进一步提高晶体管的耐压。具体而言,优选低电阻漏区的载流子浓度大于高电阻漏区(HRD区),例如在 $1 \times 10^{20}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下的范围内。

[0216] 根据上述工序,可以在同一衬底上,在驱动电路中形成薄膜晶体管181并在像素部中形成薄膜晶体管171。薄膜晶体管171、181是包括高电阻源区、高电阻漏区及包括沟道形成区的氧化物半导体层的底栅型薄膜晶体管。所以,薄膜晶体管171、181具有以下结构:即使其被施加高电场,由于高电阻漏区或高电阻源区成为缓冲区而不被施加局部性的高电场,所以晶体管的耐压性得到提高。

[0217] 另外,在电容部中形成有电容146,该电容146由电容布线108、栅极绝缘层102、由与氧化物导电层104b相同工序形成的氧化物导电层、由与漏电极层105b相同工序形成的金属导电层以及氧化物绝缘膜107的叠层构成。

[0218] 另外,硅氧烷类树脂相当于以硅氧烷类材料为起始材料而形成的包含Si-O-Si键的树脂。作为硅氧烷类树脂的取代基,也可以使用有机基(例如烷基、芳基)、氟基团。另外,有机基也可以具有氟基团。

[0219] 接着,在氧化物绝缘膜107上形成平坦化绝缘层109。另外,在本实施方式中,仅在像素部中形成平坦化绝缘层109。作为平坦化绝缘层109,可以使用具有耐热性的有机材料如聚酰亚胺、丙烯酸树脂、苯并环丁烯、聚酰胺、环氧树脂等。另外,除了上述有机材料之外,还可以使用低介电常数材料(low-k材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。另外,也可以通过层叠多个由这些材料形成的绝缘膜来形成平坦化绝缘层109。

[0220] 对平坦化绝缘层109的形成方法没有特别的限制,可以根据其材料利用溅射法、SOG法、旋涂、浸渍、喷涂、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)、刮片、辊涂机、幕涂机、刮刀涂布机等。在本实施方式中,使用感光性的感光性丙烯酸树脂形成平坦化绝缘层109。

[0221] 接着,进行第五光刻工序,形成抗蚀剂掩模,通过对平坦化绝缘层109及氧化物绝

缘膜107进行蚀刻来形成到达漏电极层105b的接触孔125,然后去除抗蚀剂掩模(参照图6D)。另外,还通过该蚀刻形成到达第二端子122的接触孔127及到达连接电极120的接触孔126。

[0222] 接着,形成具有透光性的导电膜,并进行第六光刻工序来形成抗蚀剂掩模,利用蚀刻去除不需要的部分以形成像素电极层110、导电层111、端子电极128、129,然后去除抗蚀剂掩模(参照图7A)。

[0223] 与实施方式1同样地,以夹着液晶层192的方式贴合衬底100和对置衬底190来制造本实施方式的液晶显示装置(参照图7B)。

[0224] 作为源区及漏区,通过将氧化物导电层设置在氧化物半导体层与源电极层及漏电极层之间,可以实现源区及漏区的低电阻化,从而可以使晶体管高速工作。通过将氧化物导电层用作源区及漏区,可以有效地提高外围电路(驱动电路)的频率特性。这是由于以下缘故:与金属电极(Ti等)和氧化物半导体层的接触相比,金属电极(Ti等)和氧化物导电层的接触可以降低接触电阻。

[0225] 另外,用于液晶面板中的布线材料的一部分的钼(Mo)(例如,Mo/Al/Mo)存在与氧化物半导体层的接触电阻较大的问题。这是由于以下缘故:与Ti相比Mo不容易氧化所以其从氧化物半导体层中夺取氧的能力较弱,而导致Mo和氧化物半导体层的接触界面不容易n型化。但是,即使在这种情况下,通过使氧化物半导体层和源电极层及漏电极层之间夹着氧化物导电层,可以降低接触电阻,从而可以提高外围电路(驱动电路)的频率特性。

[0226] 由于薄膜晶体管的沟道长度由氧化物导电层的蚀刻决定,所以可以将沟道长度形成得较短。例如,可以将沟道长度L形成得较短,0.1 μm 以上且2 μm 以下,来可以使工作速度高速化。

[0227] 实施方式3

[0228] 在本实施方式中,使用图8A至8D及图9A和9B示出在实施方式1或实施方式2中在氧化物半导体层与源电极层或漏电极层之间设置氧化物导电层作为源区及漏区的其他的例子。因此,由于本实施方式的其他部分可以与实施方式1或实施方式2同样地实施,所以省略对与实施方式1或实施方式2相同的部分或具有同样作用的部分及工序的重复说明。另外,由于图8A至8D及图9A和9B与图1至图7A和7B除了工序的一部分相异之外其他都相同,所以使用相同的符号表示相同的部分并省略对相同部分的详细说明。

[0229] 首先,根据实施方式1在衬底100上形成金属导电膜,然后使用通过第一光刻工序形成的抗蚀剂掩模对金属导电膜进行蚀刻,来形成第一端子121、栅电极层161、导电层162、栅电极层101及电容布线108。

[0230] 接着,在第一端子121、栅电极层161、导电层162、栅电极层101及电容布线108上形成栅极绝缘层102,并层叠氧化物半导体膜和氧化物导电膜。可以在不暴露于大气的条件下连续地形成栅极绝缘层、氧化物半导体膜及氧化物导电膜。

[0231] 利用第二光刻工序在氧化物导电膜上形成抗蚀剂掩模。使用抗蚀剂掩模对栅极绝缘层、氧化物半导体膜及氧化物导电膜进行蚀刻,来形成到达第一端子121的接触孔119以及到达导电层162的接触孔118。

[0232] 利用第二光刻工序去除抗蚀剂掩模,接着利用第三光刻工序在氧化物导电膜上形成抗蚀剂掩模。利用通过第三光刻工序而形成的抗蚀剂掩模形成岛状的氧化物半导体层及

氧化物导电层。

[0233] 如此,在将氧化物半导体膜及氧化物导电膜层叠在整个栅极绝缘层的表面的状态下进行在栅极绝缘层中形成接触孔的工序时,由于栅极绝缘层的表面不直接接触抗蚀剂掩模,所以可以防止栅极绝缘层表面被污染(杂质等的附着等)。因此,可以使栅极绝缘层与氧化物半导体膜、氧化物导电膜之间的界面状态为良好,从而提高可靠性。

[0234] 接着,在氧化物半导体层及氧化物导电层互相层叠的状态下进行脱水化、脱氢化的热处理。通过以400℃至700℃的温度进行热处理,可以进行氧化物半导体层的脱水化、脱氢化,而可以防止此后的水(H₂O)的再次侵入。

[0235] 根据该热处理,只要氧化物导电层不含有氧化硅之类的阻碍晶化的物质就可以使氧化物导电层晶化。氧化物导电层的结晶相对于基底面以柱状生长。其结果,当为了形成源电极层及漏电极层而对氧化物导电层的上层的金属导电膜进行蚀刻时,可以防止形成根切(undercut)。

[0236] 另外,通过氧化物半导体层的脱水化、脱氢化的热处理,可以提高氧化物导电层的导电性。另外,还可以仅对氧化物导电层进行比氧化物半导体层的热处理更低温的热处理。

[0237] 另外,作为氧化物半导体层及氧化物导电层的第一加热处理,也可以对加工为岛状的氧化物半导体层及氧化物导电层之前的氧化物半导体膜及氧化物导电膜进行。在这种情况下,在第一加热处理之后从加热装置取出衬底,然后进行光刻工序。

[0238] 通过上述工序可以得到氧化物半导体层133、134、氧化物导电层142、143(参照图8A)。氧化物半导体层133及氧化物导电层142、氧化物半导体层134及氧化物导电层143分别为使用相同掩模形成的岛状叠层。

[0239] 接着,进行第四光刻工序,形成抗蚀剂掩模136a、136b、136c、136d、136e、136f,并根据蚀刻去除金属导电膜的不需要的部分以形成源电极层105a、漏电极层105b、源电极层165a、漏电极层165b、连接电极120及第二端子122(参照图8B)。

[0240] 当进行金属导电膜的蚀刻时,以氧化物导电层142、143及氧化物半导体层133、134不被去除的方式适当地调节各种材料及蚀刻条件。

[0241] 接着,去除抗蚀剂掩模136a、136b、136c、136d、136e、136f,并以源电极层105a、漏电极层105b、源电极层165a、漏电极层165b为掩模对氧化物导电层142、143进行蚀刻以形成氧化物导电层164a、164b、氧化物导电层104a、104b(参照图8C)。作为以氧化锌为成分的氧化物导电层142、143,例如可以使用如抗蚀剂剥离液那样的碱性溶液容易地进行蚀刻。

[0242] 因此,优选利用灰化工序去除抗蚀剂掩模136a、136b、136c、136d、136e、136f。当进行使用剥离液的蚀刻时,以氧化物导电层142、143及氧化物半导体层133、134不被过剩地蚀刻的方式适当地调节各种材料及蚀刻条件。

[0243] 形成接触于氧化物半导体层133、134的成为保护绝缘膜的氧化物绝缘膜107。在本实施方式中,使用溅射法形成300nm厚的氧化硅膜作为氧化物绝缘膜107。

[0244] 接着,在惰性气体气氛下或氮气体气氛下进行第二加热处理(优选是200℃以上且400℃以下,例如250℃以上且350℃以下)。例如,在氮气氛下进行250℃且1小时的第二加热处理。当进行第二加热处理时,重叠于氧化物绝缘膜107的氧化物半导体层133、134的一部分在接触于氧化物绝缘膜107的状态下被加热。

[0245] 通过上述工序,对成膜后的氧化物半导体层进行用于脱水化或脱氢化的加热处理

而使其电阻降低之后,选择性地使氧化物半导体层的一部分处于氧过剩状态。

[0246] 其结果,在氧化物半导体层133中,与栅电极层161重叠的沟道形成区166成为I型,重叠于源电极层165a及氧化物导电层164a的高电阻源区167a和重叠于漏电极层165b及氧化物导电层164b的高电阻漏区167b以自对准的方式形成,并形成有氧化物半导体层163。同样地,在氧化物半导体层134中,重叠于栅电极层101的沟道形成区116成为I型,重叠于源电极层105a及氧化物导电层104a的高电阻源区117a和重叠于漏电极层105b及氧化物导电层104b的高电阻漏区117b以自对准的方式形成,并形成有氧化物半导体层103。

[0247] 设置在氧化物半导体层163、103和由金属材料构成的漏电极层105b、漏电极层165b之间的氧化物导电层104b、164b也发挥作为低电阻漏区(LRN区、也称为LRD区)的功能。同样地,设置在氧化物半导体层163、103和由金属材料构成的源电极层105a、源电极层165a之间的氧化物导电层104a、164a也发挥作为低电阻源区(LRN区、也称为LRD区)的功能。通过采用氧化物半导体层、低电阻漏区、由金属材料构成的漏电极层的结构,可以进一步提高晶体管的耐压。具体而言,优选低电阻漏区的载流子浓度大于高电阻漏区(HRD区),例如在 $1 \times 10^{20}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下的范围内。

[0248] 根据上述工序,可以在同一衬底上,在驱动电路中形成薄膜晶体管182并在像素部中形成薄膜晶体管172。薄膜晶体管172、182是包括高电阻源区、高电阻漏区及包括沟道形成区的氧化物半导体层的底栅型薄膜晶体管。所以,薄膜晶体管172、182具有以下结构:即使其被施加高电场,由于高电阻漏区或高电阻源区成为缓冲区而不被施加局部性的高电场,所以晶体管的耐压性得到提高。

[0249] 接着,进行第五光刻工序,形成抗蚀剂掩模,通过对氧化物绝缘膜107进行蚀刻来形成到达漏电极层105b的接触孔125,然后去除抗蚀剂掩模(参照图8D)。另外,还通过该蚀刻形成到达第二端子122的接触孔127及到达连接电极120的接触孔126。

[0250] 接着,形成具有透光性的导电膜,并进行第六光刻工序来形成抗蚀剂掩模,利用蚀刻去除不需要的部分以形成像素电极层110、导电层111、端子电极128、129,然后去除抗蚀剂掩模(参照图9A)。

[0251] 与实施方式1同样地,以夹着液晶层192的方式贴合衬底100和对置衬底190来制造本实施方式的液晶显示装置(参照图9B)。

[0252] 作为源区及漏区,通过将氧化物导电层设置在氧化物半导体层与源电极层及漏电极层之间,可以实现源区及漏区的低电阻化,从而可以使晶体管高速工作。将氧化物导电层用作源区及漏区可以有效地提高外围电路(驱动电路)的频率特性。这是由于以下缘故:与金属电极(Ti等)和氧化物半导体层的接触相比,金属电极(Ti等)和氧化物导电层的接触可以降低接触电阻。

[0253] 通过使氧化物半导体层和源电极层及漏电极层之间夹着氧化物导电层,可以降低接触电阻,从而可以提高外围电路(驱动电路)的频率特性。

[0254] 由于薄膜晶体管的沟道长度由氧化物导电层的蚀刻决定,所以可以将沟道长度形成得较短。例如,可以将沟道长度形成得较短, $0.1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下,来可以使工作速度高速化。

[0255] 实施方式4

[0256] 在此示出以下例子:在第一衬底和第二衬底之间密封有液晶层的液晶显示装置

中,将用来与设置在第二衬底的对置电极电连接的共同连接部形成在第一衬底上。另外,在第一衬底上形成有用作开关元件的薄膜晶体管,通过共同地进行共同连接部的制造工序与和像素部的开关元件的制造工序,可以在不使工序复杂化的情况下形成共同连接部和像素部的开关元件。

[0257] 共同连接部配置在与用来粘合第一衬底和第二衬底的密封材料重叠的位置,并通过包含在密封材料中的导电粒子与对置电极电连接。或者,将共同连接部设置在不与密封材料重叠的部分(但是,该部分不包括像素部),并以与共同连接部重叠的方式将包含导电粒子的膏剂与密封材料另行设置,而使共同连接部与对置电极电连接。

[0258] 图36A示出将薄膜晶体管和共同连接部制造在同一衬底上的半导体装置的截面结构图。

[0259] 在图36A中,与像素电极层227电连接的薄膜晶体管220是设置在像素部的沟道蚀刻型薄膜晶体管,并且在本实施方式中,该薄膜晶体管采用与实施方式1的薄膜晶体管170相同的结构。

[0260] 此外,图36B是示出共同连接部的俯视图的一个例子的图。并且沿附图中的虚线C3-C4的共同连接部的截面图相当于图36A。另外,在图36B中,使用与图36A同一附图标记说明与图36A相同的部分。

[0261] 共同电位线210设置在栅极绝缘层202上并利用与薄膜晶体管220的源电极层及漏电极层相同的材料及工序制造。

[0262] 此外,共同电位线210被保护绝缘层203覆盖,并且保护绝缘层203在与共同电位线210重叠的位置中具有多个开口部。该开口部使用与连接薄膜晶体管220的漏电极层和像素电极层227的接触孔相同的工序制造。

[0263] 注意,在此由于其面积尺寸大不相同,所以分别将其称为像素部中的接触孔和共同连接部的开口部。另外,在图36A中,像素部和共同连接部使用不同的缩尺来图示,例如共同连接部的虚线C3-C4的长度为500 μm 左右,而薄膜晶体管的宽度小于50 μm ,虽然实际上面积尺寸是其10倍以上,但是为了容易理解,在图36A中分别改变像素部和共同连接部的缩尺而进行图示。

[0264] 另外,共同电极层206设置在保护绝缘层203上,并使用与像素部的像素电极层227相同的材料及工序而制造。

[0265] 如此,与像素部的开关元件的制造工序共同地进行共同连接部的制造工序。优选采用使用金属布线作为共同电位线以降低布线电阻的结构。

[0266] 并且,使用密封材料对设置有像素部和共同连接部的第一衬底和具有对置电极的第二衬底进行固定。

[0267] 当使密封材料包含导电粒子时,以使密封材料与共同连接部重叠的方式对一对衬底进行位置对准。例如,在小型的液晶面板中,在像素部的对角等上与密封材料重叠地配置两个共同连接部。另外,在大型的液晶面板中,与密封材料重叠地配置四个以上的共同连接部。

[0268] 另外,共同电极层206是与包含在密封材料中的导电粒子接触的电极,并与第二衬底的对置电极电连接。

[0269] 当使用液晶注入法时,在使用密封材料将一对衬底固定之后,将液晶注入到一对

衬底之间。另外,当使用液晶滴落法时,在第二衬底或第一衬底上涂画密封材料,在滴落液晶之后,在减压下对一对衬底进行贴合。

[0270] 另外,在本实施方式中,虽然示出与对置电极电连接的共同连接部的例子,但是不局限于此,还可以将其用作与其他的布线连接的连接部或与外部连接端子等连接的连接部。

[0271] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0272] 实施方式5

[0273] 在本实施方式中,图10示出薄膜晶体管的制造工序的一部分与实施方式1不同的例子。因为图10的工序除了其一部分之外与图1至图5的工序相同,所以使用相同的附图标记表示相同的部分而省略相同的部分的详细说明。

[0274] 首先,根据实施方式1,在衬底上形成栅电极层、栅极绝缘层及氧化物半导体膜130,并通过第二光刻工序将氧化物半导体膜130加工为岛状的氧化物半导体层131、132。

[0275] 接着,进行氧化物半导体层131、132的脱水化或脱氢化。将进行脱水化或脱氢化的第一加热处理的温度设定为400℃以上且低于衬底的应变点,优选设定为425℃以上。注意,当温度为425℃以上时,加热处理时间为1小时以下即可,而当温度低于425℃时,加热处理时间为长于1小时。在此,将衬底放入加热处理装置中之一种的电炉中,并在氮气氛下对氧化物半导体层进行加热处理,然后不使其接触于大气而防止水或氢再次混入到氧化物半导体层,来获得氧化物半导体层。然后,在相同的炉中引入高纯度的氧气体、高纯度的N₂O气体或超干燥空气(ultra dry air)(露点为-40℃以下,优选为-60℃以下)来进行冷却。优选不使氧气体或N₂O气体包含水、氢等。或者,优选将引入到加热处理装置的氧气体或N₂O气体的纯度设定为6N(99.9999%)以上,更优选将其设定为7N(99.99999%)以上(也就是说,将氧气体或N₂O气体中的杂质浓度设定为1ppm以下,优选设定为0.1ppm以下)。

[0276] 另外,加热处理装置不局限于电炉,例如还可以使用GRTA(Gas Rapid Thermal Anneal,即气体快速热退火)装置、LRTA(Lamp Rapid Thermal Anneal,即灯快速热退火)装置等的RTA(Rapid Thermal Anneal)装置。LRTA装置是利用从灯如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等发出的光(电磁波)的辐射加热被处理物的装置。此外,LRTA装置除了灯以外还可以具备由从电阻发热体等的发热体的热传导或热辐射来加热被处理物的设备。GRTA是指使用高温气体进行加热处理的方法。作为气体,使用即使进行加热处理也不与被处理物产生反应的如氩等的稀有气体或氮。可以利用RTA法以600℃至700℃进行几分钟的加热处理。

[0277] 此外,也可以在进行了脱水化或脱氢化的第一加热处理之后,在氧气体或N₂O气体气氛下以200℃以上且400℃以下,优选以200℃以下且300℃以下的温度进行加热处理。

[0278] 此外,也可以对加工为岛状氧化物半导体层之前的氧化物半导体膜130进行氧化物半导体层131、132的第一加热处理。在此情况下,在第一加热处理之后从加热装置取出衬底并进行光刻工序。

[0279] 通过上述工序使氧化物半导体膜的整体处于氧过剩状态,来进行高电阻化,即I型化。由此,可以得到整体都被I型化的氧化物半导体层168、198。

[0280] 接着,利用第三光刻工序在氧化物半导体层168、198上形成抗蚀剂掩模,并进行选择性地蚀刻以形成源电极层及漏电极层,并利用溅射法形成氧化物绝缘膜107。

[0281] 接着,为了减少薄膜晶体管的电特性的不均匀,也可以在惰性气氛下或氮气体气氛下进行加热处理(优选以150℃以上且低于350℃)。例如,在氮气氛下以250℃进行1小时的加热处理。

[0282] 利用第四光刻工序形成抗蚀剂掩模,并通过选择性地蚀刻在栅极绝缘层及氧化物绝缘膜中形成到达第一端子121、导电层162、漏电极层105b及第二端子122的接触孔。在形成具有透光性的导电膜之后,利用第五光刻工序形成抗蚀剂掩模,并进行选择性地蚀刻以形成像素电极层110、端子电极128、端子电极129及布线层145。

[0283] 在本实施方式中,示出不隔着连接电极120直接连接第一端子121和端子电极128的例子。另外,漏电极层165b和导电层162通过布线层145连接。

[0284] 另外,在电容部中形成有电容148,该电容148由电容布线108、栅极绝缘层102、由与源电极层及漏电极层相同工序形成的金属导电层、氧化物绝缘膜107及像素电极层110的叠层构成。

[0285] 根据上述工序,可以在同一衬底上,在驱动电路中形成薄膜晶体管183并在像素部中形成薄膜晶体管173。

[0286] 与实施方式1同样地,以夹着液晶层192的方式贴合衬底100和对置衬底190来制造本实施方式的液晶显示装置(参照图10)。

[0287] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0288] 实施方式6

[0289] 在本实施方式中,下面说明在同一衬底上至少制造驱动电路的一部分和配置在像素部的薄膜晶体管的例子。

[0290] 根据实施方式1至5形成配置在像素部的薄膜晶体管。此外,因为实施方式1至5所示的薄膜晶体管是n沟道型TFT,所以将驱动电路中的可以由n沟道型TFT构成的驱动电路的一部分形成在与像素部的薄膜晶体管同一衬底上。

[0291] 图12A示出有源矩阵型显示装置的框图的一个例子。在显示装置的衬底5300上包括:像素部5301;第一扫描线驱动电路5302;第二扫描线驱动电路5303;信号线驱动电路5304。在像素部5301中配置有从信号线驱动电路5304延伸的多个信号线以及从第一扫描线驱动电路5302及第二扫描线驱动电路5303延伸的多个扫描线。此外,在扫描线与信号线的交叉区中将分别具有显示元件的像素设置为矩阵形状。另外,显示装置的衬底5300通过FPC(柔性印刷电路)等连接部连接于时序控制电路5305(也称为控制器、控制IC)。

[0292] 在图12A中,在与像素部5301相同的衬底5300上形成第一扫描线驱动电路5302、第二扫描线驱动电路5303、信号线驱动电路5304。由此,设置在外部的驱动电路等的构件的数量减少,所以可以实现成本的降低。另外,可以减少当在衬底5300的外部设置驱动电路而使布线延伸时的连接部的连接数量,因此可以提高可靠性或成品率。

[0293] 另外,作为一个例子,时序控制电路5305向第一扫描线驱动电路5302供应第一扫描线驱动电路启动信号(GSP1)、扫描线驱动电路时钟信号(GCLK1)。此外,作为一个例子,时序控制电路5305向第二扫描线驱动电路5303供应第二扫描线驱动电路启动信号(GSP2)(也称为起始脉冲)、扫描线驱动电路时钟信号(GCLK2)。时序控制电路5305向信号线驱动电路5304供应信号线驱动电路启动信号(SSP)、信号线驱动电路时钟信号(SCLK)、视频信号数据(DATA)(也简单地称为视频信号)及锁存信号(LAT)。另外,各时钟信号可以是错开其周期的

多个时钟信号或者与使时钟信号反转的信号 (CKB) 一起供给的信号。另外,可以省略第一扫描线驱动电路5302和第二扫描线驱动电路5303中的一方。

[0294] 图12B示出在与像素部5301相同的衬底5300上形成驱动频率低的电路(例如,第一扫描线驱动电路5302、第二扫描线驱动电路5303),在与像素部5301不同的衬底上形成信号线驱动电路5304的结构。通过采用该结构,可以使用其场效应迁移率比使用单晶半导体的晶体管小的薄膜晶体管构成形成在衬底5300上的驱动电路。从而,可以实现显示装置的大型化、成本的降低或成品率的提高等。

[0295] 另外,实施方式1至5所示的薄膜晶体管是n沟道型TFT。图13A和图13B示出由n沟道型TFT构成的信号线驱动电路的结构、工作的一个例子而说明。

[0296] 信号线驱动电路具有移位寄存器5601及开关电路部5602。开关电路部5602具有多个电路,即开关电路5602_1至5602_N(N是自然数)。开关电路5602_1至5602_N分别具有多个晶体管,即薄膜晶体管5603_1至5603_k(k是自然数)。对薄膜晶体管5603_1至5603_k是n沟道型TFT的例子进行说明。

[0297] 以开关电路5602_1为例子说明信号线驱动电路的连接关系。薄膜晶体管5603_1至5603_k的第一端子分别连接到布线5604_1至5604_k。薄膜晶体管5603_1至5603_k的第二端子分别连接到信号线S1至Sk。薄膜晶体管5603_1至5603_k的栅极连接到布线5604_1。

[0298] 移位寄存器5601具有对布线5605_1至5605_N依次输出H电平(也称为H信号、高电源电位水平)的信号,并依次选择开关电路5602_1至5602_N的功能。

[0299] 开关电路5602_1具有控制布线5604_1至5604_k与信号线S1至Sk的导通状态(第一端子和第二端子之间的导通)的功能,即将布线5604_1至5604_k的电位供应还是不供应到信号线S1至Sk的功能。像这样,开关电路5602_1具有作为选择器的功能。另外,薄膜晶体管5603_1至5603_k分别具有控制布线5604_1至5604_k与信号线S1至Sk的导通状态的功能,即将布线5604_1至5604_k的电位供应到信号线S1至Sk的功能。像这样,薄膜晶体管5603_1至5603_k分别具有作为开关的功能。

[0300] 另外,对布线5604_1至5604_k分别输入视频信号用数据(DATA)。在很多情况下,视频信号数据(DATA)是根据图像信息或图像信号的模拟信号。

[0301] 接着,参照图13B的时序图说明图13A的信号线驱动电路的工作。图13B示出信号Sout_1至Sout_N及信号Vdata_1至Vdata_k的一个例子。信号Sout_1至Sout_N分别是移位寄存器5601的输出信号的一个例子,并且信号Vdata_1至Vdata_k分别是输入到布线5604_1至5604_k的信号的一个例子。另外,信号线驱动电路的一个工作期间对应于显示装置中的一个栅极选择期间。作为一个例子,一个栅极选择期间被分割为期间T1至期间TN。期间T1至期间TN分别是用来对属于被选择的行的像素写入视频信号数据(DATA)的期间。

[0302] 在本实施方式所示的附图中,有时为了明了地示出,夸大表示各结构的信号波形的畸变。因此,不局限于所示的尺寸。

[0303] 在期间T1至期间TN中,移位寄存器5601将H电平的信号依次输出到布线5605_1至5605_N。例如,在期间T1中,移位寄存器5601将高电平的信号输出到布线5605_1。然后,薄膜晶体管5603_1至5603_k导通,所以布线5604_1至5604_k与信号线S1至Sk处于导通状态。此时,对布线5604_1至5604_k输入Data(S1)至Data(Sk)。Data(S1)至Data(Sk)分别通过薄膜晶体管5603_1至5603_k写入到属于被选择的行的像素中的第一列至第k列的像素。通过上

述步骤,在期间T1至TN中,对属于被选择的行的像素的每k列按顺序写入视频信号数据(DATA)。

[0304] 如上所述,通过对每多个列的像素写入视频信号用数据(DATA),可以减少视频信号数据(DATA)的数量或布线的数量。因此,可以减少与外部电路的连接数量。此外,通过对每多个列的像素写入视频信号,可以延长写入时间,因此可以防止视频信号的写入不足。

[0305] 另外,作为移位寄存器5601及开关电路部5602,可以使用由实施方式1至5所示的薄膜晶体管构成的电路。此时,移位寄存器5601所具有的所有晶体管的极性可以只由n沟道型构成。

[0306] 参照图14A至14D及图15A和15B说明用于扫描线驱动电路及/或信号线驱动电路的一部分的移位寄存器的一个方式。

[0307] 扫描线驱动电路具有移位寄存器。此外,有时也可以具有电平移动器、缓冲器。在扫描线驱动电路中,通过对移位寄存器输入时钟信号(CLK)及起始脉冲信号(SP),生成选择信号。所生成的选择信号在缓冲器中被缓冲放大并供应到对应的扫描线。扫描线连接到一行的像素的晶体管的栅电极。而且,由于需要将一行的像素的晶体管同时导通,因此使用能够使大电流流过的缓冲器。

[0308] 移位寄存器具有第一脉冲输出电路10_1至第N脉冲输出电路10_N(N是3以上的自然数)(参照图14A)。对图14A所示的移位寄存器的第一脉冲输出电路10_1至第N脉冲输出电路10_N从第一布线11供应第一时钟信号CK1,从第二布线12供应第二时钟信号CK2,从第三布线13供应第三时钟信号CK3,从第四布线14供应第四时钟信号CK4。另外,对第一脉冲输出电路10_1输入来自第五布线15的起始脉冲SP1(第一起始脉冲)。此外,对第二级以后的第n脉冲输出电路10_n(n是2以上N以上的自然数)输入来自前一级的脉冲输出电路的信号(称为前级信号OUT(n-1))(n是2以上且N以下的自然数)。另外,对第一脉冲输出电路10_1输入来自后二级的第三脉冲输出电路10_3的信号。同样地,对第二级以后的第n脉冲输出电路10_n输入来自后二级的第(n+2)脉冲输出电路10_(n+2)的信号(后级信号OUT(n+2))。从而,从各级的脉冲输出电路输出用来输入到后级及/或前二级的脉冲输出电路的第一输出信号(OUT(1)(SR)至OUT(N)(SR))、电连接到其他布线等的第二输出信号(OUT(1)至OUT(N))。另外,如图14A所示,由于不对移位寄存器的最后级的两个级输入后级信号OUT(n+2),所以作为一个例子,采用另行分别输入第二起始脉冲SP2、第三起始脉冲SP3的结构即可。

[0309] 另外,时钟信号(CK)是以一定间隔反复H电平和L电平(也称为L信号、低电源电位水平)的信号。在此,第一时钟信号(CK1)至第四时钟信号(CK4)依次迟延1/4周期。在本实施方式中,利用第一时钟信号(CK1)至第四时钟信号(CK4)而进行脉冲输出电路的驱动的控制等。注意,时钟信号根据所输入的驱动电路有时称为GCLK、SCLK,在此称为CK而说明。

[0310] 第一输入端子21、第二输入端子22及第三输入端子23电连接到第一布线11至第四布线14中的任一个。例如,在图14A中,在第一脉冲输出电路10_1中,第一输入端子21电连接到第一布线11,第二输入端子22电连接到第二布线12,并且第三输入端子23电连接到第三布线13。此外,在第二脉冲输出电路10_2中,第一输入端子21电连接到第二布线12,第二输入端子22电连接到第三布线13,并且第三输入端子23电连接到第四布线14。

[0311] 第一脉冲输出电路10_1至第N脉冲输出电路10_N分别包括第一输入端子21、第二输入端子22、第三输入端子23、第四输入端子24、第五输入端子25、第一输出端子26、第二输

出端子27(参照图14B)。在第一脉冲输出电路10_1中,对第一输入端子21输入第一时钟信号CK1,对第二输入端子22输入第二时钟信号CK2,对第三输入端子23输入第三时钟信号CK3,对第四输入端子24输入起始脉冲,对第五输入端子25输入后级信号OUT(3),从第一输入端子26输出第一输出信号OUT(1)(SR),从第二输出端子27输出第二输出信号OUT(1)。

[0312] 另外,第一脉冲输出电路10_1至第N脉冲输出电路10_N除了三端子薄膜晶体管(TFT:Thin Film Transistor)之外还可以使用在上述实施方式中说明的四端子薄膜晶体管。图14C示出在上述实施方式中说明的四端子薄膜晶体管28的等效电路。另外,在本说明书中,当薄膜晶体管隔着半导体层具有两个栅电极时,将位于半导体层的下方的栅电极也称为下方的栅电极,而将位于半导体层的上方的栅电极也称为上方的栅电极。

[0313] 当将氧化物半导体用于薄膜晶体管的包括沟道形成区的半导体层时,因制造工序而有时阈值电压移动到负一侧或正一侧。因此,在将氧化物半导体用于包括沟道形成区的半导体层的薄膜晶体管中,优选采用能够进行阈值电压的控制的结构。通过控制上方及/或下方的栅电极的电位,而可以将四端子的薄膜晶体管28的阈值电压控制为所希望的值。

[0314] 接着,参照图14D说明图14B所示的脉冲输出电路的具体的电路结构的一个例子。

[0315] 图14D所示的脉冲输出电路具有第一晶体管31至第十三晶体管43。此外,除了上述第一输出端子21至第五输出端子25以及第一输出端子26、第二输出端子27以外,从被供应第一高电源电位VDD的电源线51、被供应第二高电源电位VCC的电源线52、被供应低电源电位VSS的电源线53对第一晶体管31至第十三晶体管43供应信号或电源电位。在此,示出图14D的各电源线的电源电位的大小关系:即第一电源电位VDD是第二电源电位VCC以上的电位,并且第二电源电位VCC是大于第三电源电位VSS的电位。此外,第一时钟信号(CK1)至第四时钟信号(CK4)是以一定间隔反复H电平和L电平的信号,并且当H电平时电位为VDD,并且当L电平时电位为VSS。另外,通过使电源线51的电位VDD高于电源线52的电位VCC,可以不影响到工作地将施加到晶体管的栅电极的电位抑制得低,并降低晶体管的阈值的移动,而可以抑制劣化。另外,作为第一晶体管31至第十三晶体管43中的第一晶体管31、第六晶体管36至第九晶体管39,使用四端子薄膜晶体管。要求第一晶体管31、第六晶体管36至第九晶体管利用栅电极的控制信号切换连接有成为源极或漏极的电极之一的节点的电位。即,第一晶体管31、第六晶体管36至第九晶体管是如下晶体管,即对于输入到栅电极的控制信号的响应越快(导通电流的上升陡峭),越可以减少脉冲输出电路的错误工作。因此,通过使用四端子薄膜晶体管,可以控制阈值电压,以可以得到更可以减少错误工作的脉冲输出电路。

[0316] 在图14D的第一晶体管31中,第一端子电连接到电源线51,第二端子电连接到第九晶体管39的第一端子,栅电极(下方的栅电极及上方的栅电极)电连接到第四输入端子24。在第二晶体管32中,第一端子电连接到电源线53,第二端子电连接到第九晶体管39的第一端子,栅电极电连接到第四晶体管34的栅电极。在第三晶体管33中,第一端子电连接到第一输入端子21,第二端子电连接到第一输出端子26。在第四晶体管34中,第一端子电连接到电源线53,第二端子电连接到第一输出端子26。在第五晶体管35中,第一端子电连接到电源线53,第二端子电连接到第二晶体管32的栅电极及第四晶体管34的栅电极,栅电极电连接到第四输入端子24。在第六晶体管36中,第一端子电连接到电源线52,第二端子电连接到第二晶体管32的栅电极及第四晶体管34的栅电极,栅电极(下方的栅电极及上方的栅电极)电连接到第五输入端子25。在第七晶体管37中,第一端子电连接到电源线52,第二端子电连接到

第八晶体管38的第二端子,栅电极(下方的栅电极及上方的栅电极)电连接到第三输入端子23。在第八晶体管38中,第一端子电连接到第二晶体管32的栅电极及第四晶体管34的栅电极,栅电极(下方的栅电极及上方的栅电极)电连接到第二输入端子22。在第九晶体管39中,第一端子电连接到第一晶体管31的第二端子及第二晶体管32的第二端子,第二端子电连接到第三晶体管33的栅电极及第十晶体管40的栅电极,栅电极(下方的栅电极及上方的栅电极)电连接到电源线52。在第十晶体管40中,第一端子电连接到第一输入端子21,第二端子电连接到第二输出端子27,栅电极电连接到第九晶体管39的第二端子。在第十一晶体管41中,第一端子电连接到电源线53,第二端子电连接到第二输出端子27,栅电极电连接到第二晶体管32的栅电极及第四晶体管34的栅电极。在第十二晶体管42中,第一端子电连接到电源线53,第二端子电连接到第二输出端子27,栅电极电连接到第七晶体管37的栅电极(下方的栅电极及上方的栅电极)。在第十三晶体管43中,第一端子电连接到电源线53,第二端子电连接到第一输出端子26,栅电极电连接到第七晶体管37的栅电极(下方的栅电极及上方的栅电极)。

[0317] 在图14D中,以第三晶体管33的栅电极、第十晶体管40的栅电极以及第九晶体管39的第二端子的连接部分为节点A。此外,以第二晶体管32的栅电极、第四晶体管34的栅电极、第五晶体管35的第二端子、第六晶体管36的第二端子、第八晶体管38的第一端子以及第十一晶体管41的栅电极的连接部分为节点B。

[0318] 图15A示出如下信号,即当将图14D所说明的脉冲输出电路应用于第一脉冲输出电路10_1时输入到第一输入端子21至第五输入端子25的信号或者从第一输出端子26及第二输出端子27输出的信号。

[0319] 具体而言,对第一输入端子21输入第一时钟信号CK1,对第二输入端子22输入第二时钟信号CK2,对第三输入端子23输入第三时钟信号CK3,对第四输入端子24输入起始脉冲,对第五输入端子25输入后级信号OUT(3),从第一输出端子26输出第一输出信号OUT(1)(SR),并且从第二输出端子27输出第二输出信号OUT(1)。

[0320] 此外,薄膜晶体管是指至少具有包括栅极、漏极以及源极的三个端子的元件。另外,在与栅极重叠的区域中具有形成沟道形成区的半导体,因此通过控制栅极的电位,可以通过沟道形成区控制流在漏极和源极之间的电流。在此,因为源极和漏极根据薄膜晶体管的结构或工作条件等而变化,所以很难限定哪个是源极哪个是漏极。因此,有时不将用作源极及漏极的区域称为源极或漏极。在此情况下,作为一个例子,有时将用作源极及漏极的区域分别记为第一端子、第二端子。

[0321] 另外,在图14D、图15A中,也可以另行设置用来通过使节点A处于浮动状态来进行自举工作的电容元件。另外,也可以另行设置将其一方的电极电连接到节点B的电容元件,以保持节点B的电位。

[0322] 在此,图15B示出图15A所示的具备多个脉冲输出电路的移位寄存器的时序图。此外,在移位寄存器是扫描线驱动电路时,图15B中的期间61相当于垂直回扫期间,并且期间62相当于栅极选择期间。

[0323] 此外,如图15A所示,通过设置其栅极被施加第二电源电位VCC的第九晶体管39,在自举工作的前后有如下优点。

[0324] 在没有其栅电极被施加第二电源电位VCC的第九晶体管39的情况下,当因自举工

作而节点A的电位上升时,第一晶体管31的第二端子的源极电位上升,而该源极电位变大于第一电源电位VDD。然后,第一晶体管31的源极转换为第一端子一侧,即电源线51一侧。因此,在第一晶体管31中,因为对栅极和源极之间以及栅极和漏极之间施加较大的偏压,所以栅极和源极之间以及栅极和漏极之间受到较大的压力,这会导致晶体管的劣化。于是,通过设置其栅电极被施加第二电源电位VCC的第九晶体管39,虽然因自举工作而节点A的电位上升,但是可以不使第一晶体管31的第二端子的电位上升。换言之,通过设置第九晶体管39,可以将对第一晶体管31的栅极和源极之间施加的负偏压得值设定得小。由此,由于通过采用本实施方式的电路结构来可以将施加到第一晶体管31的栅极和源极之间的负偏压设定得小,所以可以抑制因压力而导致的第一晶体管31的劣化。

[0325] 此外,只要在第一晶体管31的第二端子和第三晶体管33的栅极之间以通过第一端子和第二端子连接的方式设置第九晶体管39,就对设置第九晶体管39的结构没有特别的限制。另外,在采用具有多个本实施方式的脉冲输出电路的移位寄存器时,在其级数与扫描线驱动电路相比多的信号线驱动电路中也可以省略第九晶体管39,而减少晶体管的数量是优点。

[0326] 另外,通过作为第一晶体管31至第十三晶体管43的半导体层使用氧化物半导体,可以降低薄膜晶体管的截止电流并提高导通电流及场效应迁移率,并且还可以降低劣化的程度,所以可以减少电路内的错误工作。此外,与使用非晶硅的晶体管相比因对其栅电极施加高电位而导致的晶体管的劣化的程度小。由此,即使对供应第二电源电位VCC的电源线供应第一电源电位VDD也可以得到相同的工作,并且可以减少引导电路之间的电源线的数量,因此可以实现电路的小型化。

[0327] 另外,即使以对第七晶体管37的栅电极(下方的栅电极及上方的栅电极)通过第三输入端子23供应的时钟信号、对第八晶体管38的栅电极(下方的栅电极及上方的栅电极)通过第二输入端子22供应的时钟信号成为对第七晶体管37的栅电极(下方的栅电极及上方的栅电极)通过第二输入端子22供应的时钟信号、对第八晶体管38的栅电极(下方的栅电极及上方的栅电极)通过第三输入端子23供应的时钟信号的方式替换接线关系,也具有同样的作用。此外,在图15A所示的移位寄存器中,通过从第七晶体管37及第八晶体管38的状态都是导通状态变化到第七晶体管37截止且第八晶体管38导通的状态,然后成为第七晶体管37截止且第八晶体管38截止的状态,而由第二输入端子22及第三输入端子23的电位降低所产生的节点B的电位的降低发生两次,该节点B的电位的降低起因于第七晶体管37的栅电极的电位的降低及第八晶体管38的栅电极的电位的降低。另一方面,在图15A所示的移位寄存器中,通过从第七晶体管37及第八晶体管38的状态都是导通状态变化到第七晶体管37导通且第八晶体管38截止的状态,然后成为第七晶体管37截止且第八晶体管38截止的状态,而由第二输入端子22及第三输入端子23的电位的降低所产生的节点B的电位的降低仅发生一次,该节点B的电位的降低起因于第八晶体管38的栅电极的电位的降低。由此,优选采用通过第三输入端子23对第七晶体管37的栅电极(下方的栅电极及上方的栅电极)供应的时钟信号并通过第二输入端子22对第八晶体管38的栅电极(下方的栅电极及上方的栅电极)供应的时钟信号的连接关系。这是由于这样可以使节点B的电位的变动次数变小以降低噪声的缘故。

[0328] 像这样,通过采用在将第一输出端子26及第二输出端子27的电位保持为L电平的

期间中对节点B定期供应H电平的信号的结构,可以抑制脉冲输出电路的错误工作。

[0329] 实施方式7

[0330] 通过制造薄膜晶体管并将该薄膜晶体管用于像素部及驱动电路,可以制造具有显示功能的半导体装置(也称为显示装置)。此外,可以在与像素部同一衬底上一体地形成使用薄膜晶体管的驱动电路的一部分或整体,而形成系统型面板(system-on-panel)。

[0331] 显示装置包括显示元件。作为显示元件,可以使用液晶元件(也称为液晶显示元件)。此外,也可以使用电子墨水等的其对比度因电作用而变化的显示媒体。

[0332] 此外,显示装置包括密封有显示元件的面板和在该面板中安装有包括控制器的IC等的模块。再者,相当于制造该显示装置的过程中的显示元件完成之前的一个方式的元件衬底在多个像素的每一个中分别具备用来将电流供应到显示元件的单元。具体而言,元件衬底既可以处于只形成有显示元件的像素电极的状态,又可以处于形成成为像素电极的导电膜之后且通过蚀刻形成像素电极之前的状态,可以是任何状态。

[0333] 注意,本说明书中的显示装置是指图像显示装置、显示装置或光源(包括照明装置)。另外,显示装置还包括:安装有连接器诸如FPC(Flexible Printed Circuit:柔性印刷电路)、TAB(Tape Automated Bonding:载带自动键合)带或TCP(Tape Carrier Package:载带封装)的模块;在TAB带或TCP的端部上设置有印刷线路板的模块;通过COG(Chip On Glass:玻璃上芯片)方式将IC(集成电路)直接安装到显示元件上的模块。

[0334] 参照图16A至16C说明相当于半导体装置的一个方式的液晶显示面板的外观及截面。图16A、图16B是一种面板的平面图,其中利用密封材料4005将薄膜晶体管4010、4011及液晶元件4013密封在第一衬底4001和第二衬底4006之间。图16C相当于沿着图16A、图16B的M-N的截面图。

[0335] 以围绕设置在第一衬底4001上的像素部4002和扫描线驱动电路4004的方式设置有密封材料4005。此外,在像素部4002和扫描线驱动电路4004上设置有第二衬底4006。因此,像素部4002和扫描线驱动电路4004与液晶层4008一起由第一衬底4001、密封材料4005和第二衬底4006密封。此外,在第一衬底4001上的与由密封材料4005围绕的区域不同的区域中安装有信号线驱动电路4003,该信号线驱动电路4003使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上。

[0336] 注意,对另行形成的驱动电路的连接方法没有特别的限制,而可以采用COG方法、引线键合方法或TAB方法等。图16A是通过COG方法安装信号线驱动电路4003的例子,并且图16B是通过TAB方法安装信号线驱动电路4003的例子。

[0337] 此外,设置在第一衬底4001上的像素部4002和扫描线驱动电路4004包括多个薄膜晶体管。在图16C中例示像素部4002所包括的薄膜晶体管4010和扫描线驱动电路4004所包括的薄膜晶体管4011。在薄膜晶体管4010、4011上设置有保护绝缘层4020、4021。

[0338] 可以将实施方式1至5所示的包括氧化物半导体层的可靠性高的薄膜晶体管用于薄膜晶体管4010、4011。作为用于驱动电路的薄膜晶体管4011可以使用实施方式1至5所示的薄膜晶体管180、181、182、183,并且作为用于像素的薄膜晶体管4010可以使用薄膜晶体管170、171、172、173。在本实施方式中,薄膜晶体管4010、4011是n沟道型薄膜晶体管。

[0339] 在绝缘层4021上,在与用于驱动电路的薄膜晶体管4011的氧化物半导体层的沟道形成区重叠的位置上设置有导电层4040。通过在与氧化物半导体层的沟道形成区重叠的位

置上设置导电层4040,可以降低BT测试前后的薄膜晶体管4011的阈值电压的变化量。另外,导电层4040的电位可以与薄膜晶体管4011的栅电极层相同或不同,并且也可以将导电层4040用作第二栅电极层。另外,导电层4040的电位可以是GND、0V或浮动状态。

[0340] 此外,液晶元件4013所具有的像素电极层4030与薄膜晶体管4010电连接。而且,液晶元件4013的对置电极层4031形成在第二衬底4006上。像素电极层4030、对置电极层4031和液晶层4008重叠的部分相当于液晶元件4013。另外,像素电极层4030、对置电极层4031分别设置有用取向膜的绝缘层4032、4033,并隔着绝缘层4032、4033夹有液晶层4008。

[0341] 另外,作为第一衬底4001、第二衬底4006,可以使用透光衬底,而可以使用玻璃、陶瓷、塑料。作为塑料,可以使用FRP(Fiberglass-Reinforced Plastics:纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。

[0342] 此外,附图标记4035表示通过对绝缘膜选择性地蚀刻而得到的柱状间隔物,并且它是为控制像素电极层4030和对置电极层4031之间的距离(盒间隙(cell gap))而设置的。另外,还可以使用球状间隔物。另外,对置电极层4031电连接到设置在与薄膜晶体管4010同一衬底上的共同电位线。可以使用共同连接部并通过配置在一对衬底之间的导电粒子电连接对置电极层4031和共同电位线。此外,将导电粒子包含在密封材料4005中。

[0343] 另外,还可以使用不使用取向膜的呈现蓝相的液晶。蓝相是液晶相的一种,是指当使胆甾相液晶的温度上升时即将从胆甾相转变到各相同性相之前出现的相。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将混合有5wt%以上的手性试剂的液晶组成物用于液晶层4008。由于包含呈现蓝相的液晶和手性试剂的液晶组成物的响应速度短,即为1msec以下,并且它具有光学各向同性,所以不需要取向处理,从而视角依赖性低。

[0344] 另外,除了可以应用于透过型液晶显示装置之外,还可以应用于半透过型液晶显示装置。

[0345] 另外,虽然示出在衬底的外侧(可见一侧)设置偏振片,并且在内侧依次设置着色层(滤色片)、用于显示元件的电极层的液晶显示装置的例子,但是也可以在衬底的内侧设置偏振片。另外,偏振片和着色层的叠层结构也不局限于本实施方式的结构,根据偏振片和着色层的材料或制造工序条件适当地设定即可。另外,还可以设置用作黑底(black matrix)的遮光膜。

[0346] 另外,在薄膜晶体管4010、4011上形成有绝缘层4020。绝缘层4020可以使用与实施方式1所示的氧化物绝缘膜107相同的材料及相同的方法来形成,但是,这里作为绝缘层4020,利用溅射法形成氧化硅膜。

[0347] 此外,还可以在绝缘层4020上形成保护绝缘层。这里,作为保护绝缘层,利用RF溅射法形成氮化硅膜(未图示)。

[0348] 另外,形成绝缘层4021作为平坦化绝缘膜。作为绝缘层4021,使用与实施方式2所示的平坦化绝缘层109相同的材料及方法即可,而可以使用具有耐热性的有机材料如丙烯酸树脂、聚酰亚胺、苯并环丁烯类树脂、聚酰胺、环氧树脂等。另外,除了上述有机材料之外,还可以使用低介电常数材料(low-k材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。另外,也可以通过层叠多个由这些材料形成的绝缘膜来形成绝缘层4021。

[0349] 对绝缘层4021的形成方法没有特别的限制,可以根据其材料利用如下方法及设备:溅射法、SOG法、旋涂、浸渍、喷涂、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)等的方

法;刮片、辊涂机、幕涂机、刮刀涂布机等设备。通过兼作绝缘层4021的焙烧工序和对半导体层的退火,可以有效地制造半导体装置。

[0350] 作为像素电极层4030、对置电极层4031,可以使用具有透光性的导电材料诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下面表示为ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等。

[0351] 此外,可以使用包含导电高分子(也称为导电聚合物)的导电组成物形成像素电极层4030、对置电极层4031。使用导电组成物形成的像素电极的薄层电阻优选为 $10000\ \Omega/\square$ 以下,并且其波长为550nm时的透光率优选为70%以上。另外,导电组成物所包含的导电高分子的电阻率优选为 $0.1\ \Omega\cdot\text{cm}$ 以下。

[0352] 作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的两种以上的共聚物等。

[0353] 另外,供应到另行形成的信号线驱动电路4003、扫描线驱动电路4004或像素部4002的各种信号及电位是从FPC4018供应的。

[0354] 连接端子电极4015由与液晶元件4013所具有的像素电极层4030相同的导电膜形成,并且端子电极4016由与薄膜晶体管4011的源电极层及漏电极层相同的导电膜形成。

[0355] 此外,虽然在图16A至16C中示出另行形成信号线驱动电路4003并将信号线驱动电路4003安装在第一衬底4001上的例子,但是不局限于该结构。既可以另行形成扫描线驱动电路而安装,又可以另行仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分而安装。

[0356] 图17示出使用通过本说明书所公开的制造方法制造的TFT衬底2600来构成液晶显示模块作为半导体装置的一个例子。

[0357] 图17是液晶显示模块的一个例子,利用密封材料2602固定TFT衬底2600和对置衬底2601,并在其间设置包括TFT等的像素部2603、包括液晶层的显示元件2604、着色层2605来形成显示区。在进行彩色显示时需要着色层2605,并且当采用RGB方式时,对应于各像素地设置有分别对应于红色、绿色、蓝色的各颜色的着色层。在TFT衬底2600和对置衬底2601的外侧配置有偏振片2606、偏振片2607、扩散板2613。光源由冷阴极管2610和反射板2611构成,电路衬底2612利用柔性线路板2609与TFT衬底2600的布线电路部2608连接,并且其中组装有控制电路、电源电路等的外部电路。此外,也可以在偏振片和液晶层之间具有相位差板的状态层叠。

[0358] 作为液晶显示模块,可以采用TN(扭曲向列:Twisted Nematic)模式、IPS(平面内转换:In-Plane-Switching)模式、FFS(边缘电场转换:Fringe Field Switching)模式、MVA(多畴垂直取向:Multi-domain Vertical Alignment)模式、PVA(垂直取向构型:Patterned Vertical Alignment)模式、ASM(轴对称排列微胞:Axially Symmetric Aligned Micro-cell)模式、OCB(光学补偿弯曲:Optical Compensated Birefringence)模式、FLC(铁电性液晶:Ferroelectric Liquid Crystal)模式、AFLC(反铁电性液晶:AntiFerroelectric Liquid Crystal)模式等。

[0359] 通过上述工序,可以制造作为半导体装置的可靠性高的液晶显示面板。

[0360] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0361] 实施方式8

[0362] 作为本说明书所公开的半导体装置,通过使其具有柔性而可以将其用于电子书阅读器、招贴、电车等的交通工具的车厢广告、信用卡等的各种卡片中的显示等。图18示出电子设备的一个例子。

[0363] 图18示出电子书阅读器的一个例子。例如,电子书阅读器2700由两个框体,即框体2701及框体2703构成。框体2701及框体2703由轴部2711形成为一体,并且可以以该轴部2711为轴进行开闭动作。通过该结构,可以进行如纸的书籍那样的动作。

[0364] 框体2701组装有显示部2705,并且框体2703组装有显示部2707。显示部2705及显示部2707的结构既可以是显示连屏画面的结构,又可以是显示不同的画面的结构。通过采用显示不同的画面的结构,例如可以在右边的显示部(图18中的显示部2705)中显示文章,并且在左边的显示部(图18中的显示部2707)中显示图像。

[0365] 此外,在图18中示出框体2701具备操作部等的例子。例如,在框体2701中具备电源2721、操作键2723、扬声器2725等。利用操作键2723可以翻页。另外,也可以采用在与框体的显示部同一面上具备键盘、定位装置等的结构。另外,也可以采用在框体的背面或侧面具备外部连接端子(耳机端子、USB端子或可以与AC适配器及USB电缆等各种电缆连接的端子等)、记录介质插入部等的结构。再者,电子书阅读器2700也可以具有电子词典的功能。

[0366] 此外,电子书阅读器2700也可以采用以无线方式收发信息的结构。还可以采用以无线方式从电子书籍服务器购买所希望的书籍数据等并下载的结构。

[0367] 实施方式9

[0368] 本说明书所公开的半导体装置可以应用于各种电子设备(也包括游戏机)。作为电子设备,例如可以举出:电视装置(也称为电视或电视接收机);用于计算机等的监视器;如数码相机、数码摄像机等影像拍摄装置;数码相框;移动电话机(也称为移动电话、移动电话装置);便携式游戏机;便携式信息终端;声音再现装置;弹珠机等大型游戏机等。

[0369] 图19A示出电视装置的一个例子。在电视装置9600中,框体9601组装有显示部9603。利用显示部9603可以显示影像。此外,在此示出利用支架9605支撑框体9601的结构。

[0370] 可以通过利用框体9601所具备的操作开关、另行提供的遥控操作机9610进行电视装置9600的操作。通过利用遥控操作机9610所具备的操作键9609,可以进行频道及音量的操作,并可以对在显示部9603上显示的影像进行操作。此外,也可以采用在遥控操作机9610中设置显示从该遥控操作机9610输出的信息的显示部9607的结构。

[0371] 另外,电视装置9600采用具备接收机、调制解调器等的结构。通过利用接收机可以接收一般的电视广播。再者,通过调制解调器连接到有线或无线方式的通信网络,可以进行单向(从发送者到接收者)或双向(在发送者和接收者之间或在接收者之间等)的信息通信。

[0372] 图19B示出数码相框的一个例子。例如,在数码相框9700中,框体9701组装有显示部9703。显示部9703可以显示各种图像,例如通过显示使用数码相机等拍摄的图像数据,可以发挥与一般的相框同样的功能。

[0373] 另外,数码相框9700采用具备操作部、外部连接端子(USB端子、可以与USB电缆等的各种电缆连接的端子等)、记录媒体插入部等的结构。这种结构也可以组装到与显示部相同面上,但是通过将它设置在侧面或背面上来提高设计性,所以是优选的。例如,可以对数码相框的记录媒体插入部插入储存有由数码相机拍摄的图像数据的存储器并提取图像数

据,然后将所提取的图像数据显示于显示部9703。

[0374] 此外,数码相框9700也可以采用以无线的方式收发信息的结构。也可以采用以无线的方式提取所希望的图像数据并进行显示的结构。

[0375] 图20A示出一种便携式游戏机,它由框体9881和框体9891的两个框体构成,并且通过连接部9893可以开闭地连接。框体9881安装有显示部9882,并且框体9891安装有显示部9883。另外,图20A所示的便携式游戏机还具备扬声器部9884、记录介质插入部9886、LED灯9890、输入单元(操作键9885、连接端子9887、传感器9888(包括测定如下因素的功能:力量、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)以及麦克风9889)等。当然,便携式游戏机的结构不局限于上述结构,只要采用至少具备本说明书所公开的半导体装置的结构即可,并且可以采用适当地设置有其它附属设备的结构。图20A所示的便携式游戏机具有如下功能:读出储存在记录介质中的程序或数据并将它显示在显示部上的功能;以及通过与其他便携式游戏机进行无线通信而实现信息共享的功能。另外,图20A所示的便携式游戏机所具有的功能不局限于此,而可以具有各种各样的功能。

[0376] 图20B示出大型游戏机的一例的投币机的一个例子。在投币机9900的框体9901中安装有显示部9903。另外,投币机9900还具备如起动手柄、停止开关等的操作单元、投币口、扬声器等。当然,投币机9900的结构不局限于此,只要采用至少具备本说明书所公开的半导体装置的结构即可。因此,可以采用适当地设置有其它附属设备的结构。

[0377] 图21A是示出便携式计算机的一个例子的立体图。

[0378] 在图21A所示的便携式计算机中,当将连接上部框体9301与下部框体9302的铰链装置设置为关闭状态时,可以使具有显示部9303的上部框体9301与具有键盘9304的下部框体9302处于重叠状态,而便于携带,并且,当使用者利用键盘进行输入时,将铰链装置设置为打开状态,而可以看着显示部9303进行输入操作。

[0379] 另外,下部框体9302除了键盘9304之外还包括进行输入操作的定位装置9306。另外,当显示部9303为触屏输入面板时,可以通过触摸显示部的一部分来进行输入操作。另外,下部框体9302还包括CPU、硬盘等的计算功能部。此外,下部框体9302还具有其它的器件,例如包括用来插入符合USB的通信标准的通信电缆的外部连接端口9305。

[0380] 在上部框体9301中还具有通过使它滑动到上部框体9301内部而可以收纳的显示部9307,因此可以实现宽显示画面。另外,使用者可以调节可以收纳的显示部9307的画面的方向。另外,当可以收纳的显示部9307为触屏输入面板时,通过触摸可以收纳的显示部的一部分来可以进行输入操作。

[0381] 显示部9303或可以收纳的显示部9307使用如液晶显示面板等的影像显示装置。

[0382] 另外,图21A的便携式计算机安装有接收机等,而可以接收电视广播并将影像显示于显示部9303或显示部9307。另外,使用者可以在连接上部框体9301与下部框体9302的铰链装置处于关闭状态的状态下通过滑动显示部9307而使其整个面露出并调整画面角度来观看电视广播。此时,不将铰链装置设置为打开状态来使显示部9303进行显示,而仅启动只显示电视广播的电路,所以可以将耗电量控制为最少,这对于电池容量有限的便携式计算机而言是十分有利的。

[0383] 另外,图21B是示出像手表一样能够戴在使用者的手臂上的移动电话的一个例子

的立体图。

[0384] 该移动电话包括:至少包括具有电话功能的通信装置及电池的主体;用来将主体戴在手臂上的带部9204;调节带部与手臂的固定状态的调节部9205;显示部9201;扬声器9207;以及麦克风9208。

[0385] 另外,主体具有操作开关9203,该操作开关9203可以为电源开关、显示转换开关、摄像开始指示开关、或者按一下就可以启动网络的程序的开关等,并且可以利用其对应各种功能。

[0386] 通过用手指或输入笔等触碰显示部9201;操作操作开关9203;或者对麦克风9208输入声音来进行该移动电话的输入操作。另外,在图21B中,示出显示在显示部9201上的显示钮9202,通过用手指等触碰该显示钮9202来可以进行输入。

[0387] 另外,主体具有拍摄装置部9206,该拍摄装置部9206具有将通过摄影透镜成像的物体图像转换为电子图像信号的摄影单元。另外,也可以不特别设置拍摄装置部。

[0388] 另外,图21B所示的移动电话安装有电视广播的接收机等,而可以接收电视广播并将影像显示于显示部9201,并且它还具有存储器等的存储装置等,而可以将电视广播录象到存储器中。此外,图21B所示的移动电话还可以具有能够收集GPS等的位置信息的功能。

[0389] 显示部9201使用如液晶显示面板等的影像显示装置。由于图21B所示的移动电话为小型且重量轻,所以其电池容量有限,从而优选将能够使用低耗电量进行驱动的面板作用于显示部9201的显示装置。

[0390] 另外,虽然在图21B中示出戴在“手臂”上的方式的电子装置,但是不局限于此,只要是具有能够携带的形状的即可。

[0391] 实施方式10

[0392] 在本实施方式中,作为半导体装置的一个形式,使用图22至图35说明具有实施方式1、2至5所示的薄膜晶体管的显示装置的例子。在本实施方式中,使用图24至图35说明作为显示元件使用液晶元件的液晶显示装置的例子。作为用于图24至图35的液晶显示装置的TFT628、629,可以使用实施方式1、2至5所示的薄膜晶体管,并且该TFT628、629是可以实施方式1、2至5所示的工序同样地制造的电特性及可靠性高的薄膜晶体管。

[0393] 首先,对VA (Vertical Alignment:垂直取向) 型液晶显示装置进行描述。VA是指一种控制液晶显示面板的液晶分子的排列的方式,并是一种在没有施加电压时液晶分子朝垂直于面板表面的方向排列的方式。在本实施方式中,特别地,将像素分成多个区域(子像素),并分别将分子朝不同的方向推倒。这称为多畴(multi-domain)化、或者多畴设计。在下面的说明中,对考虑多畴设计的液晶显示装置进行说明。

[0394] 图23及图24分别示出像素电极及对置电极。图23是形成像素电极的衬底一侧的平面图,并且将沿图中所示的切断线E-F的截面结构示出于图22。另外,图24是形成对置电极的衬底一侧的平面图。下面,参照这些附图进行说明。

[0395] 图22示出衬底600和对置衬底601重叠且注入有液晶的状态,在该衬底600上形成有TFT628、与TFT628连接的像素电极层624以及存储电容部630,并在该对置衬底601上形成有对置电极层640等。

[0396] 虽然没有图示,但在对置衬底601上的形成有隔离物的位置上形成有第一着色膜、第二着色膜、第三着色膜及对置电极层640。通过采用该结构,使用于控制液晶取向的突起

644和间隔物的高度彼此不同。在像素电极层624上形成有取向膜648,同样地在对置电极层640上也形成有取向膜646。在衬底600与对置衬底601之间形成有液晶层650。

[0397] 既可以形成柱状间隔物,又可以散布珠状间隔物。当间隔物具有透光性时,也可以在形成在衬底600上的像素电极层624上形成间隔物。

[0398] 在衬底600上形成有TFT628、与TFT628连接的像素电极层624以及存储电容部630。像素电极层624通过接触孔623连接到布线618,该接触孔分别贯穿:覆盖TFT628、布线618及存储电容部630的绝缘膜620;以及覆盖绝缘膜620的第三绝缘膜622。作为TFT628,可以适当地使用实施方式1、2、5及6所示的薄膜晶体管。

[0399] 通过像素电极层624、液晶层650以及对置电极层640重叠,形成液晶元件。

[0400] 图23示出衬底600上的结构。像素电极层624使用实施方式1所示的材料来形成。在像素电极层624中设置有狭缝625。狭缝625用来控制液晶取向。

[0401] 图23所示的TFT629、与TFT629连接的像素电极层626及存储电容部631可以分别与TFT628、像素电极层624及存储电容部630同样地形成。TFT628和TFT629都连接到布线616。该液晶面板的像素由像素电极层624及像素电极层626构成。像素电极层624及像素电极层626是子像素。

[0402] 图24示出对置衬底一侧的结构。对置电极层640优选使用与像素电极层624同样的材料形成。在对置电极层640上形成有用来控制液晶取向的突起644。

[0403] 图25示出该像素结构的等效电路。TFT628和TFT629都连接到栅极布线602和布线616。在此情况下,通过使电容布线604的电位和电容布线605的电位不同,可以使液晶元件651和液晶元件652进行不同的工作。就是说,通过分别控制电容布线604和电容布线605的电位,精密地控制液晶的取向并扩大视角。

[0404] 当对设置有狭缝625的像素电极层624施加电压时,在狭缝625附近发生电场的畸变(倾斜电场)。通过互相咬合地配置所述狭缝625和对置衬底601一侧的突起644,有效地产生倾斜电场来控制液晶的取向,从而根据其位置使液晶具有彼此不同的取向方向。就是说,通过进行多畴化来扩大液晶显示面板的视角。

[0405] 接着,参照图26至图39说明与上述不同的VA型液晶显示装置。

[0406] 图26及图27示出VA型液晶显示面板的像素结构。图27是衬底600的平面图,而图26示出沿图中所示的切断线Y-Z的截面结构。在该像素结构中,一个像素具有多个像素电极,并且各像素电极连接到TFT。各TFT通过不同栅极信号驱动。就是说,在以多畴方式设计的像素中,独立地控制施加到各像素电极的信号。

[0407] 像素电极层624在接触孔623中使用布线618连接到TFT628。另外,像素电极层626在接触孔627中使用布线619连接到TFT629。TFT628的栅极布线602和TFT629的栅极布线603彼此分离,以能够提供不同的栅极信号。另一方面,TFT628和TFT629共通使用用作数据线的布线616。TFT628和TFT629可以适当地使用实施方式1、2、5及6所示的薄膜晶体管。

[0408] 像素电极层624和像素电极层626具有不同的形状,并且被狭缝625彼此分离。像素电极层626被形成为围绕呈V字状扩展的像素电极层624的外侧。通过使用TFT628及TFT629使施加到像素电极层624和像素电极层626的电压不相同,来控制液晶的取向。图29示出该像素结构的等效电路。TFT628连接到栅极布线602,而TFT629连接到栅极布线603。另外,TFT628和TFT629都与布线616连接。通过对栅极布线602和栅极布线603提供不同的栅极信

号,可以使液晶元件651和液晶元件652的工作时序互不相同。也就是说,通过单独地控制TFT628和TFT629的工作,能够对液晶元件651和液晶元件652的液晶取向进行精密地控制从而可以扩大视角。

[0409] 在对置衬底601上形成有着色膜636、对置电极层640。此外,在着色膜636和对置电极层640之间形成有平坦化膜637,以防止液晶取向的错乱。图28示出对置衬底一侧的结构。不同的像素之间共同使用对置电极层640,该对置电极层640形成有狭缝641。通过互相咬合地配置所述狭缝641与像素电极层624及像素电极层626一侧的狭缝625,可以有效地产生倾斜电场来控制液晶的取向。由此,可以根据其位置使液晶具有彼此不同的取向方向,从而扩大视角。另外,在图28中,使用虚线表示图26所示的形成在衬底600上的像素电极层624及像素电极层626,并示出对置电极层640与像素电极层624及像素电极层626重叠配置的样子。

[0410] 在像素电极层624及像素电极层626上形成有取向膜648,同样地,在对置电极层640上也形成有取向膜646。衬底600与对置衬底601之间形成有液晶层650。另外,通过像素电极层624、液晶层650和对置电极层640相重叠,形成第一液晶元件。另外,通过像素电极层626、液晶层650和对置电极层640相重叠,形成第二液晶元件。图26至图29所说明的显示面板的像素结构采用在一个像素中设置有第一液晶元件和第二液晶元件的多畴结构。

[0411] 接着,说明横向电场方式的液晶显示装置。横向电场方式是指通过对单元内的液晶分子沿水平方向施加电场来驱动液晶而显示灰度的方式。通过横向电场方式,可以使视角增大到大约180度。以下,对采用横向电场方式的液晶显示装置进行说明。

[0412] 图32示出将衬底600和对置衬底601重叠并注入有液晶的状态,在该衬底600上形成有电极层607、TFT628及与TFT628连接的像素电极层624。在对置衬底601上形成有着色膜636以及平坦化膜637等。另外,不在对置衬底601一侧设置对置电极。此外,在衬底600和对置衬底601之间隔着取向膜646及取向膜648形成有液晶层650。

[0413] 在衬底600上,形成有电极层607以及与电极层607连接的电容布线604及TFT628。电容布线604可以与TFT628的栅极布线602同时形成。TFT628可以使用实施方式1至5所示的薄膜晶体管。电极层607可以使用与实施方式1至5所示的像素电极层相同的材料。另外,电极层607形成为大致分割成像素形状的形状。另外,在电极层607及电容布线604上形成栅极绝缘膜606。

[0414] 在栅极绝缘膜606上形成TFT628的布线616及618。布线616是在液晶显示面板中传送视频信号的数据线,并是沿一个方向延伸的布线,并且布线616与TFT628的源区或漏区连接而成为源极及漏极中的一方的电极。布线618是成为源区及漏区中另一方的电极且与像素电极层624连接的布线。

[0415] 在布线616及布线618上形成绝缘膜620。另外,在绝缘膜620上形成通过形成于绝缘膜620中的接触孔623连接到布线618的像素电极层624。像素电极层624使用与实施方式1至5所示的像素电极相同的材料形成。

[0416] 如上所述,在衬底600上形成TFT628以及与TFT628连接的像素电极层624。再者,存储电容通过在电极层607和像素电极层624之间设置栅极绝缘膜606而形成。

[0417] 图31是说明像素电极的结构平面图。图30示出对应于图31所示的切断线O-P的截面结构。在像素电极层624中设置狭缝625。该狭缝625用来控制液晶的取向。在此情况下,电场在电极层607和像素电极层624之间发生。在电极层607和第像素电极层624之间设置有

栅极绝缘膜606,但是栅极绝缘膜606的厚度为50nm以上且200nm以下,该厚度与 $2\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下的液晶层的厚度相比充分薄,因此在实际上在平行于衬底600的方向(水平方向)上发生电场。该电场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子水平地旋转。在此情况下,由于液晶分子在任何状态下均为水平,所以观看角度导致的对比度等的影响很少,从而扩大视角。而且,电极层607和像素电极层624都是透光电极,因此可以提高开口率。

[0418] 接着,说明横向电场方式的液晶显示装置的另一例。

[0419] 图32及图33示出IPS型液晶显示装置的像素结构。图33是平面图,而图32示出沿图33中所示的切断线V-W的截面结构。

[0420] 图32示出衬底600与对置衬底601重叠且注入有液晶的状态,在该衬底600上形成有TFT628及与TFT628连接的像素电极层624。在对置衬底601上形成有着色膜636、平坦化膜637等。另外,由于像素电极设置在衬底600一侧,所以不在对置衬底601一侧设置对置电极层。在衬底600和对置衬底601之间隔着取向膜646及取向膜648形成有液晶层650。

[0421] 在衬底600上形成共同电位线609及TFT628。共同电位线609可以与TFT628的栅极布线602同时形成。TFT628使用实施方式1至5所示的薄膜晶体管。

[0422] TFT628的布线616及布线618形成在栅极绝缘膜606上。布线616是在液晶面板中传送视频信号的数据线,并是沿一个方向延伸的布线,并且布线616与TFT628的源区或漏区连接而成为源极及漏极中一方的电极。布线618成为源极及漏极中另一方的电极,并且布线618是与像素电极层624连接的布线。

[0423] 在布线616及布线618上形成绝缘膜620。另外,在绝缘膜620上形成通过形成在绝缘膜620中的接触孔623连接到布线618的像素电极层624。像素电极层624使用与实施方式1至5所示的像素电极层同样的材料形成。如图33所示,像素电极层624以与在形成共同电位线609的同时形成的梳形电极形成横向电场的方式而形成。并且,像素电极层624的梳齿部分与在形成共同电位线609的同时形成的梳形电极互相咬合。

[0424] 当在施加到像素电极层624的电位和共同电位线609的电位之间产生电场时,由该电场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子水平地旋转。在此情况下,由于液晶分子在任何状态下也处于水平,所以观看角度导致的对比度等的影响很少,从而视角扩大。

[0425] 如上所述,在衬底600上形成TFT628以及与TFT628连接的像素电极层624。另外,存储电容通过在共同电位线609和电容电极615之间设置栅极绝缘膜606而形成。电容电极615和像素电极层624通过接触孔633连接。

[0426] 下面,示出TN型液晶显示装置的方式。

[0427] 图34及图35示出TN型液晶显示装置的像素结构。图35是平面图,而图34示出沿图35所示的K-L线的截面结构。下面,参照上述两个附图进行说明。

[0428] 像素电极层624通过形成在绝缘膜620中的接触孔623及布线618连接到TFT628。用作数据线的布线616与TFT628连接。TFT628可以应用实施方式1至5所示的任何TFT。

[0429] 像素电极层624使用实施方式1至5所示的像素电极层而形成。电容布线604可以与TFT628的栅极布线602同时形成。在栅极布线602及电容布线604上形成栅极绝缘膜606。存储电容通过在电容布线604与电容电极615之间夹着栅极绝缘膜606而形成。电容电极615和

像素电极层624通过接触孔623连接。

[0430] 在对置衬底601上形成有着色膜636及对置电极层640。而且,在着色膜636和对置电极层640之间形成有平坦化膜637,以防止液晶的取向混乱。液晶层650通过在像素电极层624和对置电极层640之间夹着取向膜648及取向膜646而形成。

[0431] 像素电极层624、液晶层650及对置电极层640重叠,从而形成液晶元件。

[0432] 此外,也可以将着色膜636形成在衬底600一侧。此外,将偏振片贴合在与衬底600的形成薄膜晶体管的面相反一侧的面上,并将偏振片贴合在与对置衬底601的形成对置电极层640的面相反一侧的面上。

[0433] 通过上述工序,作为显示装置可以制造液晶显示装置。

[0434] 实施方式11

[0435] 在本实施方式中,参照图37对本发明的一个方式的半导体装置的制造方法的其他例子进行说明。

[0436] 在具有绝缘表面的衬底上形成栅电极层(图37的S101)。栅电极层可以通过使用钼、钛、铬、钽、钨、铝、铜、钕、铈等的金属材料或以这些金属材料为主要成分的合金材料的单层或叠层来形成。

[0437] 在栅电极层上形成栅极绝缘层(图37的S102)。可以利用等离子体CVD法或溅射法等形成氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层或氧化铝层的单层或叠层作为栅极绝缘层。在本实施方式中,利用等离子体CVD法形成厚度为200nm以下的氮化硅层作为栅极绝缘层。

[0438] 接着,在栅极绝缘层上形成厚度为2nm以上且200nm以下的氧化物半导体膜(图37的S103)。在本实施方式中,使用In-Ga-Zn-O类氧化物半导体靶材并通过溅射法形成In-Ga-Zn-O类氧化物半导体膜。

[0439] 接着,使用通过光刻工序形成的抗蚀剂掩模对氧化物半导体膜进行蚀刻,以形成岛状的氧化物半导体层(图37的S104)。

[0440] 接着,进行氧化物半导体层的脱水化或脱氢化的加热处理。将进行脱水化或脱氢化的加热处理的温度设定为400℃以上且低于700℃(图37的S105)。在本实施方式中,在氮气氛下进行450℃的加热处理。这里,将衬底放入到加热处理装置之一的电炉中,并在氮气氛下对氧化物半导体层进行加热处理之后,不使其接触于大气而防止水或氢再次混入到氧化物半导体层,而形成氧化物半导体层。在本实施方式中,在氮气氛下使用同一炉将氧化物半导体层的温度从进行氧化物半导体层的脱水化或脱氢化所需的加热温度T缓冷到水无法再次混入的温度,具体而言,在氮气氛下将氧化物半导体层的温度降低到比加热温度T低100℃以上的温度。另外,不局限于氮气氛,而在氦、氖、氩等稀有气体气氛下进行脱水化或脱氢化。

[0441] 通过在400℃至700℃的温度下对氧化物半导体层进行热处理,可以实现氧化物半导体层的脱水化、脱氢化,从而可以防止此后水(H₂O)再浸入。

[0442] 另外,加热处理装置不局限于电炉,例如还可以使用GRTA(Gas Rapid Thermal Anneal,即气体快速热退火)装置、LRTA(Lamp Rapid Thermal Anneal,即灯快速热退火)装置等的RTA(Rapid Thermal Anneal)装置。LRTA装置是利用从灯如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等发出的光(电磁波)的辐射加热被处理物的装置。此外,LRTA

装置除了灯以外还可以具备由从电阻发热体等的发热体的热传导或热辐射来加热被处理物的设备。GRTA是指使用高温气体进行加热处理的方法。作为气体,使用即使进行加热处理也不与被处理物产生反应的如氩等的稀有气体或氮。可以利用RTA法以600℃至700℃进行几分钟的加热处理。

[0443] 另外,在脱水化或脱氢化的加热处理中,优选氮或氦、氖、氙等的稀有气体不包含水、氢等。尤其是,以400℃至700℃的氧化物半导体层的脱水化、脱氢化的加热处理,优选在H₂O为20ppm以下的氮气氛围下进行。另外,优选将导入于加热处理装置中的氮或氦、氖、氙等的稀有气体的纯度设定为6N(99.9999%)以上,优选设定为7N(99.99999%)以上(即,将杂质浓度设定为1ppm以下,优选设定为0.1ppm以下)。

[0444] 接着,使用通过光刻工序形成的抗蚀剂掩模去除栅极绝缘层的不需要的部分,以在栅极绝缘层中形成开口(接触孔)(图37的S106)。

[0445] 接着,在氧化物半导体层上利用溅射法或真空蒸镀法形成由金属材料构成的金属导电膜。

[0446] 作为金属导电膜的材料,可以举出选自Al、Cr、Cu、Ta、Ti、Mo、W中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。另外,金属导电膜可以采用单层结构或两层以上的叠层结构。例如,可以举出:包含硅的铝膜的单层结构;在铝层上层叠钛膜的两层结构;Ti膜、层叠在该Ti膜上的铝膜、在其上层叠的Ti膜的三层结构等。另外,也可以使用:组合铝与选自钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、Sc(钪)中的一个或多个元素的膜、合金膜或氮化膜。

[0447] 在对金属导电膜进行加热处理的情况下,优选金属导电膜具有能够耐受该加热处理的耐热性。

[0448] 接着,进行光刻工序,以形成抗蚀剂掩模,并通过对金属导电膜的蚀刻去除不需要的部分而形成源电极层及漏电极层(参照图37的S107)。

[0449] 另外,当进行金属导电膜的蚀刻时,以氧化物半导体层不被去除的方式适当地调节各种材料及蚀刻条件。

[0450] 在本实施方式中,将Ti膜、Al膜及Ti膜的叠层用作金属导电膜,将In-Ga-Zn-O类氧化物用作氧化物半导体层,并且将过氧化氢铵水(铵、水、过氧化氢水的混合液)用作蚀刻剂。

[0451] 接着,在形成氧化物绝缘膜的处理室内对靶材及衬底进行加热处理(图37的S108)。在加热处理之后,对靶材及衬底进行冷却(图37的S109),而在室温下形成氧化物绝缘膜(图37的S110)。将加热温度设定为100℃以上且250℃以下即可。

[0452] 将氧化物绝缘膜的厚度至少设定为1nm以上(优选为100nm以上且500nm以下),并且可以适当地使用溅射法等的防止水、氢等的杂质混入到氧化物绝缘膜的方法来形成氧化物绝缘膜。在本实施方式中,使用溅射法形成300nm厚的氧化硅膜作为氧化物绝缘膜。将形成膜时的衬底温度设定为室温以上且300℃以下即可,在本实施方式中将该衬底温度设定为室温。可以在稀有气体(典型为氩)气氛下、在氧气气氛下或者在稀有气体(典型为氩)和氧的气氛下通过溅射法形成氧化硅膜。另外,作为靶材,可以使用氧化硅靶材或硅靶材。例如,可以使用硅靶材在氧气气氛下通过溅射法形成氧化硅。接触于被低电阻化的氧化物半导体层地形成的氧化物绝缘膜使用不包含水分、氢离子、OH⁻等的杂质且阻挡上述杂质从外部侵入

的无机绝缘膜,典型地使用氧化硅膜、氮氧化硅膜、氧化铝膜或者氧氮化铝膜等。

[0453] 另外,还可以在氧化物绝缘膜上形成保护绝缘膜。例如,使用RF溅射法形成氮化硅膜。由于RF溅射法的量产性高,所以作为保护绝缘层的成膜方法是优选的。保护绝缘层使用不包含水分、氢离子或 OH^- 等的杂质并防止上述杂质从外部侵入的无机绝缘膜,例如使用氮化硅膜、氮化铝膜、氮氧化硅膜或氧氮化铝膜等。在本实施方式中,使用氮化硅膜形成保护绝缘层。

[0454] 作为氧化物绝缘膜,既可以利用溅射法(氧气氛下、室温)形成厚度为100nm的氧化硅膜,也可以利用溅射法(氮及氩气氛下、室温)形成厚度为100nm的保护绝缘层的叠层。

[0455] 此外,在形成氧化物绝缘膜之后,也可以在惰性气体气氛下或氮气体气氛下进行加热处理(优选是200℃以上且400℃以下,例如250℃以上且350℃以下)。例如,在氮气氛下以250℃进行1小时的加热处理。

[0456] 接着选择性地蚀刻氧化物绝缘膜及保护绝缘层以形成开口(图37的S111)。还可以在保护绝缘层上形成平坦化绝缘层。根据平坦化绝缘层的材料及形成方法,有时在形成时进行250℃左右的加热处理,在这种情况下,可以省略在形成上述氧化物绝缘膜之后的在惰性气体气氛下或在氮气体气氛下的加热处理。

[0457] 接着,形成具有透光性的导电膜。使用溅射法或真空蒸镀法等形成氧化铟(In_2O_3)或氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,简称为ITO)等作为具有透光性的导电膜的材料。作为具有透光性的导电膜的其他材料,可以使用含有氮的Al-Zn-O类非单晶膜,即Al-Zn-O-N类非单晶膜、含有氮的Zn-O类非单晶膜、含有氮的Sn-Zn-O类非单晶膜。另外,Al-Zn-O-N类非单晶膜的锌的组成比(原子百分比)是47原子%以下,该锌的组成比大于非单晶膜中的铝的组成比(原子百分比),并且非单晶膜中的铝的组成比(原子百分比)大于非单晶膜中的氮的组成比(原子百分比)。上述材料的蚀刻处理使用盐酸类的溶液进行。但是,由于对ITO的蚀刻特别容易产生残渣,因此也可以使用氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$),以便改善蚀刻加工性。

[0458] 接着,进行光刻工序形成抗蚀剂掩模,并通过蚀刻去除具有透光性的导电膜的不需要的部分来形成像素电极层及导电层,然后去除抗蚀剂掩模(参照图37的S112)。

[0459] 接着,在大气中,以100℃以上且200℃以下的温度进行1小时以上且30小时以下的加热处理(图37的S113)。在本实施方式中以150℃进行10小时的加热处理。作为该加热处理,既可以在保持一定的加热温度的情况下进行,也可以将温度反复多次地从室温升至100℃以上且200℃以下再从加热温度降至室温的情况下进行。另外,该加热处理还可以在形成氧化物绝缘膜之前在减压下进行。当在减压下进行加热处理时,可以缩短加热时间。通过该加热处理,氢被从氧化物半导体层中引入到氧化物绝缘层中,从而可以获得常关闭状态的薄膜晶体管。由此可以提高半导体装置的可靠性。

[0460] 根据上述工序,可以在同一衬底上在驱动电路部及像素部中制造薄膜晶体管。

[0461] 可以通过与实施方式1同样地夹着液晶层贴合对置衬底来制造本实施方式的液晶显示装置。

[0462] 实施方式12

[0463] 在本实施方式中,图38示出从截面看时使用氮化物绝缘膜围绕氧化物半导体层的例子。由于图38与图1除了氧化物绝缘层的上表面形状及端部的位置不同以及栅极绝缘层的结构不同之外其他都相同,所以使用相同的符号表示相同的部分并省略对相同部分的详

细说明。

[0464] 设置在驱动电路中的薄膜晶体管180为沟道蚀刻型的薄膜晶体管,并在具有绝缘表面的衬底100上包括栅电极层161、由氮化物绝缘膜构成的第一栅极绝缘层188、由氧化物绝缘膜构成的第二栅极绝缘层187a、氧化物半导体层163、源电极层165a及漏电极层165b。另外,覆盖薄膜晶体管180地设置有接触于氧化物半导体层163的沟道形成区的氧化物绝缘层177a。在氧化物绝缘层177a上还形成有保护绝缘层178,并且在氧化物绝缘层177a上的与栅电极层161及氧化物半导体层163重叠的位置上还设置有导电层111。

[0465] 设置在像素部中的薄膜晶体管170为沟道蚀刻型薄膜晶体管,并在具有绝缘表面的衬底100上包括栅电极层101、由氮化物绝缘膜构成的第一栅极绝缘层188、由氧化物绝缘膜构成的第二栅极绝缘层187b、氧化物半导体层103、源电极层105a及漏电极层105b。另外,覆盖薄膜晶体管170地设置有接触于氧化物半导体层103的沟道形成区的氧化物绝缘层177b。在氧化物绝缘层177b上还形成有保护绝缘层178,并且在保护绝缘层178上设置有接触于漏电极层105b的像素电极层110。

[0466] 在本实施方式中,在薄膜晶体管170、180中栅极绝缘层采用由栅电极层一侧的氮化物绝缘膜和氧化物绝缘膜构成的叠层结构。此外,当形成氧化物绝缘层的开口时,选择性地去除第二栅极绝缘层的氧化物绝缘膜并以露出氮化物绝缘膜的方式进行加工。

[0467] 至少氧化物绝缘层177a、177b、第二栅极绝缘层187a、187b的上表面形状宽于氧化物半导体层163、103的上表面形状,并且优选氧化物绝缘层177a、177b、第二栅极绝缘层187a、187b的上表面覆盖薄膜晶体管180、170。

[0468] 并且,覆盖氧化物绝缘层177a、177b的上表面及侧面并以接触于第一栅极绝缘层的氮化物绝缘膜的方式形成由氮化物绝缘膜构成的保护绝缘层178。

[0469] 作为由氮化物绝缘膜构成的保护绝缘层178及第一栅极绝缘层188,使用通过溅射法或等离子体CVD法获得的氮化硅膜、氧氮化硅膜、氮化铝膜、氧氮化铝膜等的不包含水分、氢离子或OH⁻等的杂质并阻挡上述杂质从外部侵入的无机绝缘膜。

[0470] 在本实施方式中,作为由氮化物绝缘膜构成的保护绝缘层178,以围绕氧化物半导体层163、103的上表面及侧面的方式通过RF溅射法形成厚度为100nm的氮化硅膜。另外,保护绝缘层178接触于由氮化物绝缘膜构成的第一栅极绝缘层188。

[0471] 通过采用图38所示的结构,可以在形成由氮化物绝缘膜构成的保护绝缘层178之后的制造步骤中防止来自外部的水分的侵入。此外,即使在将器件作为半导体装置,如作为液晶显示装置而完成之后,也可以长期防止来自外部的水分的侵入,所以能够提高器件的长期可靠性。

[0472] 另外,虽然在本实施方式中示出使用氮化物绝缘膜围绕一个薄膜晶体管的结构,但并不局限于此,而还可以采用使用氮化物绝缘膜围绕多个薄膜晶体管的结构或者使用氮化物绝缘膜围绕像素部的多个薄膜晶体管的结构。以至少围绕有源矩阵衬底的像素部的边缘的方式设置保护绝缘层178与第一栅极绝缘层188接触的区域。

[0473] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0474] 本说明书根据2009年8月7日在日本专利局受理的日本专利申请编号2009-185317而制作,所述申请内容包括在本说明书中。

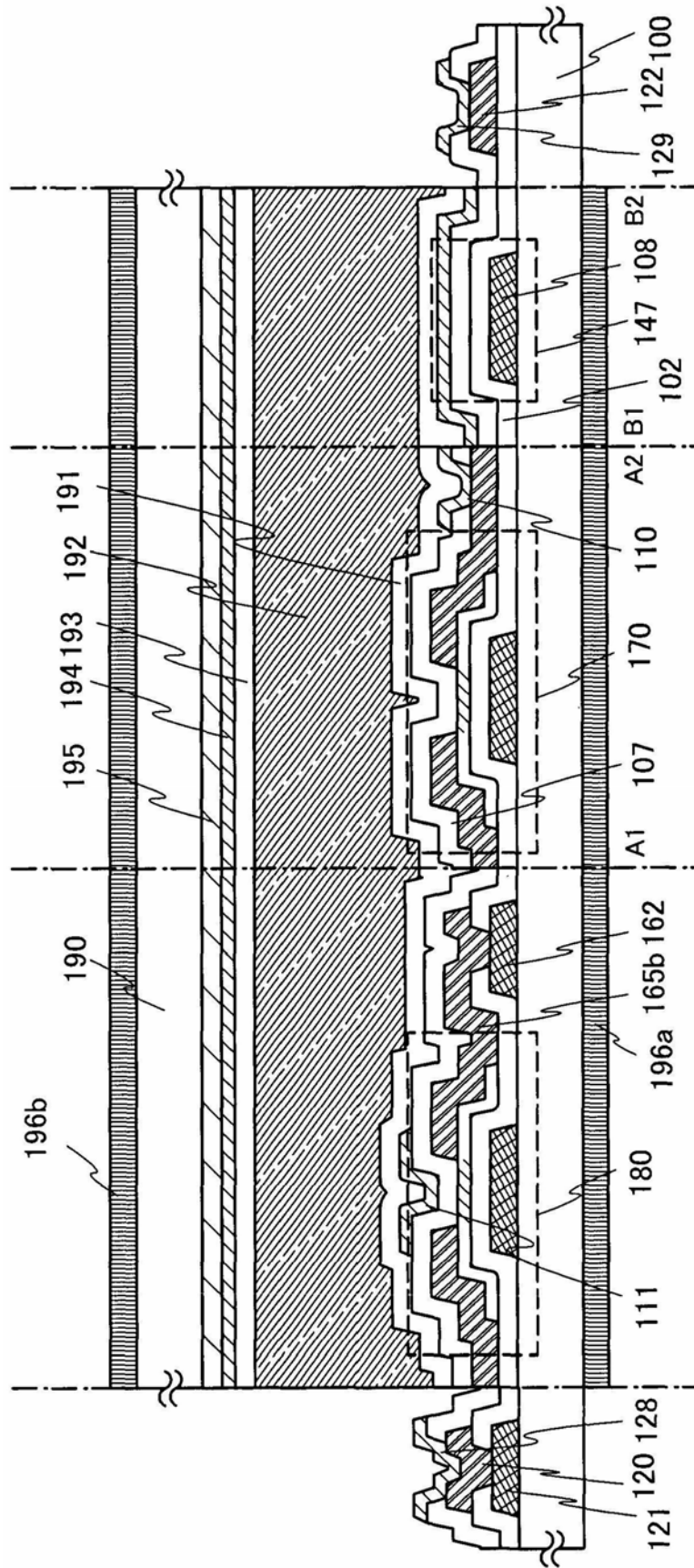
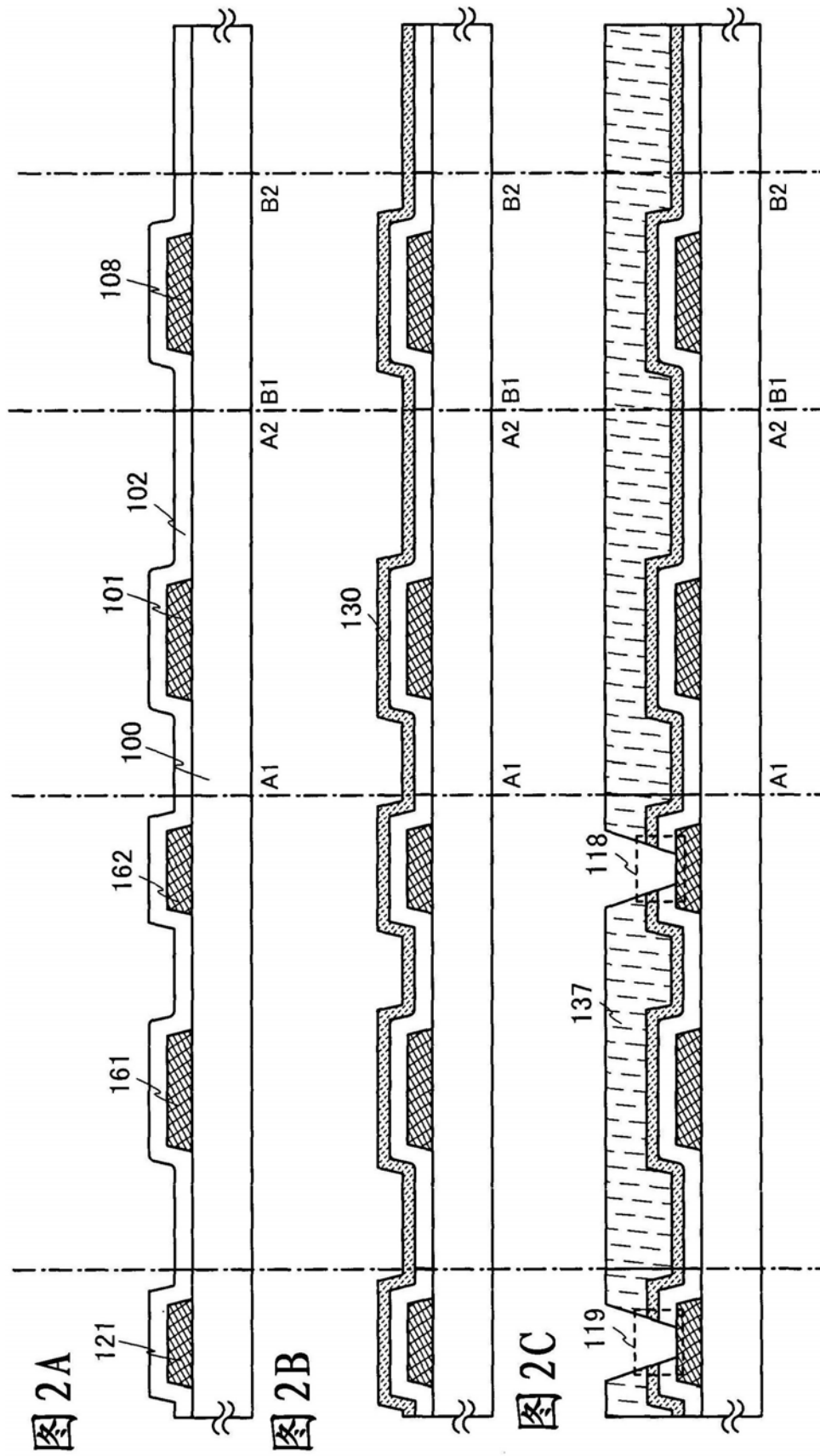
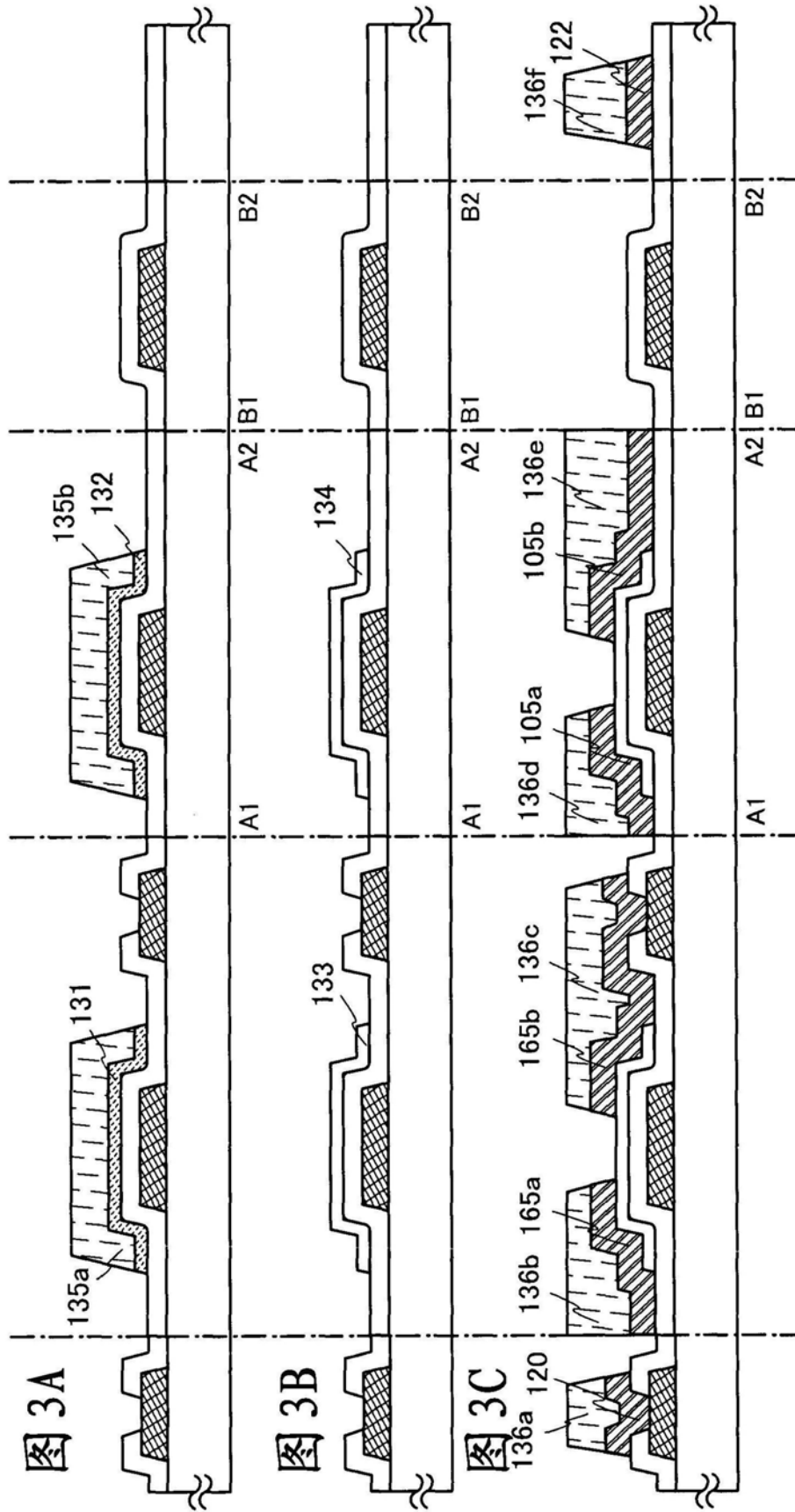
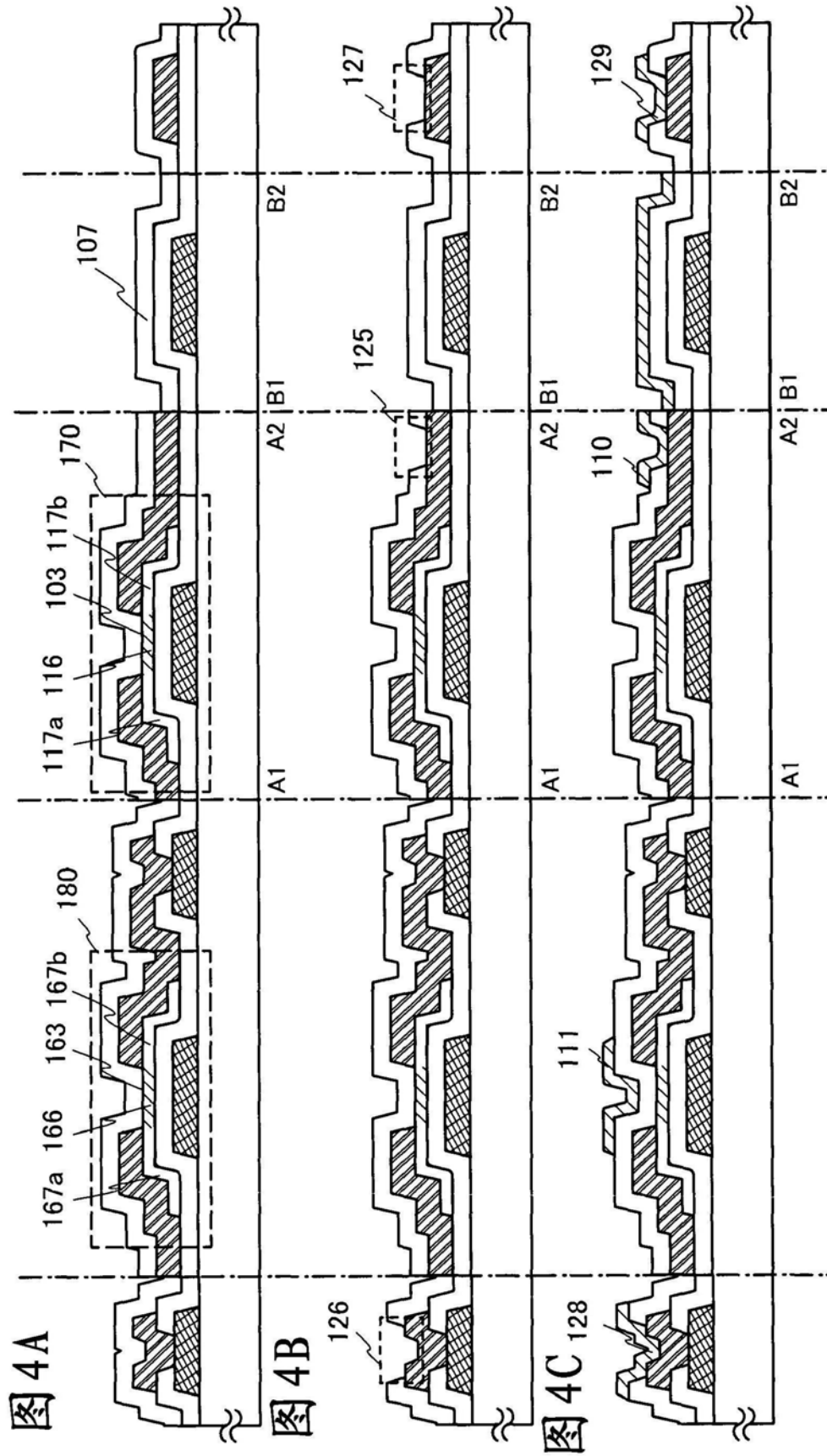


图1







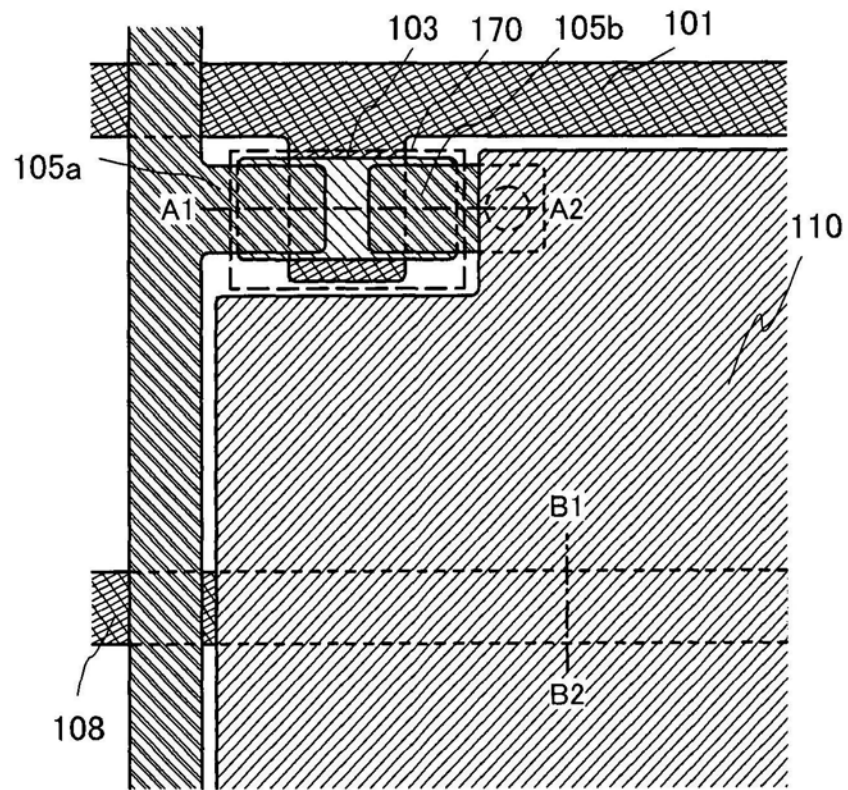
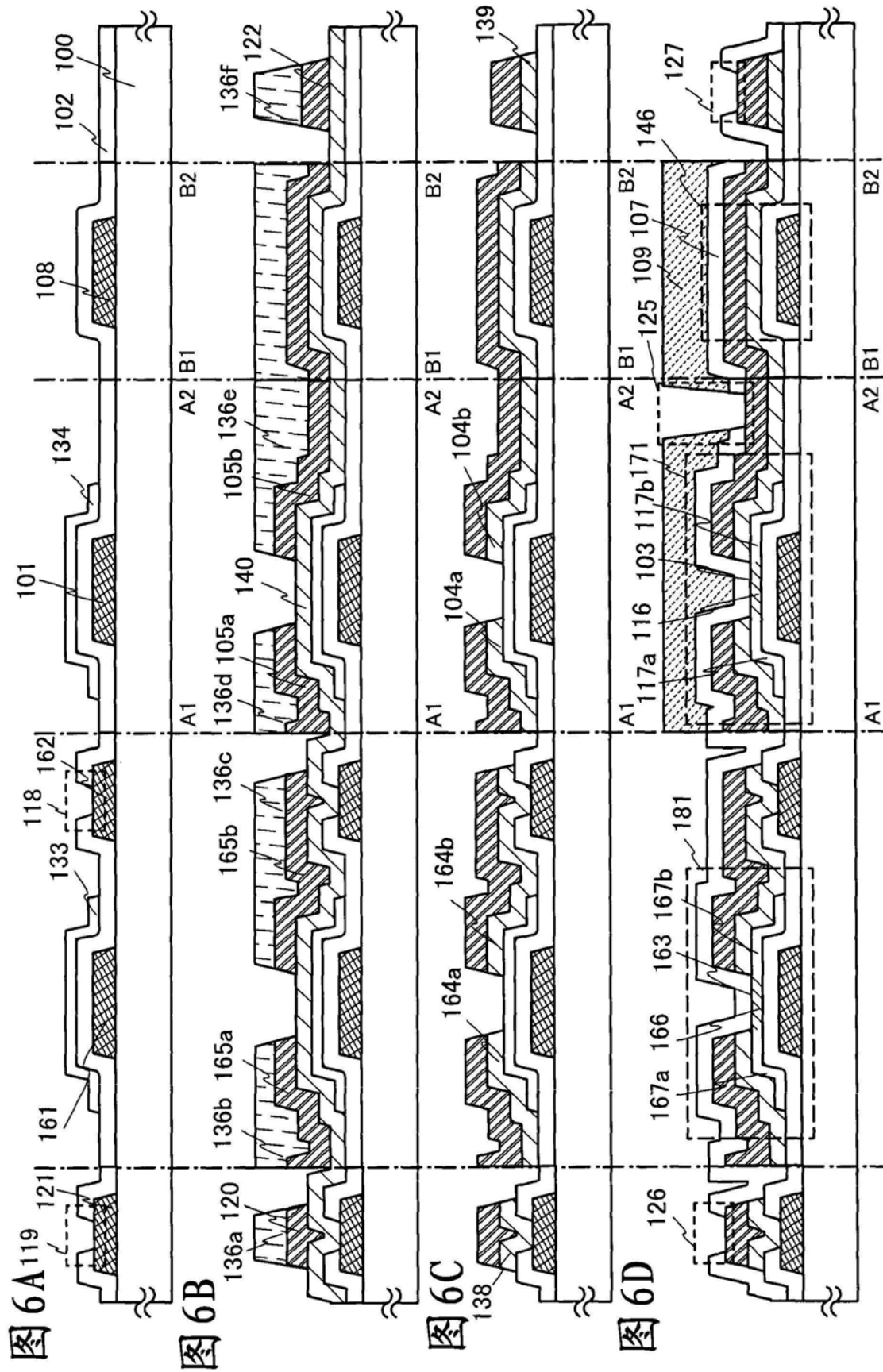
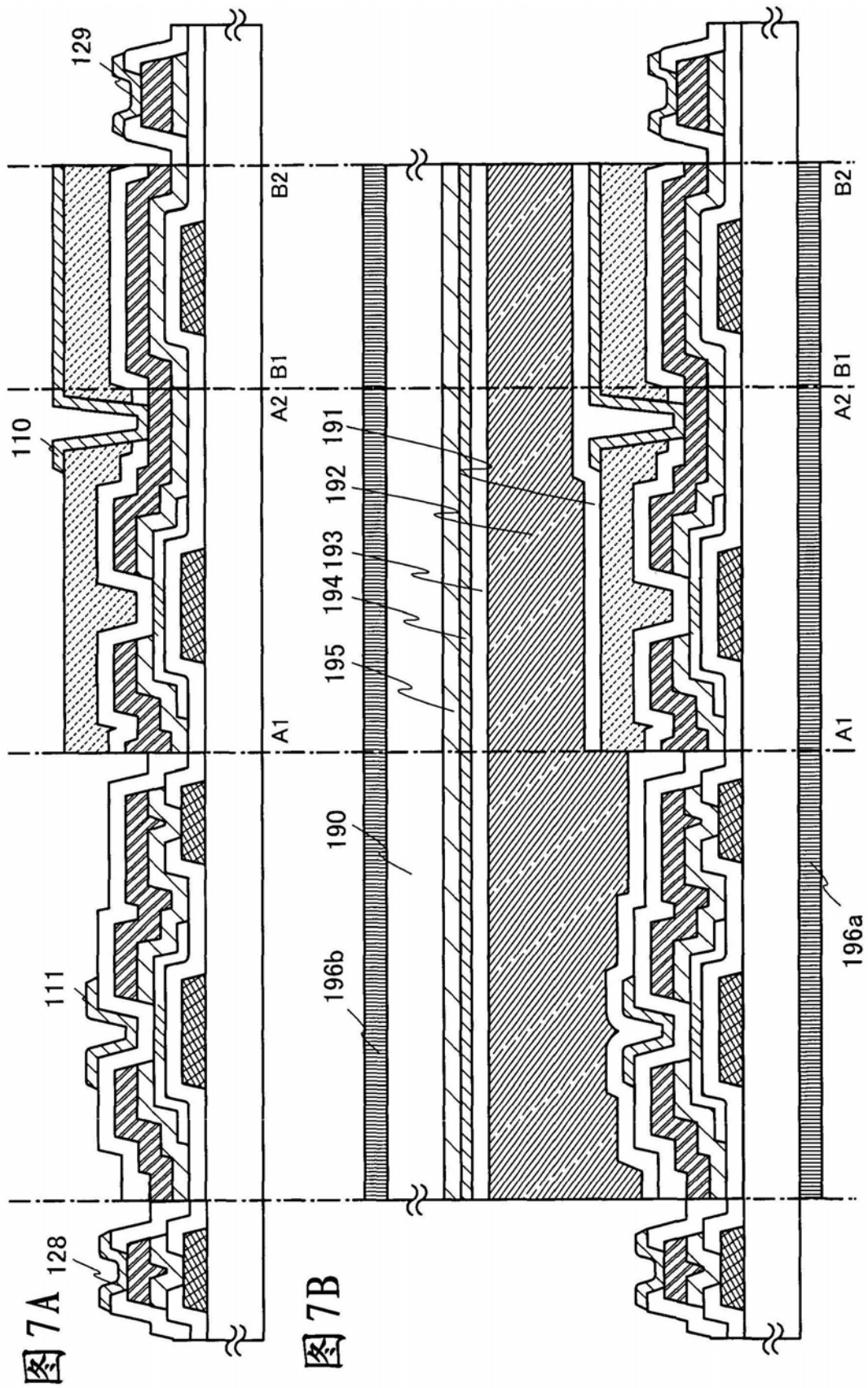
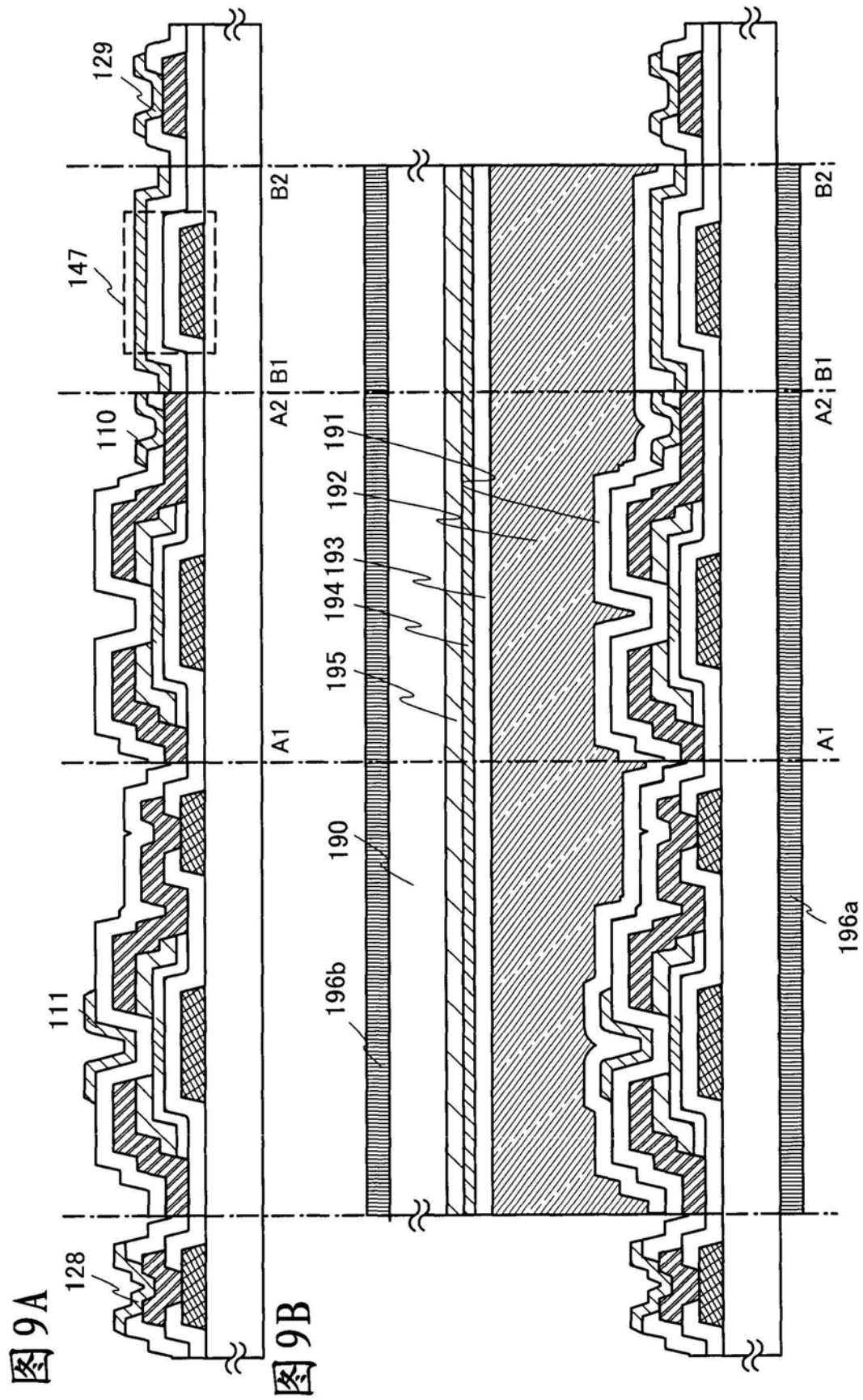


图5







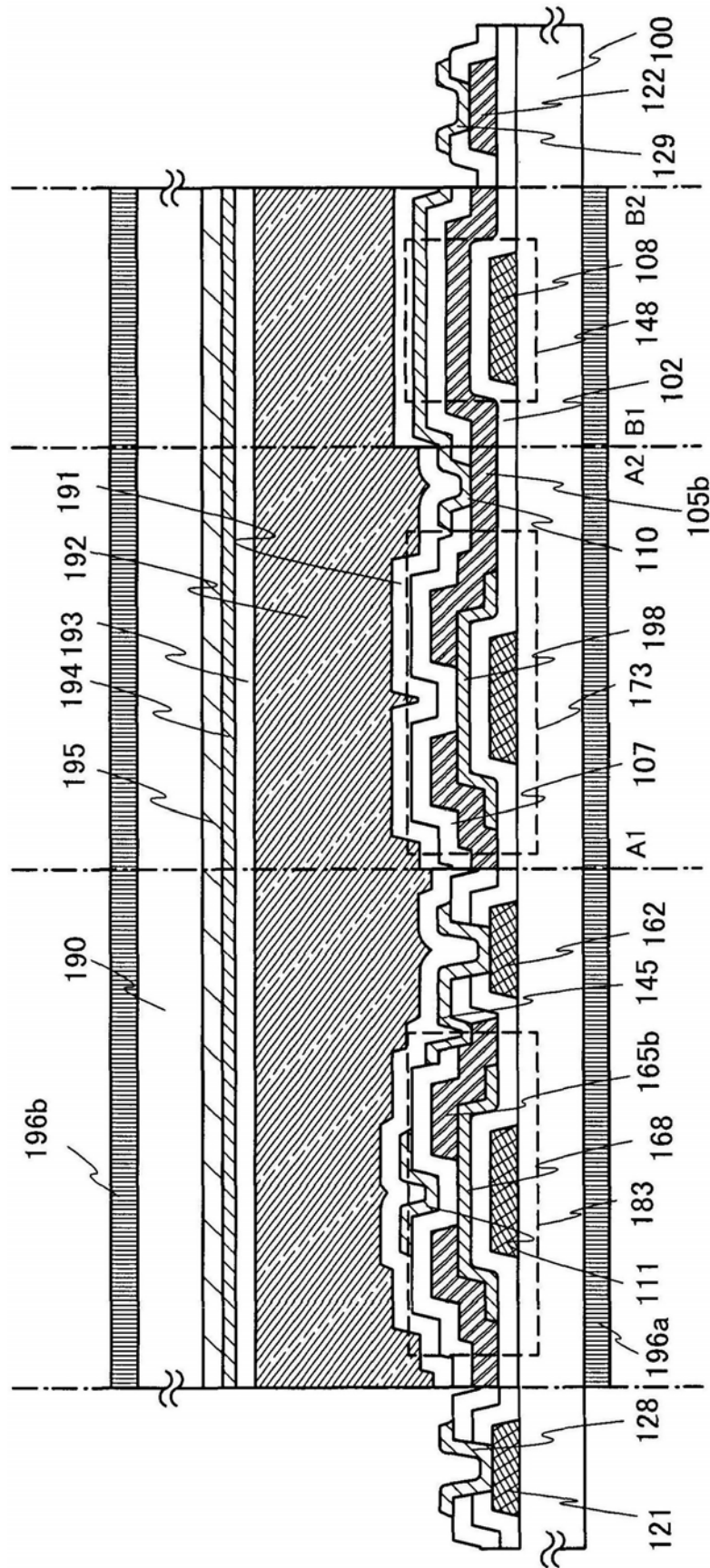


图10

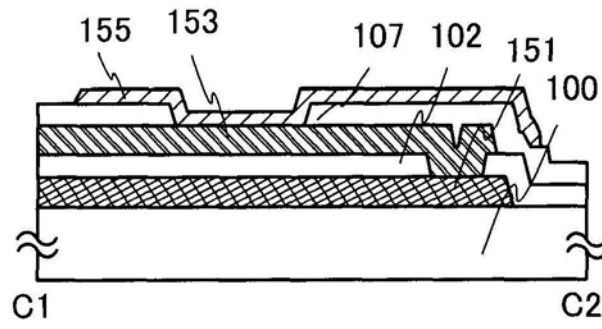


图11A

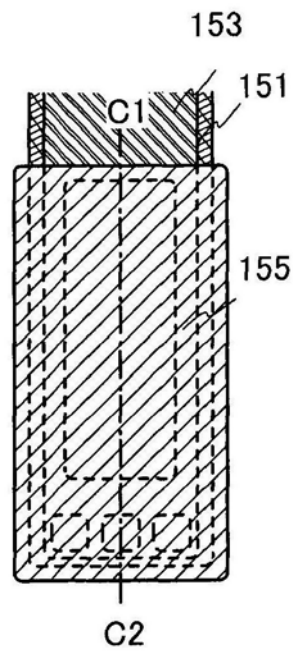


图11B

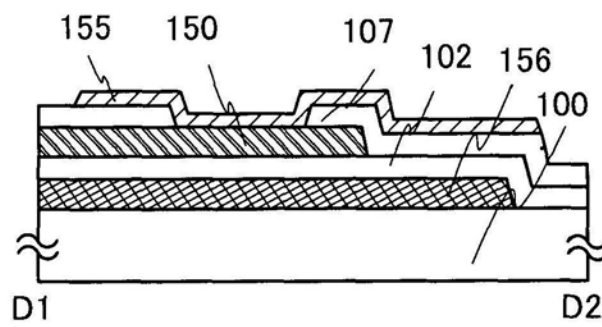


图11C

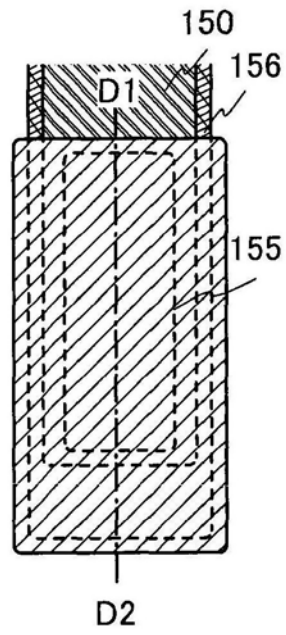


图11D

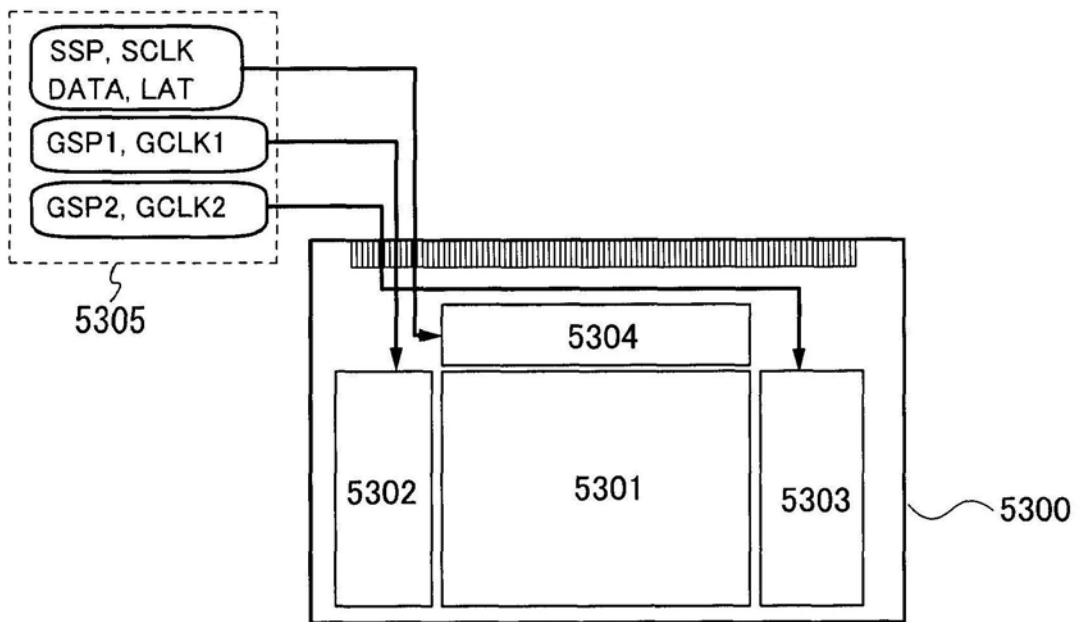


图12A

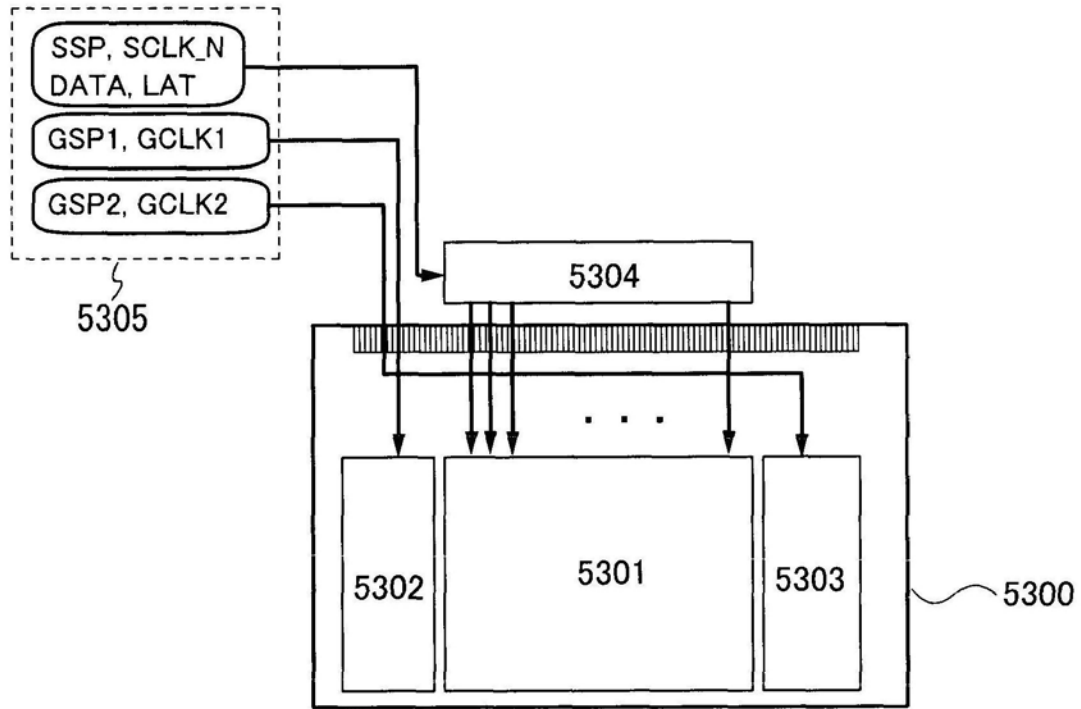


图12B

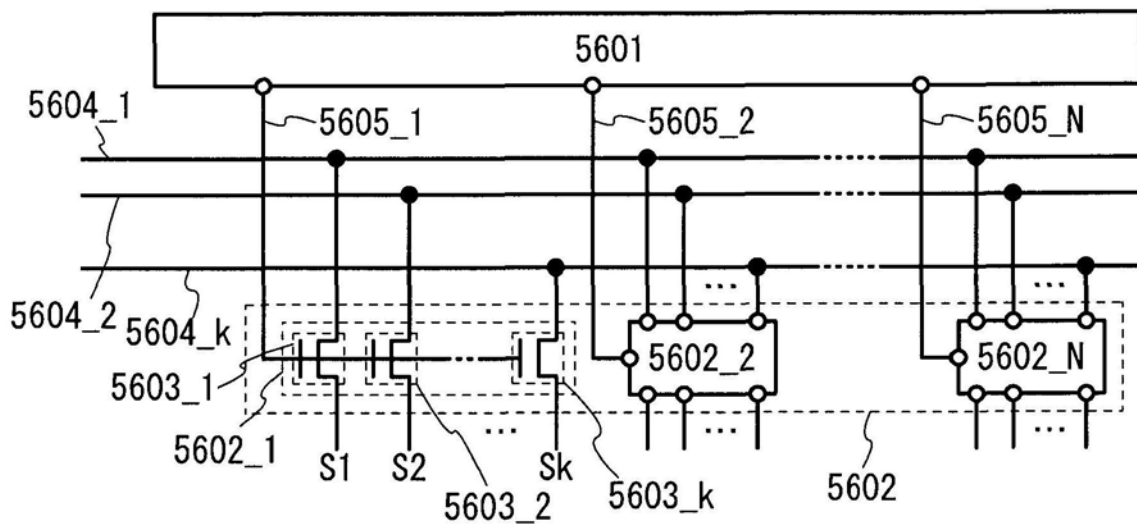


图13A

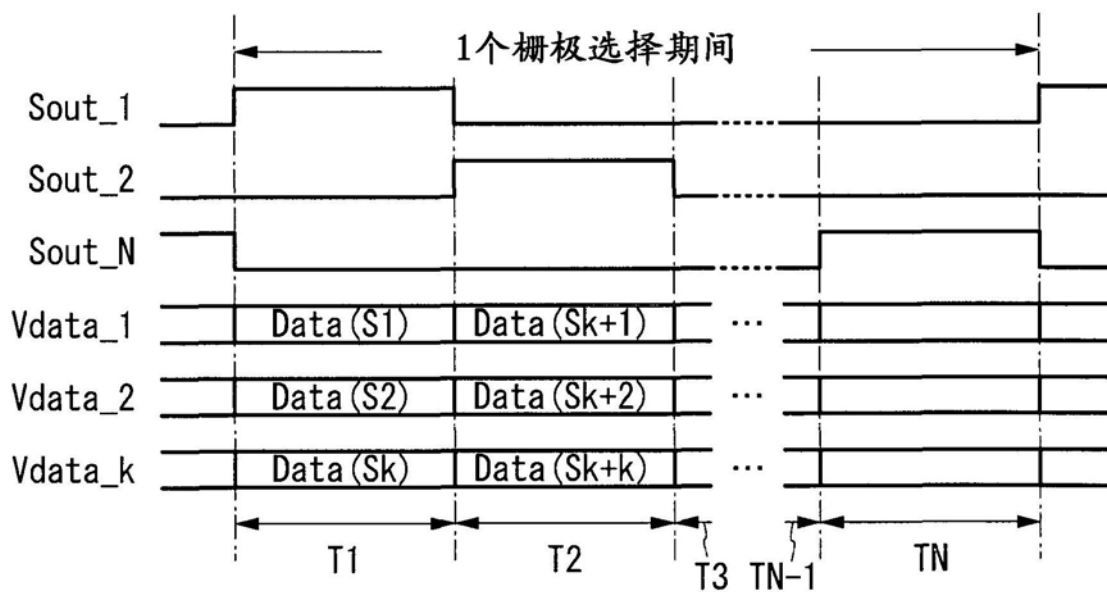


图13B

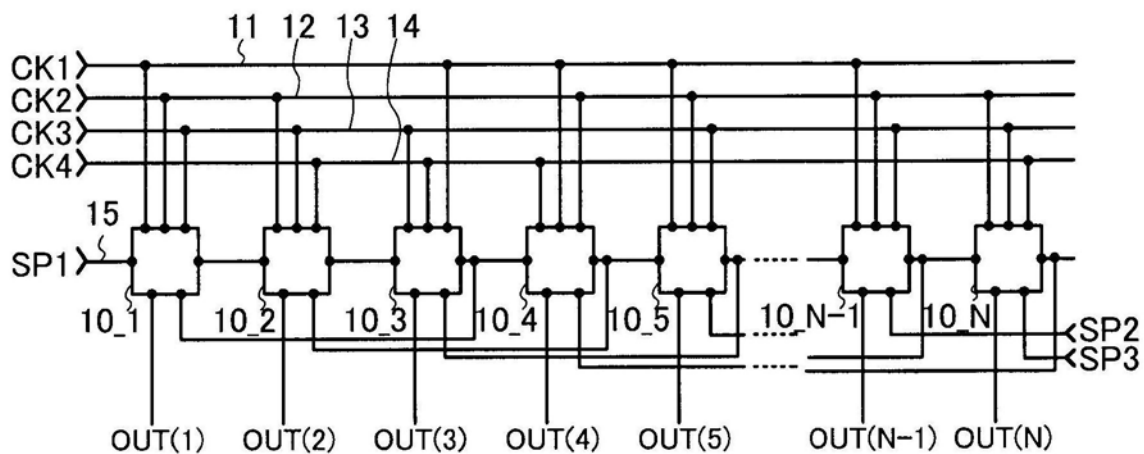


图14A

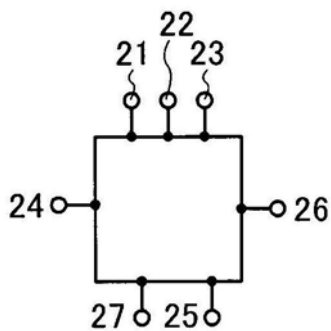


图14B

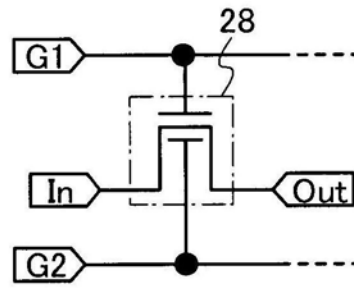


图14C

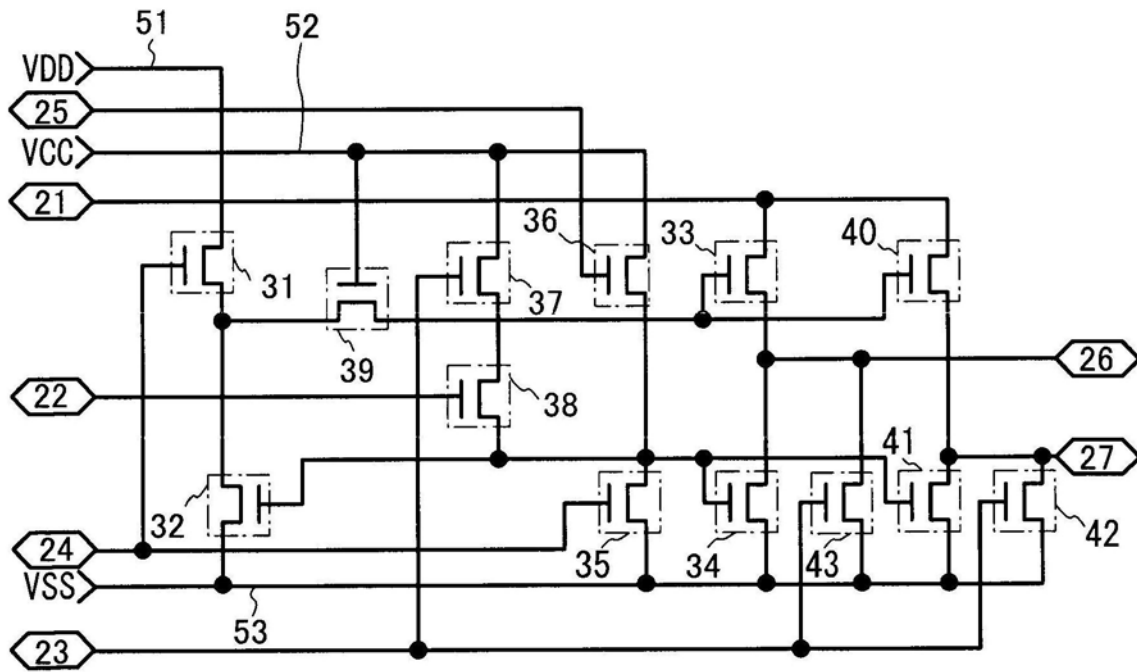


图14D

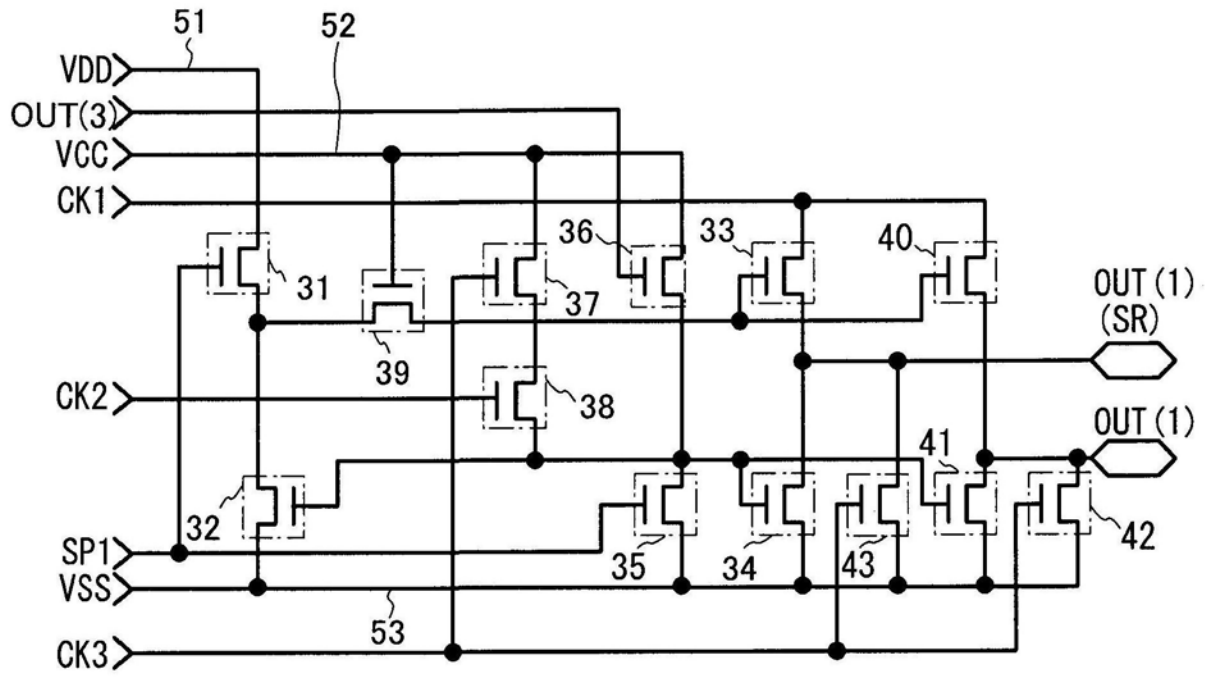


图15A

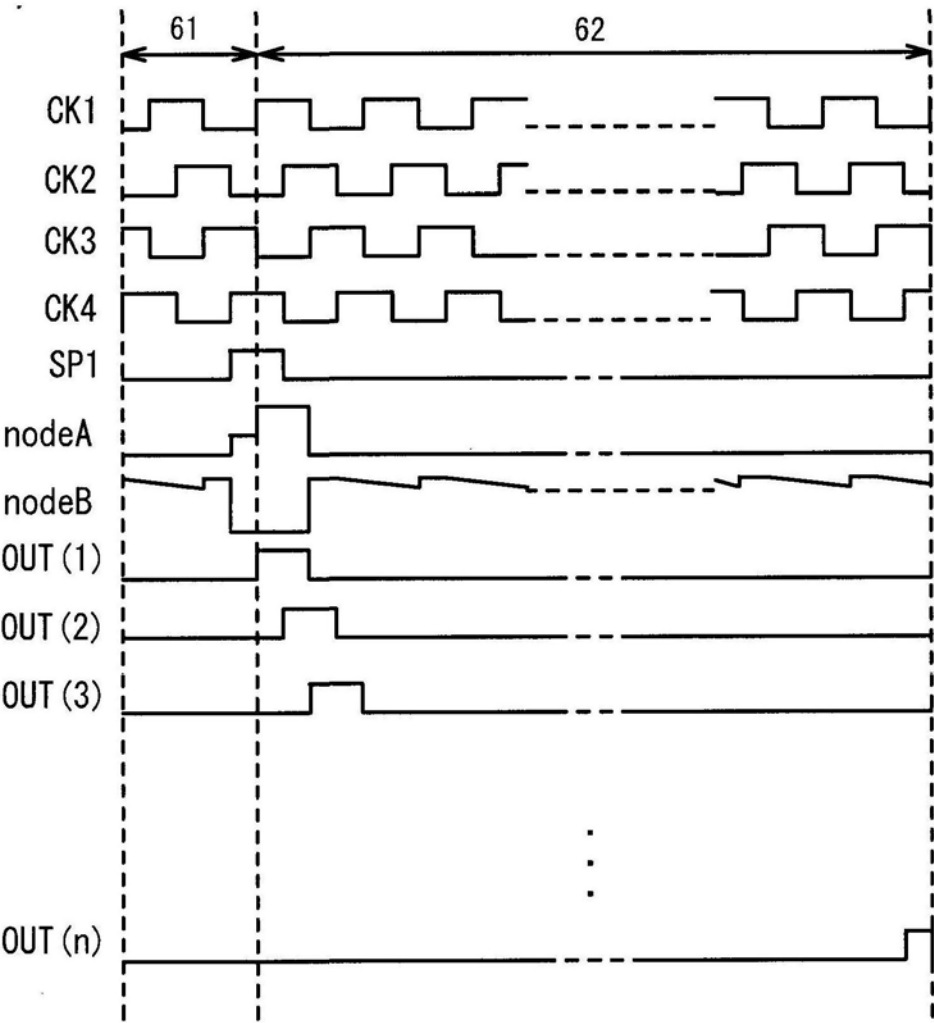


图15B

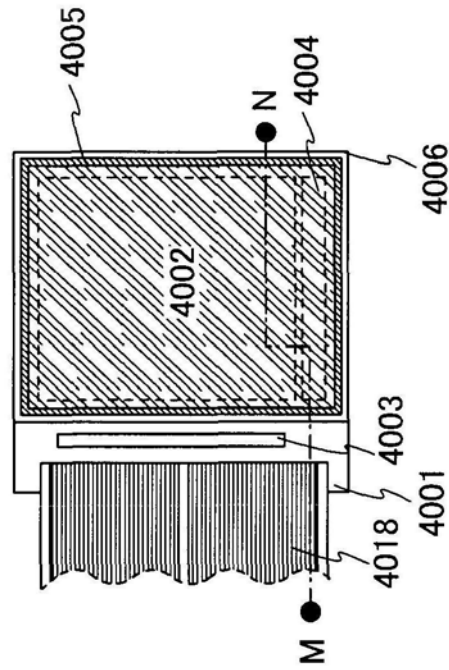


图16A

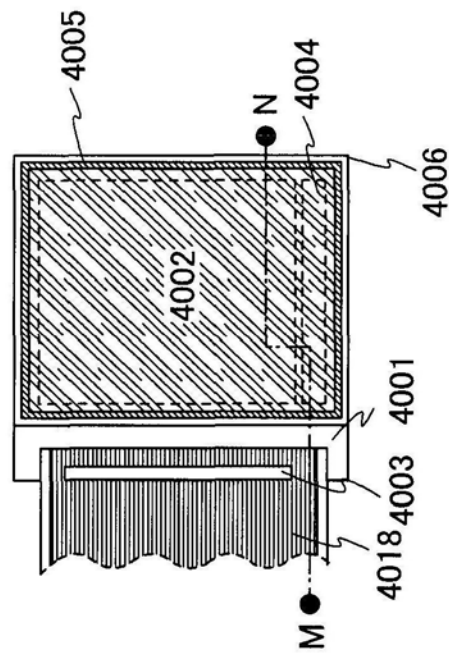


图16B

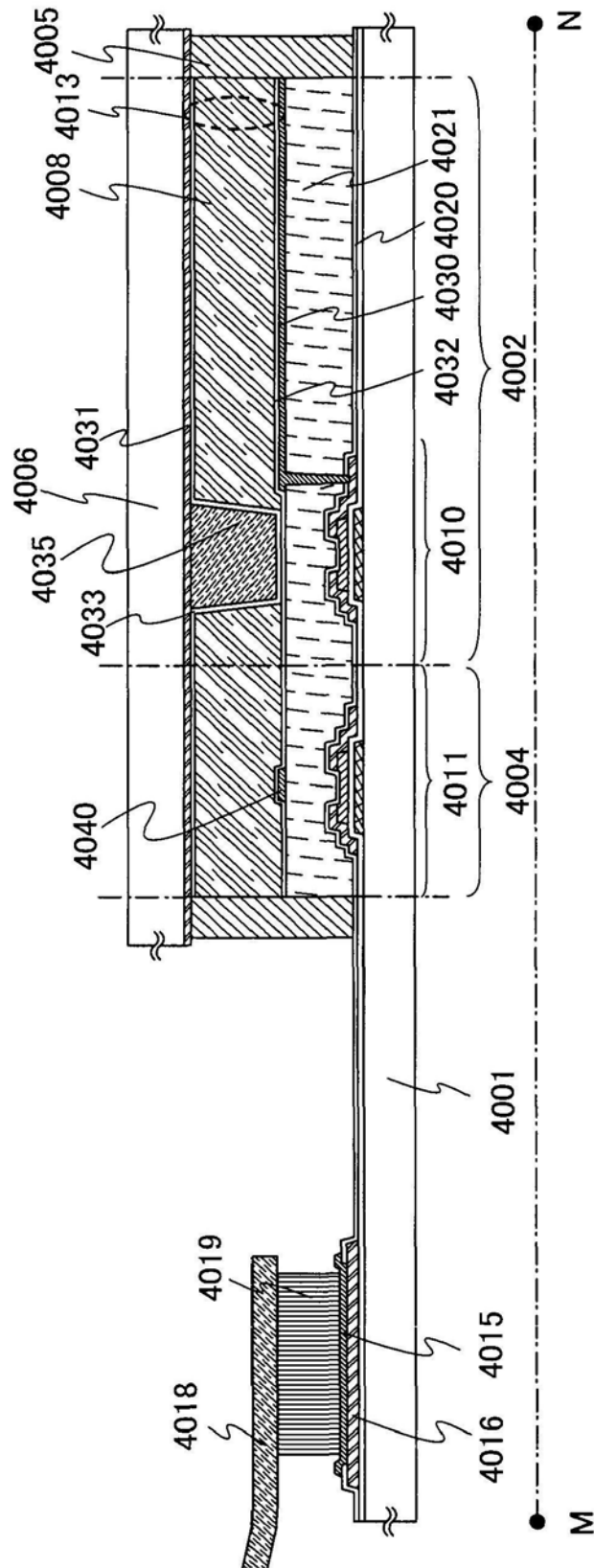


图16C

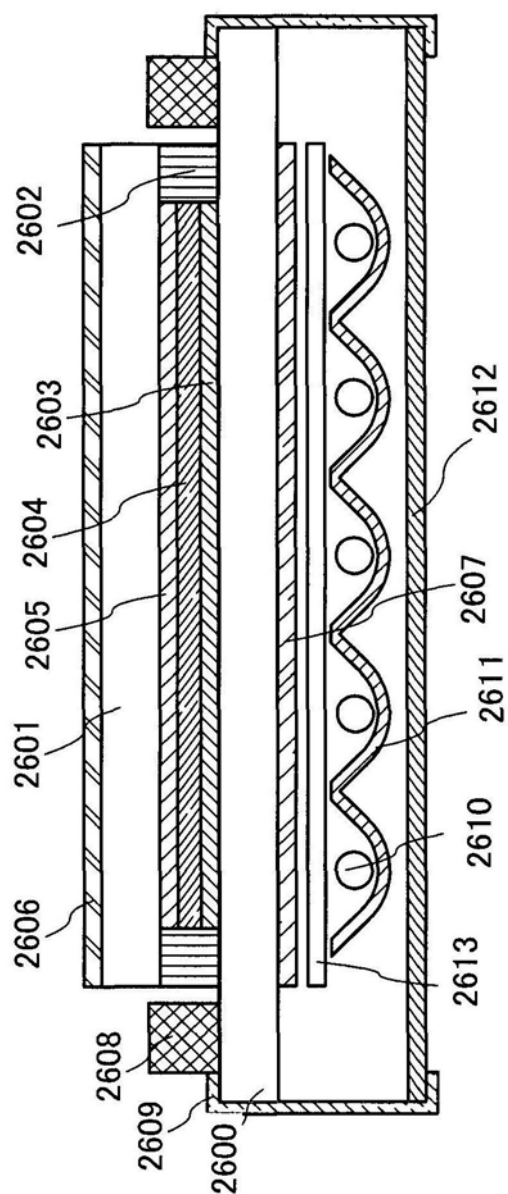


图17

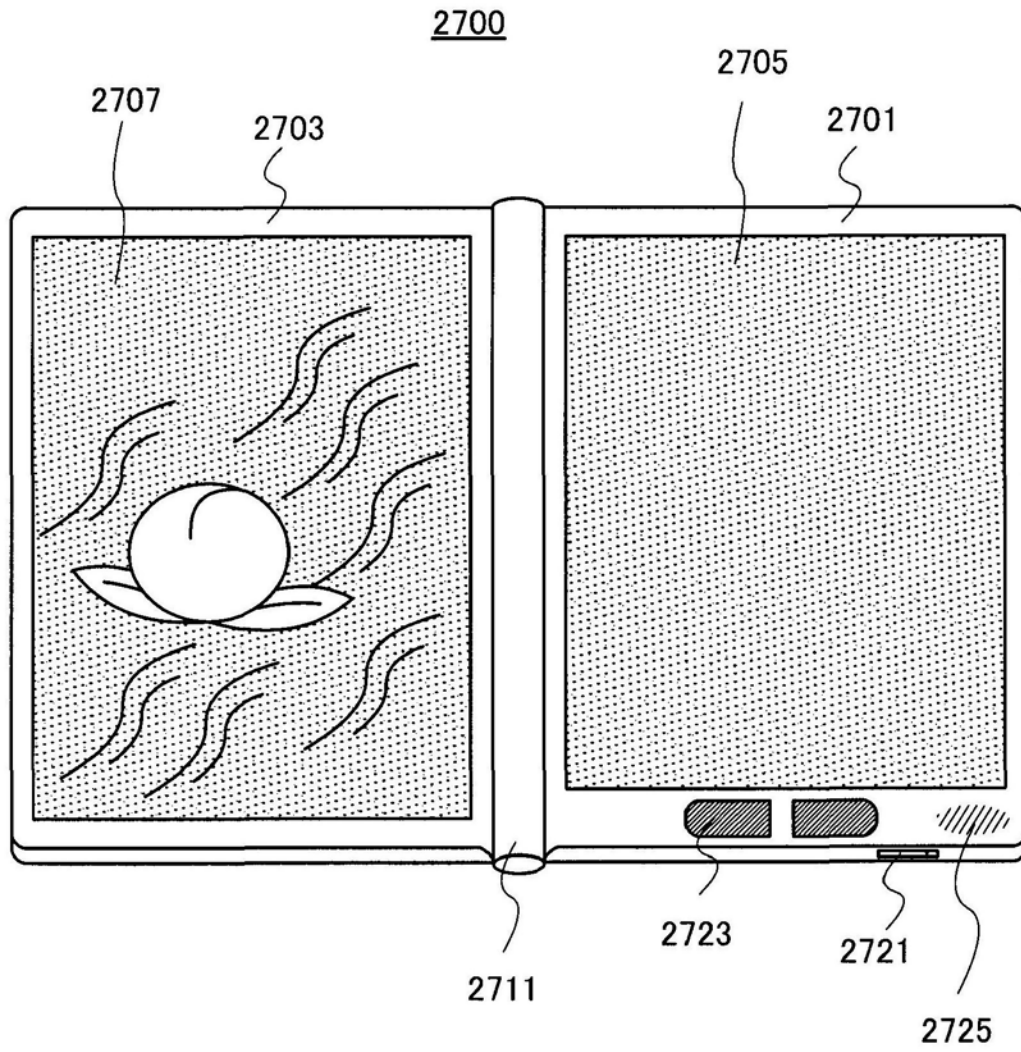


图18

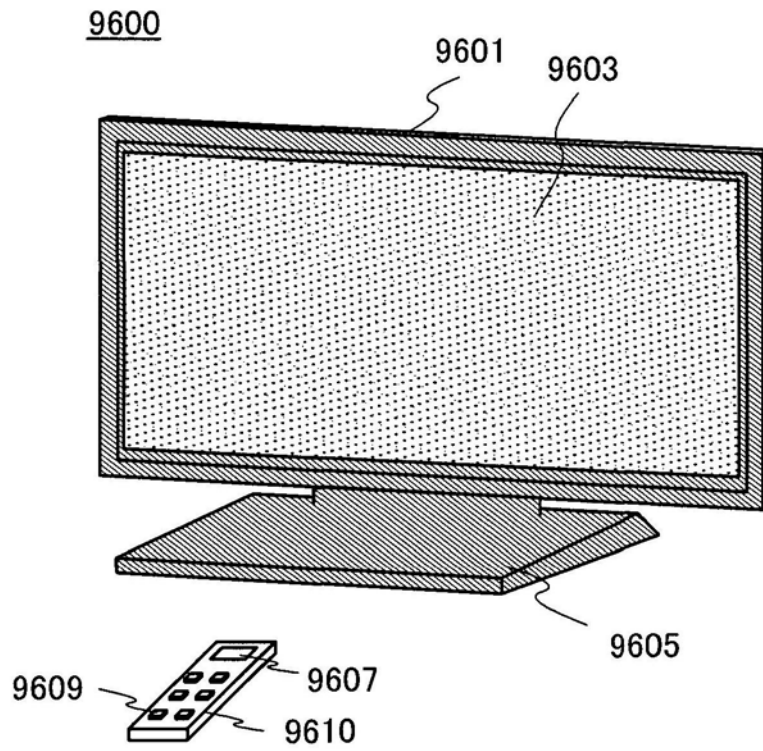


图19A

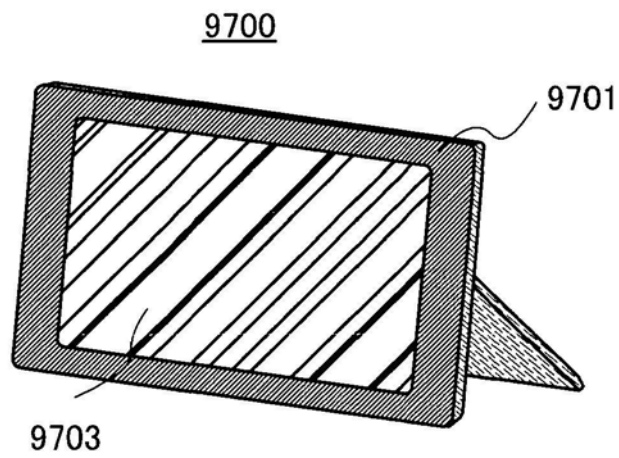


图19B

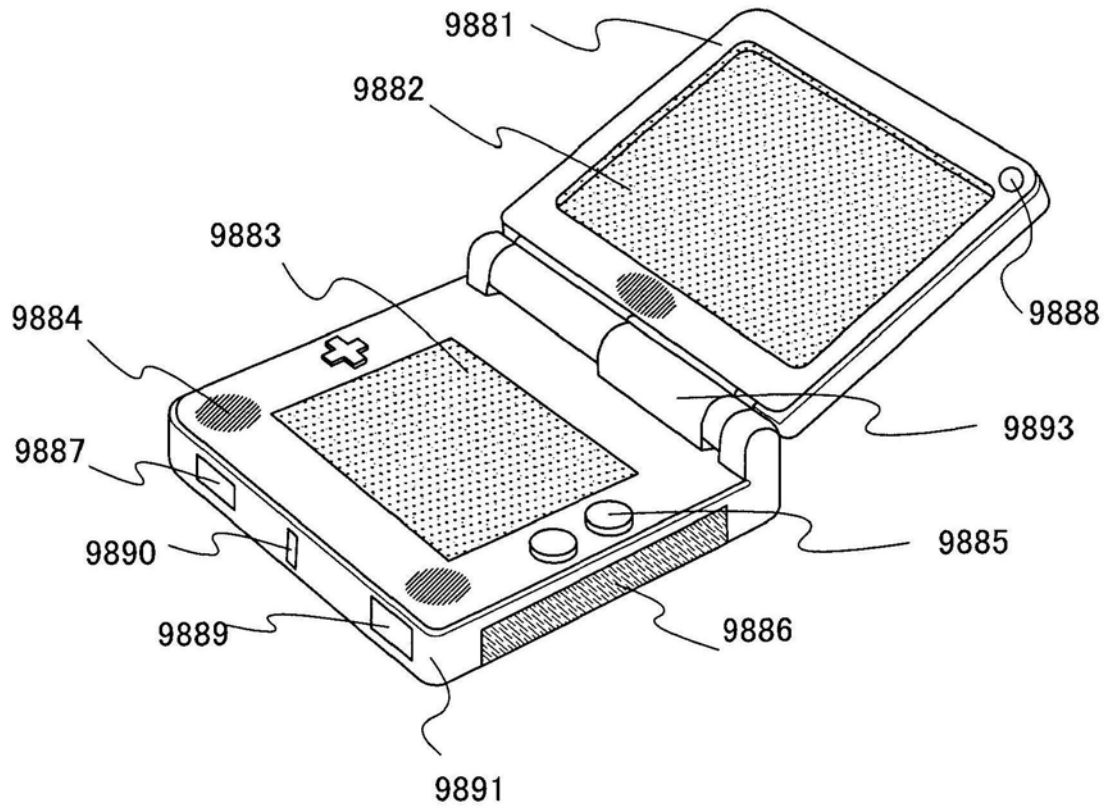


图20A

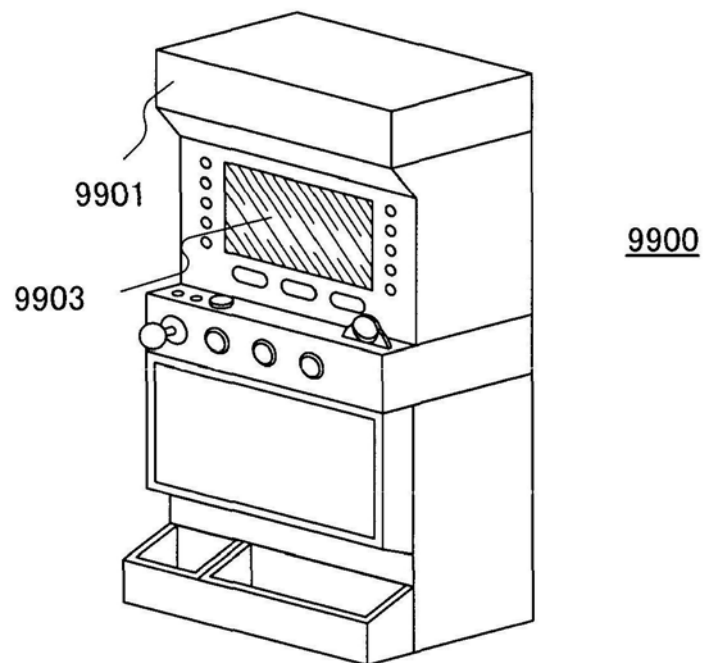


图20B

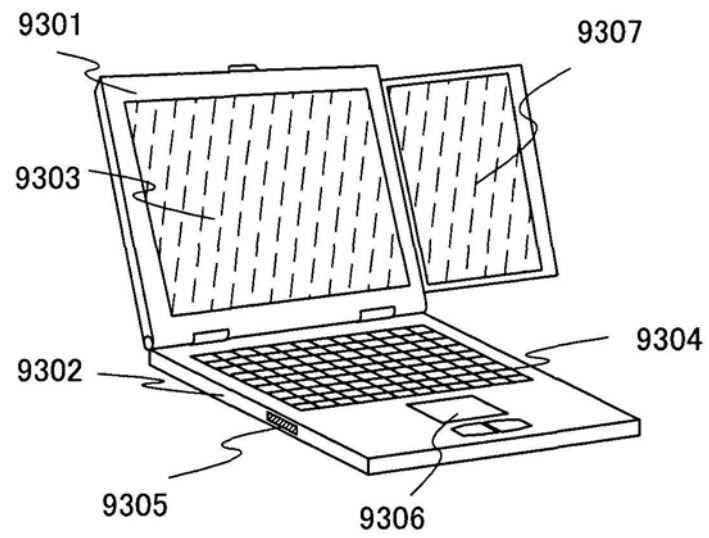


图21A

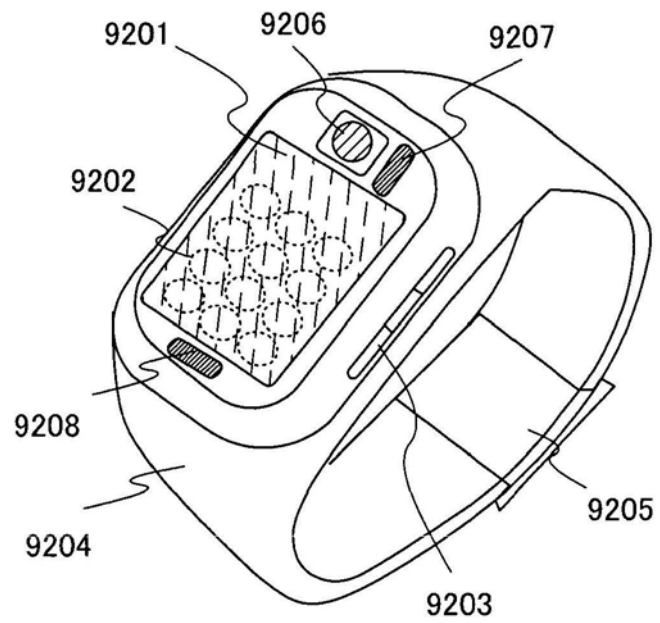


图21B

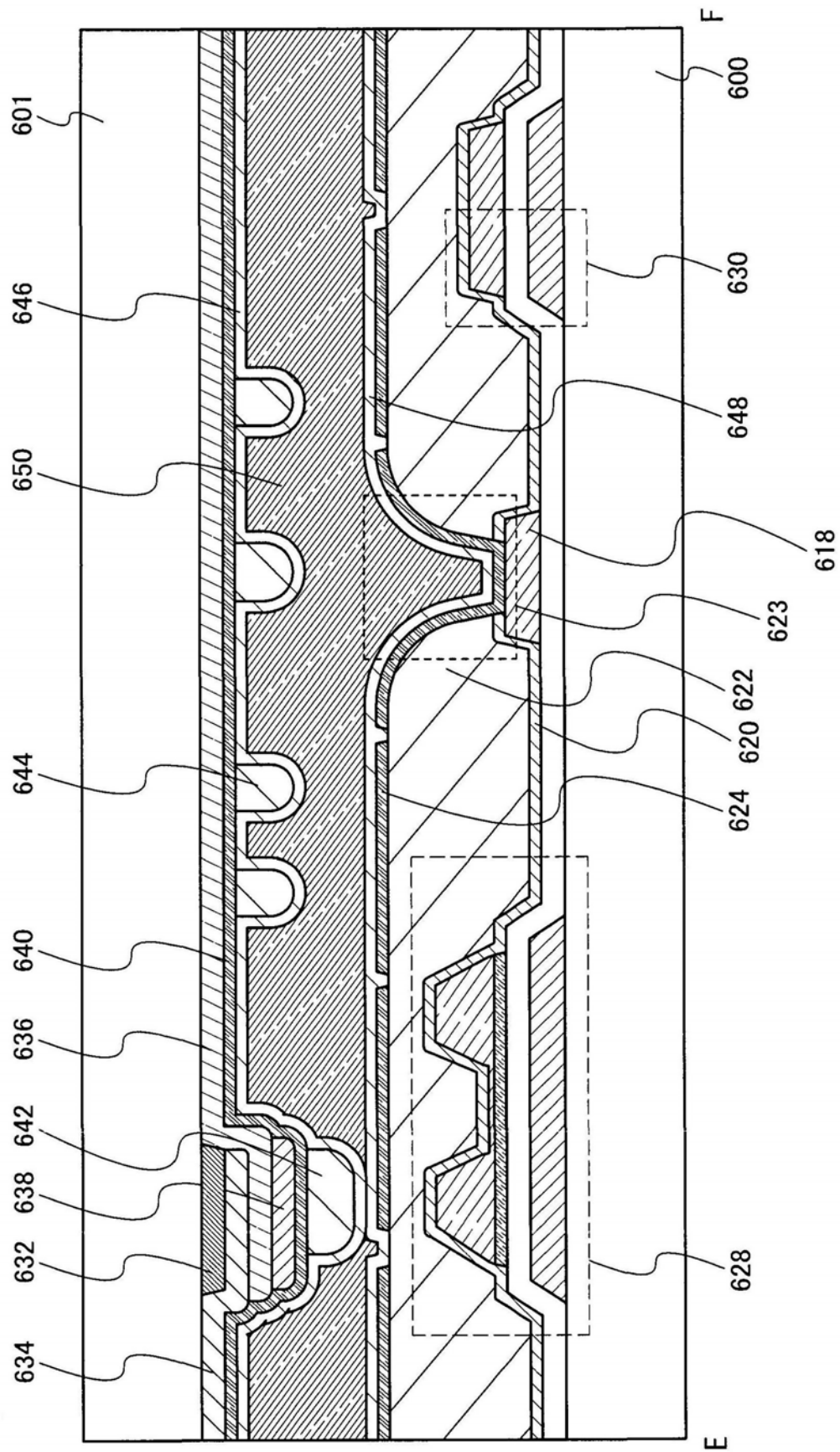


图22

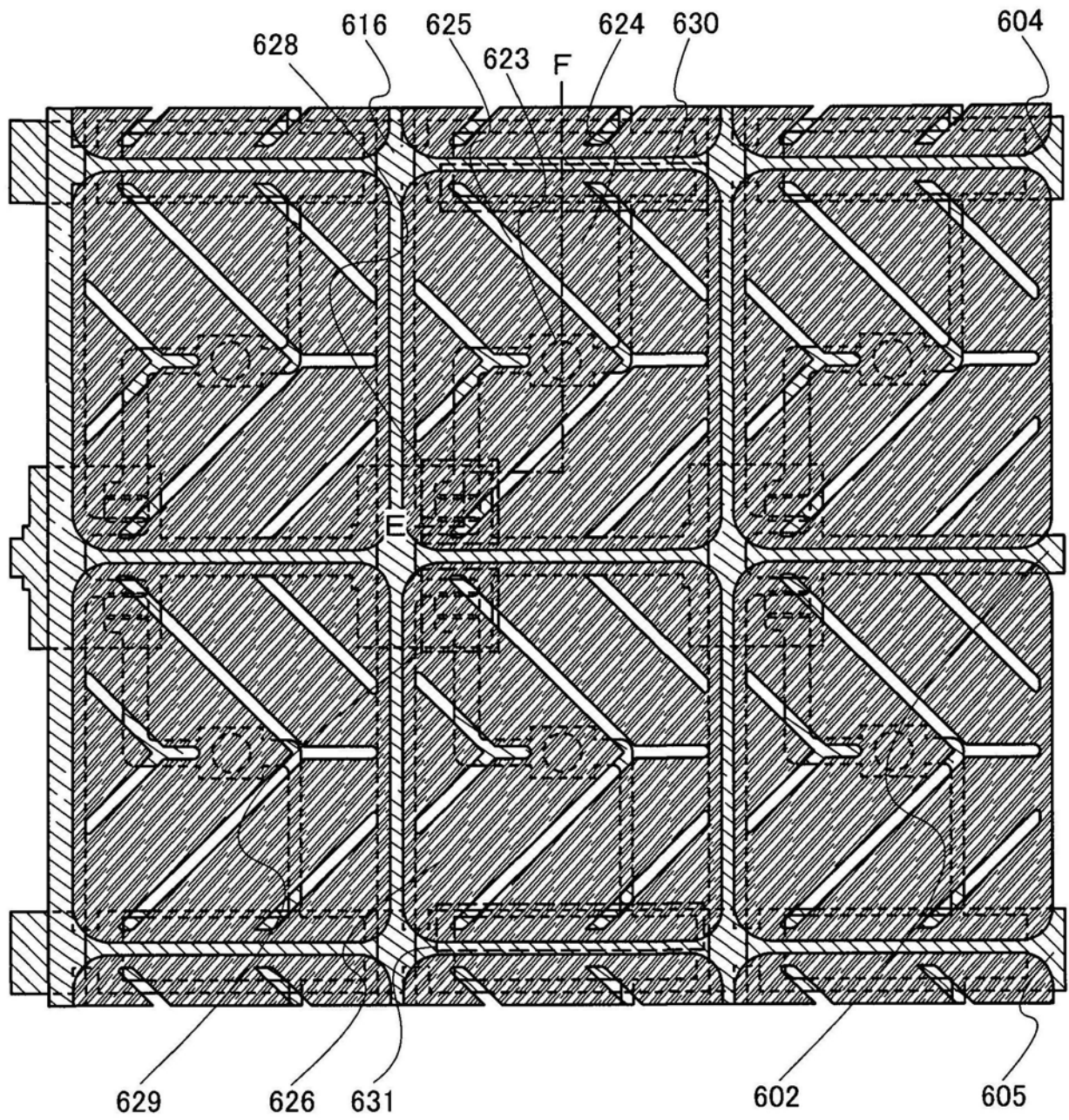


图23

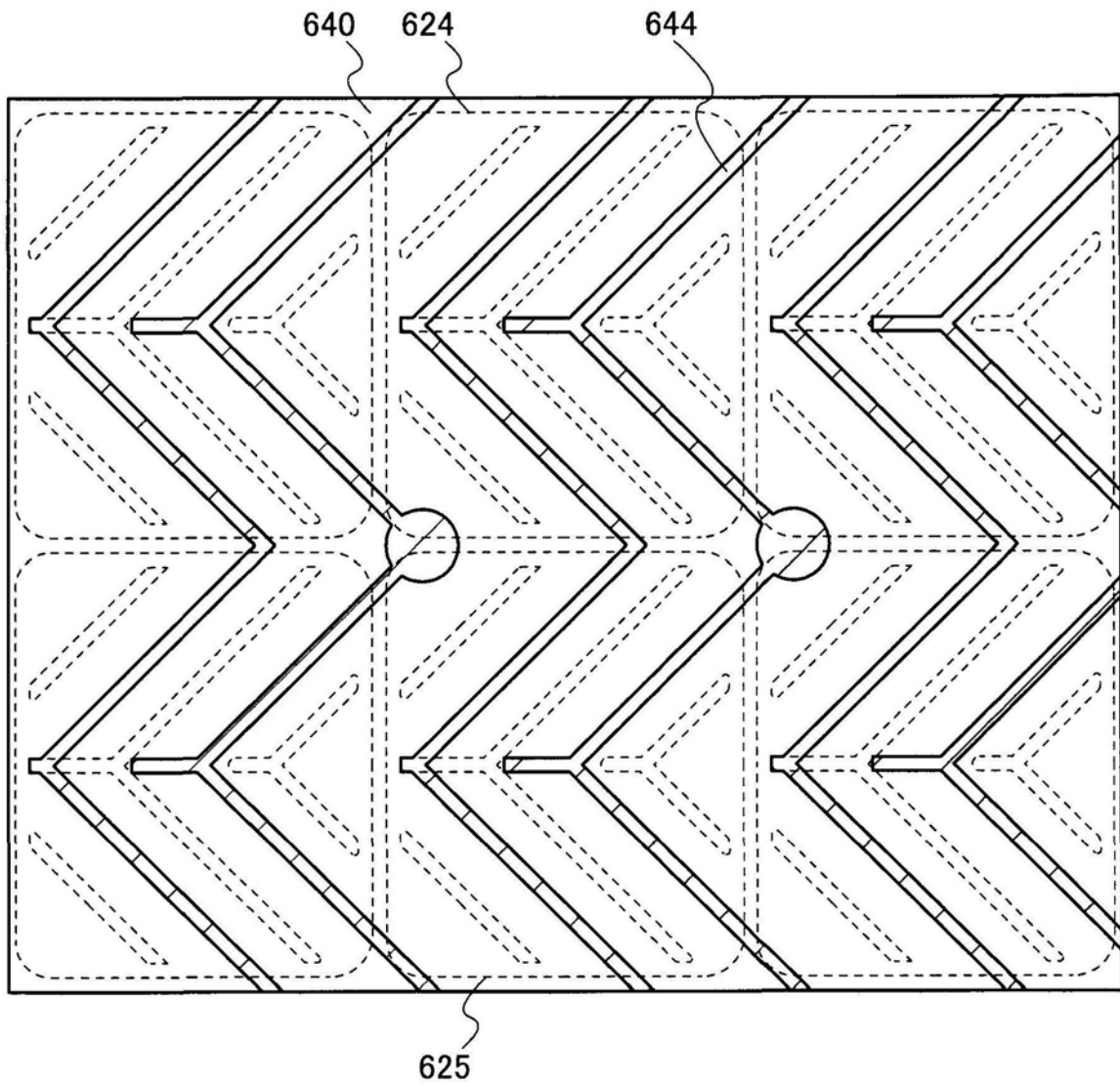


图24

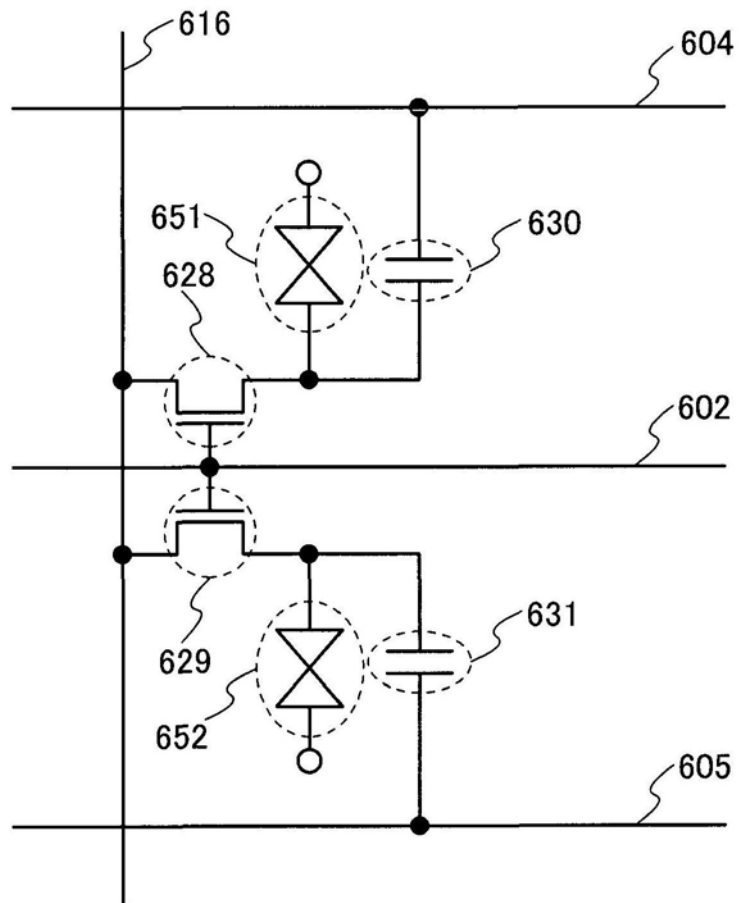


图25

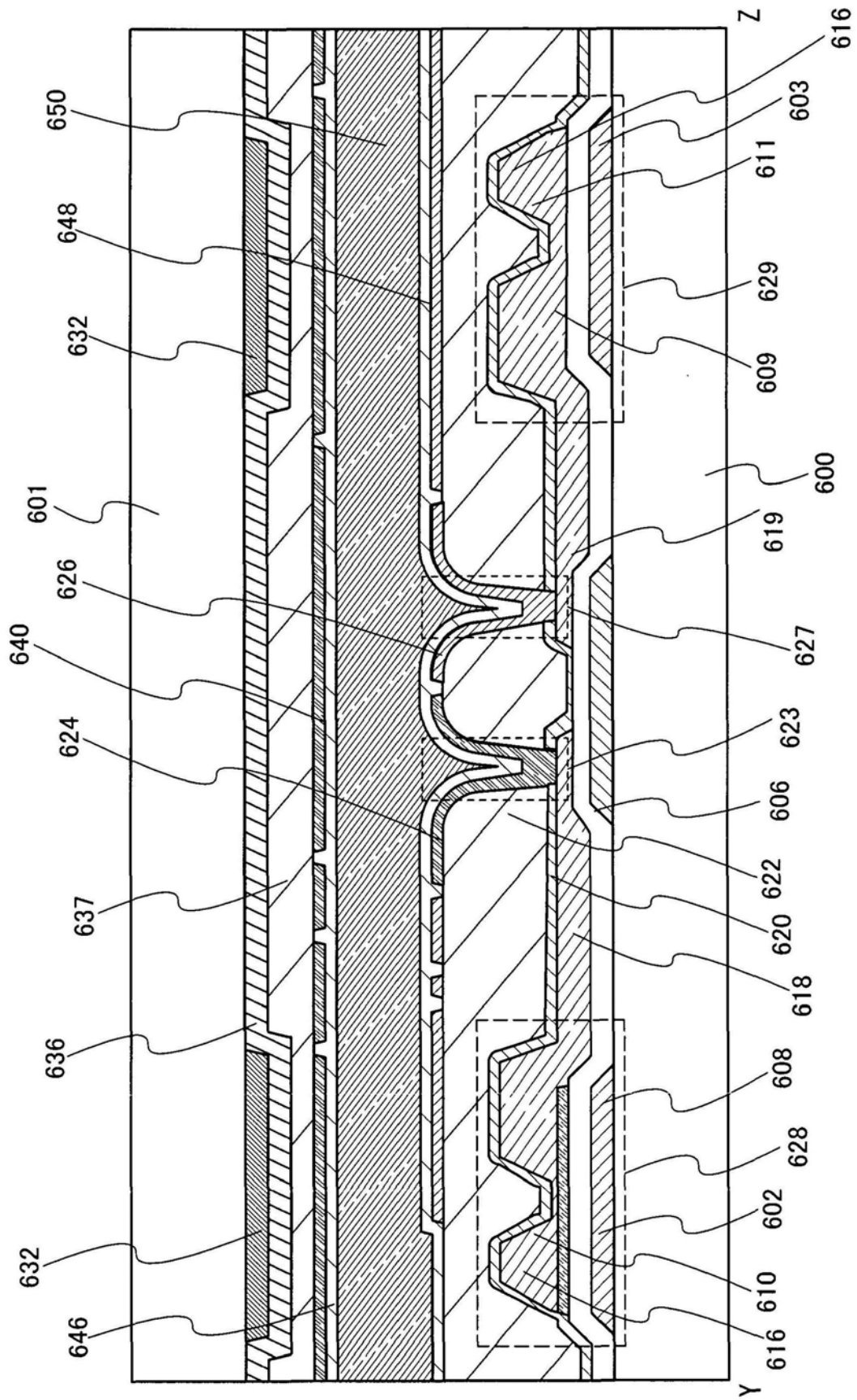


图26

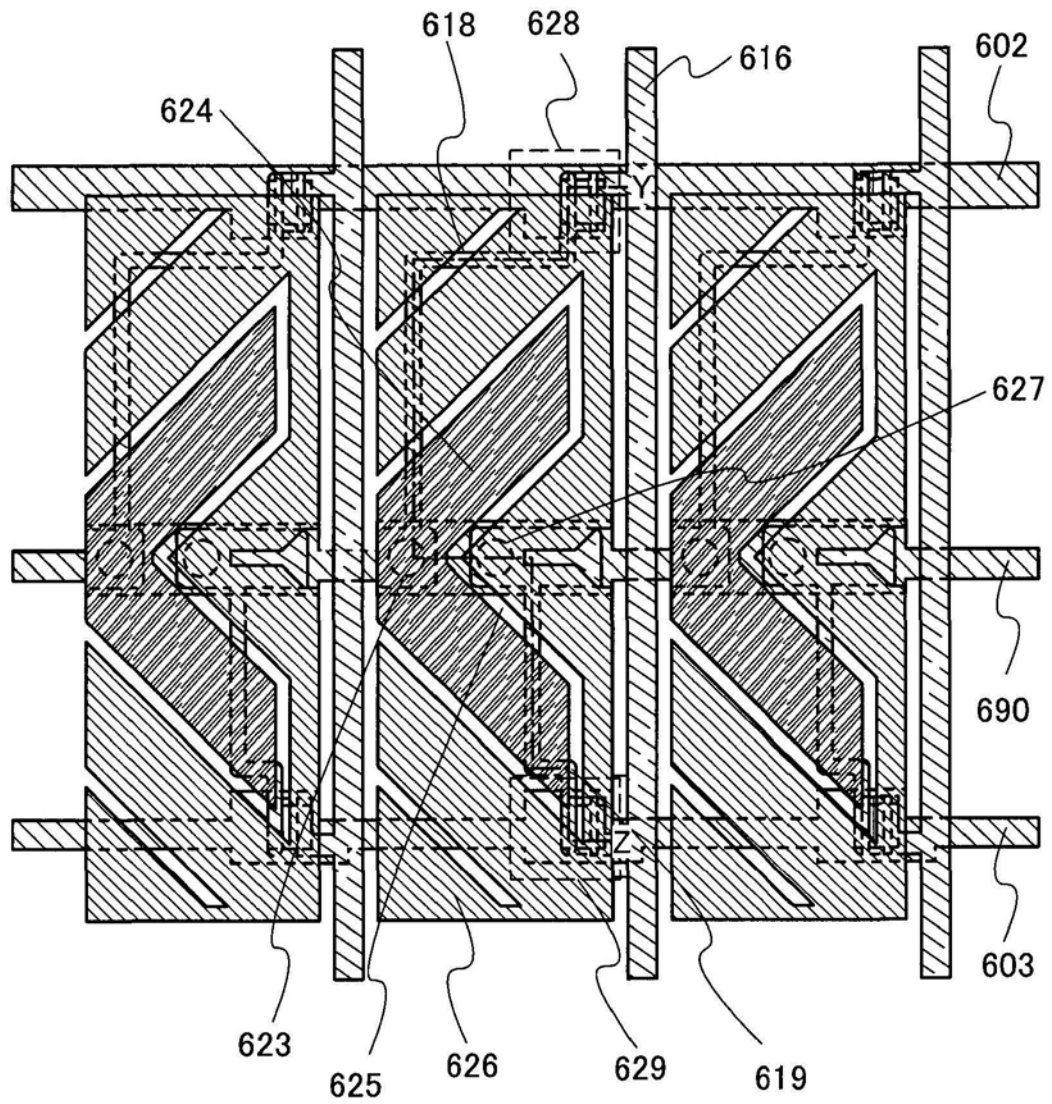


图27

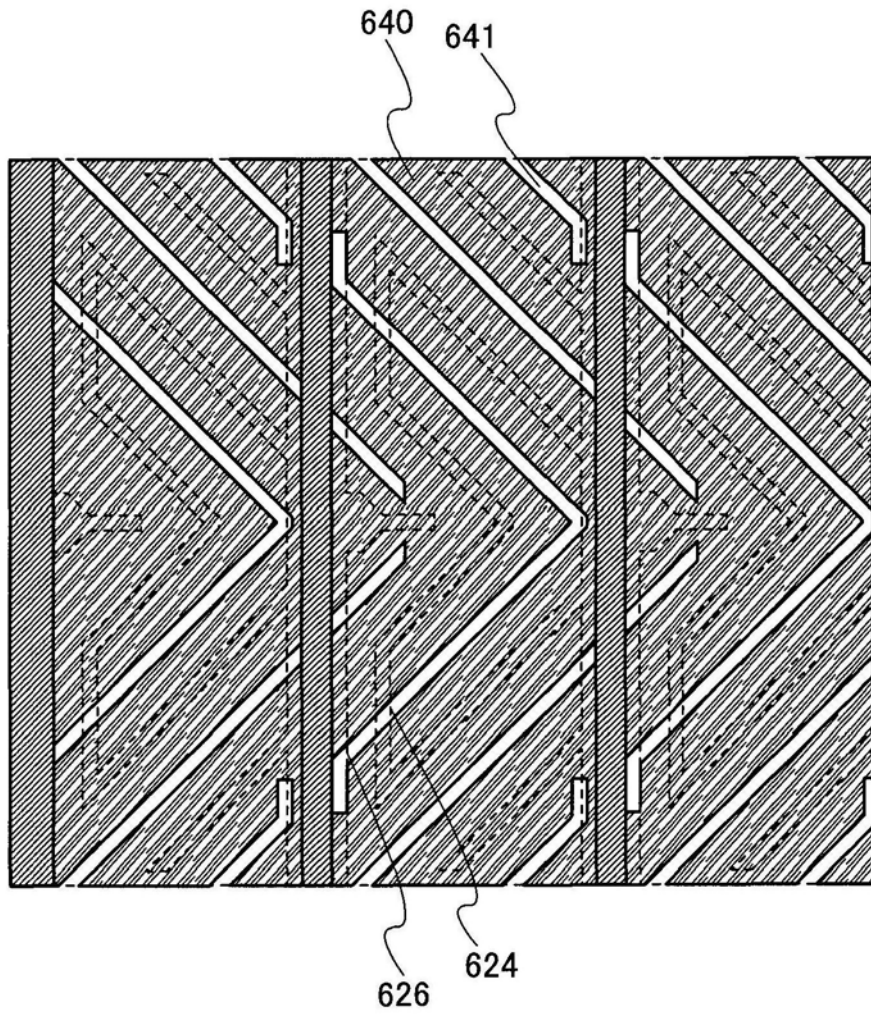


图28

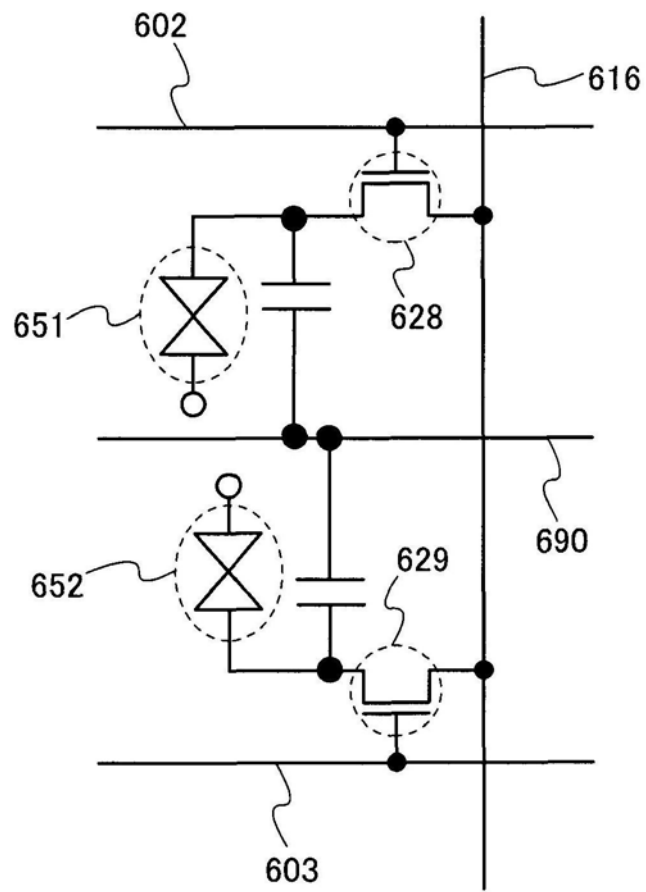


图29

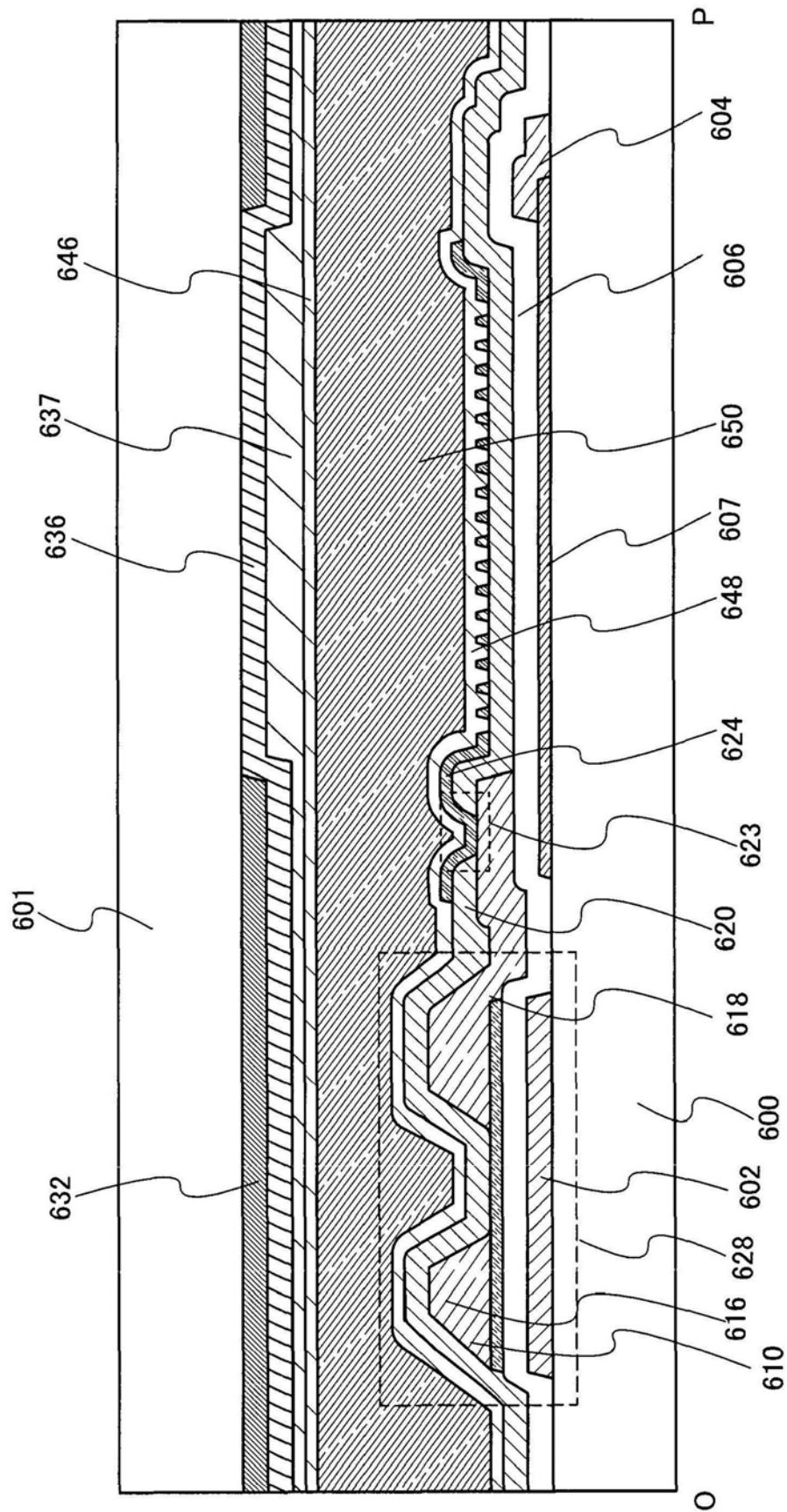


图30

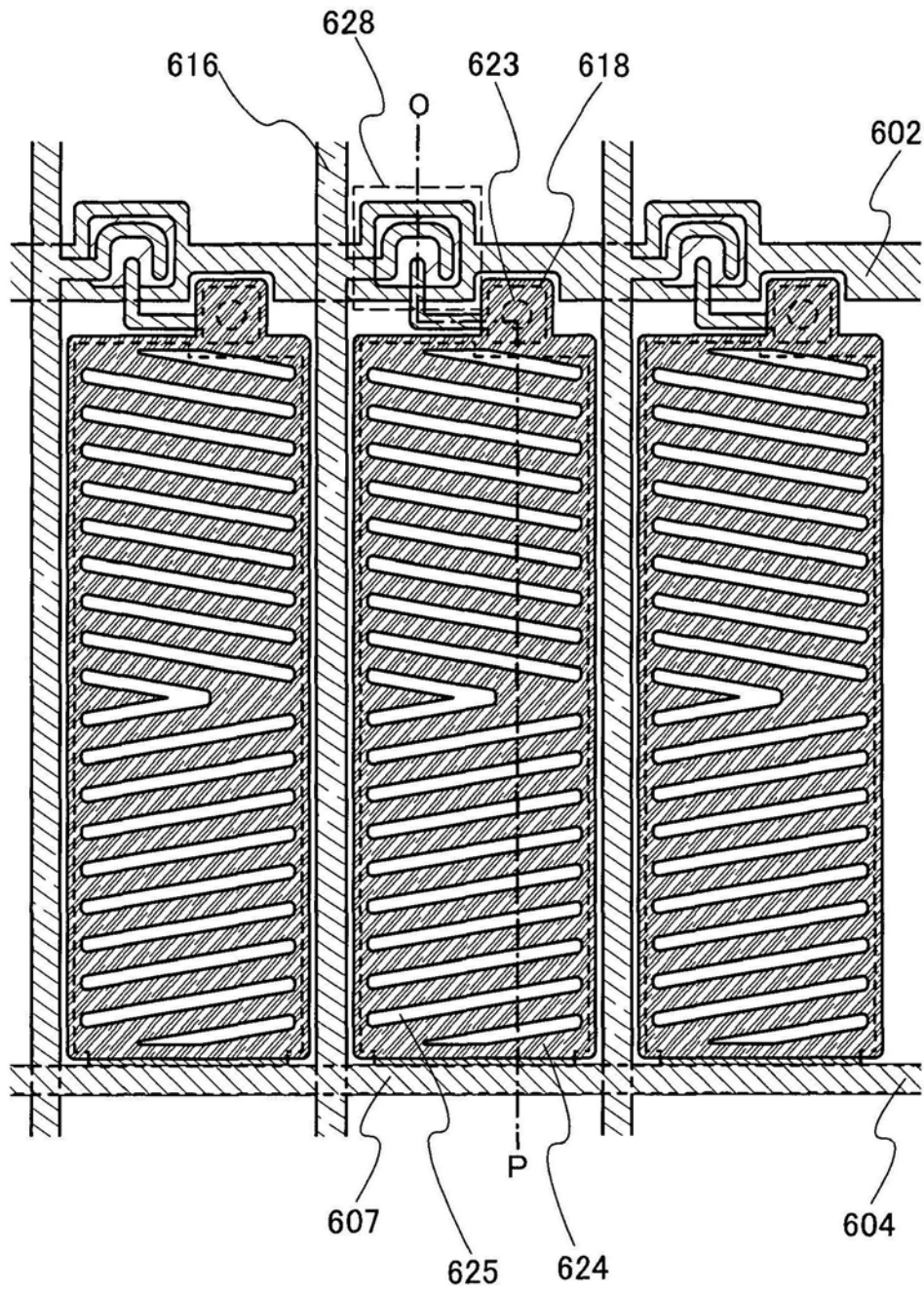


图31

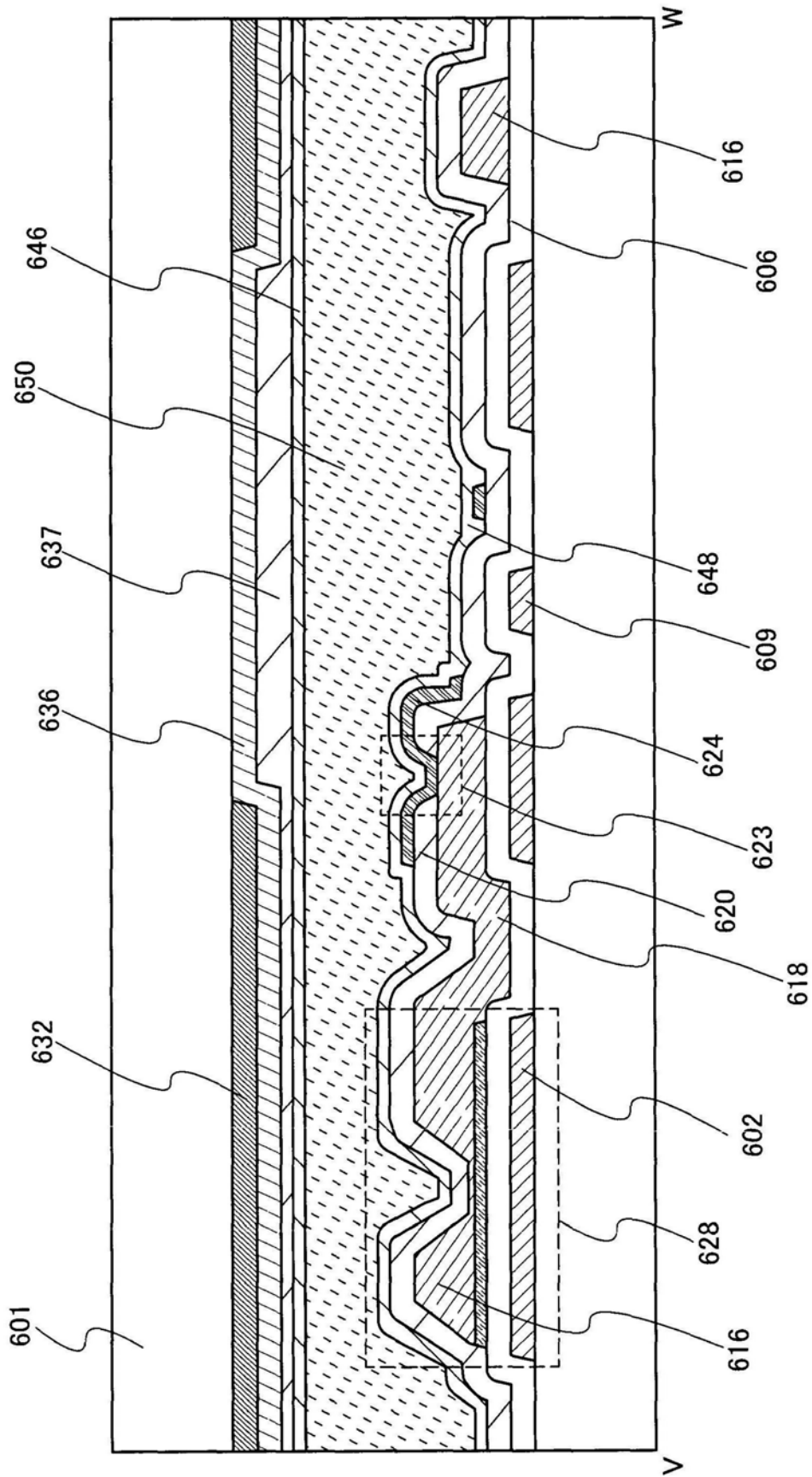


图32

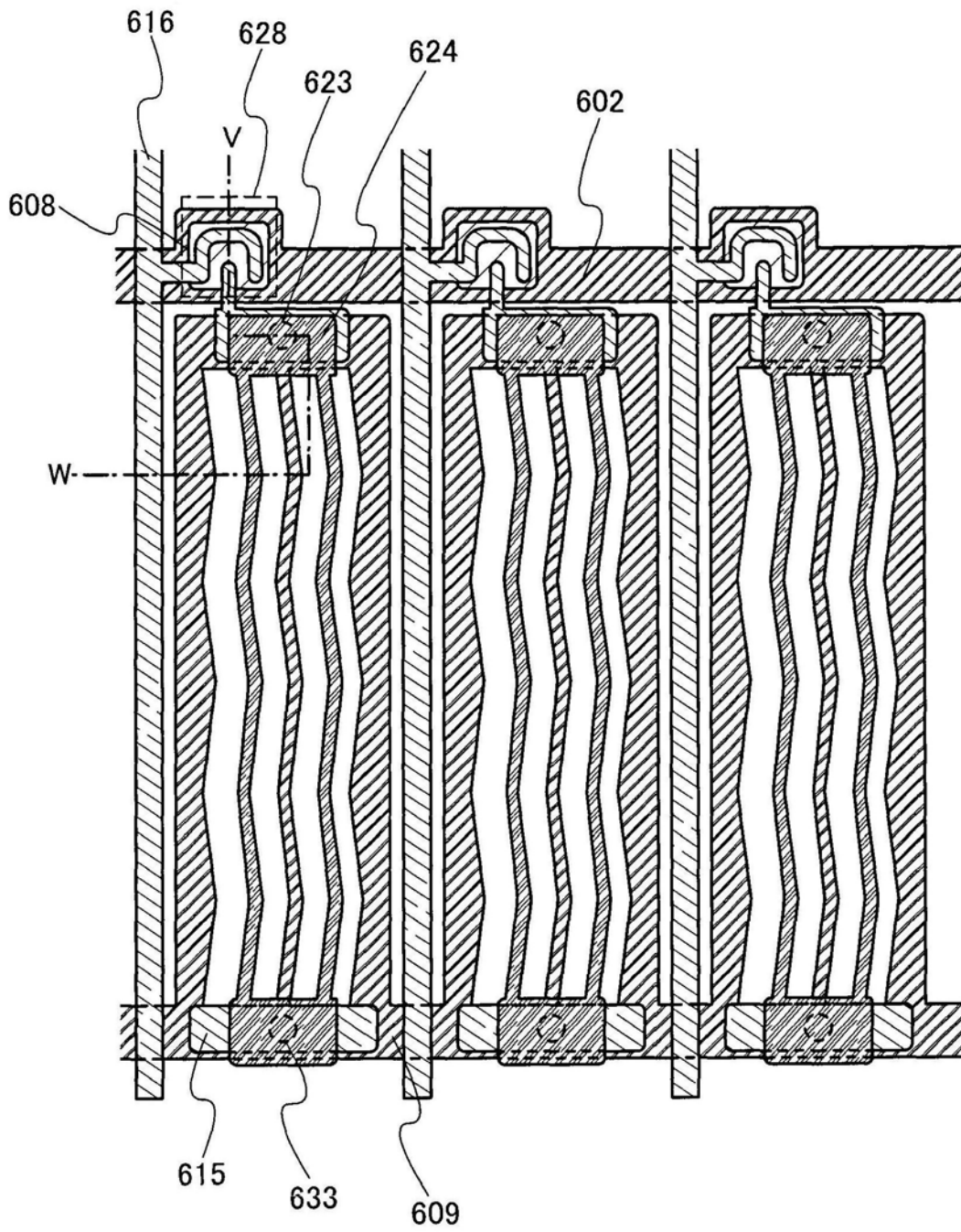


图33

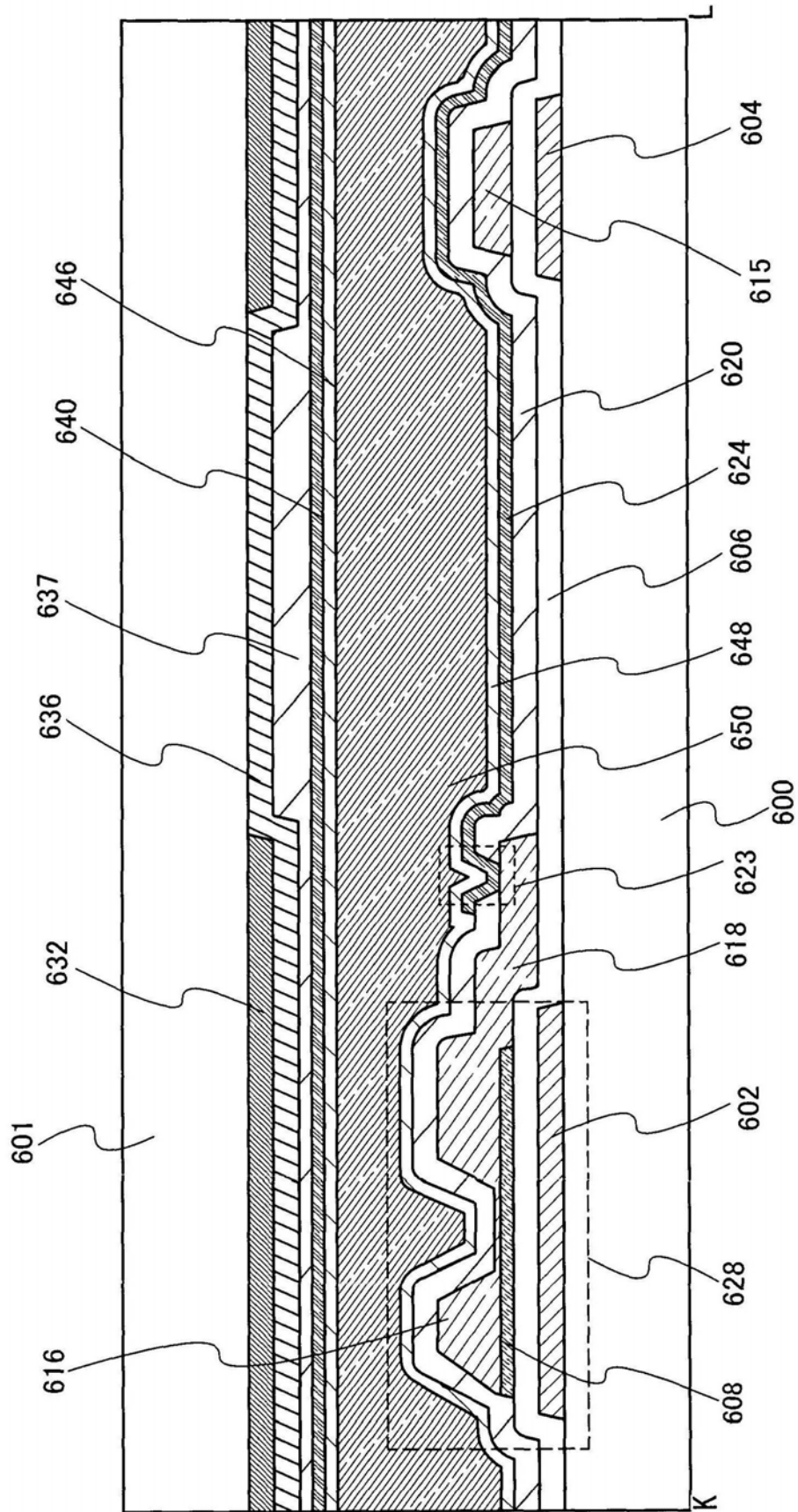


图34

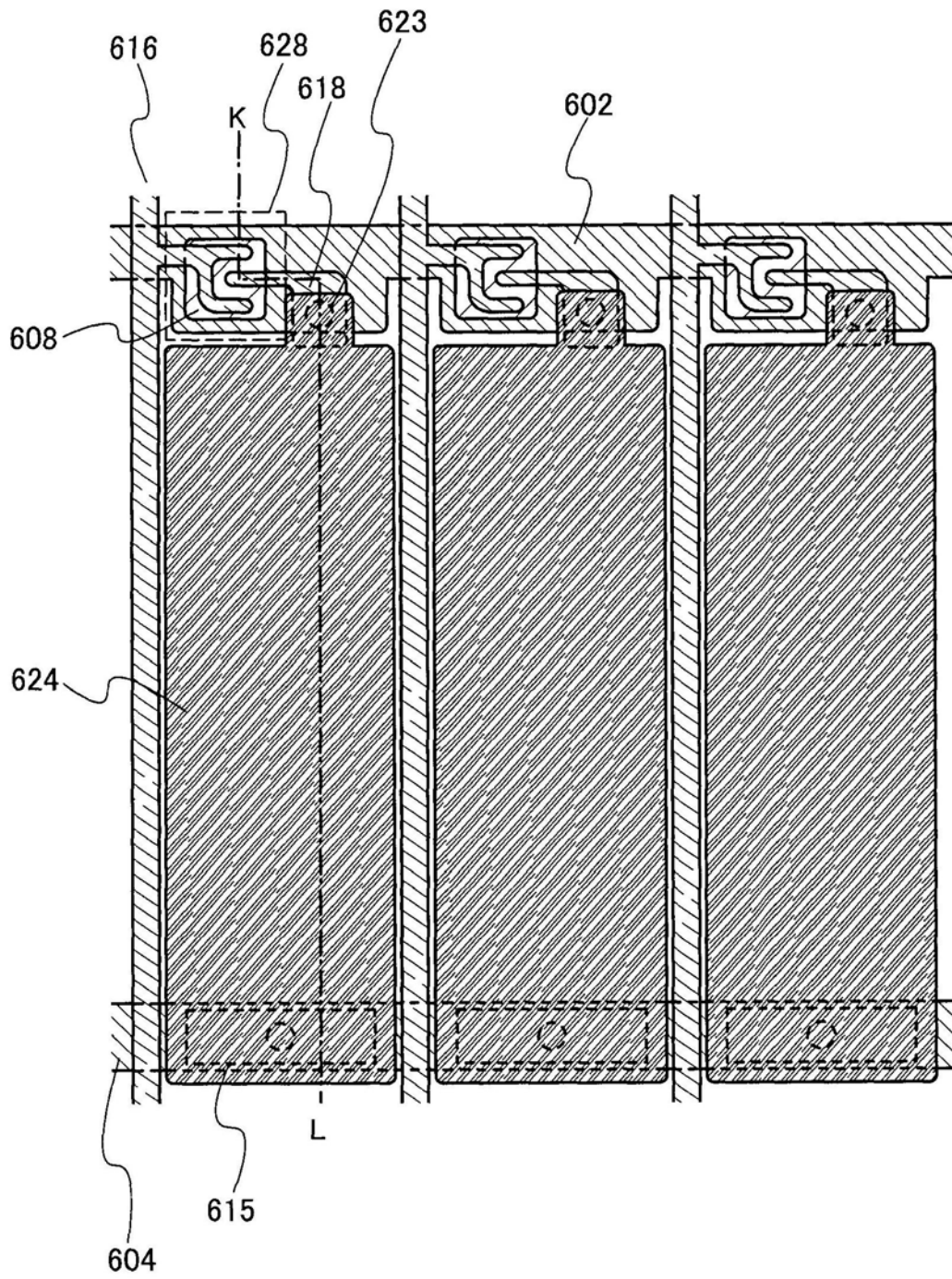


图35

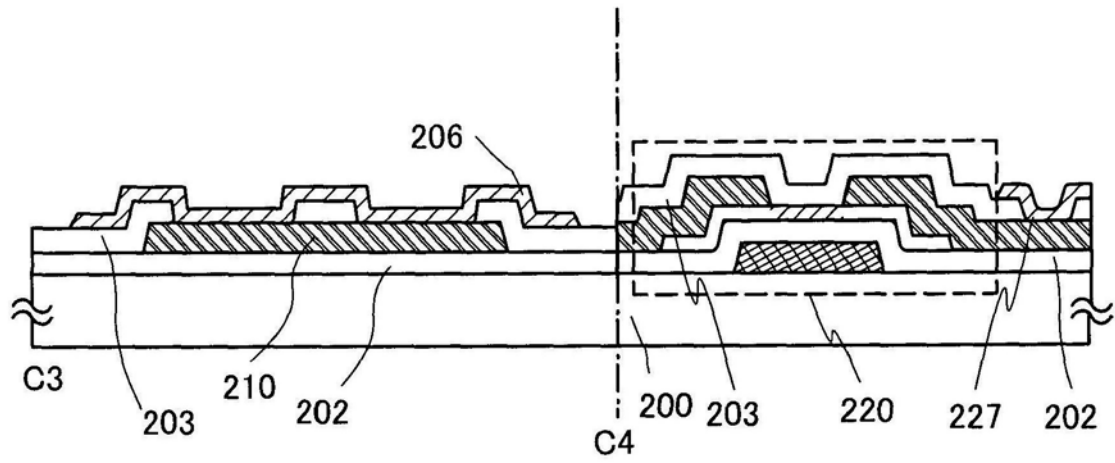


图36A

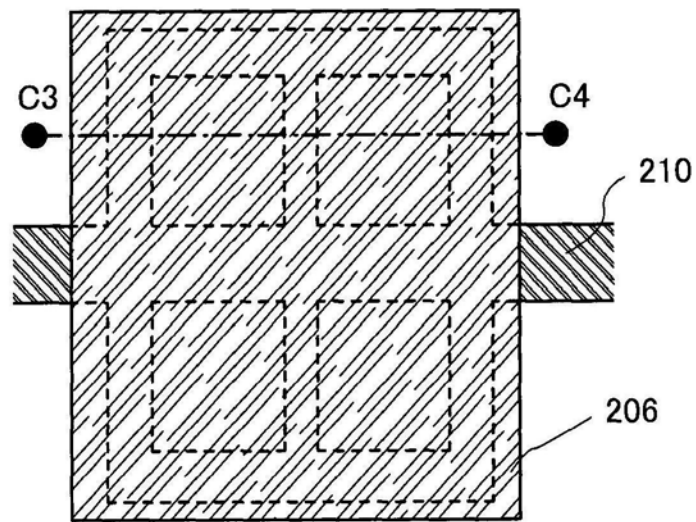


图36B

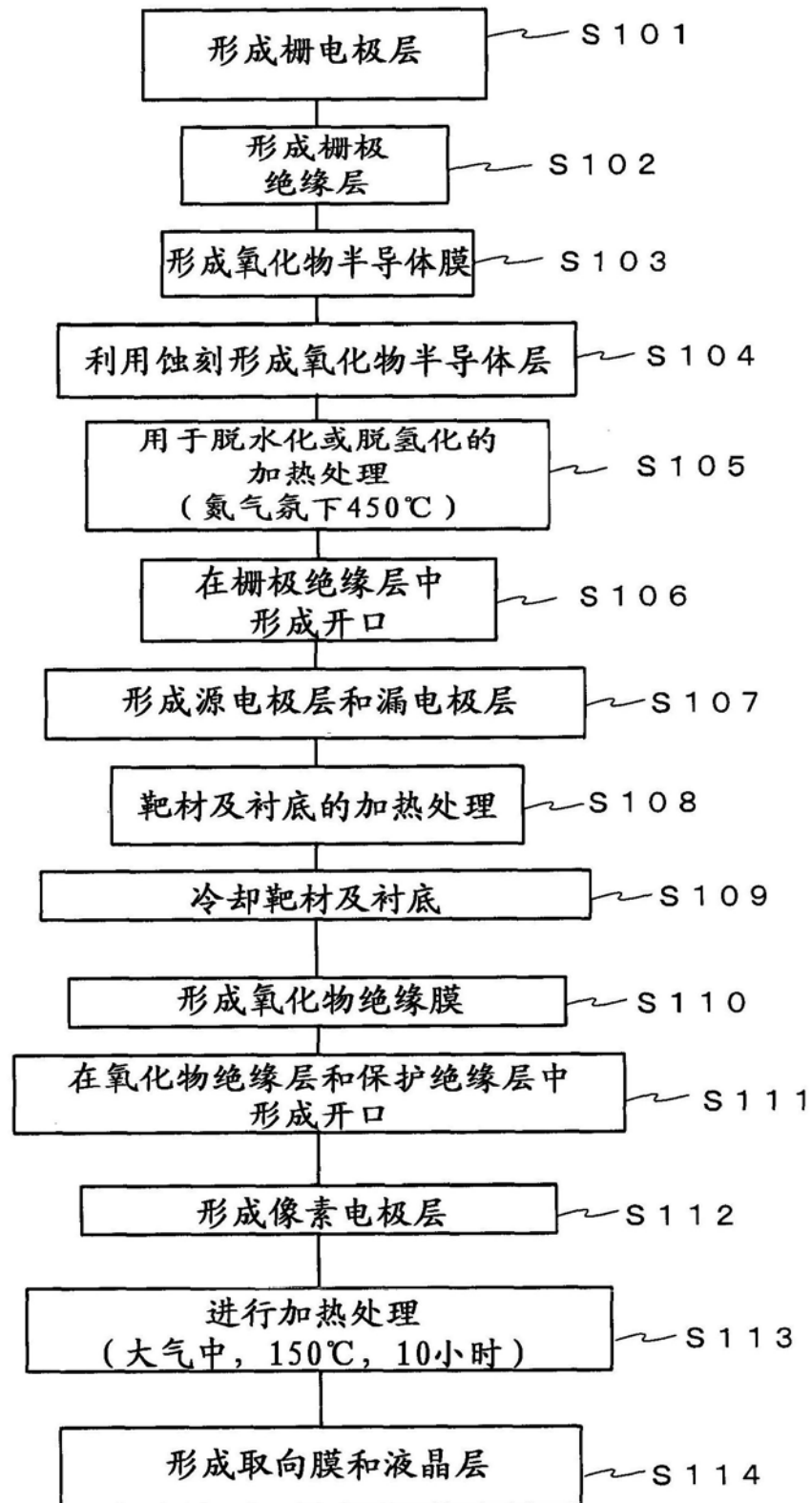


图37

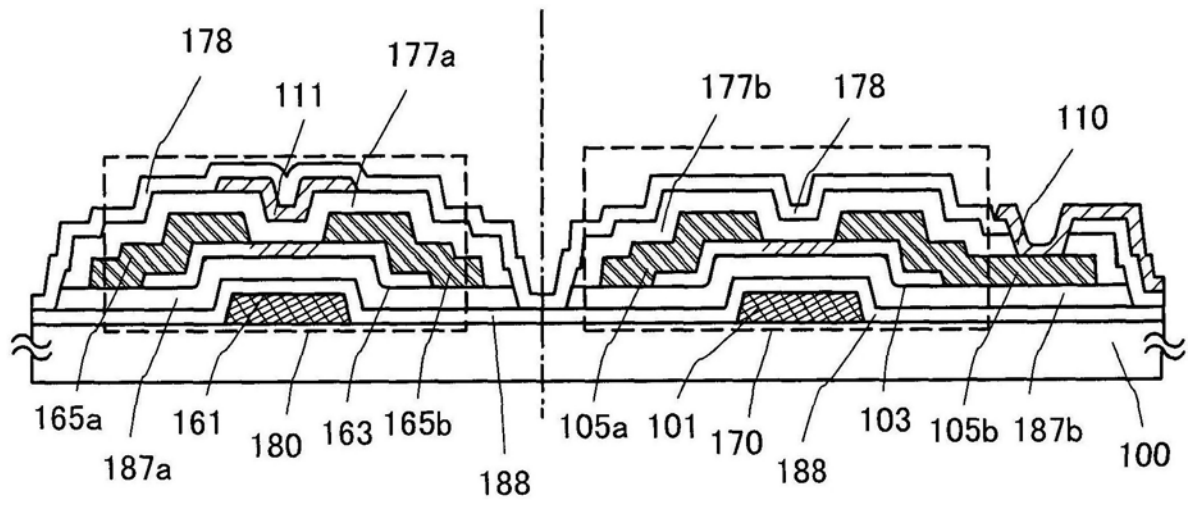


图38

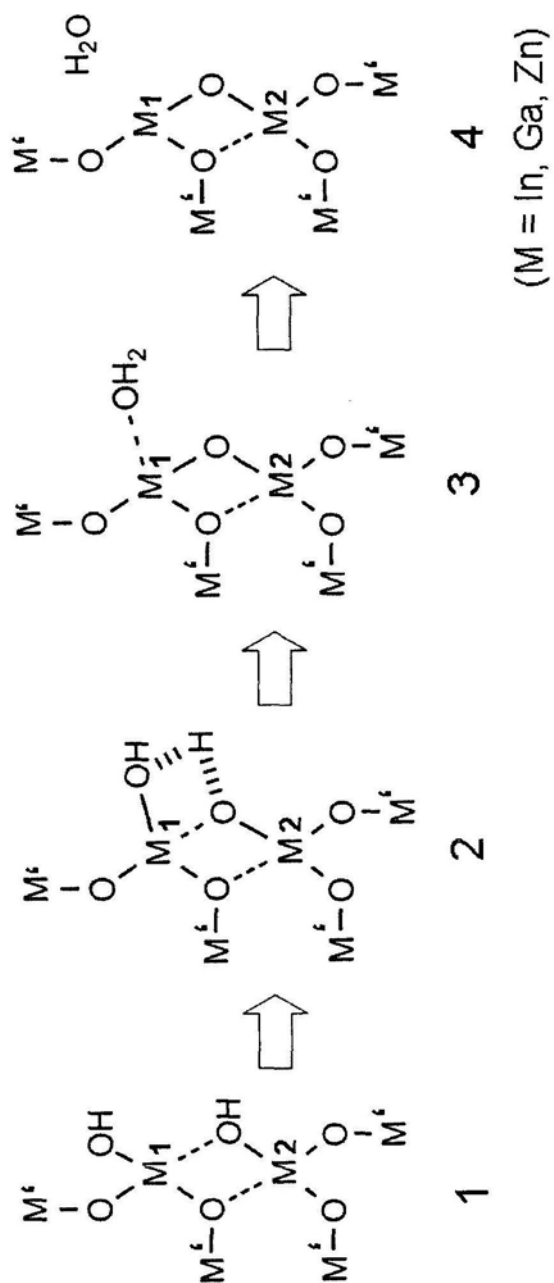


图39

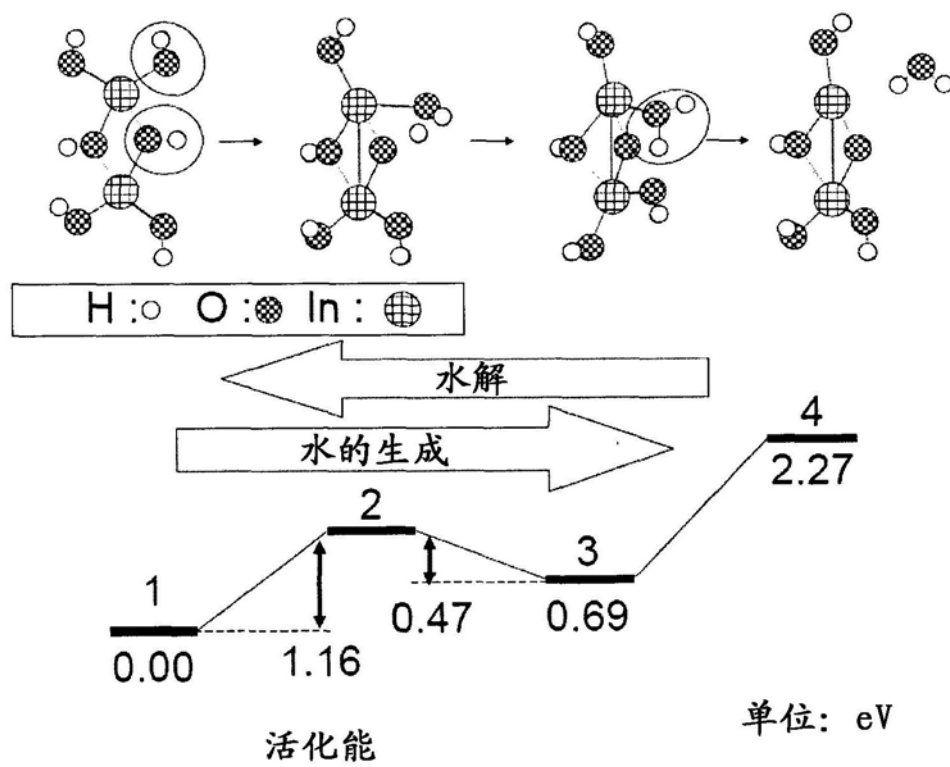


图40