

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication :
(A n'utiliser que pour les
commandes de reproduction).

2 526 612

A1

**DEMANDE
DE BREVET D'INVENTION**

(21) **N° 82 07756**

(54) Dispositif numérique de mesure de niveaux d'énergie en particulier pour annuleur d'écho.

(51) Classification internationale (Int. Cl.³). H 04 B 3/20; H 04 L 25/00.

(22) Date de dépôt 4 mai 1982.

(33) (32) (31) Priorité revendiquée :

(41) Date de la mise à la disposition du
public de la demande B.O.P.I. — « Listes » n° 45 du 10-11-1983.

(71) Déposant : THOMSON-CSF TELEPHONE, société anonyme. — FR.

(72) Invention de : Claude Jeannot, Philippe Patte et Jean-François Garin.

(73) Titulaire :

(74) Mandataire : P. Guiguet, Thomson-CSF, SCPI,
173, bd Haussmann, 75379 Paris Cedex 08.

DISPOSITIF NUMERIQUE DE MESURE DE NIVEAUX D'ENERGIE
EN PARTICULIER POUR ANNULEUR D'ECHO

La présente invention se rapporte à un dispositif numérique de mesure de niveaux d'énergie, en particulier pour annuleur d'écho.

5 On connaît d'après le brevet US N° 4 129 753 un dispositif (400) de mesure d'énergie pour annuleur d'écho comportant deux élévateurs au carré suivis d'un sommateur qui est lui-même suivi d'une cellule de retard. Ce dispositif connu ne permet pas de mesurer avec une bonne résolution l'énergie des signaux incidents et n'est pas prévu pour fonctionner en
10 temps partagé sur un grand nombre de voies. En outre, les résultats de mesure agissent en tout ou rien sur la vitesse de convergence de l'annuleur d'écho, et si l'un au moins des échantillons du signal incident est faux, le temps de convergence risque d'être fortement augmenté.

La présente invention a pour objet un dispositif numérique de
15 mesure de niveaux d'énergie présentant une grande résolution et pouvant calculer très rapidement pour permettre un fonctionnement en temps partagé sur un grand nombre de voies.

La présente invention a également pour objet un dispositif de mesure de niveaux d'énergie dans le dispositif commandant la vitesse de
20 convergence d'un annuleur d'écho.

Le dispositif de mesure conforme à la présente invention est précédé, le cas échéant, d'un circuit de transcodage fournissant des signaux sous forme numérique linéaire à partir de signaux numériques codés en code compressé, par exemple, et comporte un circuit d'élévation
25 au carré relié à une première entrée d'un circuit multiplicateur-accumulateur dont la seconde entrée est reliée à la sortie d'une mémoire morte contenant des coefficients d'atténuation, la sortie du circuit multiplicateur-accumulateur étant reliée à une mémoire vive et à un registre à bascules bistables dont la sortie est reliée, le cas échéant, à un circuit de
30 transcodage en valeurs de niveaux d'énergie, ladite mémoire vive étant par ailleurs reliée, par l'intermédiaire d'un dispositif d'interfaçage à ladite première entrée du circuit multiplicateur-accumulateur. Lorsque le circuit multiplicateur-accumulateur est un circuit à deux séries de m bornes

d'entrée, et que les résultats de mesures sont présentés sur un bus de sortie à n fils, n étant supérieur à m, mais inférieur ou égal à 2m, le dispositif d'interfaçage comporte un circuit à m portes à trois états dont les entrées sont reliées aux m bornes de sortie de poids forts du circuit multiplieur-accumulateur, et dont les sorties sont reliées à une série de m bornes d'entrée correspondantes du multiplieur-accumulateur, ce circuit à portes étant en parallèle avec un registre comportant m cellules dont les p cellules de poids faibles ($p = n - m$) ont leurs entrées reliées aux p bornes de sortie de poids immédiatement inférieurs auxdits poids forts des bornes de sortie déjà utilisées du multiplieur-accumulateur, les cellules restantes, si n est inférieur à 2m, du registre étant forcées à zéro, et les m + p bornes de sortie utilisées du multiplieur-accumulateur étant d'autre part reliées aux $n = m + p$ fils correspondants dudit bus de sortie.

Le circuit de transcodage comporte plusieurs mémoires mortes de transcodage reliées respectivement à des fils de poids forts du bus de sortie, à des fils de poids moyens de ce bus, et à des fils de poids faibles de ce bus, les sorties de ces mémoires mortes étant reliées en parallèle, les entrées CS et/ou \bar{CS} ("Chip Select") de ces mémoires étant reliées à un circuit de discrimination à deux mémoires mortes ou à deux circuits OU, dont les entrées sont respectivement reliées à des fils de poids forts et à des fils de poids moyens dudit bus de sortie, de façon à inhiber deux des trois mémoires de transcodage.

La présente invention sera mieux comprise à la lecture de la description détaillée d'un mode de réalisation pris comme exemple non limitatif et illustré par le dessin annexé, sur lequel :

- la figure 1 est un bloc-diagramme simplifié d'un annulateur d'écho comportant un dispositif de mesure conforme à l'invention ;
- la figure 2 est un bloc-diagramme d'un mode de réalisation préféré du dispositif de mesure de la figure 1, et
- la figure 3 est un bloc-diagramme d'un mode de réalisation préféré du circuit de transcodage en valeurs de niveaux du dispositif de la figure 2.

On a représenté sur la figure 1 le bloc-diagramme simplifié d'un annulateur d'écho comportant le dispositif de mesure de l'invention. Il est toutefois bien entendu que ce dispositif de mesure peut être branché de

façon différente dans l'annuleur d'écho, ou peut être utilisé dans un autre type d'annuleur d'écho, ou bien peut être utilisé dans un autre appareil dans lequel on doit produire un ou plusieurs signaux numériques représentant les énergies d'un ou plusieurs signaux.

- 5 L'annuleur d'écho représenté sur la figure 1 est du type décrit dans l'article de D.L.DUTTWEILER publié dans "IEEE Transactions on Communications", Vol. COM-26 n° 5 de mai 1978, avec toutefois quelques modifications qui apparaîtront à la lecture de la description ci-dessous.

L'annuleur d'écho 1 représenté sur la figure 1 est prévu pour 10 fonctionner en temps partagé sur trente-deux voies par exemple, mais pour simplifier le dessin et les explications, on ne décrira ici que le traitement d'une seule voie, étant entendu que pour un traitement en temps partagé sur plusieurs voies on prévoit des mémoires et des registres de capacité correspondante. L'annuleur d'écho 1 coopère, d'une part avec 15 un dispositif de transmission de signaux (non représenté), tel qu'un système de transmission par câble ou satellite associé le cas échéant à un autocommutateur, et d'autre part avec un hybride 2 fils/4 fils (non représenté) auquel est raccordé un abonné dit "abonné proche".

Le dispositif de transmission de signaux est relié aux bornes 2 et 3, 20 et l'hybride est relié aux bornes 4 et 5. Le signal arrivant sur la borne 2 depuis un abonné lointain par l'intermédiaire dudit système de transmission sera appelé par la suite "signal incident". Les échantillons se présentant sur les bornes 2, 5 et 3 sont respectivement notés X_n , Y_n , et ER_n .

25 La borne 2 est reliée à un dispositif de ligne à retard 6 dans lequel peuvent circuler N échantillons successifs du signal incident, le nombre N définissant l'ordre du filtre numérique à partir duquel est réalisé l'annuleur d'écho 1. Le dispositif 6 est, de préférence, une mémoire vive, cette mémoire étant alors reliée, de façon connue en soi, à un compteur 30 d'adressage (non représenté). La sortie du dispositif 6 est reliée à la fois à un convoluteur 7 et à une première entrée d'un corrélateur 8. La sortie du convoluteur 7 est reliée à une première entrée d'un soustracteur 10 dont l'autre entrée est reliée à la borne 5. La sortie du soustracteur 10 est reliée à la borne 3 et à l'entrée d'un dispositif de mesure 12. La borne 2 et

la borne 5 sont également reliées à l'entrée du dispositif de mesure 12 dont la sortie est reliée à l'entrée du dispositif 9 chargé d'effectuer la détection de double parole et de régler l'asservissement des coefficients du filtre numérique.

5 Le principe de fonctionnement de l'annuleur d'écho est bien connu en soi, et ne sera pas décrit ici. On précisera seulement qu'à la différence de l'annuleur d'écho connu d'après l'article précité, celui de la présente invention ne fonctionne pas en virgule flottante car il utilise dans le convoluteur un multiplicateur à virgule fixe, par exemple le multiplicateur-
10 accumulateur TRW n° TDC 1010J, l'intégrateur quadratique, décrit ci-dessous en référence à la figure 2, fonctionne également en virgule fixe.

Dans le cas où le dispositif 6 est, comme précisé ci-dessus, une mémoire vive, le décalage des différents échantillons successifs du signal incident se fait de façon fictive par permutation de l'adressage de cette
15 mémoire, comme indiqué par exemple dans la demande de brevet français n° 79 21 769. Si l'on veut que le filtre numérique de l'annuleur d'écho soit d'ordre élevé, on peut utiliser, pour le dispositif 6, plusieurs mémoires vives branchées en cascade, chacune de ces mémoires vives étant associée à un convoluteur et à un corrélateur, comme indiqué par exemple dans la
20 susdite demande de brevet français.

On va maintenant décrire en détail, en référence à la figure 2, le dispositif de mesure 12. Les bornes 2, 3 et 5 sont reliées, à l'intérieur de ce dispositif 12, par un multiplexeur 11, aux entrées d'adressage d'une ou de plusieurs mémoires mortes 13 d'élévation au carré, le nombre de ces
25 mémoires mortes dépendant de la capacité des mémoires utilisées et de la largeur des mots numériques traités. Dans le présent exemple, on utilise deux mémoires en parallèle, présentant ainsi seize sorties. Les sorties des mémoires 13 sont reliées, par un bus 14, à l'une des deux entrées, référencée 15A, d'un multiplicateur-accumulateur 15, qui est dans le présent
30 exemple le circuit intégré TDC 1010J de TRW. L'autre entrée, référencée 15B, du multiplicateur-accumulateur 15 est reliée par un bus 16 aux sorties d'un ensemble de mémoires mortes 17 dans lesquelles sont mémorisés des coefficients d'atténuation permettant d'effectuer une intégration de niveaux de signaux incidents de la façon expliquée ci-dessous. Dans le

présent exemple, l'ensemble de mémoires 17 comporte deux mémoires mortes branchées en parallèle et présentant ainsi seize sorties. Les sorties des mémoires 17 sont reliées à l'autre entrée du multiplicateur-accumulateur 15.

5 Les sorties du multiplicateur-accumulateur 15 sont reliées par un bus 18 à une mémoire vive 19 et à un registre 20. La mémoire vive 19 est d'autre part reliée, par le bus 18, et via un dispositif d'interfaçage 21, au bus 14. Dans le présent exemple, le dispositif 21 comporte un ensemble 22 de seize portes à trois états reliées aux seize fils de poids forts du bus 18,
10 et un registre 23 à seize cellules dont les huit cellules de poids forts sont forcées à zéro et dont les entrées des huit autres cellules sont reliées aux huit fils de poids faibles du bus 18, les seize sorties du registre 23 étant reliées au bus 14.

Toujours dans le présent exemple de réalisation, ledit circuit
15 TDC 1010J comporte deux sorties 15C et 15D qui correspondent respectivement aux seize éléments binaires de poids forts et aux seize éléments binaires de poids faibles du résultat de multiplication-accumulation. Les seize bornes de la sortie 15C sont reliées aux seize fils de poids forts du bus 18 à vingt-quatre fils, tandis que la sortie 15D est reliée, intégrièrement au circuit, comme symbolisé par le trait interrompu 24, à l'entrée 15B, et donc au bus 16 qui a seize fils. Bien entendu, les résultats apparaissant sur la sortie 15D sont multiplexés de façon connue en soi avec les coefficients venant des mémoires 17. Les huit fils de poids forts du bus 16 sont reliés via un ensemble 25 de huit portes à trois états aux huit fils de poids faibles du bus 18. Toutefois, il est bien entendu que si l'on disposait d'un multiplicateur-accumulateur à vingt-quatre sorties accessibles de l'extérieur, le dispositif 21 ne comporterait qu'un ensemble de vingt-quatre portes à trois états, l'ensemble 25 de portes serait supprimé, le fonctionnement du dispositif 12 en serait simplifié d'autant, et les
25 mémoires 17 ne devraient plus contenir que deux sortes de coefficients, comme il apparaîtra à la lecture des explications ci-dessous. De même, si l'on se contentait d'une moins bonne résolution pour le résultat de mesure, en n'utilisant au maximum que les seize sorties de poids forts du circuit 15, le bus 18 pourrait être à seize fils, et on pourrait supprimer les
30

éléments 23 et 25.

Les sorties du registre 20 sont reliées par un bus 26 à un circuit 27 de transcodage en valeurs de niveaux d'énergie dont la sortie est référencée 28.

5 On a représenté sur la figure 3 un mode de réalisation préféré du circuit 27. Sur cette figure 3, on a figuré par un rectangle 29 l'arrivée du bus 26 à l'entrée du circuit 27. Ce rectangle 29 symbolise la rangée des poids respectifs des fils du bus 26, pris dans l'ordre décroissant de gauche à droite. Dans le présent exemple, le bus 26 a vingt-quatre fils (de poids 10 2^0 à 2^{23}). Les dix fils de poids les plus faibles (2^0 à 2^9) sont reliés aux entrées d'adressage d'une mémoire morte 30 de codage de niveaux faibles. Onze fils de poids moyens (par exemple de 2^6 à 2^{16}) sont reliés aux entrées d'adressage d'une mémoire morte 31 de codage de niveaux moyens, et les onze fils de poids les plus élevés (2^{13} à 2^{23}) sont reliés aux 15 entrées d'adressage d'une mémoire morte 32 de codage de niveaux élevés. En outre, sept fils de poids les plus élevés (2^{17} à 2^{23}) sont reliés à un circuit 33 à fonction OU, et les sept fils de poids immédiatement inférieurs (2^{10} à 2^{16}) sont reliés à un circuit 34 à fonction OU. La sortie du circuit 33 est reliée à l'entrée CS ("Chip Select" ou validation) de la 20 mémoire 32 et aux entrées CS (inhibition) des mémoires 31 et 30. La sortie du circuit 34 est reliée à l'entrée CS de la mémoire 31 et à l'entrée CS de la mémoire 30. Les circuits précités à fonction OU peuvent être des mémoires mortes.

Les sorties des mémoires 30, 31 et 32 sont reliées à la sortie 28 par 25 un bus commun 35 comportant, dans le présent exemple, huit fils.

On va maintenant expliquer le fonctionnement du mode de réalisation préféré du dispositif de mesure décrit ci-dessus, le fonctionnement de l'annuleur d'écho étant connu en soi, ne sera rappelé que dans la mesure où il dépend du fonctionnement du dispositif de mesure.

30 Les trois échantillons X_n , Y_n et ER_n de signal numérique codé, en code compressé sur huit éléments binaires dans le présent exemple, se présentent au rythme des trames MIC, toutes les 3,9 microsecondes. Les mémoires 13 assurent à la fois la décompression des échantillons d'entrée et leur élévation au carré. Dans le présent exemple, en tenant compte du

demi-pas de quantification lors de la décompression des signaux, on présente les résultats d'élévation au carré sur vingt-quatre éléments binaires. Les échantillons X_n , Y_n et ER_n d'une même voie vont être traités successivement dans le dispositif de mesure 12. L'échantillon X_n , par exemple, se présentant à l'instant t_n est élevé au carré par le circuit 13. La sortie du circuit 13, présente, pour une première page mémoire, les seize éléments binaires de poids les plus élevés du résultat, et pour une seconde page mémoire les huit éléments binaires de poids faibles précédés de huit zéros. Les seize éléments binaires de poids forts du mot x_n^2 produit à la sortie des mémoires 13 sont envoyés au registre d'entrée correspondant (rélié à l'entrée 15A) du circuit 15, l'autre registre d'entrée (rélié à l'entrée 15B) du circuit 15 recevant des mémoires 17 adressées de façon connue en soi, sous la commande d'un séquenceur (non représenté), le coefficient 2^{-C} (pour les poids forts), dont la valeur et la signification sont données ci-dessous.

Dès que le circuit 15 reçoit dudit séquenceur un signal d'horloge approprié, il effectue la multiplication mutuelle des deux mots inscrits dans ses deux registres d'entrée, et les envoie dans son accumulateur. La partie de poids faibles du mot x_n^2 est ensuite présentée à l'entrée 15A du circuit 15, l'entrée 15B recevant des mémoires 17 le coefficient 2^{-C} (poids faibles). Le résultat de cette seconde multiplication est additionné au précédent et rangé à nouveau dans l'accumulateur du circuit 15. Ensuite, ledit séquenceur commande l'adressage lecture des mémoires vives 19 pour lire le précédent résultat de mesure provenant du circuit 15 et relatif au précédent signal incident. Bien entendu, si l'instant t_n est l'instant initial, c'est-à-dire l'instant où arrive le premier échantillon du signal incident, le contenu des mémoires 19 est nul ou rendu tel. Le mot lu dans les mémoires 19 a vingt-quatre éléments binaires ; les seize éléments binaires de poids les plus élevés passent par les portes 22 rendues passantes par ledit séquenceur et arrivent au registre d'entrée correspondant du circuit 15, tandis que les huit autres éléments binaires sont inscrits dans le registre 23. Ce registre 23 a seize cellules, lesdits huit autres éléments binaires sont inscrits dans les huit cellules de poids les plus faibles, tandis que les huit autres cellules sont forcées à zéro. Le

circuit 15 reçoit, en même temps que lesdits seize éléments binaires de poids forts provenant des mémoires 19, un coefficient ($1-2^{-C}$) des mémoires 17. Un autre signal d'horloge suivant commande la lecture des registres d'entrée du circuit 15 et donc la multiplication mutuelle de leurs contenus respectifs qui sont aussitôt envoyés dans son accumulateur pour être ajoutés au précédent résultat de multiplication. Un signal d'horloge suivant est envoyé au registre 23 qui envoie son contenu (seize éléments binaires dont les huit de poids forts sont nuls) au registre correspondant du multiplicateur-accumulateur 15 qui reçoit dans son autre registre d'entrée, depuis les mémoires 17, le coefficient précité ($1-2^{-C}$). Au signal d'horloge suivant, le circuit 15 effectue la multiplication mutuelle des contenus de ses registres d'entrée et envoie le résultat dans son accumulateur, ce résultat étant additionné au résultat obtenu précédemment et gardé dans l'accumulateur du circuit 15. A un signal d'horloge suivant, le contenu dudit accumulateur est envoyé sur le bus 18, en particulier vers les mémoires 19 et vers le registre 20 qui mémorisent ce contenu à un signal d'horloge suivant. Ledit contenu mémorisé dans les mémoires 19 sera traité, de la manière décrite ci-dessus, en tant que "précédent résultat" au cours du traitement de l'échantillon arrivant à l'instant d'échantillonnage t_{n+1} immédiatement postérieur à l'instant t_n , tandis que le contenu mémorisé dans le registre 20 est ensuite converti par les mémoires 27 pour fournir une valeur, par exemple en dBm0, sur la borne 28.

Les formats des mots intervenant dans les quatre multiplications effectuées par le circuit 15 peuvent varier suivant les applications, mais les quatre résultats de multiplication doivent être cadrés selon le même format, c'est-à-dire qu'ils doivent être cohérents entre eux afin de permettre les accumulations successives dans l'accumulateur du circuit 15.

On va décrire ci-dessous, à titre d'exemple, un format pouvant être utilisé dans le cas de l'application à un annuleur d'écho.

Les nombres présentés, sur le bus 14, à l'entrée 15A à seize éléments binaires du circuit 15, comportent seize éléments binaires. Le résultat de la multiplication mutuelle de deux nombres de seize éléments

binaires chacun comporte trente-deux éléments binaires au maximum. Etant donné que le bus 18 n'est prévu que pour vingt-quatre éléments binaires, on néglige les huit éléments binaires de poids les plus faibles du résultat de la multiplication. C'est pour cette raison que parmi les seize fils du bus 16 (fils reliés à la fois à l'entrée 15B et à la sortie 15D), seuls les huit fils de poids forts sont reliés via l'ensemble de portes 25 aux huits fils de poids faibles du bus 18. Dans le présent exemple, on attribue aux vingt-quatre fils du bus 18 les poids 2^0 à 2^{23} respectivement.

On attribue aux éléments binaires de X_n^2 de poids forts (produit sur la page 1 des mémoires 13) les poids 8 à 23 respectivement, et aux éléments binaires de X_n^2 de poids faibles les poids 0 à 15. En conséquence le coefficient 2^{-C} sera représenté sur le format $(2^{-16}, 2^{-1})$ pour le premier produit et sur le format $(2^{-8}, 2^{-7})$ pour le second produit. Ainsi le résultat de ces deux multiplications $X_n^2 \cdot 2^{-C}$ pourra avoir des valeurs limitées à 2^{-8} en poids faibles et 2^{23} en poids forts. Le résultat de ces deux multiplications est stocké dans l'accumulateur du circuit 15.

Le résultat de mesure d'énergie précédent temporairement stocké dans les mémoires 19, et relatif au précédent signal incident x_{n-1} (au moment du traitement de x_n), est défini sur vingt-quatre éléments binaires. Soient E_{n-1} et e_{n-1} les valeurs respectives de la partie représentée par les seize éléments binaires de poids forts et par la partie représentée par les huit éléments binaires de poids faibles de ce résultat précédent qui est délimité par 2^0 et 2^{23} par hypothèse.

Au cours de la troisième multiplication effectuée par le circuit 15, la valeur E_{n-1} est multipliée par $(1-2^{-C})$. La valeur de E_{n-1} est délimitée par 2^8 et 2^{23} , et la valeur de $(1-2^{-C})$ est délimitée, tout comme celle de 2^{-C} , par 2^{-1} et 2^{-16} . Par conséquent, le résultat de cette troisième multiplication est délimité par 2^{-8} et 2^{23} . Le résultat de cette troisième multiplication peut donc être ajouté au résultat des deux premières multiplications dans le circuit 15.

Au cours de la quatrième multiplication effectuée par le circuit 15, la valeur e_{n-1} , limitée par 2^0 et 2^7 , à laquelle le circuit 23 ajoute huit éléments binaires nuls allant de 2^8 à 2^{15} (ce qui fait bien au total seize éléments binaires de 2^0 à 2^{15}) est multipliée par $(1-2^{-C})$. Cependant, pour

obtenir les mêmes limites que précédemment pour le résultat de multiplication (afin de pouvoir additionner ce quatrième résultat aux trois premiers), il faut changer les limites du coefficient $(1-2^{-C})$. La limite inférieure de ce coefficient doit être 2^{-8} pour que la limite inférieure du résultat reste 2^{-8} . Cette limitation n'est pas abusive, car elle conduit à supprimer les valeurs de résultat allant de 2^{-9} à 2^{-16} qui peuvent être effectivement considérées comme négligeables. Par conséquent, les valeurs de $(1-2^{-C})$ utilisées pour la quatrième multiplication vont de 2^{-1} à 2^{-8} seulement et sont présentées sur les huit sorties de poids faibles des mémoires 17, alors que ces mêmes valeurs utilisées pour la troisième multiplication sont présentées sur les huit autres sorties de poids forts des mémoires 17. En outre, pour la quatrième multiplication, on présente bien entendu à chaque fois des "0" sur les huit sorties de poids forts des mémoires 17 puisque, par hypothèse, les valeurs de 2^{-C} étant comprises entre 2^{-1} et 2^{-8} , $(1-2^{-C})$ est toujours inférieur à 1. Enfin, le quatrième résultat de multiplication est ajouté, dans le circuit 15, à la somme des deux premiers, et le résultat final, à savoir ;

$$x_n^2 \cdot 2^{-C} + E_{n-1}^2 (1-2^{-C}) + e_{n-1}^2 (1-2^{-C})$$

est envoyé, sur le bus 18, aux mémoires 19 et au registre 20. Ce résultat final est limité par 2^0 et 2^{23} , c'est-à-dire que les huit sorties de poids les plus faibles (2^{-1} à 2^{-8}) du circuit 15 ne sont pas prises en considération.

Dans l'exemple décrit ci-dessus, le format $(2^{23}, 2^0)$ choisi pour représenter l'énergie permet des mesures de niveaux compris entre + 3,14 dBm0 et -66 dBm0.

Cependant, dans un autre exemple, on peut choisir pour le terme x_n^2 les limites $(2^{19}, 2^0)$, c'est-à-dire que toute valeur de x_n^2 supérieure à $(2^{20} - 2^0)$ est remplacée par cette même valeur maximale, ce qui est facile à réaliser puisque l'élévation au carré de x_n est effectuée par des mémoires mortes. Dans ce cas, le format de l'énergie toujours représentée sur vingt-quatre éléments binaires est $(2^{19}, 2^{-4})$. La plage de codage est alors comprise entre -6 dBm0 et -78 dBm0, en sachant que le niveau -6 dBm0 représente un niveau de signal supérieur ou égal à -6 dBm0 et que le niveau -78 dBm0 un niveau inférieur ou égal à -78 dBm0.

Le coefficient 2^{-C} est déterminé expérimentalement pour assurer un

compromis entre une intégration sur une période suffisamment longue de l'énergie du signal mesuré et une adaptation suffisamment fidèle aux variations de niveau de ce signal.

- Si on appelle $x_n, x_{n+1}, x_{n+2}, \dots$ les différents échantillons successifs du signal incident, le dispositif 12 fournit successivement à l'entrée du registre 20 les valeurs suivantes, en supposant que le contenu de la mémoire 19 est nul à l'arrivée de x_n :
- 5 - à l'arrivée de $x_n : x_n^2 \cdot 2^{-c}$
- 10 - à l'arrivée de $x_{n+1} : x_n^2 \cdot 2^{-c} \cdot (1-2^{-c}) + x_{n+1}^2 \cdot 2^{-c}$
- 15 - à l'arrivée de $x_{n+2} : x_n^2 \cdot 2^{-c} (1-2^{-c})^2 + x_{n+1}^2 \cdot 2^{-c} (1-2^{-c}) + x_{n+2}^2 \cdot 2^{-c}$
etc ...

On voit donc qu'au fur et à mesure de l'arrivée de nouveaux échantillons, la valeur ($x_n^2 \cdot 2^{-c}$) représentative de la puissance instantanée du signal incident à l'arrivée de l'échantillon x_n , est de plus en plus atténuée alors que la valeur ($x_n^2 \cdot 2^{-c}$) correspondant aux échantillons de rang m les plus récents, est peu atténuée. En effet, même si le nombre 2^{-c} est petit (par exemple 2^{-5}), l'expression $(1-2^{-c})$, qui multiplie la valeur ($x_n^2 \cdot 2^{-c}$), et qui est élevée à la puissance $(m-1)$ à l'arrivée de 20 l'échantillon x_{n+m} , vaut environ 0,5 pour $m = 23$ et environ 0,1 pour $m = 73$ (pour $c = 5$). Par conséquent, à un instant donné, quelques millisecondes après l'arrivée du premier échantillon, le dispositif 12 fournit à l'entrée du registre 20 un signal représentant l'intégrale "actualisée" de l'énergie du signal incident. Cette valeur d'énergie est une intégrale 25 actualisée du fait que tous les échantillons du signal incident circulent sans cesse dans l'accumulateur du circuit 15, mais sont atténués à chaque tour, les plus anciens étant les plus atténués, et du fait que le résultat tient compte assez rapidement d'une brusque et forte variation du signal incident.

30 En effet, si à partir d'un premier échantillon et pendant cent échantillons par exemple (c'est-à-dire pendant 12,5 ms à une fréquence d'échantillonnage de 8 kHz) le niveau du signal incident a une valeur v , la valeur du signal sur la borne 20 tend vers v^2 , et si brusquement au 101^{ème} échantillon le niveau du signal incident passe à la valeur nv pour s'y

maintenir, on recueille à l'entrée du registre 20 un signal de valeur $v^2 + 1/32(n^2v^2)$ environ à l'arrivée du 102^{ème} échantillon, et la valeur de ce signal tend vers n^2v^2 si le niveau du signal incident se maintient à la valeur nv pendant une centaine d'échantillons ou plus. Si le niveau du 5 signal incident revient rapidement, (par exemple au bout de quelques échantillons), à la valeur y , la valeur du niveau du signal à l'entrée du registre 20 revient rapidement aussi à v^2 . On a donc bien une intégration du signal incident.

Dans le dispositif codeur de la figure 3, les trois mémoires 30 à 32 10 assurent le codage proprement dit, tandis que les deux mémoires 33 et 34 sélectionnent l'une des trois premières mémoires en fonction du niveau à coder. Le contenu des mémoires 30 à 32 dépend du pas de codage choisi et de la représentation des nombres codés.

Dans un exemple de réalisation, les mémoires 30 à 34 ont une 15 capacité de 2k octets, et les résultats de codage (niveaux d'énergie) sont représentés par un mot de huit éléments binaires. Par conséquent, 256 valeurs codées sont donc possibles ("00" à "FF" en notation hexadécimale). Dans ledit exemple de réalisation, le pas de codage étant de 0,25 dB, la plage de codage va de -6 dBm0 à -69,75 dBm0. On notera que pour les 20 niveaux faibles, le pas de codage est augmenté en fonction du nombre d'éléments binaires significatifs représentant l'énergie en codage linéaire. Ainsi, à partir de -60 dBm0 par exemple, le pas augmente progressivement de 0,25 dB à 3 dB pour l'écart entre les deux dernières valeurs codées. Le niveau -6 dBm0, codé "FF" en hexadécimal, représente donc tous les 25 niveaux supérieurs ou égaux à cette valeur, tandis que le niveau -69,75 dBm0, codé "00" représente tous les niveaux inférieurs ou égaux à cette valeur. Cette représentation sans signe des niveaux codés a été choisie du fait que tous les niveaux sont négatifs et qu'elle permet d'utiliser toutes les 256 valeurs de codage possibles.

30 On remarquera enfin que les deux mémoires mortes 33 et 34 remplissent la fonction d'une porte OU à sept entrées dans l'exemple précédent.

REVENDEICATIONS

1. Dispositif numérique de mesure de niveaux d'énergie, en particulier pour annuleur d'écho, précédé, le cas échéant, d'un circuit de transcodage fournissant des signaux sous forme numérique linéaire à partir de signaux numériques codés en code compressé par exemple,
- 5 caractérisé par le fait qu'il comporte un circuit d'élévation au carré (13) relié à une première entrée (15A) d'un circuit multiplicateur-accumulateur (15) dont la seconde entrée (15B) est reliée à la sortie d'une mémoire morte (17) contenant des coefficients d'atténuation, la sortie du circuit multiplicateur-accumulateur étant reliée à une mémoire vive (19) et à un
- 10 registre à bascules bistables (20) dont la sortie est reliée, le cas échéant, à un circuit de transcodage (27) en valeurs de niveaux d'énergie, ladite mémoire vive étant par ailleurs reliée, par l'intermédiaire d'un dispositif d'interfaçage (21) à ladite première entrée du circuit multiplicateur-accumulateur.
- 15 2. Dispositif selon la revendication 1, dans lequel le circuit multiplicateur-accumulateur est un circuit à deux séries de m bornes d'entrée, et dans lequel les résultats de mesures sont présentés sur un bus de sortie à n fils (18), n étant supérieur à m, mais inférieur ou égal à 2m, caractérisé par le fait que le dispositif d'interfaçage (21) comporte un
- 20 circuit à m portes à trois états (22) dont les entrées sont reliées aux n bornes de sortie de poids forts du circuit multiplicateur-accumulateur, et dont les sorties sont reliées à une série de n bornes d'entrées correspondantes du multiplicateur-accumulateur, ce circuit à portes étant en parallèle avec un registre (23) comportant m cellules dont les p cellules de
- 25 poids faibles (p = n - m) ont leurs entrées reliées aux p bornes de sortie de poids immédiatement inférieurs auxdits poids forts des bornes de sortie utilisées du multiplicateur-accumulateur, les cellules restantes, si n est inférieur à 2m, du registre étant forcées à zéro, les m + p bornes de sortie utilisées du multiplicateur-accumulateur étant d'autre part reliées aux
- 30 n = m + p fils correspondants dudit bus de sortie.
3. Dispositif selon la revendication 2, dans lequel le multiplicateur-accumulateur est un circuit du type TDC 1010J à deux fois seize entrées

et trente-deux sorties dont vingt-quatre sorties sont utilisées, et dont les seize bornes de sortie de poids faibles (15D) sont reliées intérieurement (24) à une série de seize bornes d'entrées, caractérisé par le fait que le circuit d'interfaçage, qui comporte donc seize portes à trois états en parallèle avec un registre à seize cellules dont les huit cellules de poids forts sont forcées à zéro, est relié par sa sortie à la série d'entrées (15A) du multiplicateur-accumulateur non reliées intérieurement à des sorties du multiplicateur-accumulateur, et par le fait que les huit bornes d'entrées de poids forts de l'autre série de seize bornes d'entrées (15B) du multiplicateur-accumulateur sont reliées par un circuit à huit portes à trois états aux huit fils de poids faibles dudit bus de sortie (18).

4. Dispositif selon l'une quelconque des revendications précédentes, caractérisé par le fait que le circuit de transcodage (27) comporte plusieurs mémoires mortes de transcodage reliées respectivement à des fils de poids forts (32) du bus de sortie, à des fils de poids moyens (31) de ce bus, et à des fils de poids faibles (30) de ce bus, les sorties de ces mémoires mortes étant reliées en parallèle (28), les entrées CS et/ou CS ("Chip Select") de ces mémoires étant reliées à un circuit de discrimination à deux mémoires mortes (33 et 34) ou à deux circuits OU, dont les entrées sont respectivement reliées à des fils de poids forts et à des fils de poids moyens dudit bus de sortie, de façon à inhiber deux des trois mémoires de transcodage.

1/3

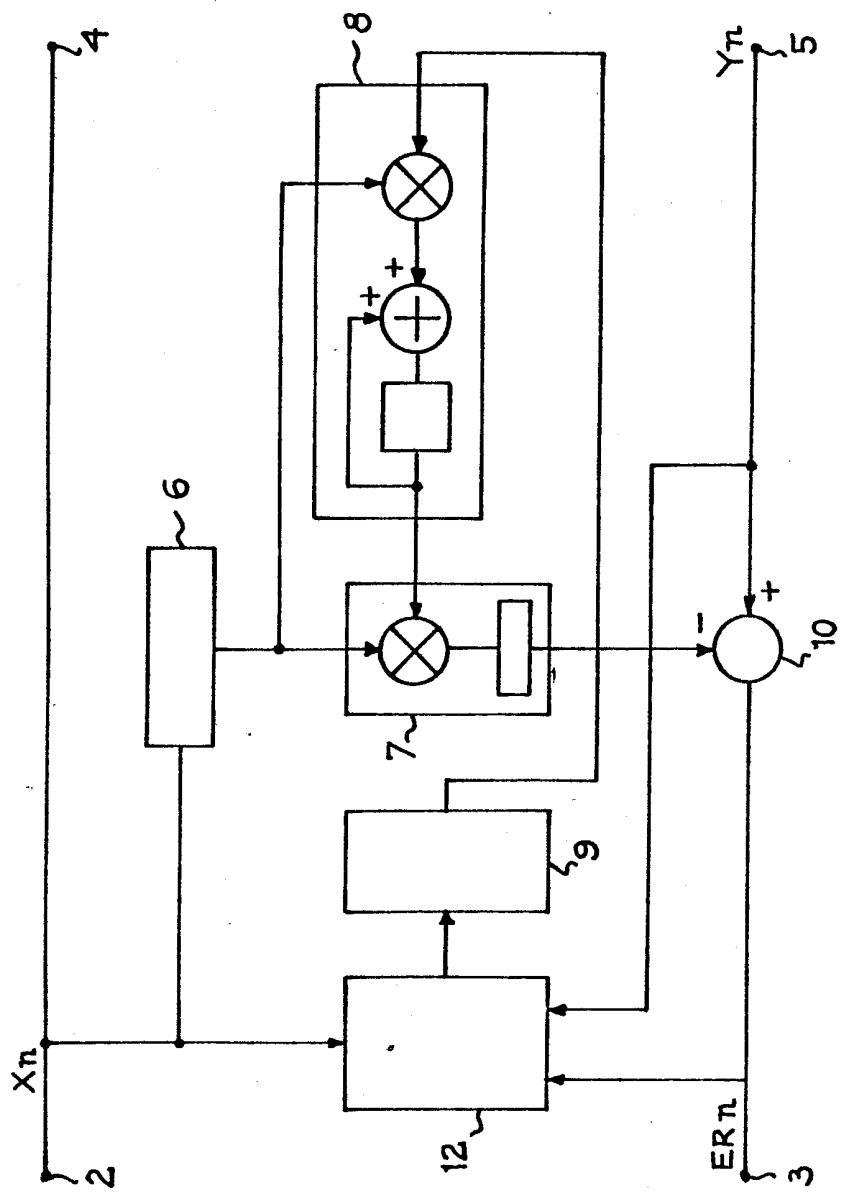


Fig. 1

2/3

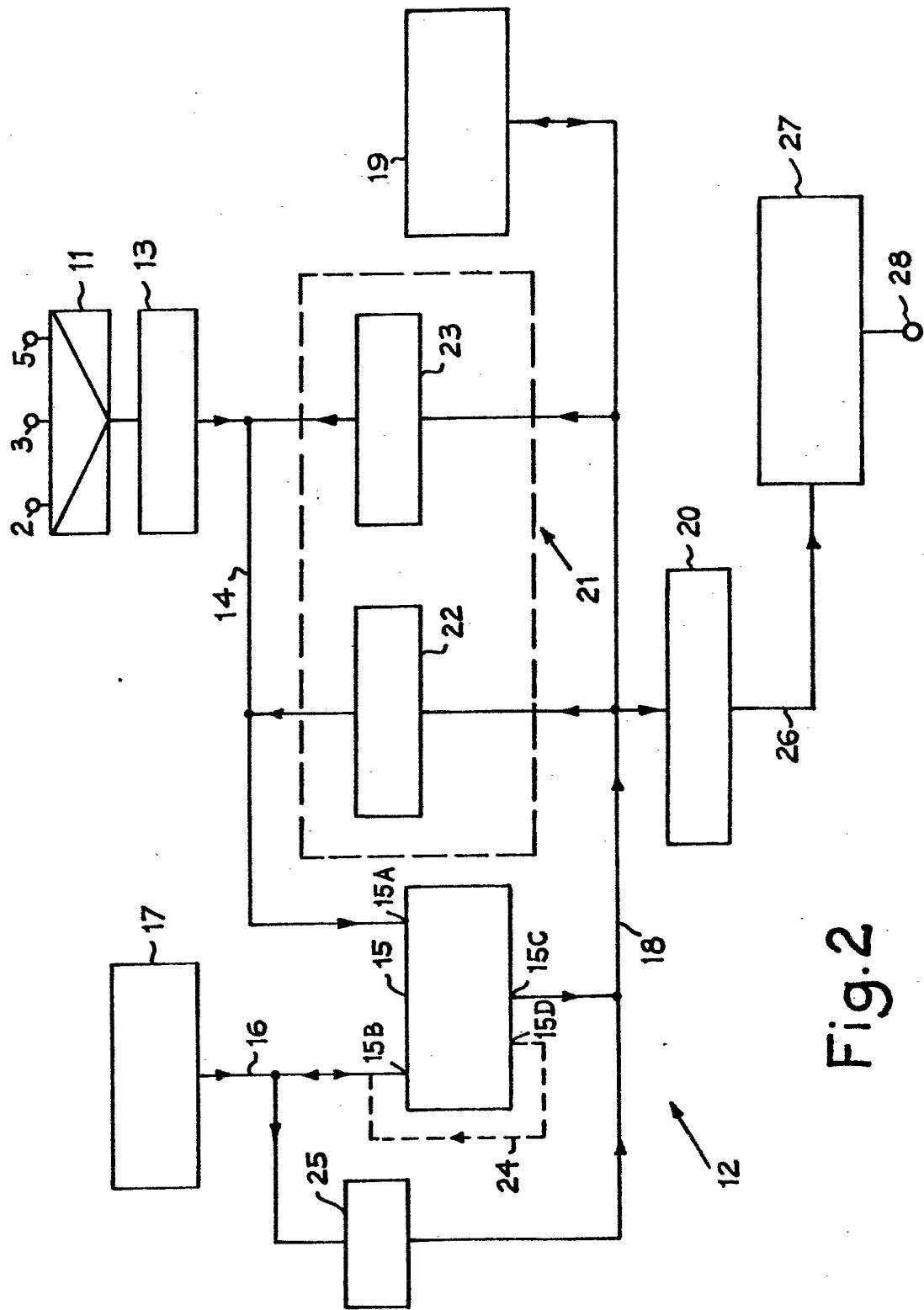


Fig. 2

3/3

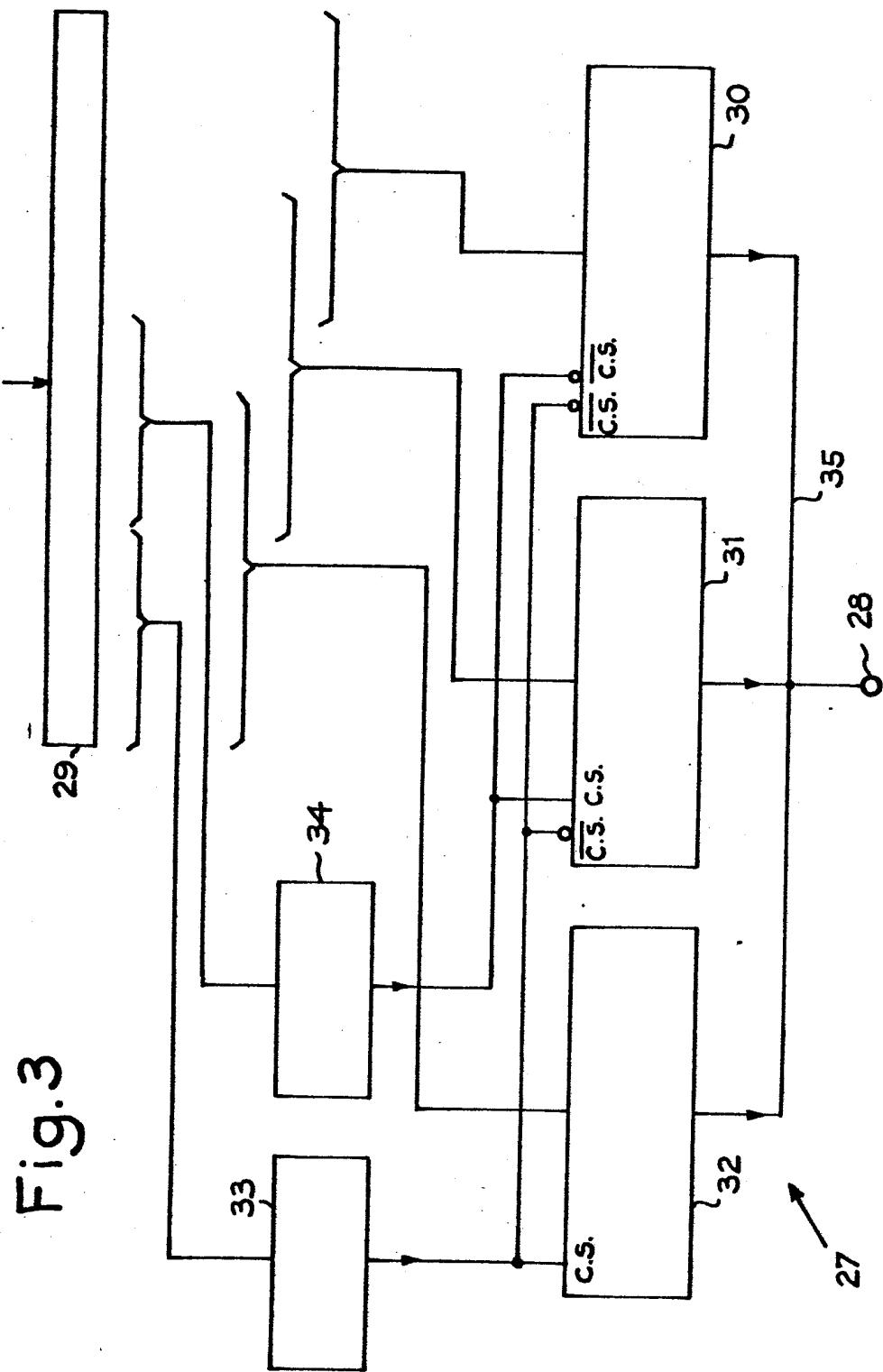


Fig. 3