

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 3 月 4 日 (04.03.2021)



(10) 国际公布号
WO 2021/035944 A1

(51) 国际专利分类号:
H01L 27/32 (2006.01)

(21) 国际申请号: PCT/CN2019/115393

(22) 国际申请日: 2019 年 11 月 4 日 (04.11.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910781432.3 2019 年 8 月 23 日 (23.08.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 刘建欣 (LIU, Jianxin); 中国广东省深圳市光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道高新区社区高新南一道 006 号 TCL 工业研究院大厦 A802, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: ARRAY SUBSTRATE AND DISPLAY PANEL

(54) 发明名称: 一种阵列基板及显示面板

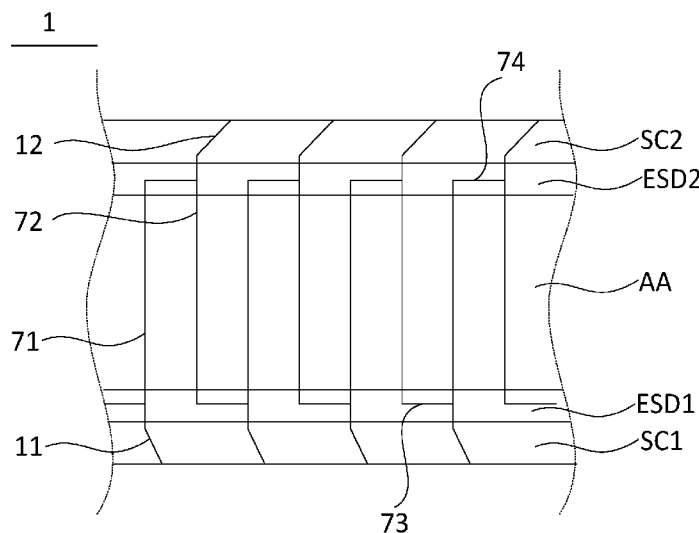


图 2

(57) Abstract: Provided are an array substrate and a display panel. The array substrate comprises: a plurality of first power source lines and a plurality of second power source lines respectively connected to power source lines in corresponding fan-out regions, wherein the first power source lines and the second power source lines are arranged in a parallel and staggered manner in a display region, and at least one first power source line and an adjacent second power source line are connected in an anti-static region, thereby alleviating the problems of a voltage drop and a line defect caused by single-sided driving of the first power source line and the second power source line.

(57) 摘要: 本申请提供一种阵列基板及显示面板, 其阵列基板包括: 多条第一电源线和多条第二电源线, 分别于对应扇出区内的电源线连接, 在显示区第一电源线和第二电源线平行且交错设置, 其中至少一第一电源线与相邻的第二电源线在防静电区连接, 缓解了第一电源线和第二电源线因单边驱动导致电压降和线缺陷的问题。



WO 2021/035944 A1

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告 (条约第21条(3))。

一种阵列基板及显示面板

技术领域

[0001] 本申请涉及显示技术领域，尤其涉及一种阵列基板及显示面板。

背景技术

[0002] 随着显示面板朝着大尺寸、高分辨率发展，原有的源极COF单边驱动已不能满足需求，需设计成双边绑定源极COF的方式进行驱动设计。这种设计方式，电源线随着逐渐远离源极COF，电压降逐渐明显，从而影响发光亮度的均匀性。而且当电源线发生短路时，修补镭射切断后，远离源极COF端的电源线无法供给电压，会导致严重的线缺陷。

[0003] 因此，现有显示装置电源线存在电压降和线缺陷的问题需要改进。

发明概述

技术问题

[0004] 本申请提供一种阵列基板及显示面板，以缓解现有显示装置电源线存在电压降和线缺陷的技术问题。

问题的解决方案

技术解决方案

[0005] 为解决上述问题，本申请提供的技术方案如下：

[0006] 本申请实施例提供一种阵列基板，其包括：

[0007] 第一扇出区；

[0008] 第二扇出区，与所述第一扇出区位于所述阵列基板的相对两端；

[0009] 多条第一电源线，与所述第一扇出区内的电源线连接；

[0010] 多条第二电源线，与所述第二扇出区内的电源线连接；

[0011] 在显示区内，第一电源线与第二电源线平行且交错设置；

[0012] 其中，至少一第一电源线与相邻的第二电源线连接。

[0013] 在本申请实施例提供的阵列基板中，所述阵列基板还包括第一防静电区，所述第一防静电区位于所述第一扇出区和所述显示区之间，所述第一防静电区形成

有多条第一连接线；所述第一电源线通过所述第一连接线，与所述第二电源线连接。

[0014] 在本申请实施例提供的阵列基板中，所述第一连接线由源漏极层图案化形成。

[0015] 在本申请实施例提供的阵列基板中，所述第一防静电区还形成有多条第二连接线，所述第一电源线同时通过所述第一连接线和所述第二连接线，与所述第二电源线连接。

[0016] 在本申请实施例提供的阵列基板中，所述第二连接线由栅极层图案化形成。

[0017] 在本申请实施例提供的阵列基板中，所述第二连接线由像素电极层图案化形成。

[0018] 在本申请实施例提供的阵列基板中，所述第一防静电区还形成有第三连接线，所述第一电源线通过所述第三连接线，同时和相邻的两条第二电源线连接。

[0019] 在本申请实施例提供的阵列基板中，所述第三连接线由栅极层图案化形成。

[0020] 在本申请实施例提供的阵列基板中，所述第三连接线由像素电极层图案化形成。

[0021] 在本申请实施例提供的阵列基板中，所述阵列基板还包括第二防静电区，所述第二防静电区位于所述第二扇出区和所述显示区之间，所述第二防静电区形成有多条第四连接线；所述第一电源线通过所述第四连接线，与第二电源线连接。

[0022] 在本申请实施例提供的阵列基板中，所述第四连接线由源漏极层图案化形成。

[0023] 在本申请实施例提供的阵列基板中，所述第二防静电区还形成有多条第五连接线，所述第一电源线同时通过所述第四连接线和所述第五连接线，与所述第二电源线连接。

[0024] 在本申请实施例提供的阵列基板中，所述第五连接线由栅极层图案化形成。

[0025] 在本申请实施例提供的阵列基板中，所述第五连接线由像素电极层图案化形成。

[0026] 在本申请实施例提供的阵列基板中，所述第二防静电区还形成有第六连接线，所述第一电源线通过所述第六连接线，同时和相邻的两条第二电源线连接。

[0027] 在本申请实施例提供的阵列基板中，所述第六连接线由栅极层图案化形成。

[0028] 在本申请实施例提供的阵列基板中，所述第六连接线由像素电极层图案化形成。

[0029] 本申请实施例还提供一种显示面板，其包括本申请实施例提供的阵列基板。

[0030] 在本申请实施例提供的显示面板中，所述显示面板为OLED显示面板，所述OLED显示面板还包括：

[0031] 设置于所述阵列基板上的发光功能层；

[0032] 设置于所述发光功能层上的封装层。

[0033] 在本申请实施例提供的显示面板中，所述显示面板为液晶显示面板，所述液晶显示面板还包括：

[0034] 彩膜基板，和所述阵列基板对盒设置；

[0035] 液晶，设置于所述阵列基板和所述彩膜基板之间。

发明的有益效果

有益效果

[0036] 本申请提供一种阵列基板及显示面板，其阵列基板包括：多条第一电源线，与第一扇出区的电源线连接，多条第二电源线，与第二扇出区的电源线连接，在显示区第一电源线和第二电源线平行且交错设置，其中至少一第一电源线与相邻的第二电源线连接；本申请把至少一第一电源线及其相邻的第二电源线，在第一防静电区和第二防静电区连接起来，解决了电源线因单边驱动设计导致电压降过于严重，影响面板亮度均匀性问题，同时也解决了电源线短路镭射修补后导致严重线缺陷的问题。

对附图的简要说明

附图说明

[0037] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0038] 图1为本申请实施例提供的阵列基板上电源线走线结构示意图。

[0039] 图2为本申请实施例提供的阵列基板上防静电区电源线连接结构示意图。

- [0040] 图3为本申请实施例提供的在第一防静电区电源线的第一种连接方式。
- [0041] 图4为本申请实施例提供的在第一防静电区电源线的第二种连接方式。
- [0042] 图5为本申请实施例提供的在第一防静电区电源线的第三种连接方式。
- [0043] 图6为本申请实施例提供的在第一防静电区电源线的第四种连接方式。
- [0044] 图7为本申请实施例提供的在第一防静电区电源线的第五种连接方式。
- [0045] 图8为本申请实施例提供的OLED显示面板的阵列基板上电源线走线结构示意图。
- [0046] 图9为本申请实施例提供的OLED显示面板的膜层结构示意图。
- [0047] 图10为现有技术中显示装置的电源线走线结构示意图。
- [0048] 图11为本申请实施例提供的显示装置的电源线走线结构示意图。

发明实施例

本发明的实施方式

- [0049] 以下各实施例的说明是参考附加的图示，用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本申请，而非用以限制本申请。在图中，结构相似的单元是用以相同标号表示。
- [0050] 针对现有显示装置电源线存在电压降和线缺陷的技术问题，本申请实施例可以缓解。
- [0051] 在一种实施例中，如图1所示，为本实施例提供的一种阵列基板1的结构示意图，其包括：
- [0052] 第一扇出区SC1；
- [0053] 第二扇出区SC2，与所述第一扇出区SC1位于所述阵列基板1的相对两端；
- [0054] 多条第一电源线71，与所述第一扇出区SC1的电源线11连接；
- [0055] 多条第二电源线72，与所述第二扇出区SC2的电源线12连接；
- [0056] 在显示区AA内，第一电源线71和第二电源线72平行且交错设置；
- [0057] 其中，至少一第一电源线71和相邻的第二电源线72连接。
- [0058] 本实施例提供一种阵列基板，其阵列基板包括：多条第一电源线，与第一扇出

区的电源线连接，多条第二电源线，与第二扇出区的电源线连接，在显示区第一电源线和第二电源线平行且交错设置，其中至少一第一电源线与相邻的第二电源线连接；本申请把至少一第一电源线及其相邻的第二电源线，在第一防静电区和第二防静电区连接起来，缓解了第一电源线和第二电源线因单边驱动导致电压降和线缺陷的问题。

[0059] 在一种实施例中，如图2所示，所述阵列基板1还包括第一防静电区ESD1，所述第一防静电区ESD1位于所述第一扇出区SC1和显示区AA之间，所述第一防静电区ESD1形成有第一连接线21，第一电源线71通过所述第一连接线21，与第二电源线72连接。

[0060] 防静电区是利用二极管反接组成的静电释放组件对静电起到较好的防护作用，因显示装置在制备过程中，会积累静电，通过设置防静电区来释放这些静电，防止阵列基板发生静电损伤。

[0061] 在一种实施例中，防静电区包括薄膜晶体管，如图3所示，所述薄膜晶体管包括：

[0062] 衬底10；

[0063] 缓冲层20，设置于所述衬底10上；

[0064] 有源层30，设置于所述缓冲层20上；

[0065] 栅极绝缘层40，设置于所述有源层30及所述缓冲层20上；

[0066] 栅极层50，设置于所述栅极绝缘层40上；

[0067] 层间绝缘层60，设置于所述栅极层50及所述栅极绝缘层40上；

[0068] 源漏极层70，设置于所述层间绝缘层60上；

[0069] 平坦化层80，设置于所述源漏极层70及所述层间绝缘层60上；

[0070] 像素电极层90，设置于所述平坦化层80上。

[0071] 在一种实施例中，如图3所示，所述源漏极层通过曝光显影蚀刻工艺图案化形成源极、漏极外，还形成有所述第一连接线73；所述第一连接线73和所述第一电源线71与所述第二电源线72，在同一道曝光显影蚀刻工艺中形成；所述第一电源线71通过所述第一连接线73，与所述第二电源线72连接。

[0072] 在一种实施例中，所述第一防静电区ESD1还形成有第二连接线51，所述第一

电源线71同时通过所述第一连接线73和所述第二连接线51，与所述第二电源线72连接。

[0073] 在一种实施例中，如图4所示，所述第二连接线51由所述栅极层50图案化形成；所述栅极层50通过曝光显影蚀刻工艺图案化形成栅极的同时，形成有第二连接线51，所述第二连接线51与所述第一电源线71以及第二电源线72不同层，需要通过过孔连接。

[0074] 在一种实施例中，如图4所示，所述层间绝缘层60图案化形成第一过孔和第二过孔，所述第一过孔用于所述源漏极层70的所述源极和所述漏极，与所述有源层30的掺杂区连接；所述第二过孔用于所述第一电源线71以及所述第二电源线72，与所述第二连接线51连接。

[0075] 在一种实施例中，所述有源层30图案化形成有所述掺杂区外，还形成有沟道区，所述掺杂区是经所述栅极层50的所述栅极掩膜阻挡，对沟道区进行离子掺杂工艺形成。

[0076] 在一种实施例中，如图5所示，所述第二连接线51由所述像素电极层90图案化形成；所述像素电极层90图案化形成像素电极的同时形成有所述第二连接线51；所述第二连接线51与所述第一电源线71以及第二电源线72不同层，需要通过过孔连接。

[0077] 在一种实施例中，所述像素电极层的材料可以是透明电极材料或金属等。

[0078] 在一种实施例中，如图5所示，所述平坦化层80图案化形成有第三过孔和第四过孔，所述第三过孔用于所述像素电极和所述漏极连接，所述第四过孔用于所述第一电源线71以及所述第二电源线72，与所述第二连接线51连接。

[0079] 在一种实施例中，如图6所示，所述第一防静电区ESD1还形成有第三连接线52，所述第一电源线71通过所述第三连接线52，同时和相邻的两条第二电源线72连接。

[0080] 在一种实施例中，所述第三连接线52由所述栅极层50图案化形成，所述栅极层50通过曝光显影蚀刻工艺图案化形成栅极的同时，形成有第三连接线52，所述第三连接线52与所述第一电源线71以及所述第二电源线72不同层，需要通过过孔连接。

- [0081] 在一种实施例中，所述层间绝缘层60图案化形成第一过孔和第五过孔，所述第一过孔用于所述源漏极层70的所述源极和所述漏极，与所述有源层30的掺杂区连接；所述第五过孔用于所述第一电源线71以及相邻的两条所述第二电源线72，与所述第三连接线52连接。
- [0082] 在一种实施例中，如图7所示，所述第三连接线52由所述像素电极层90图案化形成；所述像素电极层90图案化形成像素电极的同时，形成有所述第三连接线52；所述第三连接线52与所述第一电源线71以及第二电源线72不同层，需要通过过孔连接。
- [0083] 在一种实施例中，所述平坦化层80图案化形成有第三过孔和第六过孔，所述第三过孔用于所述像素电极和所述漏极连接，所述第六过孔用于所述第一电源线71以及相邻的两条所述第二电源线72，与所述第三连接线52连接。
- [0084] 在一种实施例中，如图2所示，所述阵列基板1还包括第二防静电区ESD2，所述第二防静电区ESD2位于所述第二扇出区SC2和显示区AA之间，所述第二防静电区ESD2形成有多条第四连接线74，所述第一电源线71通过所述第四连接线74，与第二电源线72连接。
- [0085] 在一种实施例中，所述第四连接线可以由所述栅极层、所述源漏极层或所述像素电极层中的至少一层形成，具体形成方法参照上述所述第一防静电区的第一连接线、第二连接线和第三连接线的形成方法，在此不再赘述。
- [0086] 在一种实施例中，本实施例提供一种OLED显示面板，包括：
- [0087] 上述实施例所述的任一阵列基板；
- [0088] 形成于所述阵列基板上的发光功能层；
- [0089] 形成于所述发光功能层的封装层。
- [0090] 其中，所述阵列基板1包括，如图8所示：
- [0091] 第一扇出区SC1；
- [0092] 第二扇出区SC2，与所述第一扇出区SC1位于所述阵列基板1的相对两端；
- [0093] 多条第一电源线71，与所述第一扇出区SC1的电源线11连接；
- [0094] 多条第二电源线72，与所述第二扇出区SC2的电源线12连接；
- [0095] 在显示区AA内，第一电源线71和第二电源线72平行且交错设置；

- [0096] 第一防静电区ESD1，位于所述第一扇出区SC1和所述显示区AA之间；
- [0097] 第二防静电区ESD2，位于所述第二扇出区SC2和所述显示区AA之间；
- [0098] 其中，第一电源线71和相邻的第二电源线72通过所述第一防静电区ESD1和所述第二防静电区ESD2形成的连接线连接。
- [0099] 在一种实施例中，在第一防静电区形成有第五连接线，在第二防静电区形成有第六连接线。
- [0100] 在一种实施例中，所述第五连接线由所述第一防静电区的源漏极层图案化形成，第一电源线通过第五连接线与相邻的第二电源线连接。
- [0101] 在一种实施例中，所述第六连接线由所述第二防静电区的栅极层图案化形成；第一电源线以及相邻的两条第二电源线，同时通过所述第二防静电区的层间绝缘层形成的过孔，和所述第六连接线连接。
- [0102] 在一种实施例中，所述第六连接线由所述第二防静电区的像素电极层图案化形成；第一电源线以及相邻的两条第二电源线，同时通过所述第二防静电区的平坦化层形成的过孔，和所述第六连接线连接。
- [0103] 在一种实施例中，第一防静电区形成有第七连接线和第八连接线，第二防护区形成有第九连接线。
- [0104] 在一种实施例中，所述第七连接线由所述第一防静电区的源漏极层图案化形成，第一电源线通过第五连接线与相邻的第二电源线连接。
- [0105] 在一种实施例中，所述第八连接线由所述第一防静电区的栅极层图案化形成；第一电源线以及相邻第二电源线，通过所述第一防静电区的层间绝缘层形成的过孔，和所述第八连接线连接。
- [0106] 在一种实施例中，所述第八连接线由所述第一防静电区的像素电极层图案化形成；第一电源线以及相邻的第二电源线，通过所述第一防静电区的平坦化层形成的过孔，和所述第八连接线连接。
- [0107] 在一种实施例中，所述第九连接线由所述第二防静电区的源漏极层图案化形成，第一电源线通过第九连接线与相邻的第二电源线连接。
- [0108] 在一种实施例中，如图9所示，为所述 OLED显示面板的膜层结构示意图，包括所述阵列基板、所述发光功能层及所述封装层；所述阵列基板包括衬底10、

缓冲层20、有源层30、栅极层50、源漏极层70、像素电极层90，以及位于各金属线路层之间的绝缘层；所述发光功能层包括设置在像素电极层90上的发光材料层22，以及设置于发光材料层22上的阴极层23，还有设置于像素电极层90上的像素定义层22；所述封装层包括第一无机封装层31、有机封装层32和第二无机封装层33。

[0109] 在一种实施例中，所述第一无机封装层31和第二无机封装层33均可以采用化学气相沉积法(CVD)、物理气相沉积法(PVD)或原子层沉积法(ALD)的工艺方法在所述发光功能层上沉积。

[0110] 在一种实施例中，所述第一无机封装层31和第二无机封装层33的材料可以是氧化硅、氮化硅和氮氧化硅中的一种。

[0111] 在一种实施例中，所述有机封装层32可以通过喷墨打印、喷涂和涂布中的任一工艺涂覆在所述第一无机封装层31上。

[0112] 在一种实施例中，有机封装层32的材料可以为环氧系和丙烯酸系中的一种。

[0113] 在一种实施例中，本实施例提供一种液晶显示面板，其包括：

[0114] 上述实施例所述的任一阵列基板；

[0115] 设置于所述阵列基板上的彩膜基板；

[0116] 设置于所述阵列基板和彩膜基板之间的液晶层。

[0117] 其中，所述阵列基板包括，如图2所示：

[0118] 第一扇出区SC1；

[0119] 第二扇出区SC2，与所述第一扇出区SC1位于所述阵列基板1的相对两端；

[0120] 多条第一电源线71，与所述第一扇出区SC1的电源线11连接；

[0121] 多条第二电源线72，与所述第二扇出区SC2的电源线12连接；

[0122] 在显示区AA内，第一电源线71和第二电源线72平行且交错设置；

[0123] 第一防静电区ESD1，位于所述第一扇出区SC1和所述显示区AA之间；

[0124] 第二防静电区ESD2，位于所述第二扇出区SC2和所述显示区AA之间；

[0125] 其中，第一电源线71和相邻的第二电源线72通过所述第一防静电区ESD1和第二防静电区ESD2形成的连接线73/74连接。

[0126] 在一种实施例中，本实施例提供一种显示装置，所述显示装置包括：

[0127] 上述实施例所述的任一显示面板，以及设置于面板外围的驱动电路。

[0128] 现有技术中的OLED显示装置，随着显示技术的快速发展，OLED显示装置已成为目前平板显示装置的新宠，其具有自发光、响应速度快宽视角等诸多优点，因此得到了广泛的应用，亮度均匀性是影响显示屏显示效果的重要因素，而影响显示装置亮度均匀性的因素很多，例如常见的电压降（IR Drop）导致的。如图10所示，为OLED显示装置电源线（VDD）走线设计电路示意图，当OLED面板解析度提高到一定程度时，由于目前的绑定制程限制下电源线走线无法从单侧单边驱动，必须以双边绑定源极COF的方式进行驱动设计。这种设计方式，电源线随着逐渐远离源极COF，电压降逐渐明显，从而影响发光亮度的均匀性。而且在这种设计方式下，当电源线和横向的栅极线短路，修补镭射切断后会有该电源线远COF端侧无法供给电压问题，会导致严重的线缺陷不良；目前为解决这种线缺陷，常采用口字型修补设计，但该设计会影响一定开口率。

[0129] 在一种实施例中，本申请实施例提供的显示装置中的阵列基板包括，如图2所示：

[0130] 第一扇出区SC1；

[0131] 第二扇出区SC2，与所述第一扇出区SC1位于所述阵列基板1的相对两端；

[0132] 多条第一电源线71，与所述第一扇出区SC1的电源线11连接；

[0133] 多条第二电源线72，与所述第二扇出区SC2的电源线12连接；

[0134] 在显示区AA内，第一电源线71和第二电源线72平行且交错设置；

[0135] 第一防静电区ESD1，位于所述第一扇出区和所述显示区之间；

[0136] 第二防静电区，位于所述第二扇出区和所述显示区之间；

[0137] 其中，第一电源线71和相邻的第二电源线72通过所述第一防静电区和第二防静电区形成的连接线连接73/74。

[0138] 在一种实施例中，本申请实施例提供的显示装置，如图11所示，电源线（VDD）走线设置成双边绑定源极COF的方式，在第一防静电区，第一电源线和相邻的第二电源线连接，在第二防静电区，第二电源线和相邻的第一电源线连接，连接后形成如图所示的显示装置；该显示装置的第一电源线和第二电源线两端都有电压，解决了电源线单边驱动存在严重电压降的问题；同时，当电源线与横

向的栅极线发生短路时，采用镭射修补切断短路的电源线，切断后的电源线一端由原来对应的源极COF继续提供电压，另一端有相邻的电源线提供电压，解决了现有技术因镭射修补切断短路的电源线后，远离源极COF端的电源线无法提供驱动电压的线缺陷问题。

[0139] 根据上述实施例可知：

[0140] 本申请提供一种阵列基板、显示面板及显示装置，其阵列基板包括：多条第一电源线，与第一扇出区的电源线连接，多条第二电源线，与第二扇出区的电源线连接，在显示区第一电源线和第二电源线平行且交错设置，其中至少一第一电源线与相邻的第二电源线连接；本申请把至少一第一电源线及其相邻的第二电源线，在第一防静电区和第二防静电区连接起来，解决了电源线因单边驱动设计导致电压降过于严重，影响面板亮度均匀性问题；同时改善了当电源线走线与横向走线短路，修补中出现严重线缺陷的问题，提高了修补成功率，可极大提高大尺寸面板良率。

[0141] 综上所述，虽然本申请已以优选实施例揭露如上，但上述优选实施例并非用以限制本申请，本领域的普通技术人员，在不脱离本申请的精神和范围内，均可作各种更动与润饰，因此本申请的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种阵列基板，其包括：
- 第一扇出区；
- 第二扇出区，与所述第一扇出区位于所述阵列基板的相对两端；
- 多条第一电源线，与所述第一扇出区内的电源线连接；
- 多条第二电源线，与所述第二扇出区内的电源线连接；
- 在显示区内，第一电源线与第二电源线平行且交错设置；
- 其中，至少一第一电源线与相邻的第二电源线连接。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，所述阵列基板还包括第一防静电区，所述第一防静电区位于所述第一扇出区和所述显示区之间，所述第一防静电区形成有多条第一连接线；所述第一电源线通过所述第一连接线，与所述第二电源线连接。
- [权利要求 3] 根据权利要求2所述的阵列基板，其中，所述第一连接线由源漏极层图案化形成。
- [权利要求 4] 根据权利要求2所述的阵列基板，其中，所述第一防静电区还形成有多条第二连接线，所述第一电源线同时通过所述第一连接线和所述第二连接线，与所述第二电源线连接。
- [权利要求 5] 根据权利要求4所述的阵列基板，其中，所述第二连接线由栅极层图案化形成。
- [权利要求 6] 根据权利要求4所述的阵列基板，其中，所述第二连接线由像素电极层图案化形成。
- [权利要求 7] 根据权利要求2所述的阵列基板，其中，所述第一防静电区还形成有第三连接线，所述第一电源线通过所述第三连接线，同时和相邻的两条第二电源线连接。
- [权利要求 8] 根据权利要求7所述的阵列基板，其中，所述第三连接线由栅极层图案化形成。
- [权利要求 9] 根据权利要求7所述的阵列基板，其中，所述第三连接线由像素电极层图案化形成。

- [权利要求 10] 根据权利要求1所述的阵列基板，其中，所述阵列基板还包括第二防静电区，所述第二防静电区位于所述第二扇出区和所述显示区之间，所述第二防静电区形成有多条第四连接线；所述第一电源线通过所述第四连接线，与第二电源线连接。
- [权利要求 11] 根据权利要求10所述的阵列基板，其中，所述第四连接线由源漏极层图案化形成。
- [权利要求 12] 根据权利要求10所述的阵列基板，其中，所述第二防静电区还形成有多条第五连接线，所述第一电源线同时通过所述第四连接线和所述第五连接线，与所述第二电源线连接。
- [权利要求 13] 根据权利要求12所述的阵列基板，其中，所述第五连接线由栅极层图案化形成。
- [权利要求 14] 根据权利要求12所述的阵列基板，其中，所述第五连接线由像素电极层图案化形成。
- [权利要求 15] 根据权利要求10所述的阵列基板，其中，所述第二防静电区还形成有第六连接线，所述第一电源线通过所述第六连接线，同时和相邻的两条第二电源线连接。
- [权利要求 16] 根据权利要求15所述的阵列基板，其中，所述第六连接线由栅极层图案化形成。
- [权利要求 17] 根据权利要求15所述的阵列基板，其中，所述第六连接线由像素电极层图案化形成。
- [权利要求 18] 一种显示面板，其包括如权利要求1所述的阵列基板。
- [权利要求 19] 根据权利要求18所述的显示面板，其中，所述显示面板为OLED显示面板，所述OLED显示面板还包括：
设置于所述阵列基板上的发光功能层；
设置于所述发光功能层上的封装层。
- [权利要求 20] 根据权利要求18所述的显示面板，其中，所述显示面板为液晶显示面板，所述液晶显示面板还包括：
彩膜基板，和所述阵列基板对盒设置；

液晶，设置于所述阵列基板和所述彩膜基板之间。

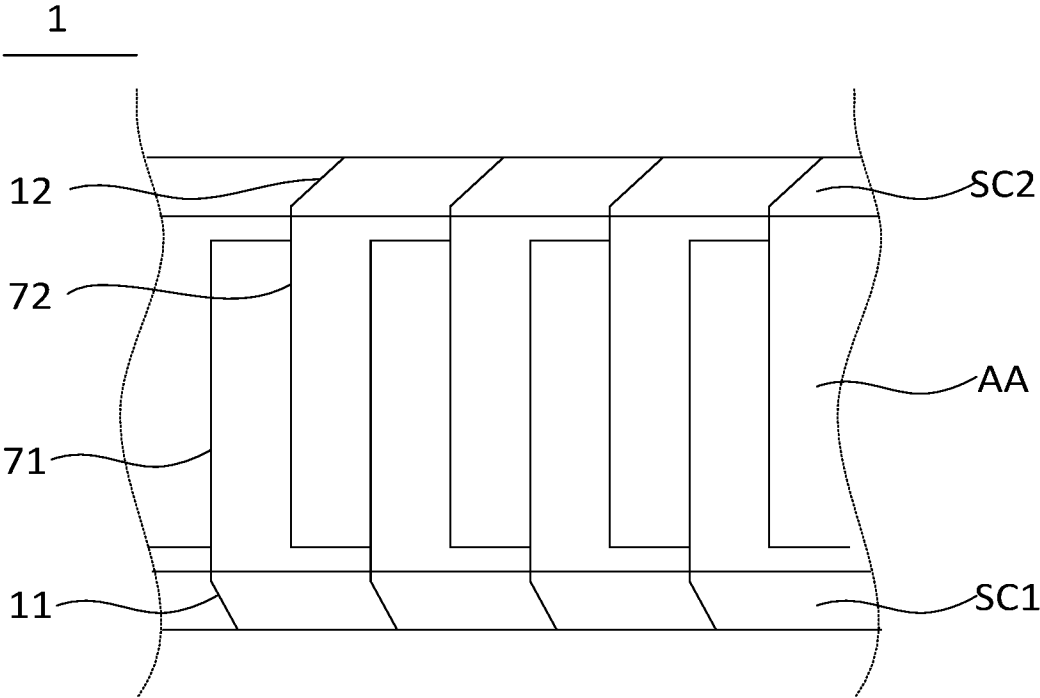


图 1

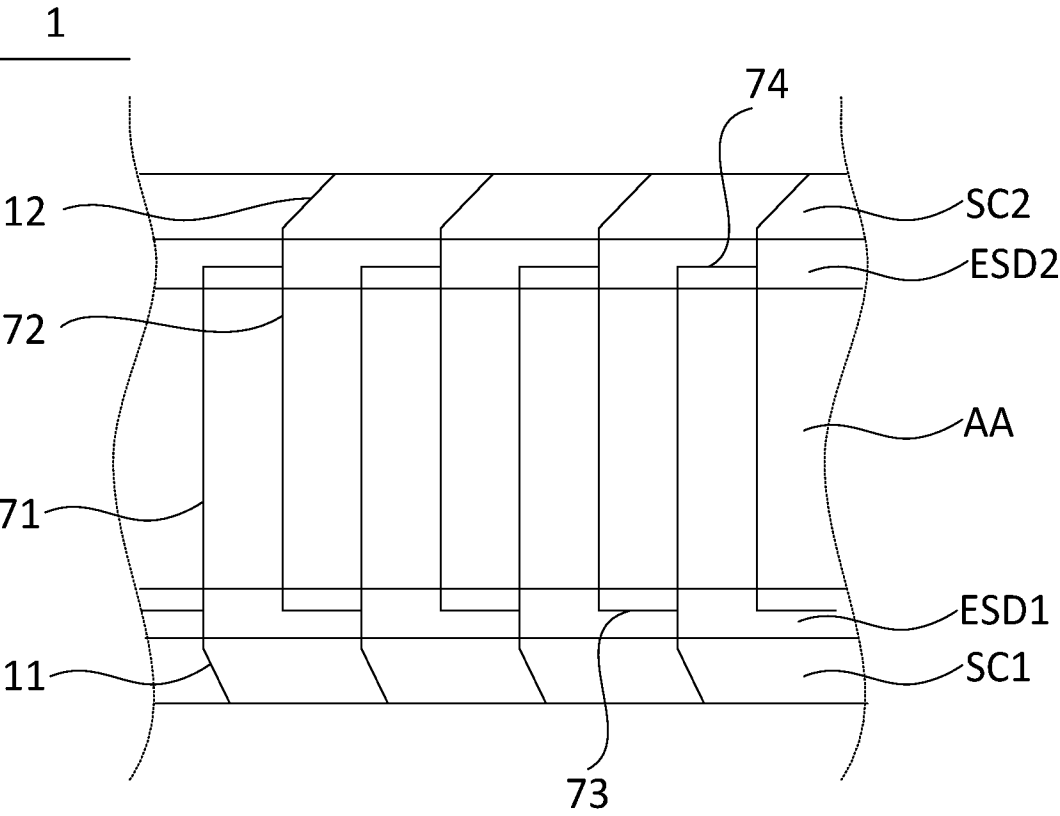


图 2

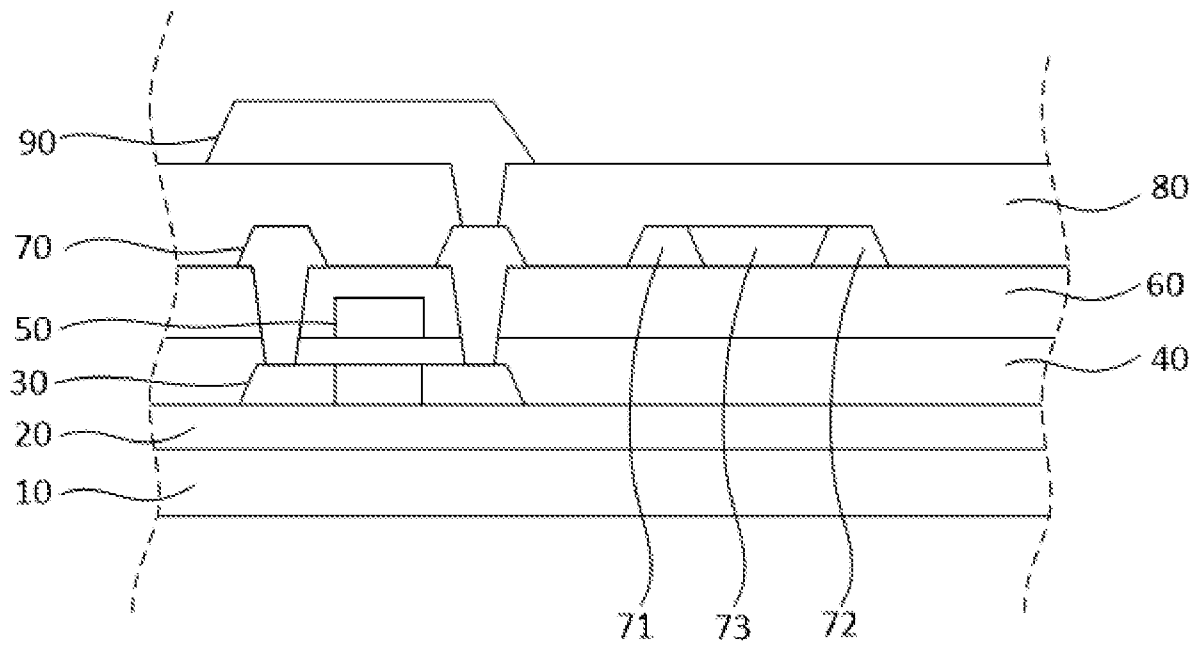


图 3

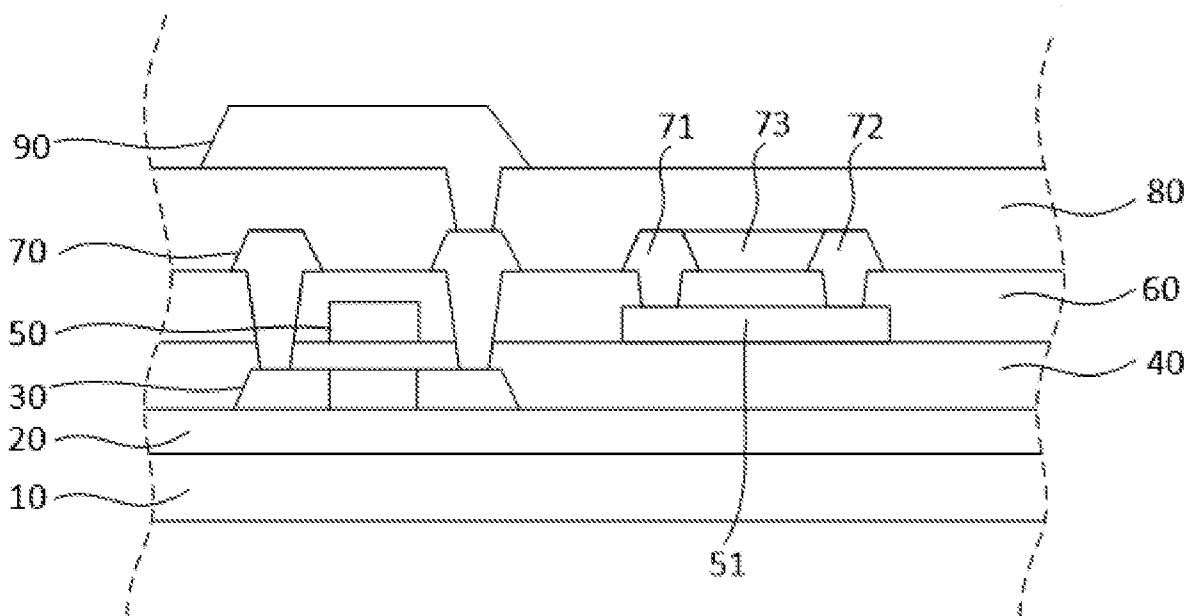


图 4

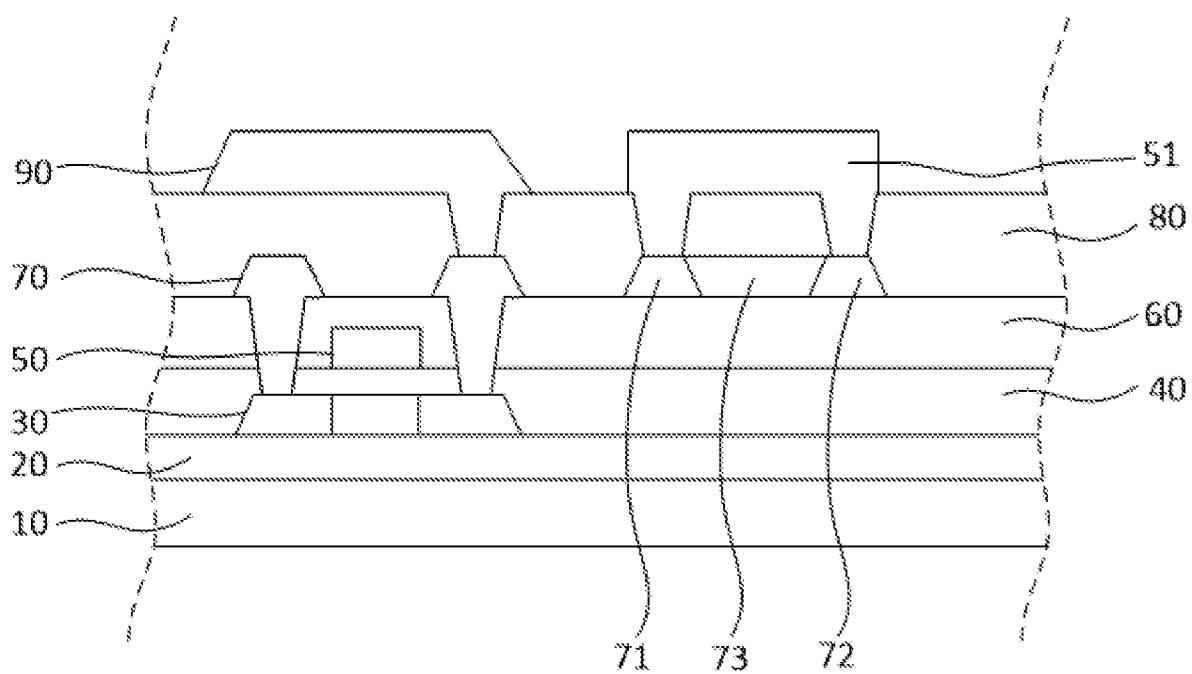


图 5

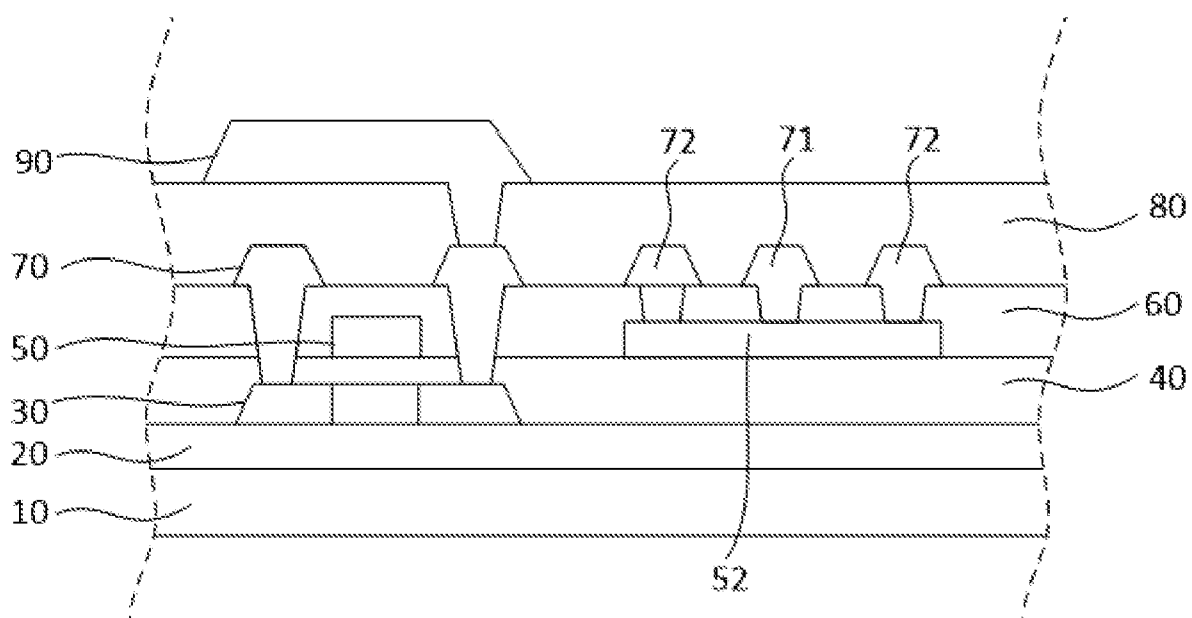


图 6

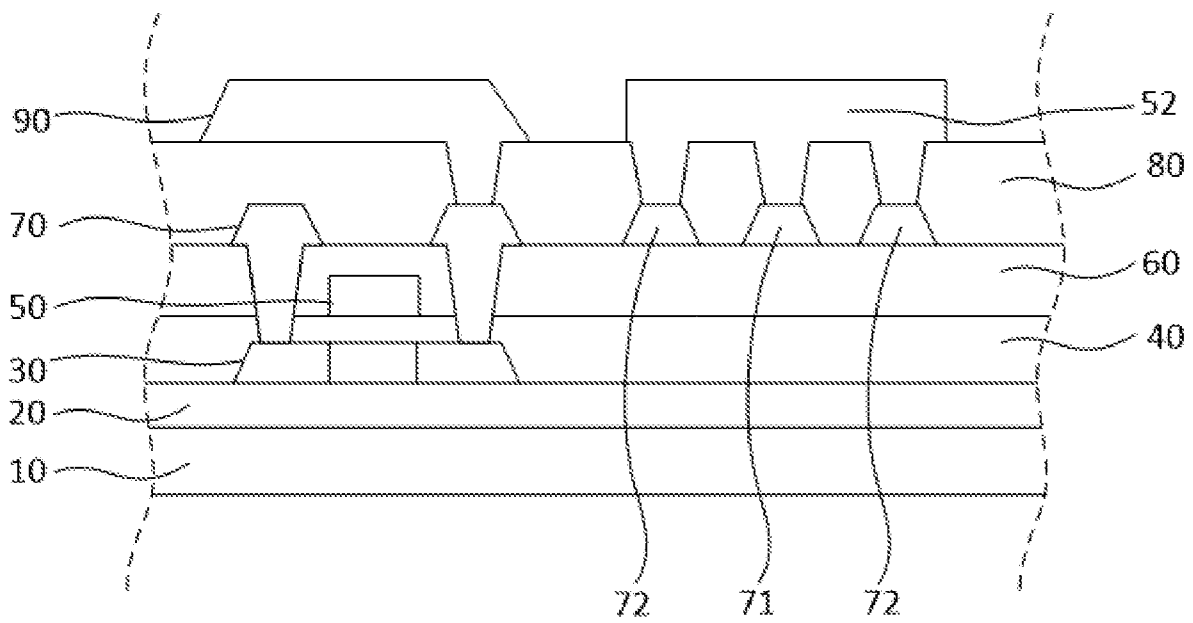


图 7

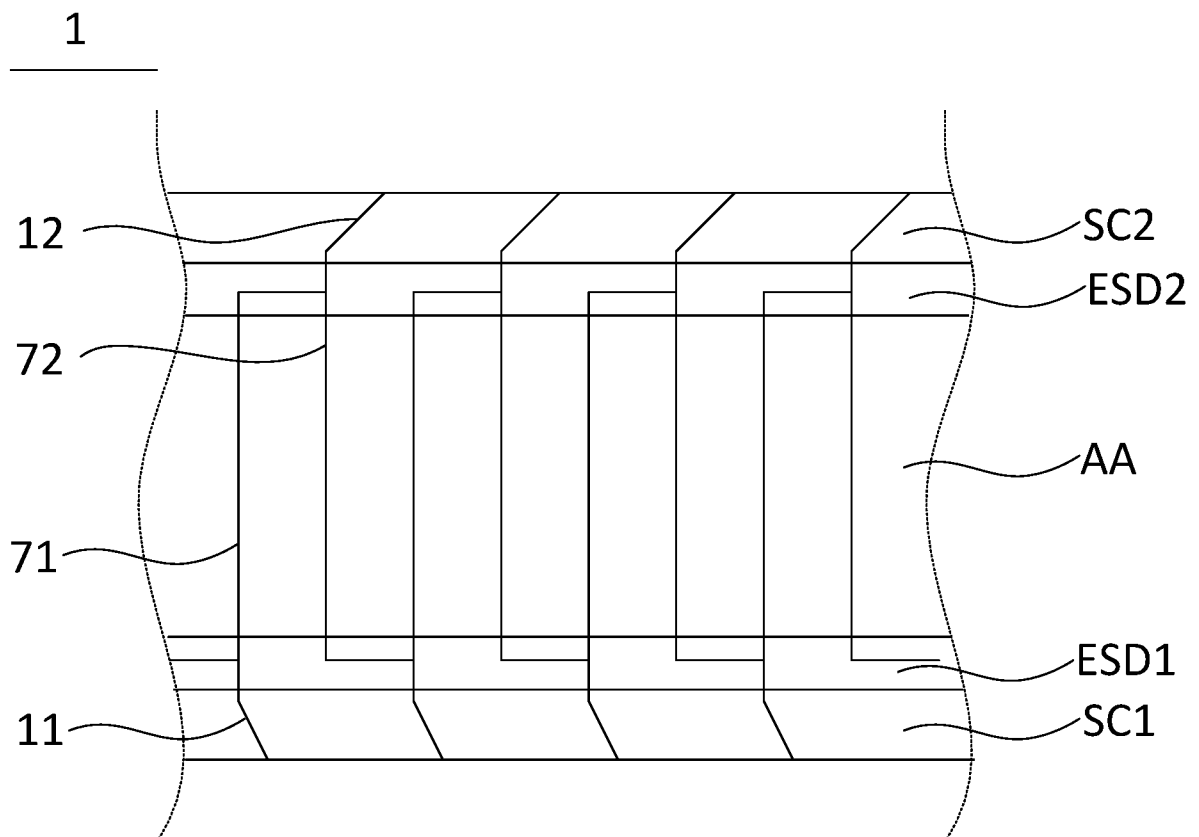


图 8

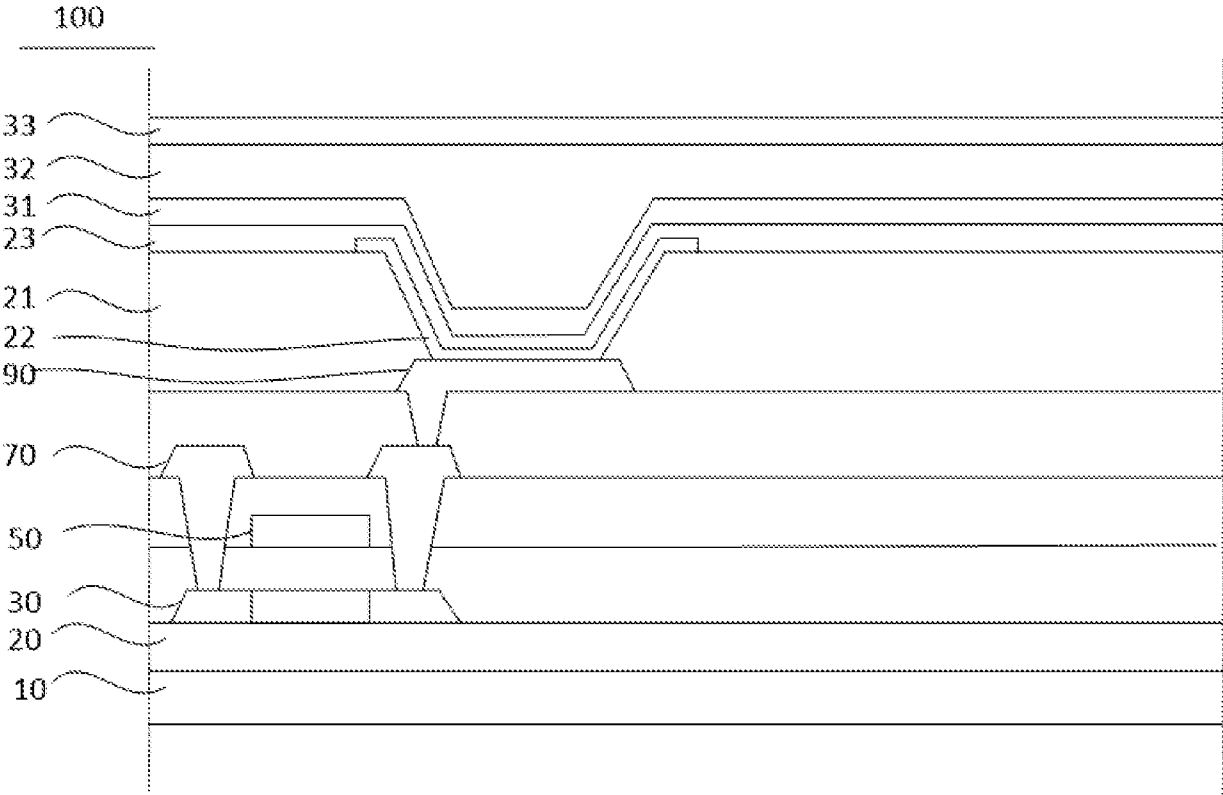


图 9

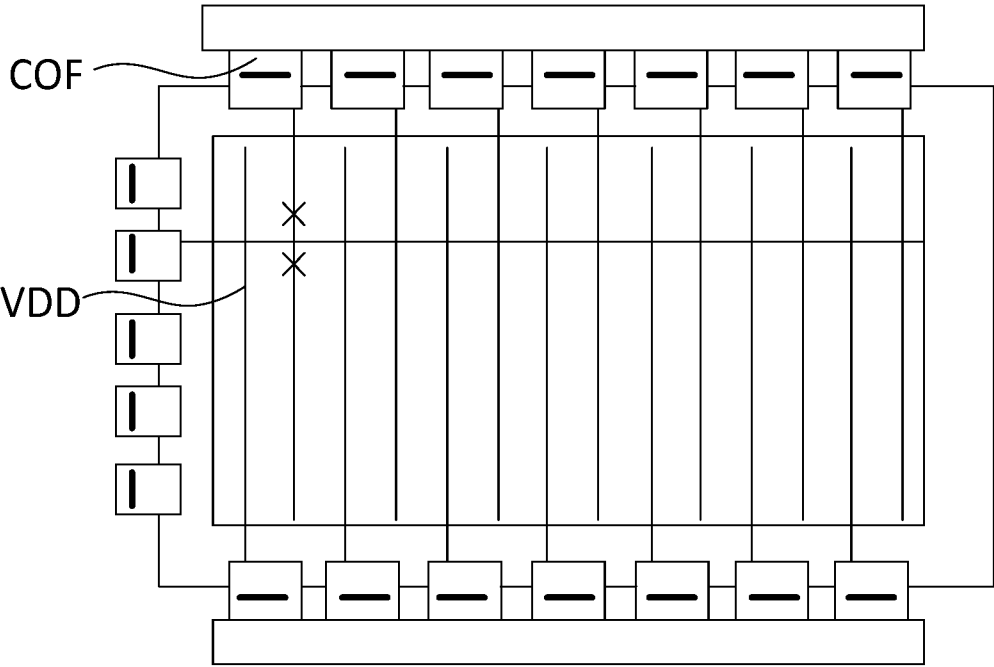


图 10

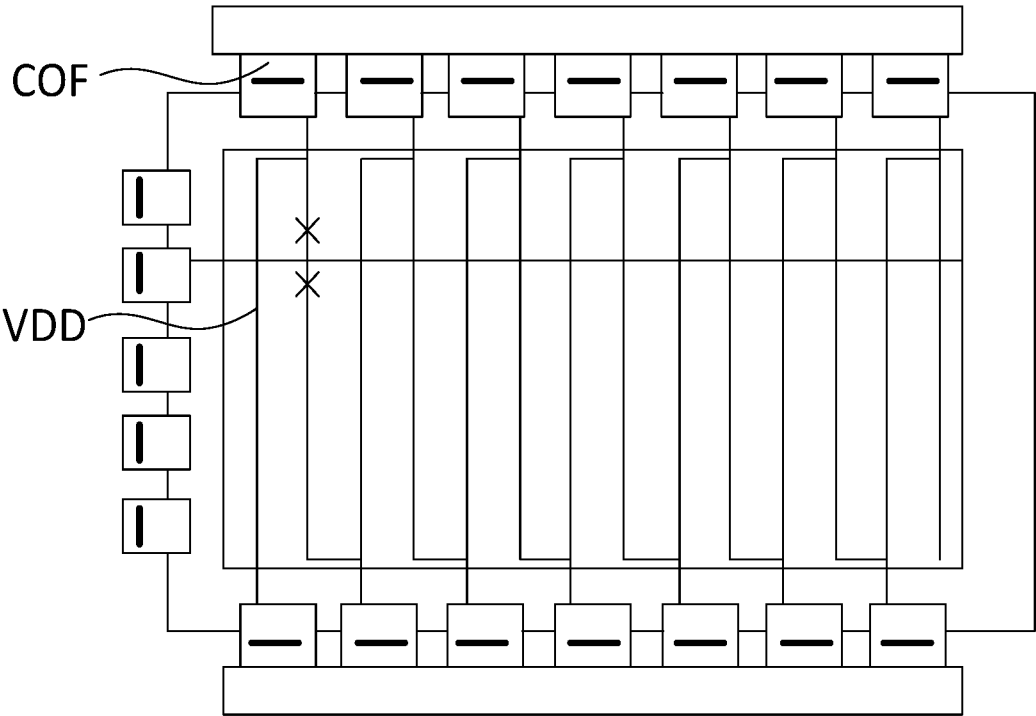


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/115393

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L;G09G;G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT: 覆晶薄膜, COF, 薄膜芯片, 膜上芯片, 覆晶芯片, 驱动, 双侧, 双边, 两侧, 两边, 电源线, 数据线, 信号线, 源极线, 相邻, 连接; VEN, USTXT: chip on film, chip on flex, chip on fiber, driver, driving, double, two, second, both sides, power line, data line, signal line, adjacent, connect+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103839516 A (LG DISPLAY CO., LTD.) 04 June 2014 (2014-06-04) description paragraphs 6-13, 47-110 and figures 1-9	1-20
A	CN 208689337 U (TRULY SEMICONDUCTORS CO., LTD.) 02 April 2019 (2019-04-02) entire document	1-20
A	CN 107180613 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 19 September 2017 (2017-09-19) entire document	1-20
A	KR 20060038846 A (DAEWOO ELECTRONICS CORP.) 04 May 2006 (2006-05-04) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

07 May 2020

Date of mailing of the international search report

25 May 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/115393

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103839516	A	04 June 2014	US	9514673	B2	06 December 2016
				US	2017061893	A1	02 March 2017
				US	10395601	B2	27 August 2019
				CN	103839516	B	11 January 2017
				US	2014139413	A1	22 May 2014
				KR	20140072438	A	13 June 2014
				KR	20140066831	A	02 June 2014
				KR	2009690	B1	13 August 2019
				KR	101978936	B1	17 May 2019
CN	208689337	U	02 April 2019	None			
CN	107180613	A	19 September 2017	US	10553160	B2	04 February 2020
				WO	2018214432	A1	29 November 2018
				US	2019378457	A1	12 December 2019
				CN	107180613	B	12 March 2019
KR	20060038846	A	04 May 2006	KR	100661157	B1	26 December 2006

国际检索报告

国际申请号

PCT/CN2019/115393

A. 主题的分类 H01L 27/32 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L; G09G; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT: 覆晶薄膜, COF, 薄膜芯片, 膜上芯片, 覆晶芯片, 驱动, 双侧, 双边, 两侧, 两边, 电源线, 数据线, 信号线, 源极线, 相邻, 连接; VEN, USTXT: chip on film, chip on flex, chip on fiber, driver, driving, double, two, second, both sides, power line, data line, signal line, adjacent, connect+																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103839516 A (乐金显示有限公司) 2014年 6月 4日 (2014 - 06 - 04) 说明书第6-13、47-110段及图1-9</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 208689337 U (信利半导体有限公司) 2019年 4月 2日 (2019 - 04 - 02) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 107180613 A (京东方科技集团股份有限公司 等) 2017年 9月 19日 (2017 - 09 - 19) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>KR 20060038846 A (DAEWOO ELECTRONICS CORP) 2006年 5月 4日 (2006 - 05 - 04) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103839516 A (乐金显示有限公司) 2014年 6月 4日 (2014 - 06 - 04) 说明书第6-13、47-110段及图1-9	1-20	A	CN 208689337 U (信利半导体有限公司) 2019年 4月 2日 (2019 - 04 - 02) 全文	1-20	A	CN 107180613 A (京东方科技集团股份有限公司 等) 2017年 9月 19日 (2017 - 09 - 19) 全文	1-20	A	KR 20060038846 A (DAEWOO ELECTRONICS CORP) 2006年 5月 4日 (2006 - 05 - 04) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 103839516 A (乐金显示有限公司) 2014年 6月 4日 (2014 - 06 - 04) 说明书第6-13、47-110段及图1-9	1-20															
A	CN 208689337 U (信利半导体有限公司) 2019年 4月 2日 (2019 - 04 - 02) 全文	1-20															
A	CN 107180613 A (京东方科技集团股份有限公司 等) 2017年 9月 19日 (2017 - 09 - 19) 全文	1-20															
A	KR 20060038846 A (DAEWOO ELECTRONICS CORP) 2006年 5月 4日 (2006 - 05 - 04) 全文	1-20															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2020年 5月 7日		国际检索报告邮寄日期 2020年 5月 25日															
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 曹梦军 电话号码 86-(20)-28958172															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/115393

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103839516	A	2014年 6月 4日	US	9514673	B2	2016年 12月 6日
				US	2017061893	A1	2017年 3月 2日
				US	10395601	B2	2019年 8月 27日
				CN	103839516	B	2017年 1月 11日
				US	2014139413	A1	2014年 5月 22日
				KR	20140072438	A	2014年 6月 13日
				KR	20140066831	A	2014年 6月 2日
				KR	2009690	B1	2019年 8月 13日
				KR	101978936	B1	2019年 5月 17日
CN	208689337	U	2019年 4月 2日	无			
CN	107180613	A	2017年 9月 19日	US	10553160	B2	2020年 2月 4日
				WO	2018214432	A1	2018年 11月 29日
				US	2019378457	A1	2019年 12月 12日
				CN	107180613	B	2019年 3月 12日
KR	20060038846	A	2006年 5月 4日	KR	100661157	B1	2006年 12月 26日