

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5166736号
(P5166736)

(45) 発行日 平成25年3月21日 (2013. 3. 21)

(24) 登録日 平成24年12月28日 (2012. 12. 28)

(51) Int. Cl.	F I
HO 1 L 43/08 (2006. 01)	HO 1 L 43/08 Z
HO 1 L 21/8246 (2006. 01)	HO 1 L 27/10 4 4 7
HO 1 L 27/105 (2006. 01)	GO 1 R 15/02 A
GO 1 R 15/20 (2006. 01)	HO 1 L 43/08 U

請求項の数 23 (全 33 頁)

(21) 出願番号	特願2006-546454 (P2006-546454)	(73) 特許権者	511218404
(86) (22) 出願日	平成16年12月20日 (2004. 12. 20)		エリボスキ リモート リミテッド エル
(65) 公表番号	特表2007-520057 (P2007-520057A)		エルシー
(43) 公表日	平成19年7月19日 (2007. 7. 19)		アメリカ合衆国、デラウェア・19808
(86) 国際出願番号	PCT/IB2004/052857		、ウイリントン、センタービル・ロード
(87) 国際公開番号	W02005/064356		・2711、スイート・400
(87) 国際公開日	平成17年7月14日 (2005. 7. 14)	(74) 代理人	100070150
審査請求日	平成19年12月18日 (2007. 12. 18)		弁理士 伊東 忠彦
(31) 優先権主張番号	03104937.2	(74) 代理人	100091214
(32) 優先日	平成15年12月23日 (2003. 12. 23)		弁理士 大貫 進介
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100107766
(31) 優先権主張番号	04105805.8		弁理士 伊東 忠重
(32) 優先日	平成16年11月16日 (2004. 11. 16)		
(33) 優先権主張国	欧州特許庁 (EP)		

最終頁に続く

(54) 【発明の名称】 高感度磁気内蔵電流センサ

(57) 【特許請求の範囲】

【請求項 1】

導体素子および電流センサを有する半導体デバイスであって、前記電流センサは、前記導体素子を通じて流れる直流、変動電流または交流を検出するための磁流検出デバイスであり、この電流センサは、前記半導体デバイス内に集積されるとともに、前記導体素子から電氣的に絶縁され、前記電流センサは、MTJ積層体をMRAMデバイスと共有している、半導体デバイス。

【請求項 2】

μAの分解能をもって電流を測定するのに適している、請求項 1 に記載の半導体デバイス。

【請求項 3】

前記電流センサが少なくとも1つのMTJ積層体を備えている、請求項 1 または 2 に記載の半導体デバイス。

【請求項 4】

前記MTJ積層体は、

- 磁気抵抗トンネルバリアを形成するように設計されている電気絶縁材料と、
- 前記電気絶縁材料の一方側に位置され、前記電気絶縁材料に隣接する磁気モーメントベクトルを有しているピン磁性領域と、
- 前記電気絶縁材料の反対側に位置され、ほぼバランスがとれたフリー磁性領域であって、前記電気絶縁材料に隣接し且つ前記ピン磁性領域の磁気モーメントベクトルと平行ま

たは逆平行な位置に方向付けられた磁気モーメントベクトルを有するとともに、反強磁性結合されたN個（Nは2以上の整数）の強磁性層を有する人工反強磁性層材料を含んでいるフリー磁性領域と、
を備えている、請求項1に記載の半導体デバイス。

【請求項5】

前記電流センサがフリー磁性領域を有し、該フリー磁性領域は、測定下で電流により引き起こされる磁場に対して略垂直となるように向けられる容易軸を有している、請求項3又は4に記載の半導体デバイス。

【請求項6】

前記電流センサが容易軸を有し、前記フリー磁性領域の容易軸が形状の延伸によって引き起こされる、請求項5に記載の半導体デバイス。

10

【請求項7】

前記電流センサは、直流磁場、変動磁場または交流磁場となり得る更なる磁場に晒される、請求項4から6のいずれか一項に記載の半導体デバイス。

【請求項8】

前記電流センサは、所定の磁化方向を有するピン磁性領域と、容易軸を有するフリー磁性領域とを有し、前記ピン磁性領域の磁化方向は、前記フリー磁性領域の容易軸と所定の角度を成して、好ましくは $45^{\circ} \sim 135^{\circ}$ の角度を成して方向付けられ、更に好ましくは前記フリー磁性領域の容易軸に対して略垂直に向けられている、請求項1から7のいずれか一項に記載の半導体デバイス。

20

【請求項9】

前記電流センサの第1の側に隣接して、測定される電流を運ぶための第1の導体を備えるとともに、前記電流センサの第2の側に隣接して、電流を導くための第2の導体を備え、前記第1の導体および前記第2の導体は交差するが電氣的に接続されていない、請求項1に記載の半導体デバイス。

【請求項10】

前記電流センサは容易軸を有するフリー磁性領域を有し、前記第1の導体および前記第2の導体はそれぞれ、前記電流センサの磁性領域の容易軸に対してほぼ $30^{\circ} \sim 90^{\circ}$ の角度を成している、請求項9に記載の半導体デバイス。

【請求項11】

30

前記電流センサにおけるMR変化を測定し且つ前記電流センサにおいてMR変化が観察されないように前記第2の導体の電流を制御するためのフィードバック回路を更に備えている、請求項9に記載の半導体デバイス。

【請求項12】

前記電流フィードバック回路は、測定され且つ前記第1の導体によって運ばれる電流を示すフィードバック信号を生成するための手段を有している、請求項11に記載の半導体デバイス。

【請求項13】

前記第1の導体および前記第2の導体のうちの少なくとも一方は、少なくとも1つの垂直導電構成要素と、少なくとも1つの水平導電構成要素とを備え、前記垂直導電構成要素と水平導電構成要素との間には角部が存在し、これにより、その角部が前記電流センサの近傍に配置される少なくともL形状部分を含む導体構造体が形成される、請求項9から12のいずれか一項に記載の半導体デバイス。

40

【請求項14】

前記電流センサの場所で磁場を増大させるための磁束集結体を更に備えている、請求項13に記載の半導体デバイス。

【請求項15】

前記磁束集結体は、前記少なくとも1つの垂直導電構成要素の周囲でパターン化されるダミーMTJ積層体を備えている、請求項14に記載の半導体デバイス。

【請求項16】

50

前記磁束集結体は、リング形状を成しているとともに、柱間に切れ目を備え、前記電流センサが前記切れ目内に配置されている、請求項 14 に記載の半導体デバイス。

【請求項 17】

センサデバイスが CMOS または MOS 処理に適合する、請求項 1 から 16 のいずれか一項に記載の半導体デバイス。

【請求項 18】

半導体デバイスが集積回路である、請求項 1 から 17 のいずれか一項に記載の半導体デバイス。

【請求項 19】

1 または複数の前記電流センサは、零入力電流 (IDDQ) または過渡電流 (IDDT) を検出するようにになっている、請求項 18 に記載の半導体デバイス。

10

【請求項 20】

請求項 3 に記載の半導体デバイスを製造するための方法であって、前記 MTJ 積層体を設けるステップを含んでいる方法。

【請求項 21】

MTJ 積層体を設ける前記ステップは、フリー領域を堆積させるステップを含んでいる、請求項 20 に記載の方法。

【請求項 22】

フリー領域を堆積させる前記ステップは、複数の反強磁性結合された強磁性層を備える人工強磁性フリー領域を堆積させることを含んでいる、請求項 21 に記載の方法。

20

【請求項 23】

前記人工強磁性フリー領域がほぼゼロの正味磁気モーメントを有し、方法は、前記フリー領域の正味磁気モーメントをそれがゼロにならないように変更することを更に含んでいる、請求項 22 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、導体中の電流の検出のための電流センサ、そのようなセンサを内蔵する集積回路、そのようなセンサを使用する方法、集積回路等の半導体デバイスにおける導体中の電流を検出するための方法、とりわけ、使用方法を実施するためのソフトウェアプロダクトに関する。

30

【背景技術】

【0002】

様々なタイプの既知の BICS (内蔵電流センサ) が存在する。その幾つかは、導体の近傍に位置されたセンサを用いて集積回路中の導体を通じて流れる電流を測定することによって集積回路中の欠陥を検出することを示している米国特許第 5,963,038 号に記載されている。センサは、導体を流れる電流によって生じる磁場を測定できるように様々な方法で構成することができる。開示された例としては、ホールセンサ、MR (磁気抵抗) センサ、GMR (巨大磁気抵抗) センサを挙げることができる。これにより、外部試験装置により簡単にアクセスできない導体および導体の接続の試験を行なうことができ、あるいは、1つの経路が通電されていた場合であっても抵抗試験を通る並列経路のうちの個々の経路中の欠陥を検出する試験を行なうことができる。

40

【0003】

MR センサは、センサの面内に、外部磁場に依存する抵抗を有している。様々なタイプのセンサが存在する。磁気記録ヘッドにおいては、異方性磁気抵抗 (AMR) に基づくセンサが数年にわたって使用されてきた。AMR センサは異方性磁性材料から成る層を有しており、この層の抵抗が外部磁場によって影響され、それにより、層中を流れるセンス電流 (検出電流) が変化する。GMR (巨大磁気抵抗) センサは、方向が固定された磁性材料から成る層 (ピン層) と、測定抵抗を変化させる外部磁場によってその磁化方向が影響され得る磁性材料から成る層 (フリー層) とを有している。タイプおよび構造に応じて、

50

MRセンサは、センサの面内において、一方の方向で感度が高く、他の方向で感度が低い。前記特許に示されたMRセンサが図1に示されている。このMRセンサは、導体を流れる電流がセンサの抵抗に及ぼす影響を最大にするように構成されている。図1は、導体104が実現される層の上または下の集積回路の層中の導体104の近傍に位置されたMR（磁気抵抗）センサ502を示している。MRセンサ502は接続領域504, 506を備えており、これらの接続領域には、センサ502の実際の抵抗を測定するために貫通孔508, 510が接続されている。

【0004】

導体104を流れる電流は、センサ502の面を貫通し且つセンサ502の面内で導体104と垂直な円形の磁場を導体104の周囲に生じさせる。MRセンサ502はこの方向で感度が良好であり、そのため、導体104を流れる直流電流により生じる磁場の強度を測定するために、MRセンサの抵抗が、導体面と平行なセンサ502の面に沿って測定される。従来のAMRセンサまたはGMR（巨大磁気抵抗）センサを使用することができる。

【0005】

図2は、前記特許から知られる集積回路内のMRセンサの他の構成を示している。MRセンサ602は接着パッド106の近傍に位置されており、接着パッド106には接着ワイヤ108が接続されている。MRセンサ602は、センサ602を対応する貫通孔608, 610に対して接続するための接続領域604, 606を有している。接着パッド106に対する接着ワイヤ108の一般的な取り付けは、接着パッド106の近傍で接着ワイヤ108が特定の度合いまで接着パッド106の面に対して垂直となるように行なわれる。その後、接着ワイヤ108を流れる電流が、接着パッド106およびMRセンサ602の面内に磁場612を生じさせ、それにより、MRセンサ602の抵抗が変化する。接着パットの他方側には第2のMRセンサ614が位置されていても良く、この第2のMRセンサ614は、1つのMRセンサよりも磁場612に対する感度が良い構成を得るためにMRセンサ602と組み合わせられる。図2において、MRセンサは磁場612に対して垂直に位置されている。これらのMRセンサは、どの位置で感度が良くなるかに基づき、磁場に対して異なる角度を成して位置されても良い。いずれにしても、依然として、層の面に沿ってセンサ層の抵抗が測定される。

【0006】

回路の接続層において、貫通孔、例えば508～510および608～610は、それぞれのMRセンサ502, 602を内部検出回路または外部測定点に対して接続する接続トラックに対して接続されている。そして、検出回路を用いて集積回路の内部で或いは適当な測定装置を用いて集積回路の外部で、MRセンサ502, 602の抵抗を測定することができる。

【0007】

そのようなセンサは、高電流を検出するのに役立つが、零入力電流（IDDQ）試験等の用途においては十分に感度が高くない。IDDQ試験は、伝統的な欠陥モデルによって非常にうまくモデリングされない或いは従来の論理試験により検出できないゲート酸化物短絡、フローティングゲート不良、橋絡不良などの物理的欠陥の非常に良好なカバレッジを示した。高い品質および費用効率に対する要求により、IDDQ試験は、補助試験から電圧試験に至るような試験として、広範囲にわたって使用されるようになってきた。IDDQ試験は、他の試験技術と組み合わせると、通電テストの必要性を排除できる可能性をもっている。しかしながら、MOSFET漏れ電流が各技術ノードと共に急速に増大しており、それにより、欠陥のある回路のIDDQレベルと欠陥が無い回路のIDDQレベルとの間の差が狭くなっている。

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、試験用のIDDQ電流等の僅かなオンチップ電流を測定できる十分な

10

20

30

40

50

感度を有するセンサを提供することにある。

【課題を解決するための手段】

【0009】

第1の態様において、本発明は、導体素子および電流センサを有する半導体デバイスを提供する。電流センサは、導体素子を通じて流れる直流、変動電流または交流を検出するための磁流検出デバイスである。この電流検出デバイスは、半導体デバイス内に組み込まれるとともに、導体素子から電氣的に絶縁されている。利点は、従来のセンサと比べてセンサ感度が高いという点である。すなわち、センサは、 μA の分解能をもって電流を測定するのに適していても良い。感度が高いため、信号の後処理をあまり使用せずに済み、また、モバイル機器等の用途において重要な電子回路を使用することができる。基本的には、零入力（休止）IDD電流（IDDQ）または過渡IDD電流（IDDT）等のIDD測定において、とりわけ十分な感度が得られ、また、より厳しいIDD試験要件を有する次世代CMOSプロセスにおいてさえも十分な感度が得られる。IDDQは、零入力（休止）状態においてCMOS回路中をVddからVssへと流れる零入力電流（休止電流）である。IDDTは、デジタル移行中の過渡IDD電流である。IDDQ電流およびIDDT電流を測定することにより、CMOS回路中の欠陥を検出することができる。

10

【0010】

電流検出デバイスは、トンネル磁気抵抗（TMR）効果を示す磁気トンネル接合（MTJ）デバイス等の少なくとも1つの磁気抵抗デバイスを備えていても良い。この実施形態において、センサは、MRAM技術等の次世代CMOSプロセスと容易に組み合わせることができる。センサは、よりコンパクトにすることができ、従来のセンサよりも電力使用量が少ない。

20

【0011】

本発明の実施形態においては検出素子として使用されても良い磁気トンネル接合（MTJ）は、メモリ用途において以前から開発されてきており、本発明者等は、メモリセルおよび電流センサが異なる特性を有していなければならないという事実にもかかわらず、磁気トンネル接合をセンサとしての使用に適合させることができることを認識した。メモリセルにおいて、フリー層の磁気抵抗ループ（MRループ）は、比較的大きな保磁力（数十Oe程度）を伴う正方形でなければならない。また、2つの異なる残留磁気状態を有している。また、ループの中心がゼロ磁場にななければならない。これに対し、電流センサは、一方では、できるだけ大きく磁場に影響され易くなければならず（高感度）、他方では、ヒステリシスが小さく、あるいは、ヒステリシスを有してはならず、測定範囲内で線形な特性を有していなければならない。電流検出デバイスはMTJ積層体をMRAMデバイスと共有していても良く、それにより、MTJ積層体は、従来のタイプのものであっても良く、あるいは、トグルタイプのものであっても良い。これは、電流センサおよびMRAM素子を一度に組み立てることができるという利点を有している。

30

【0012】

電流検出デバイスは、ヒステリシスを実質的に示さない関係を抵抗と磁場との間に有するように配置されても良い。

【0013】

電流検出デバイスは、ヒステリシスを最小限に抑えるため、測定される磁場に対して $70^\circ \sim 110^\circ$ の角度を成して、好ましくは当該磁場に対して略垂直に方向付けられる容易軸を有するフリー磁性層を有していても良い。電流検出デバイスは容易軸を有していても良く、その場合、フリー層の容易軸は形状の延伸によって引き起こされる。

40

【0014】

測定される信号の感度が最大となるように、電流検出デバイスは、所定の磁化方向を有するピン磁性層と、容易軸を有するフリー磁性層とを有していても良く、その場合、前記ピン磁性層の磁化方向は、前記フリー磁性層の容易軸と所定の角度を成して、好ましくは $0^\circ \sim 180^\circ$ の角度を成して、より好ましくは $45^\circ \sim 135^\circ$ の角度を成して方向付けられ、更に好ましくは前記フリー磁性層の容易軸に対して略垂直に向けられている。ヒ

50

ステリシスを抑制するため、本発明は、 90° のこの角度からの偏りを含んでいる。

【0015】

電流検出デバイスを、例えば第2の電流（二次電流）によってデバイスの近傍に形成される更なる直流磁場または一定の磁場に晒すことにより、この更なる磁場が測定される磁場に対して略垂直に印加されるときにヒステリシスを更に抑制し、あるいは、更なる磁場が測定される磁場に対して略平行に印加されるときに測定範囲をずらすようにしても良い。

【0016】

二者択一的に、電流検出デバイスは、第2の電流によって形成される更なる交流磁場に晒されても良い。更なる交流磁場は、測定される磁場を調節し、それによりセンサ信号を変調するために使用される。この場合、信号処理方法を使用することにより信号対雑音比を向上させることができる。

10

【0017】

本発明に係る半導体デバイスは、電流検出デバイスの第1の側に隣接して、測定される電流を運ぶための第1の導体を備えるとともに、電流検出デバイスの第2の側に隣接して、電流を導くための第2の導体を備えていても良く、第1の導体および第2の導体は交差するが電氣的に接続されていない。電流検出デバイスの前記フリー磁性層は容易軸を有しており、第1の導体および第2の導体はそれぞれ、電流検出デバイスの容易軸に対してほぼ $30^\circ \sim 90^\circ$ の角度を成していても良い。

20

【0018】

本発明の更なる実施形態において、半導体デバイスは、電流検出デバイスにおけるMR変化を測定し且つ電流検出デバイスにおいてMR変化が観察されないように第2の導体の電流を制御するためのフィードバック回路を更に備えていても良い。電流フィードバック回路は、測定され且つ第1の導体によって運ばれる電流を示すフィードバック信号を生成するための手段を有していても良い。

【0019】

第1の導体および第2の導体のうちの少なくとも一方は、少なくとも1つの垂直導電構成要素と、少なくとも1つの水平導電構成要素とを備えていても良く、垂直導電構成要素と水平導電構成要素との間には角部が存在し、これにより、その角部が前記電流検出デバイスの近傍に配置される少なくともL形状部分を含む導体構造体が形成される。これは、センサの場所で同じ電流を用いて強力な磁場を生成できるという利点を有している。

30

【0020】

本発明に係る半導体デバイスは、電流検出デバイスの場所で磁場を増大させるための磁束集結体を更に備えていても良い。磁束集結体は、少なくとも1つの垂直導電構成要素の周囲でパターン化されるダミーMTJ積層体を備えていても良い。この場合、磁束集結体は、MRAM素子およびセンサ素子と共に一度に製造されても良い。磁束集結体は、リング形状を成していても良く、また、柱間に切れ目を備え、電流検出デバイスが前記切れ目内に配置される。

【0021】

本発明に係る半導体デバイスは、CMOSまたはMOS処理に適合するセンサデバイスを備えていても良い。

40

【0022】

半導体デバイスが集積回路であっても良い。

【0023】

また、本発明は、処理デバイスで実行されると、本発明にしたがって測定された電流を使用するアプリケーションを実施するソフトウェアプロダクトも含んでいる。

【0024】

従属請求項を形成する更なる特徴は、平面的なセンサ素子と、平面的な素子の平面に対して垂直に方向付けられるトンネル電流とを含んでいる。他のそのような特徴は、実質的にヒステリシスを示さない関係を抵抗と磁場との間に有するように配置される素子である

50

。他のそのような特徴は、センサ素子が、測定される磁場に対して所定の角度を成して、好ましくは $70^{\circ} \sim 110^{\circ}$ の角度を成して方向付けられ、更に好ましくは測定される磁場と略垂直に方向付けられる容易軸を有するフリー磁性層を有しているという点である。この角度は、最も高い（絶対）信号および最も低いヒステリシスを有することができるように、好ましくは 90° に近くなければならない。さもなければ、 90° 方向に沿う成分だけが測定される。これは、付加的な変調方式またはバイアス方式が垂直方向で許容される理由を明らかにしている。他のそのような特徴は、MTJ接合部が、フリー磁性層の容易軸に対して所定の角度を成して、好ましくは $45^{\circ} \sim 135^{\circ}$ の角度を成して、更に好ましくは当該容易軸に対して略垂直に方向付けられる磁化を有するピン磁性層を備えているという点である。そのような他の特徴は、検出回路が、センサ素子の接合部の両端間に所定の電圧を印加し且つ負荷を介してトンネル電流を供給するための回路と、負荷の両端間の電圧を増幅するための増幅器とを備えているという点である。そのような他の特徴は、検出回路が、接合部の両端間の電圧を積極的にクランプするための回路を備えているという点である。あるいは、検出回路は、電流源によって供給される一定の電流が接合部を通じて流れる電流モードで作動することができ、接合部における電圧降下の変化は接合部の抵抗の変化を示し、この電圧を増幅するために増幅器が使用される。無論、出力は、磁場が検出されたか否かを示す論理信号から、所定レベルの精度の測定を示すアナログまたはデジタル信号までの、任意の信号になり得る。例えば用途の精度または雑音排除性に適するように、検出された出力に関して適切な後処理を行なうことができる。

10

【0025】

20

更なる特徴として、導体の幅と平行な方向でのセンサ素子の幅は、導体の幅よりも小さくなく、好ましくは小さい。これは、センサを通じた均一な磁場を確保するのに役立つことができる。

【0026】

本発明の他の態様は、磁場を検出するためのセンサであって、交差異方性を伴う磁気抵抗検出素子を有するセンサを提供する。すなわち、フリー磁性層とピン磁性層の固定方向との間の角度がほぼ 90° であり、それにより、検出素子の長手方向の軸は、検出される磁場とほぼ直交し、すなわち、 $70^{\circ} \sim 110^{\circ}$ の角度を成しており、好ましくはフリー磁性層と検出される磁場との間がほぼ 90° になっている。

【0027】

30

他の態様は、感度が $100 \mu V / mA$ よりも高い磁気抵抗電流センサを備える内蔵電流センサを有する集積回路を提供する。

【0028】

他の態様は、零入力電流（IDDQ）を検出するようになっている磁気抵抗電流センサを備える内蔵電流センサを有する集積回路を提供する。

【0029】

他の態様は、磁場を検出し或いは電流を検出する対応する方法を提供する。

【0030】

第2の態様において、本発明は、導体素子と電氣的に接触せず且つ前記導体素子を通じて流れる少なくとも直流、変動電流または交流を検出するための集積磁流検出デバイスの使用であって、前記検出デバイスが電流のオンチップ測定のために使用される、集積磁流検出デバイスの使用を提供する。

40

【0031】

1または複数の電流センサは、零入力電流（IDDQ）または過渡電流（IDDT）を検出するようになっていても良い。更なる特徴として、集積回路は、その出力部が境界走査（IEEE規格1149.1）などのスキャンチェーンに基づくメカニズムで連結される複数の電流センサを有していても良い。本発明に係る半導体デバイスにおける電流センサの利点は、物理的なサイズが小さいという点である。小さいため、IC内に簡単に組み込むことができる。この内蔵センサによれば、IC内の回路ブロック毎に、または、MC（マルチチップモジュール）またはMCP（マルチチップパッケージ）のような1つの

50

パッケージ内の一群の回路において個別に給電される回路毎に、IDDQ測定を行なうことができる。また、ブロック毎のIDDQ測定も可能である。IC領域における集積レベルが更に高まるにつれて、これは、重要な試験および重要な測定能力となり得る。

【0032】

また、集積されると、これらのセンサにおいて、より多くの機能を加えることができる。

【0033】

更なる特徴として、集積回路は、その出力部がスキャンチェーン状態で連結される複数の電流センサを有していても良い。本発明によれば、多数のセンサを使用して、異なるブロックにより費やされる電流を測定し、電流をかなり多く費やし或いはあまり費やさない構成部分を決定することができる。当初の設計の高速デバッグは重要な経済的利益である。また、この場合、ICのその寿命中の消耗を監視することができる。実際の寿命中にわたる電流消費量の変化を感知すれば、予期しない故障を防止できる。特に、生活に重要な用途における安全な態様をこのデータから得ることができる。

【0034】

他の可能性は、別個の処理ユニットまたはコアでの電流測定である。方法は、少なくとも1つの処理モジュールにおいて電流を測定することを含んでいても良い。機能は、動的な配電方式に基づいてタスクのスケジューリングを決定することである。コアは、電力を消費する処理ユニットであり、その最大容量で実行しているときに熱くなる場合がある。特に多くの並行処理ユニットを有するシステムにおいては、処理ユニット毎の電流（電力）測定に基づいて、より多くの処理負荷をスケジュールすることができる。これは、不必要な待ち行列を防止するが、特定のコアで生じる過度な熱も防止できる。また、このようにして電力低減方式が制御され、それにより、アセンブリレベルでの高価な熱伝達策が防止されても良い。

【0035】

新規で且つ現在実現可能な技術は、少なくとも1つの前記処理モジュールのクロック速度を制御して、所定の電流消費レベルとの連続的な整合を得ることである。これは、バッテリー寿命能力に対して最大の性能を与えることができる。

【0036】

この技術を適切に機能させるためには、電力消費量を比較するための閾値レベルがソフトウェアによりレジスタにおいて設定されなければならない。このソフトウェアは、オペレーティングシステムと厳密に一致されるサービスルーチンであっても良い。ソフトウェアのジョブスケジューラ部分は、検出からの割り込みに基づいて、あるいは、レジスタからの値の規則的な読み取り（ポーリング）からの割り込みに基づいてスケジューリングできなければならない。このハードウェア制御される態様は、スケジューリングソフトウェアにおいては比較的新しいが、基本的には、既に存在するソフトウェアベースのスケジューリングとは異なっていない。

【0037】

第3の態様において、本発明は、半導体デバイスにおける導体の電流を検出するための方法を提供する。この方法は、半導体デバイス上に集積されたセンサを用いて非接触磁流検出を行なうことにより導体中を流れる直流、変動電流または交流を検出することを含んでいる。

【0038】

方法は、電流によって引き起こされる磁場を検出することを含んでいても良い。

【0039】

また、本発明は、電流消費量の測定と、設定された電流消費量閾値に達した場合における警告信号の生成とを含む方法も提供する。

【0040】

更に、本発明は、ソフトウェアに基づくルーチンが、割り込み又は設定されたレジスタビットを呼び出す測定電流に基づき、幾つかの処理ユニットにわたってジョブスケジュー

10

20

30

40

50

リングを行なう方法も提供する。

【 0 0 4 1 】

本発明の更なる態様においては、M T J 積層体をM R A M デバイスと共有する電流検出デバイスを製造する方法が提供される。M T J 積層体は、従来のタイプ（フリー磁性層がゼロでない正味磁化を有している）であっても良く、あるいは、トグルタイプ（フリー磁性層がゼロの正味磁化を有している）であっても良い。製造されたM T J 積層体は、磁気抵抗トンネルバリアを形成するようになっている電気絶縁材料と、電気絶縁材料の一方側に位置されたピン磁性領域と、電気絶縁材料に隣接する磁気モーメントベクトルを有するピン磁性領域と、フリー磁性領域とを備えている。フリー磁気領域は、不安定な磁性領域であってもよい。あるいは、フリー磁性領域は、電気絶縁材料の反対側に位置された、ほぼバランスが取れた或いはバランスが取れた磁性領域であっても良い。この場合、フリー磁性材料は、絶縁材料に隣接し且つピン磁性領域の磁気モーメントベクトルと平行または逆平行な位置に方向付けられた磁気モーメントベクトルを有するとともに、反強磁性結合されたN個（Nは2以上の整数）の強磁性層を有する人工反強磁性（A A F）積層体を含んでいる。

10

【 0 0 4 2 】

フリー領域がほぼゼロの正味磁気モーメントを有している場合、本発明に係る方法は、フリー領域の正味磁気モーメントをそれがゼロにならないように変更することを含んでいる。これにより、トグルタイプのセンサの感度が高まる。磁気モーメントの変更は、例えばフリー磁性領域の強磁性層のうちの1つを少なくとも部分的に除去または破壊することにより、あるいは、反強磁性結合を強磁性結合へ局所的に変換することにより、フリー磁性領域中の強磁性層のうちの少なくとも1つの磁気モーメントを増大し或いは減少することを含んでいても良い。

20

【 0 0 4 3 】

任意の従属請求項の特徴は、互いに組み合わせることができ、あるいは、任意の独立請求項と組み合わせることができる。特に本発明者等に知られていない他の従来技術を越える更なる利点は、当業者に明らかである。ここで、添付図面を参照しながら、本発明が達成される方法について説明する。無論、本発明の請求項から逸脱することなく、多くの変形および変更をなすことができる。したがって、本発明の形態が単なる例示的なものであって本発明の範囲を限定しようとするものではないことは言うまでもない。

30

【 0 0 4 4 】

本発明の特徴は、本発明の好ましい実施形態を示す添付図面を参照することにより更に良く理解できる。

【 0 0 4 5 】

異なる図において、同じ参照符号は、同じまたは類似の要素を示している。

【発明を実施するための最良の形態】

【 0 0 4 6 】

特定の図面を参照しながら特定の実施形態に関して本発明を説明するが、本発明はこれらの実施形態に限定されず請求項によってのみ限定される。描かれた図面は、単なる概略図であり、非限定的なものである。図中、例示的目的で、一部の要素のサイズが誇張され一定の倍率で描かれていない場合がある。この明細書本文および請求の範囲で「備える（含む）」という用語が使用される場合、それは他の要素またはステップを排除するものではない。単数の名詞に言及する際に例えば「a」「an」「the」等の不定冠詞または定冠詞が使用される場合、これは、特に他の何かが述べられていなければ、その名詞を複数含んでいる。

40

【 0 0 4 7 】

本発明の実施形態を説明する前に、M R A M の経緯について簡単に説明する。ここ数年の間、磁気R A M（M R A M）の研究が活発になってきた。磁性材料とC M O S 技術との統合がそれほど問題にはならなくなっている。市販のM R A M の生産は2 0 0 4 ~ 2 0 0 5 年に計画される。M R A M 技術の概説は、「E x p e c t a t i o n s o f M

50

RAM in comparison.」(不揮発性メモリ技術シンポジウム2000(2000年11月11~12日、米国、バージニア州、アーリントン))においてK. - M. H. Lenssen等によりなされている。これは、第1世代の磁気ランダムアクセスメモリ(MRAM)がAMRに基づいていたことを示している。1988年以降、巨大磁気抵抗(GMR)と呼ばれる大きな磁気抵抗効果の発見により、抵抗が高く且つMR効果が大きい(5~15%)小さな素子の実現が可能になり、したがって、高出力信号の実現が可能になった。これにより、基本的には、一般的な用途におけるMRAMが可能になった。その発見後、10年間、GMR効果は、HDD読み取りヘッドや磁気センサ等の市販の製品に適用されている。

【0048】

10

1995年前後の磁気トンネル接合の分野における画期的進歩により、大きなトンネル磁気抵抗(TMR)効果が常温で実証された際、MRAMへの期待が更に高まった。その後、振幅が最大で50%を越えるTMR効果が示されたが、強力なバイアス-電圧依存関係に起因して、現在、実用的な用途において有効な抵抗変化は約35%である。

【0049】

そのようなデバイスにおけるセルの一例が図3に示されている。この構造および製造方法は、良く知られているため、ここでは詳しく説明する必要がない。要約すると、そのようなTMRに基づくMRAMは、磁気トンネル接合(MTJ)であるセルを含んでいる。MTJは、基本的に、フリー磁性層102と、絶縁層(トンネルバリア)103と、ピン磁性層105と、ピン層105の磁化を所定の方向に「固定する」ために使用される反強磁性層107とを有している。図3に示される実施例においては、上端接点100と、フリー磁性層102と、トンネルバリア103と、固定磁性層105と、ピニング層107と、下端接点110とを順に有する層構造体がある。ピン層105は人工反強磁性(AAF)構造体を備えていても良い。また、この概念をフリー層102にも同様に導入することにより、フリー層の磁気量を高め、その一方で、例えば熱的安定性のため、形状異方性を引き起こす低い正味磁気モーメントを維持し、最終的には所要の低いスイッチング磁場(あるいは、したがって、所要の低い書き込み電力)を維持することもできる。なお、磁場がゼロにおいて、フリー層102は明らかに磁気モーメントを有している。したがって、フリー層は、しばしば、人工フェリ磁性体と称される。当業者に知られ且つ以下で簡単に説明する従来の書き込み機構は、MRAMにおいて使用される場合、この複雑なフリー層においても維持することができる。

20

30

【0050】

MRAMセルは、2つの反対の方向の間で比較的自由に回転できるフリー磁性層102の磁化方向でバイナリ情報(1/0)を記憶する。MTJの抵抗は、フリー層102の磁化方向がピン層105の磁化方向と平行な場合に小さく、これらが逆平行の場合に大きい。特定のセル上で情報を読み取るため、選択されたセルのMTJ積層体を通じて小さなセンス電流(検出電流)Isが(垂直に)送られる。MTJ積層体による測定電圧降下(抵抗に比例する)は、セルの情報の表示である。セルの情報は、メモリセルの下端および上端でパターン化されるワード線およびビット線を介して書き込み電流を送ることにより、書き込み動作中に変えることができる。これらの電流は、メモリセル内に磁場(容易軸磁場および困難軸磁場)を形成する。これらの磁場は、選択されたセルに記憶されるバイナリ情報に応じて、選択されたセルのフリー層102の磁化を新たな方向に切り換えることができる十分な大きさとなるようにプログラムされる。

40

【0051】

一般に、GMRおよびTMRはいずれも、フリー層102およびピン層105の磁化方向が平行である場合に低い抵抗をもたらす、磁化方向が逆平行である場合に高い抵抗をもたらす。TMRデバイスにおいては、電子がバリア層を通り抜けなければならないため、層平面に対して垂直にセンス電流を印加しなければならない(CPP、平面に対して垂直な電流)。GMRデバイスにおいては、センス電流が、通常、層の面内で流れる(CIP、面内電流)。それにもかかわらず、急速に絶え間なく続く小型化に支えられて、MRAM

50

MをCPP TMRに基づかせる可能性があり得ると思われる。

【0052】

最近、モトローラは、米国特許第6545906号に記載されるような、また、図4に示されるようなトグル（またはスピフロップ）MRAMセルと呼ばれる新規なMRAM概念を導入した。この概念においては、従来のMRAMセルの単一のフリー磁性層102が、（ほぼ）バランスがとれた人工反強磁性（AAF）構造体220に取って代えられているが、積層体の残りは概ね変えられていない。以下では、このAAF構造体をAAFフリー積層体220と称する。AAFフリー積層体220は、複数のN個（Nは1よりも大きい整数）の強磁性層から成り、図4に示される実施例では2つの強磁性層 F_1 、 F_2 から成っている。これらの隣り合う2つの強磁性層 F_1 、 F_2 は、薄い非磁性層、好ましくはRu層である中間層221によって分離されている。中間層221の厚さは、2つの隣り合う強磁性層 F_1 、 F_2 間に反強磁性結合が存在するように調整され、これにより、ゼロまたは小さい磁場において強磁性層の磁化が逆平行にされる。磁性層 F_1 、 F_2 の厚さは、AAFフリー積層体220の正味の磁化がほぼゼロになるように選択される。

【0053】

この概念の重要な特徴は、AAFフリー積層体220のバランスに起因して、このAAFフリー積層体220が正味の磁気モーメントを何ら（ほとんど）有していないという点である。これは、第1の磁性層 F_1 の磁気モーメント $m_1 = S \cdot t_1 \cdot M_1$ （MTJ面積Sと、層厚 t_1 と、強磁性層 F_1 の飽和磁化 M_1 との積）と第2の磁性層 F_2 の磁気モーメント m_2 とがほぼ等しく（ $m_1 = m_2$ ）且つこれらの磁気モーメントが逆平行であり、したがって、互いに打ち消し合うからである。印加される外部磁場がゼロにおいて、モーメントは、図5の左側に示されるように、MTJ素子の容易軸方向EAに合わせられる。図5において、素子中の実線矢印および破線矢印は、AAFフリー積層体220の上側および下側の磁性層 F_1 、 F_2 のそれぞれの磁気モーメントを表わしている。強磁性層 F_1 、 F_2 の磁気モーメントは、反強磁性的に結合されて磁化対を形成する。スピフロップ磁場を上回る磁場が容易軸方向と異なる特定の方向でMTJ積層体に対して印加されると、磁気モーメントが「フロップ」して、（図5の右側に示されるように）磁気モーメントのベクトル和が印加磁場方向に合わせられる。いわゆるスピフロップ状態は、ゼーマンエネルギー（外部磁場）と反強磁性結合エネルギーとの間の微妙なエネルギーバランスに基づいている。

【0054】

MTJ積層体全体の抵抗は、AAFフリー積層体220の下側磁性層 F_2 の磁化方向222とピン層105の磁化方向との間のそれぞれの方向に依存しており、メモリ状態を規定するために使用される。AAFフリー積層体220は、十分に高い回転磁場が印加される場合にのみ（第1の論理状態と第2の論理状態との間、例えば0と1との間で）切り換えることができる。この回転磁場は、2つの連続するパルスワード線およびディジット線を介して送ることにより生成される。これらのパルスは、米国特許第6545906号に記載されるように、経時的に僅かに変化するが、依然として重なり合っている。2つの線は、互いに対して直交しており、好ましくはMTJ積層体の容易軸に対して45°の角度を成している。一連の2つのパルスは、フリーAAF積層体220の磁化対を古い方向から新しい方向へと時計周りあるいは反時計周りに連続的に回転させる回転磁場を形成する。選択されていないセルは、せいぜい一方のパルスだけに晒され、パルス終了後に緩和して当初の位置へと戻る。この書き込みプロセスを用いると、選択されていないセルは切り換わらない。これは、選択されていないセルがエネルギーバリアの最大値を通らなかったからである。

【0055】

本発明者等は、磁場センサとして使用するために従来のタイプおよびトグルタイプの両方のMTJデバイスを使用できること或いは適合させることができることを認識した。これらのデバイスは、例えば電源電流やIDD電流等の導体素子を通る電流の非接触測定（非接触とは導体素子に対して非接触ということ）など、多くの用途を有している。これ

は、任意の種類のCMOSチップまたは他のチップ内にあっても良い。無論、MRAMチップ内に実装することもできる。MRAMセルにおいて使用される同じ製造技術を殆ど変更することなく使用して、本発明の実施形態に係る集積電流センサを形成することができる。これらのセンサは、その実施に余分なマスクや余分なプロセスステップを伴わないため、MRAMチップまたは内蔵MRAMを有するチップにおけるIDD_x試験および電源ピン試験に特に適している。

【0056】

AAFフリー積層体220の正味の磁化がゼロであるため、トグルタイプのメモリセルは、外部磁場に影響されず、そのため更に頑強になる。MRAMにおけるこの利点は、センサ用途においては逆に不利となる。外部磁場に影響されないため、この積層体から形成される磁気センサの感度は、著しく低下し、従来のMRAM積層体よりも1～2位数低く見積もられる。それにもかかわらず、本発明者等は、そのような積層体も後述するように磁場センサとして使用でき或いは適合させることができることを認識した。

【0057】

CMOS回路、例えば図6Aに示されるCMOSインバータにおいて、IDDは高い電源レベルV_{dd}から低い電源レベルV_{ss}へと流れる電流である。回路内にデジタル移行が存在しないことを意味する零入力状態とも呼ばれる待機状態に回路があるとき、IDD電流は、安定であり、零入力IDD電流または簡単にIDD_Q電流と呼ばれる小さな値を有している。例えばV_{in}がローからハイへ変化し、したがって、V_{out}がハイからローへ変化する(図6Bの上部)など、任意のデジタル移行が回路内で行なわれている場合には、IDD電流は、過渡IDD電流または簡単にIDD_T電流と呼ばれる最大値まで立ち上がる(図6Bの中央部および下部)。そして、移行後、IDD電流は、再び元の零入力IDD_Qレベルまで下がる(図6Bの中央部)。前述した状況は、回路に不具合が無い場合に起こる。ゲート酸化物短絡、フローティングゲート不良、例えば図6Aにおいて並列レジスタR_pにより示されるような橋絡の不良など、何らかの不具合が存在する場合には、図6Bの下部に示されるように、移行後のIDD_Qの著しい増加が観察される。移行後のIDD_Q電流を監視することにより、回路の不具合を容易に検出することができる。

【0058】

IDD_Qは、非常に良好な試験方法であることが分かってきており、今までのところ、他の方法によって検出されない多くの障害を扱うことができる。

【0059】

IDD_Q試験の改善された方法はデルタIDD_Q方法である。デルタIDD_Q試験方法においては、多くの試験パターンが回路のデジタル入力に送られ、IDD_Qが監視されて比較される。パターンは、全ての内的な正味の数量の値(トグル)を変えることを保証するように形成されている。1つのパターンの平均値と他のパターンの平均値との間の差はΔIDD_Qと呼ばれる。任意のΔIDD_Q値が既知の正常値から大きく外れている場合には、回路に欠陥があると判断できる。

【0060】

両方の方法においては、デルタIDD_Q方法における電流範囲が回路のサイズに応じてmA範囲あるいはそれ以上となり得る場合であっても、電流分解能は数μA以下であることが好ましい。IDD_Q試験に関するより多くの情報は、参照することにより本願に組み込まれるBram Kruseman等による「The future of delta IDD_Q testing」(試験会議2001の議事録、101～110頁)において見出すことができる。

【0061】

本発明の一実施形態に係るセンサの基本的な原理が図8に示されている。図8に示されるように、センサは、3つの層、すなわち、フリー磁性層102と、トンネルバリア103と、ピン層すなわち固定磁性層105とを有している。フリー磁性層102および固定磁性層105の両方は層の積層体を備えていても良い。測定される電流I_xは、MTJセンサ素子210の下側に配置された導線200を通じて送られる。センサ素子210は、

従来の絶縁層（図8には示されていない）を使用して導体200から電気的に絶縁されている。以下で詳細に説明するように、センサ素子210は導体200の軸に沿って延びている。センサ素子210は、MRAMセルと全く同じ方法でパターン化することができ、また、メモリ配列を含む領域の外側に配置されていても良い。電流 I_x によって形成される磁場は、センサ素子210のフリー層102の磁化方向を回転させ、これはセンサ素子の抵抗変化によって検出することができる。抵抗を測定するために、センス電流 I_s が素子210を通じて送られる（上から下へと送られる）。

【0062】

同様の原理を使用するにもかかわらず、MRAMセルと本発明の実施形態に係る電流センサは、図9Aおよび図10Aに示されるように異なる特性を有している。それぞれの場
10
合において、磁性層の対応する方向が図9Bおよび図10Bに示されている。図9Aは、MRAMメモリセル構造体における抵抗-磁場特性を示している。MRAMセルにおいては、フリー層の磁気抵抗ループ（MRループ）が比較的大きな保磁力（ほぼ数十Oe程度）をもつ四角形となり且つ2つの異なる残留磁気状態を有していることが望ましい。また、ループの中心がゼロ磁場になければならない。一方、図10Aに示されるように、電流センサにおける特性は全く異なっている。電流センサは、一方では、できるだけ大きく磁場に影響され易い勾配のある特性を有していなければならず（高感度）、他方では、小さなヒステリシスを有していなければならず、あるいは、ヒステリシスを有してはならない。ループの中心がゼロ磁場である必要はない。用途に応じて中心点を選択することができる。例えば、測定された磁場の方向と反対の方向に中心点をずらすことができ、それ
20
により、広範囲に及ぶ一方向電流を測定する場合に、その検出される範囲が広げられる。

【0063】

素子の磁気的挙動の幾何学的な依存性を利用することにより、所望の特性を有するセンサを形成することができる。MRAMにおいては、前述したヒステリシスループを得るため、図9Bに示されるように、フリー層の容易軸は、固定された磁化の方向と平行でなければ
30
ならない。図9Bおよび図10Bにおいては、明確にするため、フリー層およびピン層が僅かにオフセットして示されている。実際には、これらの層は、互いに上下に積層され、薄い絶縁層（トンネルバリア）によって分離されていなければならぬ。容易軸は、素子を細長い形状にパターン化し、それにより長手方向（引き延ばされた方向）で形状異方性を引き起こすことにより得ることができる。書き込み中、素子を切り換えるための必須の印加磁場成分である容易軸磁場は、容易軸に沿って方向付けられる。

【0064】

センサ構成において、フリー層の容易軸（通常、長手方向）は、図10Bに示されるように、固定された磁化に対して $0^\circ \sim 180^\circ$ の角度を成していなければならず、好ましくは $45^\circ \sim 135^\circ$ の角度を成していなければならず、より好ましくは固定された磁化に対して略垂直でなければならぬ。測定電流 I_x のための導体200は、この容易軸と平行であることが好ましく、これにより、容易軸に対して垂直な磁場が形成される。Stoner-Wohlfarth理論から良く知られているように、単一磁区の磁気要素（single-domain magnetic element）のヒステリシスループは、それがその容易軸に対して垂直に向けられた磁場に晒される場合、ヒステリシスを
40
有さない。しかしながら、測定電流 I_x が容易軸と所定の角度を成して方向付けられることを排除するものではない。そうとはいえ、殆どの場合、平行な配置が最適な選択である。

【0065】

また、ヒステリシスを更に抑えるため、センサは、例えばヒステリシスを更に抑制するためのデバイスの近傍の第2の電流導体によって形成される更なるdc磁場（数Oe）に晒されても良い。更なる磁場の方向が、測定される磁場に対して略垂直となるように、したがってフリー層の容易軸と略垂直になるように、第2の電流（二次電流）がアレンジされる。更なる磁場は、フリー層の内側の磁化のコヒーレントな回転を安定させ、そのため、領域壁動作（domain wall motion）によって引き起こされるヒステ
50

リシスが抑制される。特性曲線の中心点をずらすため、したがって、センサの測定範囲をずらすため、測定される磁場に対して更なる磁場の方向が略平行となるように第2の電流を加えることができる。

【0066】

また、センサは、第2の電流導体によって形成される更なる交流磁場（交番磁場）に晒されても良い。更なる交流磁場は、測定される磁場を調節するため、したがってセンサ信号を調節するために使用される。適切なポスト信号処理方法を使用することにより、信号を抽出することができ、これにより、信号対雑音比を大きく向上させることができる。

【0067】

図11は、電流センサ（ホイートストーン）ブリッジの転移特性（電圧 - 電流）の測定値を示している。センサブリッジの各素子は、サイズが $6.5 \times 8 \mu\text{m}^2$ のTMR素子である。センサ面と導体200の上端との間の距離は150nmである。導体の断面積は $6.5 \mu\text{m}$ （横） $\times 0.35 \mu\text{m}$ （縦）である。ホイートストーンブリッジに対して印加される電圧は400mVである。図11に示される特性曲線の傾きから、 1.7 mV/mA というこのセンサの感度を得ることができる。IDDx試験においては、 $2 \mu\text{A}$ の所要の分解能により、 $3.4 \mu\text{V}$ の変化が生じる。従来の原理に従う増幅器を用いると、ノイズに圧倒されることなく、この変化を容易に分解することができる。

【0068】

センサ素子210のサイズは、およそ、測定される電流を運ぶ導体200の幅によって規定される。素子210にわたって磁場が比較的均一になるように、センサ素子210の幅は導体200の幅以下であることが望ましい。一方、導体200の幅は、センサ素子210において十分な磁場を形成するように選択されなければならない。図12は、センサ素子210において形成される磁場に関して導体の幅と導体 - センサ距離との間の関係を示している。導体200は300nmの厚さを有しており、電流は10mAである。一般的に言えば、導体200の幅が小さくなればなるほど、また、導体200 - センサ素子210間の距離が短くなればなるほど、センサ素子210において形成できる磁場が大きくなる。例えば、数mA範囲以下の測定が必要な場合、センサ素子210を駆動するのに十分な磁場を得るには、導体200の幅は約 $2 \mu\text{m}$ よりも大きくてはならない。導体200の厚さは約300nmに設定され、導体200とセンサ面との間の距離は約150nmであり、これらの値は現実的で実用的な値である。したがって、センサ素子210の幅は導体200の幅よりも大きくてはならないため、センサ幅も $2 \mu\text{m}$ より小さくなければならない。

【0069】

センサ素子210の長さは、感度およびヒステリシスの要件によって決まる。アスペクト比が小さければ小さいほど、得られる感度は大きくなる。理想的には、センサ形状は、最大の感度を得るために円形を成しているほうが良い。しかしながら、感度はヒステリシスの対抗因子である。すなわち、アスペクト比が小さくなればなるほど、ヒステリシスは大きくなる。ヒステリシスを減少させるためには、導体の方向に沿って幾らかの異方性を生じさせて磁気モーメントを安定させることが必要である。最も簡単な方法は、素子を引き延ばして、いわゆる「形状異方性」を使用することである。実際には、顕著なヒステリシスを伴うことなく比較的高い感度を有するためには、アスペクト比の妥協値は約5 - 7（約1 - 数ミクロンの幅を有する素子において有効）であることが分かっている。

【0070】

センサ素子のピン層（または、硬質基準層）は、所定の正味磁化を有する単一の強磁性層から成っていても良く、あるいは、正味磁化がほぼゼロの人工反強磁性（AAF）積層体から成っていても良い。AAF積層体は、一般に、非磁性層（例えばRu）を介して反強磁性結合される2つの強磁性層（例えばCoFe）から成っている。この積層体は、実際には、単一のピン層と同等であるが、層の強い反強磁性的相互作用に起因してより頑強である。また、フリー層においては、例えば静磁的に結合された構造体や反強磁性結合されたAAF構造体など、CMOSノードに向かうMRAMの拡張性を高めるために導入

10

20

30

40

50

された材料系にしたがって、高性能な層状構造体を使用することに留意すべきである。

【0071】

図13は、メモリセルにおける、ピン（硬質基準）層としてのAAF積層体の磁化方向およびフリー（軟質記憶）層の磁化方向を示しており、また、図14は、センサにおける対応する層の磁化方向を示している。これらの図においては、簡単のため、AFF積層体の非磁性中間層および絶縁トンネルバリア層が示されていない。図12および図14は、形状異方性、言い換えれば延伸がセンサにおける外的印加磁場 $H_{extreme}$ に対してどの程度直交しているかを示しているが、この異方性は従来のメモリセルにおいては外的印加磁場に対して平行である。また、これにより、転移曲線に傾きが生じる。図14では、センサ構成において交差異方性形態が得られており、これにより、軟質層および基準層の磁化が互いに直交する安定した磁化形態（およそ、ゼロ磁場において）が可能となる。

10

【0072】

図14の場合のような構造を有するセンサ素子における計算された特性の幾つかの例が図15～図18のグラフに示されている。抵抗-磁場強度を描いたグラフが示されている。図15は、参照の目的で、メモリセルにおける抵抗-磁場強度を示している。図示のように、ゼロ磁場付近の感度は低く、ヒステリシスが存在している。この例は、 $180 \times 120 \text{ nm}^2$ の矩形の層を使用した。MRAMはCoFe-Ru-CoFeの基準積層体を有しており、この基準積層体において、2つのCoFe層の厚さはそれぞれ 1.75 nm および 2.25 nm であり、NiFeから成るフリー層の厚さは 5 nm である。

20

【0073】

図16は、図15に関して前述したメモリセルとして構成され且つ $120 \times 180 \text{ nm}^2$ の寸法を有する第1のセンサデバイスにおける抵抗-磁場強度のグラフを示している。センサ構成において、基準積層体の磁性層CoFeは、フリー層の容易軸と直交する方向に固定されており、その固定方向で磁場が印加される。

【0074】

楕円の場合、形状異方性は、以下の異方性磁場によって与えられる。

$$H_K = 4\pi(t \cdot M)(\eta_y - \eta_x)/w$$

ここで、 $(t \cdot M)$ は、フリー層の厚さと飽和磁化との積であり、また、 $(\eta_y - \eta_x)$ は、アスペクト比 $1/w$ の単調増加関数であり、 $1/w = 1$ （円）の場合に0の値を取り、 $1/w = \infty$ の場合に1の値をとる。以下に与えられるような数において、 $H_K = 1600 \text{ Oe}$ である。そして、センサ感度が信号に関連付けられる。一例として、例えば使用できるTMR信号が40%の磁気トンネル接合を挙げると、推定される感度は以下のとおりである。

30

$$\text{感度} = \text{TMR} [\%] / (2 \cdot H_K)$$

【0075】

与えられた例においては、 $0.125\% / \text{Oe}$ の感度がある。なお、この感度は、センサの幅 w を増大させることにより高めることができる。有効磁場感度は、取り出される電圧信号から推定することができる。約 200 mA のバイアスにおいては、40% TMR信号によって $\Delta V = 80 \text{ mV}$ となり、この値から、感度は、増幅前に $250 \mu\text{V} / \text{Oe}$ となるように計算される。MRAMメモリセル構成の場合と同様に、センサ素子の全体にわたって電圧 V_{bias} を固定するために、電圧クランプトランジスタを加えることができ、また、結果として生じる電流変化 i_{sense} を増幅することができる。 $10 \text{ k}\Omega$ の磁気トンネル接合においては、最大電流変化が $8.3 \mu\text{A}$ であり、例えば $R_{load} = 50 \text{ k}\Omega$ において、 $\Delta V = 415 \text{ mV}$ である。

40

【0076】

図17は、第2のセンサデバイスにおける抵抗-磁場のグラフを示している。デバイスは $700 \times 5000 \text{ nm}^2$ の寸法を有している。デバイスは、 $2.0 \sim 2.5 \text{ nm}$ のCoFe-Ru-CoFeから成る基準積層体と、 5 nm のNiFeから成る軟質層とを有している。全MR比率が40%であるとする、センサの感度は $0.4\% / \text{Oe}$ であると計

50

算することができる。

【0077】

最後のステップでは、電流ラインの磁場生成を考慮することができる。この問題は、図12に示されるような幾何学的形状に大きく依存している。MRAM構成における一般的な値は、mA電流当たり、数Oeの磁場生成である。磁場生成が5Oe/mAであるとして、先の結果を用いると、それにより、有効電流感度は約6.5mV/mAとなる。図18に示されるような例においては、 $240 \times 360 \text{ nm}^2$ の矩形状のセンサを使用すると、 $H_K = 500 \text{ Oe}$ の場合、同じ前提の下、電流感度は約21mV/mAとなる。

【0078】

要するに、実験および理論考察の両方から、Walker等による「A practical Built-in Current Sensor for IDDQ Testing」(ITC2001、研究論文14.3)またはGiovanni Busatto等によるMicroelectronics Reliability 43 (2003年) 577-583頁において記載されるような現在のMAGFETデバイスにおけるよりも約2位数大きい数mV~数十mV/mAの範囲の信号を生み出すことができる。言い換えれば、 μA レベルの電流変化により、 μV ~数十 μV の範囲で信号が変化する。

【0079】

本発明の更なる実施形態において、上記電流検出デバイスを備える集積回路装置には、電流検出デバイスの感度を高めるための或いは測定される磁場の生成を促進させるための特別な手段が設けられても良い。

【0080】

本発明の一実施形態においては、同じ電流が電流導体によって運ばれるセンサレベルで更に強力な磁場を生成するための手段が設けられても良い。そのような手段は、例えば、相互接続ライン等の少なくとも1つの水平導電構成要素と共に、ビア(バイア)等の少なくとも1つの垂直導電構成要素を使用することであっても良い。垂直導電構成要素および水平導電構成要素は、L形状の導体構造を形成するように接続され、あるいは、その角部が電流検出デバイスに隣接して配置される少なくともL形状導体部分を含むように接続される。

【0081】

これを得るための方法の例を以下に示す。

【0082】

第1の例としては、水平相互接続ライン40が垂直ビア41に接続され、それにより、L形状構造体42が形成される(図19)。図19の左側は斜視図を示しており、図19の右側は垂直断面図を示している。このL形状構造体42は、測定される電流 I_x のための導電経路として使用される。電流検出デバイス210はL形状構造体42の角部44の近傍に配置されている。L形状構造体42を通じて電流が流れると、ビア41および水平相互接続ライン40の両方が右手の法則にしたがって電流検出デバイス210の位置で同じ方向の磁場を形成するため、電流検出デバイス210で測定される合成磁場は、真っ直ぐな水平の導体しか有さない従来の構成における磁場のほぼ倍になる。垂直導電構成要素すなわちビア41は、利用可能なパターンニング技術に応じて、電流検出デバイス210のできる限り近くに配置されることが望ましい。ビア41の上端は、測定下で電流経路に連結する任意の上側相互接続レベルに対して接続することができる。

【0083】

第2の例としては、図20に示されるように、第1の例の構成に対してリング形状の磁束集結体50が加えられる。リング形状の磁束集結体50は切れ目51を有しており、電流検出デバイス210は、リング形状の磁束集結体50の開放された切れ目51内に配置されている。

【0084】

磁束集結体50は、ダミーMTJであっても良く、例えばビア41の周囲でパターン化

10

20

30

40

50

されても良い。電流検出デバイスの近傍に配置されたリング形状のダミーMTJのフリー層は、より多くの磁束を電流検出デバイスへ集束させることにより検出限界を低くするための磁束ガイドとして使用することができる。リング形状の磁束集結体50は、垂直ビア41の周囲に形成される円形磁束線を、検出デバイス210が配置されているリングの切れ目51に集束させる。また、切れ目51の近傍の磁束集結体50の領域も、水平導体ライン40によって形成される磁束線を部分的に集束させる。磁束集結体50を使用すると、磁束密度、したがって検出デバイスにおける磁場強度を大幅に増大させることができる。検出デバイス210の縁部と切れ目51の「柱」との間の距離は、技術の可能性に応じて、できる限り短くしなければならない。

【0085】

図20の左上には、磁束集結体50が設けられたL形状構造体42の斜視図が示されている。磁束集結体50の層は、検出デバイス210の層に対応しており、したがって、本発明においては集積MRAMセルの層にも対応している。検出(フリー)層102と、絶縁層(トンネルバリア103)と、ピン磁性層105と、ピン層の磁化を所定の方向(交換バイアス方向)に固定するために使用される反強磁性層107とが存在する。図20に示される実施例においては、キャップ層241も存在する。簡単のため、これらの層だけがMTJ積層体中に示されている。実際には、ここでの動作原理に関連しない更に多くの層が存在していても良い。磁束集結体50のフリー層(検出層102)は、その磁化が自由に回転できるため、磁束集結体50の切れ目51に配置された検出デバイス210のための磁束ガイドとしての機能を果たすことができる。磁束集結体50のピン層105は、その磁化が固定されているため、測定中の磁束変化に影響を及ぼさない。

【0086】

本構成によれば、余分な処理ステップを何ら伴うことなく、検出デバイス210のための磁束集結体50を形成することができるため、MRAMチップへの集積等の用途に適している。

【0087】

図20の右上には、図20の左上に示された構造体の断面図が示されている。

【0088】

図20の右下は、磁束集結体50を有するL形状構造体42の平面図を示している。効率を良くし且つ切れ目51で生成される磁場を均一にするため、磁束集結体50は、検出デバイス210よりも大きい幅を有していることが好ましい。磁束集結体50の透磁率は、その幾何学的形状を変えることによって調整することができる。磁束集結体50のアスペクト比は、測定される磁場範囲で完全に飽和されないが磁束を集束できる十分に大きい透磁率を有するように選択されなければならない。磁束集結体50は、検出デバイス210のできる限り近くでパターン化されなければならないが、検出デバイスからは依然として電氣的に絶縁されなければならない。磁束集結体が近くなればなるほど、磁束ガイド効率が高くなる。無論、最小間隔は、使用されるリソグラフィ分解能およびエッチング技術によって決まる。

【0089】

図21に示される第3の例としては、第1の例の構成に対して第2のビア60が加えられることにより、U形状構造体61が形成される。U形状の導電経路は、検出デバイス210を包み込み、部分的にループを形成する。このU形状構造体61を用いると、検出デバイス210で形成される磁場は、測定される同じ電流 I_x に関し、真っ直ぐな導体しか有さない従来の場合と比べて約3倍となる。検出デバイス210は、このU形状構造体61の中心に配置されることが好ましく、U形状構造体61の3つの部分41, 42, 60から等しい距離で離間されていることが好ましい。ビア41, 61の上端は、測定下で電流経路と結合し合う任意の上側相互接続レベル(図示せず)に対して接続される。

【0090】

図22に示される第4の例として、ダミーMTJから形成されたダブルリング磁束集結体70が、第3の例の2つの垂直ビア41, 60の周囲に加えられる。検出デバイス21

10

20

30

40

50

0は磁束集結体70の切れ目71に配置される。ビア41と、検出デバイス210の下側の水平ライン42と、ビア60とから成る導電経路は、ダブルリング磁束集結体72, 73の2つの穴に貫通されている。例えばビア41からビア60へとU形状導電経路61を通じて電流 I_x が送られると、この電流 I_x は、磁束集結体70によって集束される円形の2つの磁束線群74, 75を検出デバイス210の平面上に形成する。この場合、一方の磁束線群74は、ビア41に対して反時計回りに回転し、他方の磁束線群75は、ビア60に対して時計回りに回転する。これらの磁束線群はいずれも切れ目71で同じ方向を有しており、したがって、検出デバイス210における磁束密度は、与えられた第2の例と比べて2倍の強さになる。これは、感度および低い検出限界に関しては、4つの中で最も良い例である。なぜなら、同じ電流 I_x が導電経路を通じて送られた場合、この例がセンサ位置で最も強い磁場を与えるからである。構成は複雑になるが、余分な処理ステップを何ら必要とせず、マスクの構成を変更するだけで済む。

10

【0091】

他の実施形態においては、ダミーMTJタイプの磁束集結体50, 70を、軟質磁性層から形成され且つMTJ積層体とは別個にパターン化される専用の磁束集結体にとって代えることができる。この場合には、余分な処理ステップが必要になる。しかしながら、その代わり、磁束集結体の効率が更に良くなるかもしれない。これは、最も効率的な磁束集結体が少なくとも10nmの厚さを有していることが分かっており、一方、MTJのフリー層が約4~5nmの厚さしか有していないが、この厚さにおいて効果を有し始めるからである。

20

【0092】

デバイスの抵抗を測定している検出回路を使用して、様々な実施形態におけるセンサを読み取ることができる。そのような検出回路の例を以下に説明する。

【0093】

また、ゼロ化(zeroing)モードフィードバックモードが適用されても良い。そのようなシステムでは、大きさが時間的に変化する反対の磁場が磁場センサの場所に生成され、これにより、センサによって測定される局所磁場の全体がゼロにされる。電気的なフィードバック信号自体は、センサモジュールの直接に出力される信号であっても良い。ゼロ化は、センサ作用点がゼロ磁場に限られないが一般にゼロ磁場に固定されているという利点を有している。結果として、電流センサの測定範囲を広げることができ、その線形性を向上させることができる。また、ヒステリシス効果を抑制することもできる。ゼロ化は、従来のMRAM概念を使用して構成される電流センサにおいて、また、同じバランスがとれた(平衡型)AAFフリー積層体をトグルタイプのMRAMセルと共有する電流センサにおいて実施することができる。

30

【0094】

更なる実施形態においては、トグルMRAMセルと同じMTJ積層体を共有する電流センサにおいて異なるゼロ化概念が導入される。この実施形態の背後にある原理が図23に示されている。検出デバイス210(すなわち、MTJ素子)は、第1の導体ライン90と第2の導体ライン91との間に配置されている。すなわち、一方の導体ラインが検出デバイス210の下側に位置し、他方の導体ラインが検出デバイス210の上側に位置している。MTJ素子は2つの導体ライン90, 91から電氣的に絶縁されている。2つのライン90, 91は、毛出デバイス210の容易軸に対して対称に配置されている。すなわち、2つのラインのそれぞれは、検出デバイス210の容易軸と同じ角度 α を成している。角度 α は、30°~90°の間の任意の値を有していても良いが、現在のCMOSデザインルールに適合させるために45°または90°であることが好ましい。第1の導体ライン90、例えば物理的に検出デバイス210の下側に配置された導体ラインは、測定される電流(I_x)のために使用され、第2の導体ライン91、例えば物理的に検出デバイス210の上側に配置された導体ラインは、逆電流(I_2)のために使用される。しかしながら、他の実施形態において、導体ライン90, 91の配置は、測定される電流 I_x を運ぶために上側の導体ラインを使用でき且つ逆電流 I_2 を運ぶために下側の導体ラインを

40

50

使用できることを意味するアップサイドダウンであっても良い。

【0095】

検出デバイス210の上端電極および下端電極(図示せず)は、2つの導体ライン90, 91から電気的に絶縁されるとともに、フィードバック回路80(図24に示されている)に対して接続される。フィードバック回路80は、第2の導体ライン91中で逆電流 I_2 を流す。

【0096】

測定中において、電流 I_x は、フリー積層体220のAAF磁化対を時計回りに回転させる傾向にある第1の磁場 H_1 を検出デバイス210上に形成し、一方、電流 I_2 は、フリー積層体220の磁化対を反時計回りに回転させようとする第2の磁場 H_2 を生じさせる(図23参照)。第1および第2の磁場が等しい場合、すなわち、 $H_1 = H_2$ である場合には、合成磁場 H が容易軸の方向に向けられ、また、合成磁場 H の大きさが容易軸方向でスピントロップ磁場を越えない場合には、フリー積層体220の磁化対が回転されず、したがって、フィードバック回路80においてMR変化が観察されない。スピントロップ磁場 H_{flop} は、人工反強磁性体の一軸異方性磁場 H_K および飽和磁場 H_{sat} の関数である。すなわち、 $H_{flop} = \sin(\theta) (H_K \times H_{sat})$ である。スピントロップ磁場に関する詳細は米国特許第2004/0120184号において見出すことができる。合成磁場 H がスピントロップ磁場を越えないように、測定された電流範囲に応じて、各導体ライン90, 91と容易軸との間の角度 α を正確に選択しなければならない。すなわち、以下の条件、つまり、 $\cos \alpha < H_{flop} / (2 \times H_1)$ といった条件が満たされなければならない。フィードバック回路80は、検出デバイス210の出力信号を読み取ることによって第1および第2の磁場 H_1, H_2 を釣り合わせようとするべく構成されている。すなわち、フィードバック回路80は、検出デバイス210のMR変化がゼロを保つように第2の導体ライン91中に電流 I_2 を流そうとする。したがって、第2の導体ライン91と直列に接続された負荷抵抗器 R_L の電圧降下は、第2の導体ライン91を通じて流れる電流 I_2 に比例し、その結果、測定され且つ第1の導体ライン90を通じて流れる電流 I_s に比例し、検出デバイス210の出力として使用することができる。フィードバック回路80からの出力を抽出する任意の他の方法も可能である。

【0097】

この実施形態に係る構成の斜視図が図25に示されている。

【0098】

提案された実施形態は、以下の利点を与える。

- 測定範囲が広い。これは、磁化対の回転によって範囲が限定されないからである。
- 測定範囲内で線形特性をもつ。これは、測定範囲内で出力が I_2 に比例し、また、 I_2 も I_x に完全に比例しているからである。
- ヒステリシスが無い。これは、磁化が大きく回転しないからである。
- 処理ステップが変わらず、したがって、余計なコストがかからない。

【0099】

本発明に係る構成の他の実施形態が図26に示されている。上側導体ライン91は、検出デバイス210に近接して配置される2つの垂直ビア85, 86に接続されており、これにより、U形状ブリッジ87が形成されている。 I_2 は、下側金属層中の導体88から、例えば下側導体ライン90と同じ層から、ブリッジ87内へと流入するとともに、同じ金属層中または異なる金属層中の導体89においてブリッジ87から流出する。U形状ブリッジ87の3つの部分85, 91, 86によって形成される磁場は検出デバイス210の位置で合計され、それにより、同じ電流 I_2 に関し、図25の構成と比べて約3倍の大きさの磁場が得られる。したがって、この場合、 $H_2 = H_1$ を得るために、 I_2 の所要値は、測定される電流 I_x よりもかなり小さい。

【0100】

更なる実施形態が図27に示されている。この実施形態においては、上側ライン91および下側ライン90の両方がU形状ブリッジ87, 120の形態を成して構成されている

。この場合の感度および低い電流検出限界は更に向上される。

【0101】

トグルMRAAM積層体から更に感度が高い電流センサを得るため、本発明の実施形態においては、堆積されたままのトグルタイプMTJ積層体が、センサを含む領域で局所的に改質され、それにより、従来のMTJ積層体センサの場合と同様に、フリー層の正味の磁気モーメントが実際にゼロにならない。したがって、センサ用途に適する従来のMRAAM積層体をトグルMRAAM積層体から局所的に再生することができる。

【0102】

本発明の実施形態においては、AAFフリー積層体中の磁性層のうちの1つの磁気モーメントを減少させ或いは増大させることにより、センサを含む領域を局所的に改質して、フリー層の磁気モーメントをゼロ以外にすることができる。

10

【0103】

MTJ積層体の堆積直後にリソグラフィステップが行なわれ、図28に示されるようにセンサを含んでいない領域がマスクで覆われる。したがって、この領域は改質されない。マスクで覆われた領域は、その後のプロセスステップでパターン化されるMRAAMセルを含んでいても良い。

【0104】

図28の上側部分は、マスキング材料の堆積後で且つ任意の更なる構造化ステップの前におけるトグルタイプMTJ積層体の平面図を示しており、図28の下側部分は当該トグルタイプMTJ積層体の垂直断面図を示している。このとき、積層体は、AAFフリー積層体220中の磁性層のうちの1つの磁気モーメントを減少または増大するように改質できる状態となる。MTJ積層体の改質後、マスキング材料、例えばフォトレジスト240が除去される。

20

【0105】

AAFフリー積層体220中の磁性層 F_1 、 F_2 のうちの1つの磁気モーメントを減少または増大させる方法の例を以下に示す。

【0106】

第1の例として、少なくともAAFフリー積層体220の上側の強磁性層 F_1 を任意の適当な方法で部分的に又は全体的に除去することができる。最も好ましい除去方法は、エッチング技術、例えばイオンビームエッチング、反応性イオンビームエッチング、スパッタエッチング、プラズマエッチング、ウェットエッチング等である。

30

【0107】

例えばTaから成るキャップ層241が最初にエッチングされなければならない。その後、上側の磁性層 F_1 の少なくとも一部が除去される。理想的には、図29の上側部分に示されるように、中間層221の上側または中間層221内でエッチングを止めなければならない。これにより、センサの最も高い感度が保証される。しかしながら、 F_1 を部分的に除去することもでき、これによりAAFは十分に不安定になる。フリー積層体が3つ以上の磁性層を備えている場合には、1または複数の層の少なくとも一部を除去し、それにより、正味の磁気モーメントがもはやゼロに等しくない構造体を得ても良い。

【0108】

最終的に、図29の下側部分に示されるように、エッチング後、マスキング層、例えばフォトレジスト240を除去することができる。チップの全ての製造が終了するまでのMRAAMステップの標準的な部分、すなわち、MRAAMセル(自動的にそれとともにセンサも)および導体ラインをパターン化するために必要な残りの全てのステップは、これらの余分なステップ後に通常通り行なうことができる。

40

【0109】

第2の例として、AAFフリー積層体220の上側強磁性層 F_1 の磁気特性は、適当な破壊方法によって部分的に或いは全体的に破壊することができる。この破壊方法により、結果として、材料が磁性体から非磁性体へと変換されなければならない。適した破壊方法の例としては、酸化、イオン注入または拡散によるドーピングを挙げることができる。例

50

えば、上側磁性層 F_1 の磁気特性は、酸化により局所的に破壊することができる。酸化プロセスは、キャップ層 241 を貫通して、下側の磁性層 F_1 に達し、中間層 221 の上側で止まらなければならない。

【0110】

また、イオン注入または拡散によるドーピングによって破壊を行なうこともできる。イオン注入は、例えば米国特許第 6153281 号に記載されているように良く知られた技術である。注入されるイオンは、例えば Cr 、 O 、 N 、 Nb 、 Si 等であっても良く、また、注入は、基板に対して垂直な方向で或いは所定の角度をもって行なうことができる。図 30 に示される注入プロファイル 260 は浅いことが重要である。これは、低いイオンエネルギーを使用して注入量および注入角を最適化することにより実現されても良い。また、注入領域は最上端の磁性層 F_1 内に制限されなければならない、これは、注入量を調整することにより行われても良い。

10

【0111】

更なる実施形態において、フリー領域 220 の正味の磁気モーメントがゼロにならないようにするための更に他の方法は、例えばエッチング技術等の任意の適当な方法によりキャップ層 241 を除去した後に A F F フリー積層体 220 の上側強磁性層 F_1 の上端に対して直接に他の強磁性層 F_3 (図示せず) を加えることであっても良い。1 つの磁性層を加えることにより、 F_1 および F_3 を備える複合層の磁気モーメントが F_2 の磁気モーメントよりも大きくなり、その結果、A A F 構造体がアンバランスになる。他の方法として、 F_1 、 F_2 、 F_3 から成る層構造全体を一度に堆積させることもできる。したがって、当初は、チップの M R A M 部分も後で除去されるべき余分な層を有しており、そのため、プロセスの複雑さが増す。M R A M が I C の主要な機能であるという事実を踏まえると、これは殆どの場合に受け入れられない。

20

【0112】

他の実施形態において、フリー領域 220 の正味の磁気モーメントがゼロにならないようにするための他の方法は、A F F フリー領域 220 の強磁性層 F_1 、 F_2 間の反強磁性結合を局所的に強磁性結合に(部分的に)変換することであっても良い。これは、A F F フリー積層体 220 を局所的にアニールし、それにより、Ru 中間層 221 との相互拡散に起因して、磁性層 F_1 、 F_2 間に強磁性結合領域を生じさせることにより実現されても良い。これは、A F F フリー積層体 220 中に残留磁気(したがって、正味磁気モーメントがゼロではない)を引き起こす。この実施形態においては、M R A M ベースラインプロセスの流れの中に余分なマスク層を挿入する必要がある。試験段階中に局所的な加熱を行なうことができる。

30

【0113】

この後者の実施形態は、マスクを不要にできるという意味で、先の実施形態と異なっている。アニーリングによって A F F フリー積層体 220 が局所的に変えられても良いことは米国特許第 2004/0120184 号から知られている。これは、最近、トルグ書き込み M R A M 概念において書き込み電力を減少させるために提案されたものである。米国特許第 2004/0120184 号においては、A F F フリー積層体 220 が適度な温度でアニールされ、それにより、結合が弱い領域が A F F 220 中に生じ、その結果、スピンフロップ磁場が低くなる。一般に、そうすることによりサンプル領域の 10 ~ 20 % が改質される。

40

【0114】

これらの結合が弱い(反強磁性結合された)領域は、高温でアニールされると成長して、最終的に強磁性層 F_1 、 F_2 が強磁性結合される領域へと進展することが実験的に観察された。結果として、サンプルは、外的に印加される磁場がゼロにおいて残留磁気(正味の磁場がゼロではない)を示す(図 31 参照)。図 31 は、4 nm の $NiFe$ 層 F_1 と、0.7 nm の Ru 中間層 221 と、他の 4 nm の $NiFe$ 層 F_2 とを備える A F F フリー積層体 220 のヒステリシスループを示している。240 で 15 分間、アニーリングを行なった。図 31 の差し込み図から明らかなように、アニール後、積層体は、ほぼゼロで

50

ない残留磁化を進展させている。このことは、膜の少なくとも一部において、強磁性層 F_1 、 F_2 間に強磁性結合が存在していることを示唆している。

【0115】

局所的に余分な熱を形成するための特定の手段をセンサ領域中に含めることができる。そのようなステップにおいては、余計な電力が散逸される領域だけが、AAF 中で拡散プロセスを開始して最終的に結合が弱い領域の生成を開始するのに十分な高い温度を有する。異なる手法は、集束レーザ光を使用して積層体を局所的に加熱することであっても良い。センサが MRAM 配列の近傍に配置されていないという事実を踏まえると、この目的のためには、かなり粗悪な照明システムで十分かもしれない。

【0116】

MTJ 検出素子、すなわち、従来のタイプまたはトグルタイプの MRAM 積層体のいずれかが形成されたら、用途に適するように、検出素子の抵抗を測定するための検出回路として任意の適当な従来の回路を使用することができる。高性能の用途のため、図32および図33には、MRAMのための読み出し回路と原理的に同じ2つの他の読み出し回路が示されている。図32に示されるように、バイアストランジスタ340を介してセンサ330と直列に結合された負荷抵抗器310の両端間の電圧を増幅するために、オペアンプ320が使用される。図32において、センサにおけるバイアス電圧は相対的に固定された値(約200mV)にクランプされ、また、センサの抵抗の変化が電流の変化を引き起こし、その結果、負荷抵抗器の電圧が変化する。この電圧変化はその後において増幅される。回路の欠点は、センサの抵抗が変化するときクランプ電圧が幾らか変動してしまうという点である。

【0117】

図33には、MTJメモリ読み出しとの関連で、米国特許第6,205,073B1号からの材料を使用する改良された回路が示されている。この構成では、2つのオペアンプが存在する。出力オペアンプ360は、バイアス制御オペアンプ350の出力を増幅する。また、バイアス制御オペアンプの出力は、バイアストランジスタ340の入力部にも供給される。オペアンプ350のマイナス入力部にはセンサ両端間の電圧が供給される。この構成において、バイアス制御オペアンプの負のフィードバックは、センサ330の電圧をクランプする能動的な方法を可能にし、これにより、信号を更に安定させることができるとともに、読み出し時間を更に速くすることができる。

【0118】

図34に示されるように、例えば図32または図33に示される回路と似ているセンサモジュール330の出力 V_{signal} は、所定の閾値との比較を可能にする第2の入力 $V_{threshold}$ を有するセンサ読み出し増幅器400によって読み出すことができる。図34において、比較信号($V_{threshold}$)は、制御論理402により発生し、また、プログラム可能なレベルであっても良い。その結果として増幅器400の出力部で得られる(閾値電圧よりも)高い又は低い信号は、基本的にデジタル信号であり、例えばIEEE規格1149.1にしたがった内部レジスタを使用する境界走査セルを含む境界走査セットアップにより出力ピンへ送ることができることが好ましい(図34)。

【0119】

本発明によれば、多数のセンサを使用して、異なるブロックにより費やされる電流を測定し、電流をかなり多く費やし或いはあまり費やさない構成部分を決定することができる。図35は、加えられたコアブロック402の全てが電流センサユニット404(コア毎に分布するセンサの組であっても良い)を有しているシステムオンチップ(SOC)400を示している。センサユニット404はアクセス手段(好ましくは、図34におけるような境界走査セットアップ)に接続されている。チェック能力がこのチップの更なる処理機能であっても良い(図示せず)。境界走査により、チェック能力がチップの外側に配置されても良い。ICのその寿命中の消耗を監視することができる。

【0120】

更に特有の実施例が図36に示されている。この実施例において、電流センサは、少な

10

20

30

40

50

くとも1つの処理モジュールまたはコアの電源ライン上に位置されている。配電ネットワークが簡略化された形態で示されているが、この配電ネットワークは、通常、図35および図36に概略的に示されるものよりもかなり複雑である。電流センサ404の出力は中央タスクスケジューラ700へ供給される。スケジューラ700の機能は、異なるモジュールまたはコア402の電力消費量に関する情報を集めた後、動的な配電方式に基づいてタスクのスケジューリングを決定することである。スケジューラ700は、従来のマイクロプロセッサ等の適当な処理装置、例えば内蔵マイクロプロセッサ、または、プログラマブルゲートアレー等のプログラマブルデジタル論理装置、例えばプログラマブルアレー論理、プログラマブル論理アレー、フィールドプログラマブルゲートアレー等で実行するソフトウェアにおいて実施されても良い。コア402は、電力を消費する処理ユニットであり、その最大容量で実行しているときに熱くなる場合がある。処理ユニットによる電流（電力）測定に基づいて、より多くの処理負荷をスケジュールすることができる。すなわち、タスクスケジューラ700は、ロードバランシングを行なうことができる。その後、ローディング制御がコア402にフィードバックされる。この機能は、多くの並行処理ユニットを有するシステムにおいて特に有用である。これは、不必要な待ち行列を防止するが、特定のコア402で生じる過度な熱も防止できる。また、このようにして電力低減方式が制御され、それにより、アセンブリレベルでの高価な熱伝達策が防止されても良い。他の実施例（図示せず）では、タスクスケジューラ700を、異なる機能を有する様々な回路、例えば測定ユニットやインタラプトジェネレータに取って代えることができる。そこから、更なる作業のため、例えば他の制御または監視ジョブのために、内部ブロックまたは外部またはソフトウェア環境への接触がなされる。

【0121】

先の任意の実施形態で説明した電流センサは、多くの種類の集積回路、特にCMOS回路およびMRAM回路に実装することができる。そのようなセンサの出力を従来の方法に従うスキッチェン状態で結合することにより、多くのセンサ出力を集積回路の1または複数の出力へと多重化することができる。そのような集積回路は、従来の消費者機器において、特にラップトップコンピュータや携帯電話等のモバイル機器、および、自動車や航空電子工学のためのABS等の安全システムにおいて使用することができる。前述したように、測定される電流によって形成される磁場の強度を検出するためのセンサは、磁気トンネル接合を使用するセンサ素子と検出回路とを有しており、センサ素子は磁場に伴って変化する抵抗を有している。また、センサ素子はトンネル接合を備え、検出回路は、トンネル接合を横切って流れるトンネル電流を検出するようにになっている。例えば延伸によって引き起こされる異方性は、磁場に対して所定の角度を成して方向付けられ、好ましくは磁場と垂直に方向付けられる。利点としては高い感度を挙げることができ、そのため、ノイズに殆ど影響されない。また、次世代のCMOSプロセスと容易に統合することができ、よりコンパクトであるとともに、電力消費が少ない。感度が高いため、後処理をあまり使用せずに済み、モバイル機器等の用途においては電力を節約することができる。用途としては、電流センサ、内蔵電流センサ、IDDQ試験を挙げることができ、次世代CMOSプロセスにおいても使用できる。請求項の範囲内で他の変形例を考えることもできる。

【図面の簡単な説明】

【0122】

【図1】従来技術のセンサを示している。

【図2】従来技術のセンサを示している。

【図3】従来のMTJメモリセルを示している。

【図4】トグルタイプのMRAMセルの垂直断面図である。

【図5】それぞれ外部磁場が印加されないときの、フリー層としての機能を果たす平衡型人工反強磁性積層体の反応を示している。

【図6A】CMOSインバータを示している。

【図6B】図6AのCMOSインバータの入力電圧 V_{in} がローからハイへ変化するとき

の、欠陥が無い回路および欠陥がある回路におけるIDDQ電流を示している。

【図7】回路のデジタル入力に対して多くの試験パターンが適用された後に測定されたIDDQ電流をプロットするグラフを示している。

【図8】本発明の一実施形態に係るセンサの概略図を示している。

【図9A】所定の従来のメモリセル構造における磁気抵抗特性を示している。

【図9B】所定の従来のメモリセル構造における磁気抵抗特性を示している。

【図10A】本発明の一実施形態に係るセンサ構造における磁気抵抗特性を示している。

【図10B】本発明の一実施形態に係るセンサ構造における磁気抵抗特性を示している。

【図11】TMRセンサの電圧 - 測定電流特性を示している。

【図12】様々な導体幅における、導体からの距離に伴って変化する磁場強度のグラフを示している。 10

【図13】従来技術のメモリセルの層の方向を示している。

【図14】本発明の一実施形態に係るセンサの層の方向を示している。

【図15】所定の状況における、磁場強度に対するTMR素子の計算された抵抗のグラフを示している。

【図16】所定の状況における、磁場強度に対するTMR素子の計算された抵抗のグラフを示している。

【図17】所定の状況における、磁場強度に対するTMR素子の計算された抵抗のグラフを示している。

【図18】所定の状況における、磁場強度に対するTMR素子の計算された抵抗のグラフを示している。 20

【図19】本発明の一実施形態に係る、L形状電流導体の角部に位置された電流検出デバイスを備える回路構成の斜視図（左側）および側面図（右側）である。

【図20】本発明の更なる実施形態であって、図19の実施形態と同様であるが更に磁束終結手段が設けられた実施形態の斜視図（左上側）、断面図（右上側）、平面図（右下側）である。

【図21】本発明の更に他の実施形態に係る、U形状電流導体の中心に位置された電流検出デバイスを備える回路構成の斜視図（左側）および側面図（右側）である。

【図22】本発明の更なる他の実施形態であって、図21の実施形態と同様であるが更に磁束終結手段が設けられた実施形態の斜視図（左上側）、断面図（右上側）、平面図（右下側）である。 30

【図23】第1および第2の導体ラインが交差する本発明に係る電流検出デバイスの平面図を示している。

【図24】フィードバック回路を有する本発明の一実施形態の回路ブロック図である。

【図25】図23の場合と同様の電流検出デバイスの斜視図である。

【図26】本発明の一実施形態に係る集積回路構成の側面図である。図面を簡略化するため、検出デバイスの電極は図示されていない。

【図27】本発明の更なる実施形態に係る集積回路構成の斜視図である。

【図28】リソグラフィステップによるフォトレジスト層によってマスキングが行なわれる、センサを含まないMTJ積層体の領域のマスキングの平面図（図面の上側）および断面図（図面の下側）を示している。 40

【図29】本発明の一実施形態に係る、エッチングによるAAF積層体の磁性層の除去を示している。

【図30】本発明の更なる実施形態に係る、イオン注入によるAFF積層体の磁性層の破壊を示している。

【図31】2つの4nmのNiFe層および1つの0.7nmのRu中間層を備えるAAF積層体のアニーリングの前後におけるヒステリシスループを示している。

【図32】本発明の一実施形態に係るセンサのための読み出し回路を示している。

【図33】本発明の一実施形態に係るセンサのための読み出し回路を示している。

【図34】本発明の一実施形態に係る基本的な電流検出方式を示している。 50

【図 3 5】加えられたコアブロックの全てがコア毎に分布するセンサの組であっても良い電流センサを有しているシステムオンチップ（SOC）を示している。

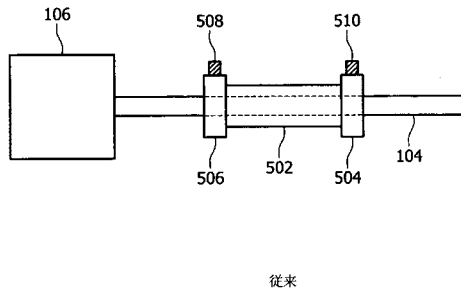
【図 3 6】加えられたコアブロック中の電流センサからの出力がタスクスケジューラに接続されるシステムオンチップ（SOC）を示している。

【符号の説明】

【 0 1 2 3 】

4 0	水平相互接続ライン	
4 1	垂直ビア	
4 2	L 形状構造体	
5 0	磁束集結体	10
5 1	切れ目	
6 0	第 2 のビア	
6 1	U 形状構造体	
7 0	ダブルリング磁束集結体	
7 1	切れ目	
7 2 , 7 3	ダブルリング磁束集結体	
7 4 , 7 5	磁束線群	
8 0	フィードバック回路	
9 0	第 1 の導体ライン	
9 1	第 2 の導体ライン	20
1 0 0	上端接点	
1 0 2	フリー磁性層	
1 0 3	トンネルバリア	
1 0 5	固定磁性層	
1 0 7	ピニング層	
2 2 0	人工反強磁性構造体	
2 2 1	中間層	
2 4 0	フォトレジスト	
2 4 1	キャップ層	
3 1 0	負荷抵抗器	30
3 2 0 , 3 5 0	オペアンプ	
3 3 0	センサ	
3 4 0	バイアストランジスタ	
3 6 0	出力オペアンプ	
4 0 0	センサ読み出し増幅器	
4 0 2	コアブロック	
4 0 4	センサユニット	
7 0 0	中央タスクスケジューラ	

【図 1】



【図 2】

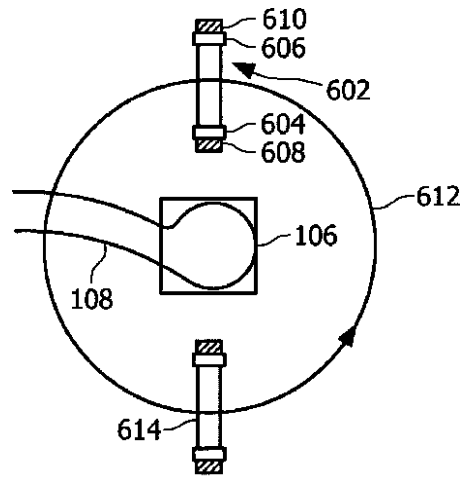


FIG. 2

【図 3】

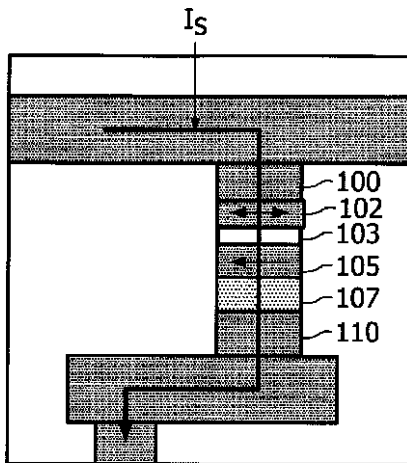


FIG. 3

【図 4】

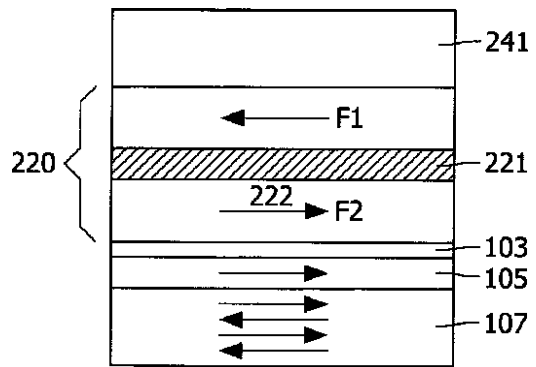
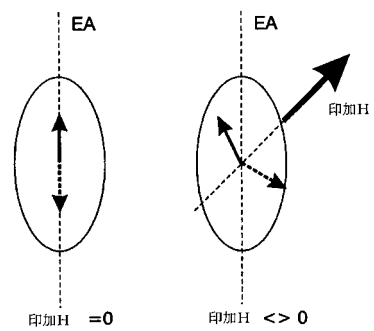
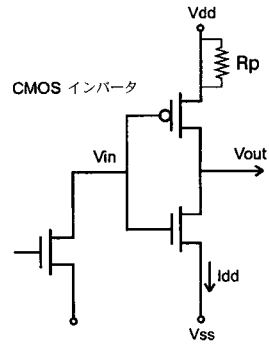


FIG. 4

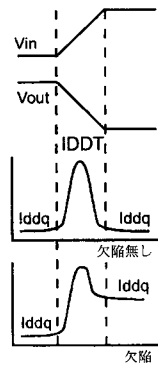
【図 5】



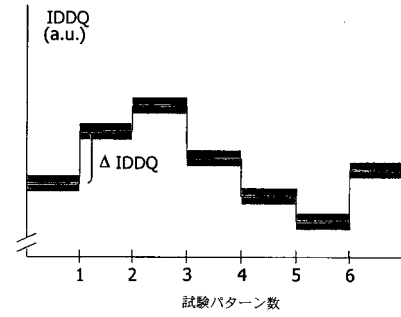
【図 6 A】



【図 6 B】



【図 7】



【図 8】

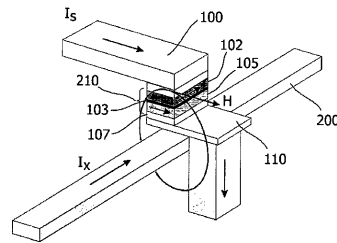
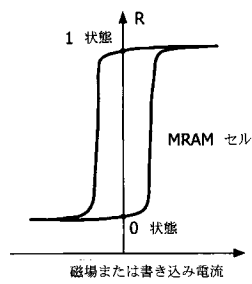
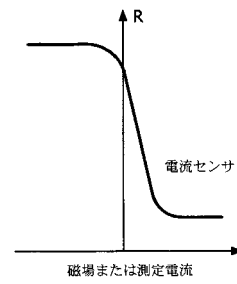


FIG.8

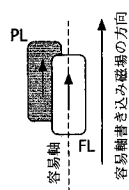
【図 9 A】



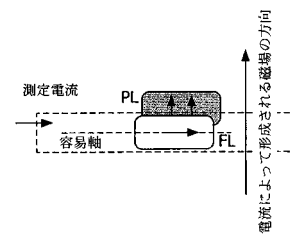
【図 10 A】



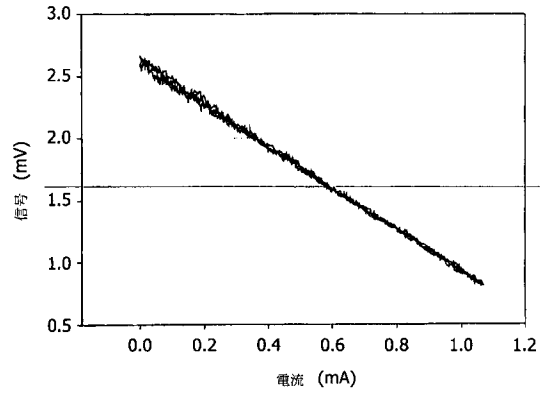
【図 9 B】



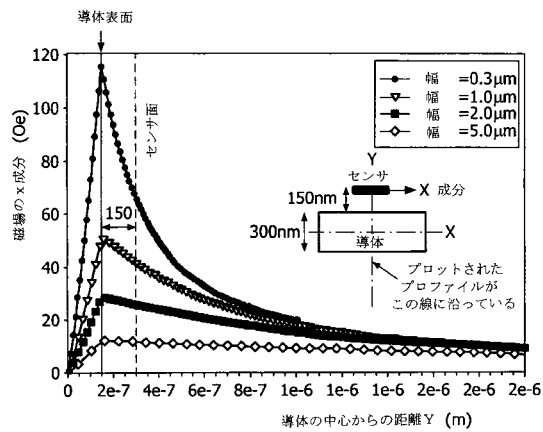
【図 10 B】



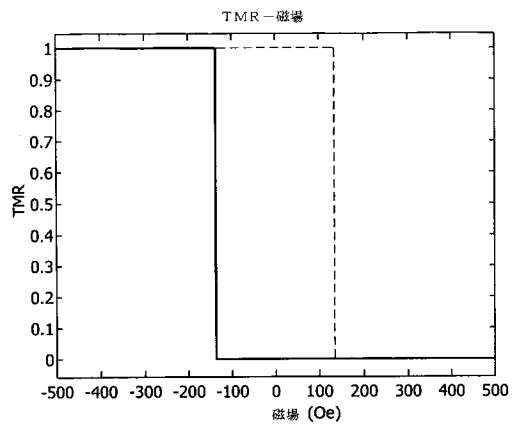
【図 1 1】



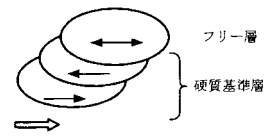
【図 1 2】



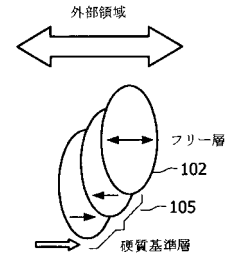
【図 1 5】



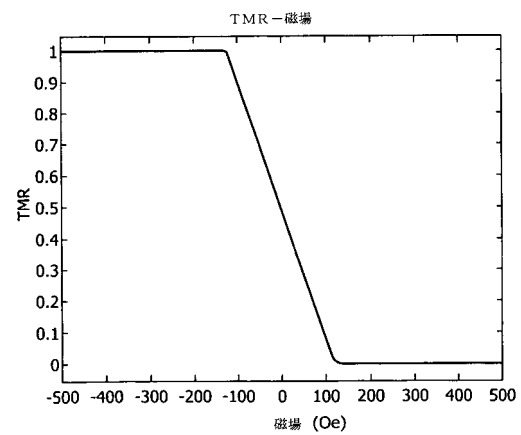
【図 1 3】



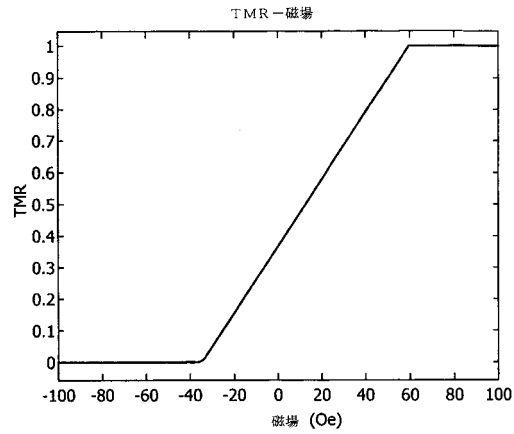
【図 1 4】



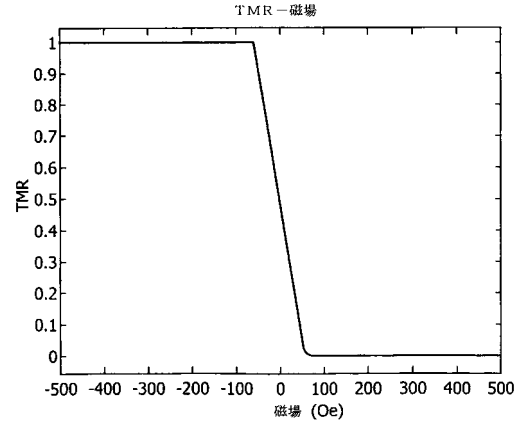
【図 1 6】



【図 17】



【図 18】



【図 19】

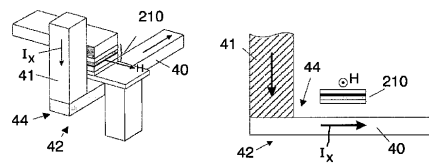


FIG. 19

【図 20】

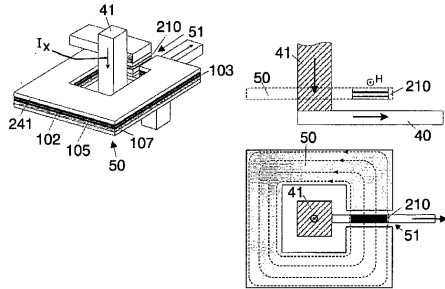


FIG. 20

【図 22】

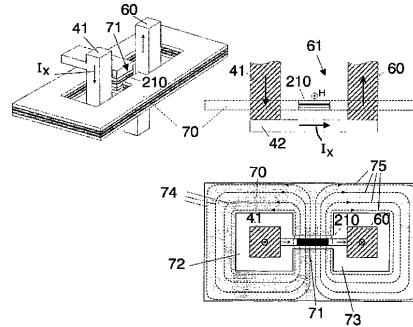


FIG. 22

【図 21】

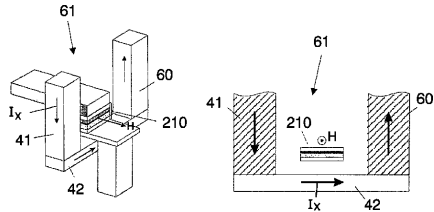
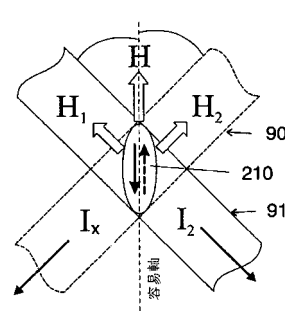
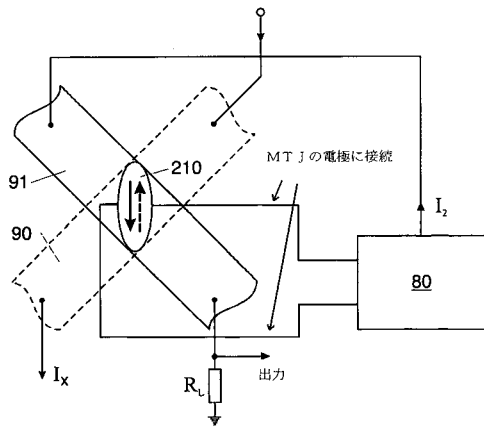


FIG. 21

【図 23】



【図 24】



【図 25】

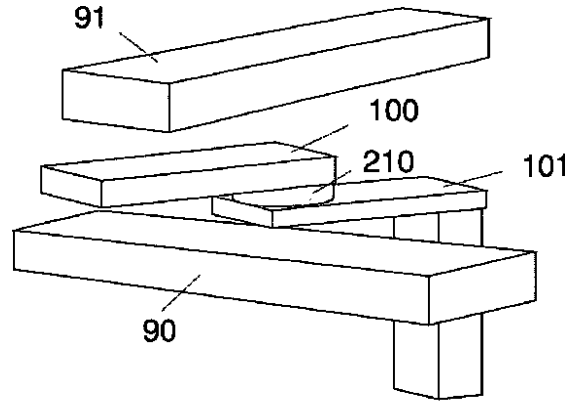


FIG. 25

【図 26】

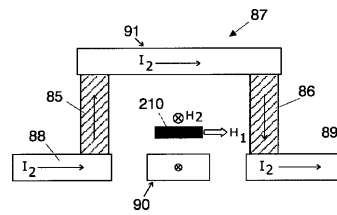


FIG. 26

【図 27】

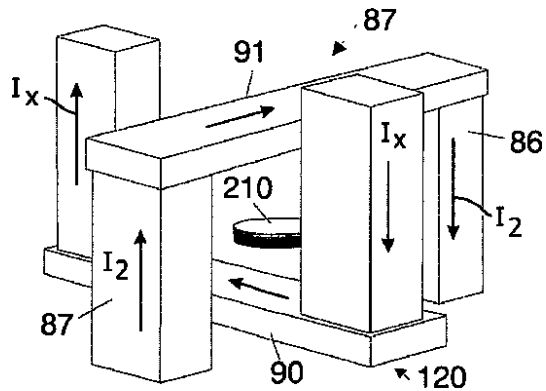
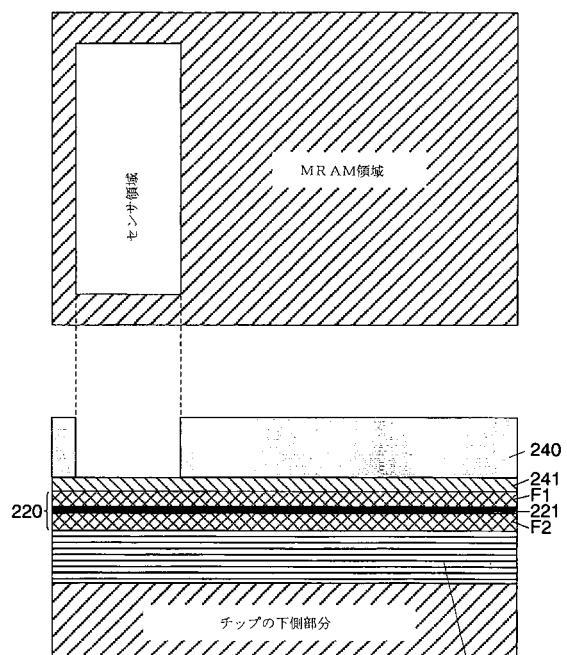


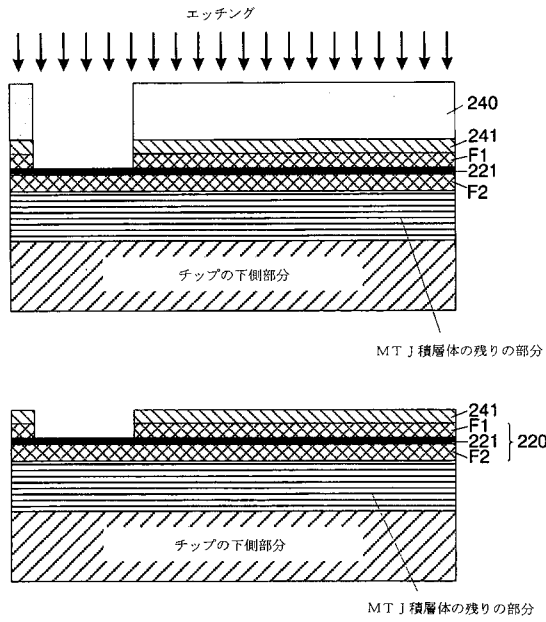
FIG. 27

【図 28】

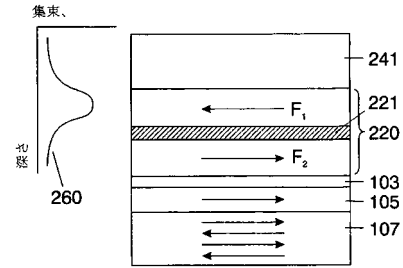


MTJ積層体の残りの部分

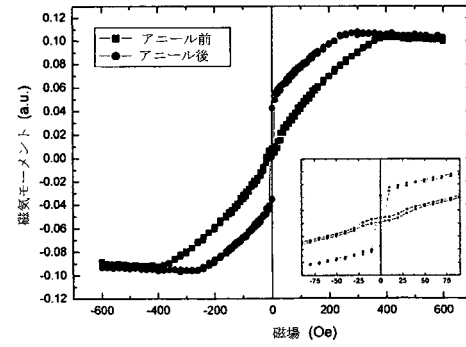
【図 29】



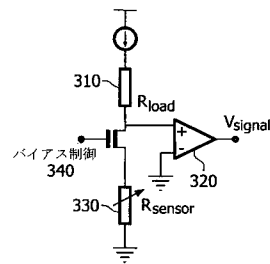
【図 30】



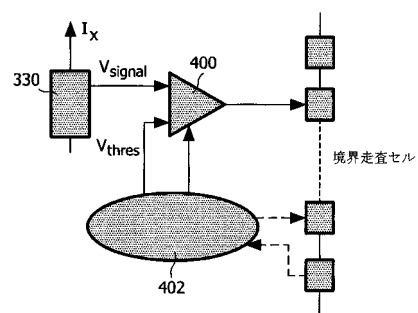
【図 31】



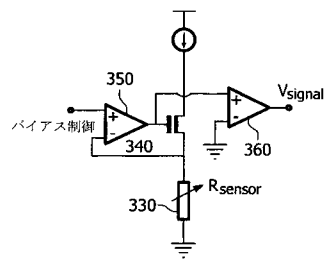
【図 32】



【図 34】



【図 33】



【図 35】

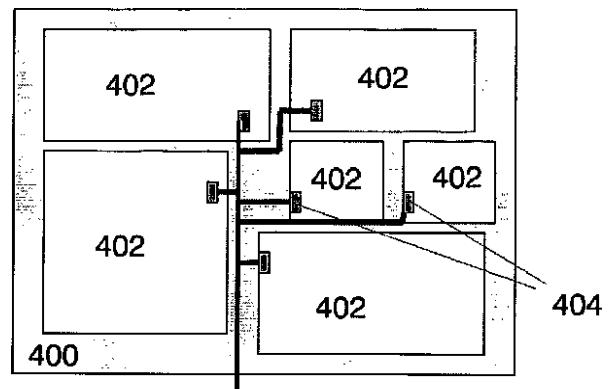


FIG. 35

【図 36】

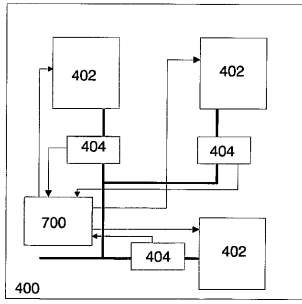


FIG. 36

フロントページの続き

- (72)発明者 ヨハンネス、デ、ウィルデ
オランダ国 5 6 5 6、アーアー、アインドーフェン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 ホセ、デ、ホタ・ピネダ、デ、ギベス
オランダ国 5 6 5 6、アーアー、アインドーフェン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 フランシスクス、ヘー・エム・デ、ヨング
オランダ国 5 6 5 6、アーアー、アインドーフェン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 ヨセフス、アー・フイスケン
オランダ国 5 6 5 6、アーアー、アインドーフェン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 ハンス、エム・ペー・ボエフ
オランダ国 5 6 5 6、アーアー、アインドーフェン、ケアオブ、プロフ・ホルストラーン、6
- (72)発明者 キム、ファン、ル
オランダ国 5 6 5 6、アーアー、アインドーフェン、ケアオブ、プロフ・ホルストラーン、6

審査官 長谷川 直也

- (56)参考文献 特表 2 0 0 3 - 5 2 6 0 8 3 (J P , A)
特表 2 0 0 0 - 5 1 6 7 1 4 (J P , A)
特開平 0 1 - 0 1 8 0 6 8 (J P , A)
特開 2 0 0 2 - 0 8 2 1 3 6 (J P , A)
特開平 1 0 - 2 9 3 1 4 1 (J P , A)
特開平 0 7 - 2 0 9 3 3 6 (J P , A)
特開平 0 2 - 2 2 7 6 7 0 (J P , A)
米国特許第 0 6 1 4 4 2 1 4 (U S , A)
特開平 0 9 - 1 2 7 1 6 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8246、27/105、
27/22、29/82、
43/00-43/14、
G01R 15/00-19/32