

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-110900
(P2023-110900A)

(43)公開日 令和5年8月9日(2023.8.9)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 21/338 (2006.01)	H 0 1 L 29/80	H 5 F 1 0 2
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78	3 0 1 B 5 F 1 4 0
H 0 1 L 21/265 (2006.01)	H 0 1 L 21/265	Z
H 0 1 L 29/12 (2006.01)	H 0 1 L 29/78	6 5 2 T
H 0 1 L 29/78 (2006.01)	H 0 1 L 29/78	6 5 2 K
審査請求 未請求 請求項の数 15 O L (全14頁) 最終頁に続く		

(21)出願番号 特願2023-10393(P2023-10393)	(71)出願人 591002692 エスターマイクロエレクトロニクス エス・アル・エル・ S T M i c r o e l e c t r o n i c s S . r . l . イタリア国 ミラノ 2 0 0 4 1 アグラ ーテ プリアンツァ ヴィア ツィー オリ ヴェッティ 2
(22)出願日 令和5年1月26日(2023.1.26)	(74)代理人 100076185 弁理士 小橋 正明
(31)優先権主張番号 102022000001478	(72)発明者 フェルディナンド イウコラーノ イタリア国, 9 5 0 3 0 グラヴィナ ディ カターニャ, ヴィア ジャングリ 3
(32)優先日 令和4年1月28日(2022.1.28)	(72)発明者 ラッファエッラ ロ ニグーロ イタリア国, 9 5 0 3 0 サンタガタリ
(33)優先権主張国・地域又は機関 イタリア(IT)	最終頁に続く

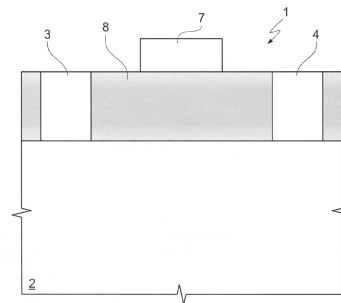
(54)【発明の名称】 ナノラミネート絶縁ゲート構造を有するワイドバンドギャップトランジスタ及びワイドバンドギャップトランジスタの製造方法

(57)【要約】

【課題】 従来技術の制限を解消するか又は緩和することを可能とするワイドバンドギャップトランジスタ及びワイドバンドギャップトランジスタの製造方法を提供する。

【解決手段】 ワイドバンドギャップトランジスタが、窒化ガリウム (G a N) 又はシリコンカーバイド (S i C) の少なくとも一つのワイドバンドギャップ半導体層 (1 4, 1 6 ; 1 0 3, 1 0 5) を具備している半導体構造体 (2) と、絶縁ゲート構造体 (8) と、該絶縁ゲート構造体 (8 ; 1 7 ; 1 1 0) によって該半導体構造体 (2 ; 1 5 ; 1 0 2) から離隔されているゲート電極 (7 ; 1 8 ; 1 0 0 c) とを包含している。該絶縁ゲート構造体 (8 ; 1 7 ; 1 1 0) はアルミニウムと、ハフニウムと、酸素との混合物を包含している。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

ワイドバンドギャップトランジスタにおいて、

窒化ガリウム (GaN) 又はシリコンカーバイド (SiC) の少なくとも一つのワイドバンドギャップ半導体層 (14, 16; 103, 105) を包含している半導体構造体 (2; 15; 102)、

絶縁ゲート構造体 (8; 17; 110)、

該絶縁ゲート構造体 (8; 17; 110) によって該半導体構造体 (2; 15; 102) から離隔されているゲート電極 (7; 18; 100c)、

を有しており、該絶縁ゲート構造体 (8; 17; 110) がアルミニウムと、ハフニウムと、酸素との混合物を包含しているワイドバンドギャップトランジスタ。

10

【請求項 2】

該半導体構造体 (15) が、窒化ガリウム (GaN) のチャンネル層 (14) 及び窒化アルミニウムガリウム (AlGaN) とアルミニウム及びガリウムの三元合金、又はアルミニウム及びガリウムの四元合金からなるグループから選択された物質のバリア層 (14) を包含し、ヘテロ接合 (13a) が該チャンネル層 (14) と該バリア層 (16) との間の界面に形成されているヘテロ構造体 (13) を有している請求項 1 に記載のトランジスタ。

【請求項 3】

該半導体構造体 (102) が、

或る導電型と第 1 ドーピングレベルとを有しているシリコンカーバイド (SiC) の基板 (103) と、

前記導電型と該第 1 ドーピングレベルよりも一層低い第 2 ドーピングレベルを有しているシリコンカーバイド (SiC) のエピタキシャル層 (105) と、

を有している請求項 1 に記載のトランジスタ。

20

【請求項 4】

該絶縁ゲート構造体 (8; 17; 110) が、アルミニウム酸化物 (Al_2O_3) を包含する複数個の第 1 領域 (2a; 17a) 及び該第 1 領域 (2a; 17a) と交互になっているハフニウム酸化物 (HfO_2) の複数個の第 2 領域 (2b; 17b) で少なくとも部分的に層状である請求項 1 乃至 3 の内のいずれか 1 項に記載のトランジスタ。

30

【請求項 5】

該第 1 領域 (2a; 17a) 及び該第 2 領域 (2b; 17b) が 1 nm と 5 nm との間の厚さを有している請求項 4 に記載のトランジスタ。

【請求項 6】

該絶縁ゲート構造体 (8; 17; 110) がアモルファスである請求項 1 乃至 5 の内のいずれか 1 項に記載のトランジスタ。

【請求項 7】

ワイドバンドギャップトランジスタを製造する方法において、

窒化ガリウム (GaN) 又はシリコンカーバイド (SiC) の少なくとも一つのワイドバンドギャップ半導体層 (14, 16; 103, 105) を包含している半導体構造体 (2; 15; 102) を形成し、

該半導体構造体 (2; 15; 102) の上に絶縁ゲート構造体 (8; 17; 110) を形成し、

該絶縁ゲート構造体 (8; 17; 110) の上にゲート電極 (7; 18; 100c) を形成する、

ことを包含しており、該絶縁ゲート構造体 (8; 17; 110) がアルミニウムと、ハフニウムと、酸素との混合物を包含している方法。

40

【請求項 8】

該半導体構造体 (2; 15; 102) を形成することが、

窒化ガリウム (GaN) のチャンネル層 (14) と窒化アルミニウムガリウム (AlG

50

a N) のバリア層 (1 6) とを包含しておりヘテロ接合 (1 3 a) が該チャンネル層 (1 4) と該バリア層 (1 6) との間の界面に形成されているヘテロ構造体 (1 3) を形成することを包含している請求項 7 に記載の方法。

【請求項 9】

該半導体構造体 (1 0 2) を形成することが、
 或る導電型及び第 1 ドーピングレベルを有しているシリコンカーバイド (S i C) の基板 (1 0 3) を形成すること、及び

前記導電型及び該第 1 ドーピングレベルよりも一層低い第 2 ドーピングレベルを有しているシリコンカーバイド (S i C) のエピタキシャル層 (1 0 5) を形成すること、
 を包含している請求項 7 に記載の方法。

10

【請求項 1 0】

該絶縁ゲート構造体 (8 ; 1 7 ; 1 1 0) を形成することが、
 複数のアルミニウム酸化物層 (8 a ; 1 7 a ; 1 1 0 a) 及び複数のハフニウム酸化物層 (8 b ; 1 7 b ; 1 1 0 b) を交互に相次いで付着させてゲート積層体 (8 ' ; 1 7 ' ; 1 1 0 ') を形成すること、及び

隣接するアルミニウム酸化物層 (8 a : 1 7 a : 1 1 0 a) とハフニウム酸化物層 (8 b ; 1 7 b ; 1 1 0 b) との間の界面において該アルミニウム酸化物層 (8 a ; 1 7 a ; 1 1 0 a) のアルミニウム酸化物と該ハフニウム酸化物層 (8 b ; 1 7 b ; 1 1 0 b) のハフニウム酸化物とが拡散して混合するようにアニーリングを実施すること、
 を包含している請求項 7 乃至 9 の内のいずれか 1 項に記載の方法。

20

【請求項 1 1】

アニーリングを実施することが、
 或るアニーリング期間の間或るアニーリング温度へ該ゲート積層体 (8 ' ; 1 7 ' ; 1 1 0 ') へ加熱することを包含しており、該アニーリング温度及び該アニーリング期間は該絶縁ゲート構造体 (8 ; 1 7 ; 1 1 0) が結晶化することを防止するように選択されている請求項 1 0 に記載の方法。

【請求項 1 2】

該温度が 5 0 0 と 9 5 0 との間であり、好適には 6 0 0 と 8 0 0 との間であって、且つ該アニーリング期間が 3 0 秒と 6 0 0 秒との間である請求項 1 0 又は 1 1 に記載の方法。

30

【請求項 1 3】

相次いで付着することが原子層堆積法 (A L D) によって付着させることを包含している請求項 1 0 乃至 1 2 の内のいずれか 1 項に記載されている方法。

【請求項 1 4】

該アルミニウム酸化物層 (8 a ; 1 7 a ; 1 1 0 a) 及び該ハフニウム酸化物層 (8 b ; 1 7 b ; 1 1 0 b) が 0 . 5 n m と 1 0 n m との間の厚さを有している請求項 1 0 乃至 1 3 の内のいずれか 1 項に記載の方法。

【請求項 1 5】

該ゲート積層体 (8 ' ; 1 7 ' ; 1 1 0 ') を形成した後に、少なくとも一つのソース電極 (3 ; 2 0 ; 1 0 0 b) 及びドレイン電極 (4 ; 2 0 ; 1 0 0 a) を形成することを包含している請求項 1 0 乃至 1 4 の内のいずれか 1 項に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、ナノラミネート (n a n o l a m i n a t e d) 絶縁ゲート構造を有するワイドバンドギャップトランジスタ及びワイドバンドギャップトランジスタの製造方法に関するものである。

【背景技術】

【0 0 0 2】

知られているように、ワイドバンドギャップ (W B G) を有する、特に、 1 . 1 e V よ

50

りも大きなバンドギャップのエネルギー値 E_g と、低オン状態抵抗 (R_{ON}) と、熱導電度の高い値と、高い動作周波数と、電荷キャリアの高い飽和速度とを有する半導体物質は、MOSFET、JFET、HEMT (高電子移動度トランジスタ)、及びMISHEMT (金属-絶縁体-半導体高電子移動度トランジスタ) 等のパワー適用例用の電子部品を製造するのに特に適している。

【0003】

同様の特性を有しており且つ電子部品を製造するために使用されるべく構想される物質は、その異なるポリタイプ (例えば、3C-SiC、4H-SiC、6H-SiC) においてのシリコンカーバイド (SiC) である。

【0004】

この目的のために有益的に使用される物質の別の例は、窒化ガリウム (GaN) である。例えば、高移動度電界効果トランジスタは、異なるバンドギャップを有する半導体物質の間の界面であるヘテロ接合において高い移動度を有する2次元電子ガス (2DEG) の層の形成に基づくものであることが知られている。例えば、HEMTトランジスタは、窒化アルミニウムガリウム (AlGaN) の層と窒化ガリウム (GaN) の層との間のヘテロ接合に基づくものであることが知られている。

【0005】

SiC又はGaNからなるパワートランジスタにおいて、高誘電率の誘電体を使用することは、絶縁ゲート構造体を形成するために有益である。実際に、これらの物質は、絶縁ゲート構造体内の電界及び装置のオン状態抵抗 R_{ON} の両方を減少させることを可能とし、且つ、更に、スレッシュホールド電圧に対する利点を伴う。

【0006】

現在使用されている高誘電率物質の問題は、高温度に露呈された場合に劣化する傾向とリンクされている。特に、ワイドバンドギャップ装置の製造の幾つかの工程において一般的に到達する温度において、純粋の高誘電率物質は結晶化する傾向があり、且つ相変化が装置の漏洩電流を増加させる場合がある。例えば、オーミックコンタクトの形成は、典型的に、高温アニーリング工程を必要とし且つ高誘電率誘電体の結晶化を発生させる場合がある。その結果、絶縁ゲート構造体を形成する前に高温度を必要とする工程を実施するように処理の流れを組まねばならない。しかしながら、この処理シーケンスは、そうでなければ不必要である付加的な工程を必要とする場合があり、そのことは製造コストの増加を伴うこととなる。例えば、絶縁ゲート構造体とは別個にオーミックコンタクトを画定するために付加的なフォトリソグラフィを実施することが必要となる。

【0007】

一方、シリコン酸化物等の物質は、劣化すること無しに、より非常に高い温度に耐えるが、しばしば必要とされる高性能を達成するための十分な誘電率を有するものではない。

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の目的とするところは、上述した制限を解消するか又は緩和することを可能とするワイドバンドギャップトランジスタ及びワイドバンドギャップトランジスタの製造方法 (プロセス) を提供することである。

【課題を解決するための手段】

【0009】

本発明によれば、請求項1及び7に夫々定義されるようなワイドバンドギャップトランジスタ及びワイドバンドギャップトランジスタの製造方法が提供される。

【0010】

本発明をより良く理解するために、本発明の幾つかの実施例について純粋に非制限的な例として添付の図面を参照して以下に説明する。

【図面の簡単な説明】

【0011】

10

20

30

40

50

- 【図 1】本発明の 1 実施例に基づくワイドバンドギャップトランジスタの断面図。
- 【図 2】(a) は本発明の 1 実施例に基づくプロセスの或る工程における図 1 のトランジスタの拡大詳細図、(b) はその後の処理工程における(a)の詳細図、(c) は本発明の異なる実施例に基づくプロセスのその後の処理工程における(A)の詳細図。
- 【図 3】本発明の異なる実施例に基づくワイドバンドギャップトランジスタの断面図。
- 【図 4】本発明の更なる実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。
- 【図 5】本発明の更なる実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。
- 【図 6】本発明の更なる実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。 10
- 【図 7】本発明の更なる実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。
- 【図 8】本発明の更なる実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。
- 【図 9】本発明の更なる実施例に基づくワイドバンドギャップトランジスタの断面図。
- 【図 10】本発明の更に別の実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。
- 【図 11】本発明の更なる実施例に基づくワイドバンドギャップトランジスタの断面図。
- 【図 12】本発明の更なる実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。 20
- 【図 13】本発明の更なる実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。
- 【図 14】本発明の更なる実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。
- 【図 15】本発明の更なる実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。
- 【図 16】本発明の更なる実施例に基づくプロセスの相次ぐ工程の内の或る工程における半導体ウエハの断面図。
- 【発明を実施するための形態】 30
- 【0012】
- 本発明は、特に、ワイドバンドギャップトランジスタにおける絶縁ゲート構造体の製造に関するものである。図 1 を参照すると、一般的に、ワイドバンドギャップトランジスタ 1 は、少なくとも 1 つの層が窒化ガリウム (GaN) 又はシリコンカーバイド (SiC) 等のワイドバンドギャップ半導体物質からなる半導体構造体 2 と、ソース電極 3 と、ドレイン電極 4 と、絶縁ゲート構造体 8 によって半導体構造体 2 から離隔されているゲート電極 7 と、を有している。より詳細には、半導体構造体 2 は、GaN HEMT 装置の場合には、窒化アルミニウムガリウム (AlGaN) 及び GaN ヘテロ構造 - AlGaN / GaN ヘテロ構造を、又は、SiC MOSFET の場合には、高いドーピングレベル (例えば、 10^{18} 子数 / cm^3 はそれ以上) の SiC 基板及び一層低いドーピングレベル (例え 40
- ば、 10^{15} 10^{16} 子数 / cm^3 の SiC エピタキシャル層を、包含する場合がある。
- 【0013】
- 図 2 (a) - (c) により詳細に例示してある絶縁ゲート構造体 8 は、アルミニウム、ハフニウム、及び酸素の混合物を包含している。より詳細には、絶縁ゲート構造体 8 は、ゲート積層体 8' (図 2 (a)) を形成するためのナノメートルの厚さを有している複数のアルミニウム酸化物層 8 a と複数のハフニウム酸化物層 8 b の交互の相次いでコンフォーマル付着とそれに続くアニーリング工程 (図 2 (b)、(c)) とによって得られる。アルミニウム酸化物層 8 a 及びハフニウム酸化物層 8 b は、例えば、0.5 nm と 10 nm との間の厚さを有しており、アモルファスであり且つ原子層堆積法 (ALD) によって得られる。層 8 a、8 b の数は、絶縁ゲート構造体 8 の全体的な厚さが、例えば、30 50

nmと60nmとの間の所望の値を有するように決定される。非制限的例においては、アルミニウム酸化物層8a及びハフニウム酸化物層8bの全ては等しい厚さを有している。

【0014】

アニーリング工程期間中に、層8a、8bの間の界面において、アルミニウム酸化物及びハフニウム酸化物が拡散し且つ混合する。従って、少なくとも、夫々の界面においては、アルミニウムと、ハフニウムと、酸素との混合物が存在している。アルミニウム酸化物層8a及びハフニウム酸化物層8bの初期厚さ、該アニーリング工程の期間及び温度に従って、最終的な絶縁ゲート構造体8において、初期の層状構造が部分的に残存されるか(図2(b))、又は、代替的に、失われる(図2(c))場合がある。該アニーリング工程は、ゲート積層体8'を500と950との間で、好適には600と800との間で、例えば800のアニーリング温度へ加熱させることによって実施することが可能である。そのアニーリング期間は30秒と600秒との間とすることが可能である。しかしながら、アニーリング温度とアニーリング期間とは、アルミニウム酸化物とハフニウム酸化物との拡散及び混合に起因する絶縁ゲート構造体8の結晶化を回避するように選択される。絶縁ゲート構造体8の誘電率及び結晶化温度は、アルミニウム酸化物の誘電率及び結晶化温度とハフニウム酸化物のそれとの中間である。従って、絶縁ゲート構造体8は満足のいく誘電率値を有しており、且つ、同時に、例えば、オーミックコンタクトの形成のためにパワー装置の製造工程期間中に発生する熱応力に構造的変形無しで耐えることが可能である。ゲート構造体は、高温度への露呈から保護することが必要ではないので、例えばフォトリソグラフィの数を減少させることによって不必要な工程を回避するように、その処理の流れを最適化させることが可能である。

10

20

【0015】

図3は、上述した如くに得られた絶縁ゲート構造体を具備するHEMT装置10を示している。HEMT装置10は、例えばシリコン又はシリコンカーバイド(SiC)又はアルミニウム酸化物(Al₂O₃)からなる基板12と、基板12上に延在している真性窒化ガリウム(GaN)からなるチャンネル層14と、チャンネル層14上に延在している真性窒化アルミニウムガリウム(AlGaN)からなるか又はAl_xA_{1-x}N、AlInGa_xN、In_xA_{1-x}N、Al_xIn_{1-x}N等の窒化ガリウムの三元又は四元合金に基づく化合物からなるバリア層16と、チャンネル層14とは反対側のバリア層16の面16a上に延在している絶縁ゲート構造体17と、ソース電極20とドレイン電極22との間の絶縁ゲート構造体17の上を延在しているゲート電極18と、を包含している。

30

【0016】

チャンネル層14及びバリア層16は、互いに界面においてヘテロ接合13aを具備しているヘテロ構造体13を形成している。従って、ヘテロ構造体13は、下側に存在する基板12との界面の一部であるチャンネル層14の底部側とバリア層16の上部側16aと間に延在している。

【0017】

基板12、チャンネル層14、及びバリア層16は、以後、全体として、半導体構造体15として言及する。半導体構造体15内に画定される活性領域13aが、使用中に、HEMT装置10の導電性チャンネルを収容する。図3の実施例において、ゲート電極18は活性区域13aに対応するゾーンにおいて絶縁ゲート構造体17上を延在している。

40

【0018】

図2(a)-(c)を参照して既に例示したようにして設けられる絶縁ゲート構造体17は、アルミニウムと、ハフニウムと、酸素との混合物を包含している。より詳細には、絶縁ゲート構造体17は、ナノメートル又はサブナノメートルの厚さを有している複数のアルミニウム酸化物層17a及び複数のハフニウム酸化物層17bの交互の相次いでコンフォーマル付着(堆積)と、それに続くアニーリング工程とによって得られる。アルミニウム酸化物層17a及びハフニウム酸化物層17bはアモルファス、即ち非晶質、である。

【0019】

50

不図示の更なる実施例によれば、半導体ボディ 15 及びその中に收容されている活性領域 13 a としてのウエルは、設計上の嗜好により、適宜にドーブされているか又は真性型の GaN 又は GaN 合金の単一の層又は複数の層を有することが可能である。

【0020】

図 3 の実施例においては、例えば金属である導電性物質からなるソース領域 20 及びドレイン領域 22 は、深くバリア層 16 内へ入り込むこと無しに、バリア層 16 の表面 16 a に到達するまで専ら絶縁ゲート層 17 を貫通して延在している。

【0021】

不図示の実施例によれば、ソース領域 20 及びドレイン領域 22 が、バリア層 16 の厚さの一部にわたって延在しバリア層 16 内で終端するように延在している。

10

【0022】

不図示の更なる実施例によれば、ソース領域 20 及びドレイン領域 22 は、完全にバリア層 16 を貫通して半導体ボディ 15 内深くに延在して、バリア層 16 とチャンネル層 14 との間の界面において終端している。

【0023】

不図示の更なる実施例によれば、ソース領域 20 及びドレイン領域 22 は、更に、部分的にチャンネル領域 14 を介して延在し且つチャンネル層 14 内で終端している。

【0024】

HEMT 装置 10 の製造方法（プロセス）の 1 例について図 4 - 9 を参照して以下に説明する。

20

【0025】

最初に図 4 を参照すると、半導体ウエハ 30 は、例えばシリコン又はシリコンカーバイド (SiC) 又はアルミニウム酸化物 (Al_2O_3) からなる基板 12 を有している。窒化ガリウム (GaN) のチャンネル層 14 及び窒化アルミニウムガリウム (AlGaN) のバリア層 16 を、チャンネル層 14 上に延在して、基板 12 上に形成する。バリア層 16 及びチャンネル層 14 は、前述したように、ヘテロ構造体 13 及びヘテロ接合 13 a を形成する。

【0026】

次いで図 2 (a) を参照して説明した如く、ゲート積層体 17' を形成する。特に、ゲート積層体 17' は、ナノメートル厚さを有している複数のアルミニウム酸化物層 17 a 及び複数のハフニウム酸化物層 17 b (HfO_2) を、所望の全体的な厚さに到達するまで、交互に相次いでコンフォーマル付着（堆積）によって得られる。アルミニウム酸化物層 17 a 及びハフニウム酸化物層 17 b はアモルファスであり且つ原子層堆積法 (ALD) によって形成されるが、該方法は、構造のコンフォーマル特性及び極めて正確な厚さ制御を確保する。

30

【0027】

その後（図 5）、例えばレジストの第 1 犠牲層 25 をゲート積層体 17' 上に形成し且つ第 1 フォトリソグラフィプロセスによって形状を画定させる。第 1 犠牲層 25 は、ソース電極 20 及びドレイン電極 22 を形成するための開口 26 を有している。第 1 犠牲層 25 は、開口 26 を介してゲート積層体 17' を選択的にエッチするためのマスクとして使用される。

40

【0028】

図 6 を参照すると、金属層又はマルチ層の付着と第 1 犠牲層 25 のリフトオフに続いて、夫々の開口 26 に対応する位置においてソース電極 20 及びドレイン電極 22 を形成する。

【0029】

次いで、オーミックコンタクトを形成するために、例えば 500 と 950 との間で、好適には 600 と 800 との間の温度において、アニーリング工程を実施する。同時に、隣接するアルミニウム酸化物層 17 a とハフニウム酸化物層 17 b とが夫々の界面において互いに拡散し、且つ図 7 に示したように、ゲート積層体 17' の残存する部分が

50

ら絶縁ゲート構造体 17 が形成される。アルミニウム酸化物層 17 a 及びハフニウム酸化物層 17 b の数及び厚さ、アニーリング温度、及びアニーリング期間は、絶縁ゲート構造体 17 が開始層 17 a、17 b の痕跡を維持している（図 2 (b) の例におけるように）か、又は維持していない（図 2 (c) の例におけるように）し、且つ結晶化が回避されるように設計事項に従って選択される。

【0030】

次いで、第 2 犠牲層 27（図 8）が絶縁ゲート構造体 17 上、ソース電極 20 上、及びドレイン電極 22 上に形成され、且つ第 2 フトリソグラフィプロセスによって形状画定される。第 2 犠牲層 27 はゲート電極 18 を形成するための開口 28 を有している。

【0031】

金属層又はマルチ層の付着及び第 2 犠牲層 27 の（プラズマ又はウエット）エッチングによるリフトオフに続いて、開口 28 に対応する位置にゲート電極 18 を形成する。オプションとして、例えば 400 において、該金属層又はマルチ層の付着の後に更なるアニーリング工程を実施することが可能である。

【0032】

従来のもつ不図示の最終処理工程と半導体ウエハ 30 のダイシングの後に、図 3 の HEMT 装置 10 が得られる。

【0033】

アニーリング期間中のアルミニウム酸化物層 17 a とハフニウム酸化物層 17 b の拡散が、爾後の高温処理工程期間中に物質の結晶化を回避しながら、単一の真性の Al_2O_3 及び HfO_2 の誘電率値の間の典型的に中間の高い誘電率値を維持することを可能とする。特に、高温に対する耐性が、物質が劣化されること無しに、夫々のオーミックコンタクトを具備するソース電極及びドレイン電極を形成する前に、ゲート積層体 17' を形成することを可能とする。この様に、絶縁ゲート構造体 17 を画定すると共に夫々のオーミックコンタクトを具備するソース電極及びドレイン電極を形成するために、単一のフトリソグラフィプロセス及び単一のアニーリング工程を使用することが可能である。

【0034】

異なる実施例の図 9 の場合、ここでは参照番号 38 で示したゲート領域は凹所型のものとするのが可能であり、且つ絶縁ゲート構造体 40 は平坦状ではない。この場合には、ALD によってコンフォーマルに付着された（図 10）絶縁マルチ層 40' を形成する前に、バリア層 16 を選択的にプラズマエッチしてトレンチ 41 を開口させる。

【0035】

図 11 を参照すると、縦型 MOSFET 100 が、シリコンカーバイド (SiC) の半導体構造体 102 を包含しており、その半導体構造体 102 の裏側 102 a 上にドレイン電極 100 a を且つその半導体構造体 102 の正面側 102 b 上にソース電極 100 b とゲート電極 100 c とを有している。半導体構造体 102 は、基板 103（その一つの面は裏側 102 a を画定している）とエピタキシャル層 105（その一つの面は半導体構造体 102 の正面側 102 b を画定している）とを包含しており、それらは両方とも例えば N 型である第 1 導電型を有している。しかしながら、SiC の N 型基板 103 は一層高い第 1 ドーピングレベル（例えば、 10^{18} 子数 / cm^3 上）を有しており、一方エピタキシャル層 105 は一層低い第 2 ドーピングレベル（例えば、 10^{15} - 10^{16} 子数 / cm^3 を有している）。

【0036】

ここでは P 型である第 2 導電型を有しているボディウエル 107 は、エピタキシャル層 108 の内部に形成されており、且つ特に N+ である第 1 導電型のソース領域 108 及び特に P+ である第 2 導電型で且つ夫々のソース領域 108 と隣接しているコンタクト領域 109 を収容している。エピタキシャル層 105 は電流スプレッド層 (CSL) を画定しており、その中にはボディウエル 107 が埋設されている。

【0037】

ボディウエル 107 は、通常、 $1 \mu m$ 未満で例えば $0.6 \mu m$ の距離だけ互いに離隔さ

10

20

30

40

50

れている。ボディウエル 107 及びそれらの間に存在するエピタキシャル層 105 の部分は、寄生 J F E T 領域を形成している。

【0038】

絶縁ゲート構造体 110 が、ソース領域 108 の間のエピタキシャル層 105 上（又は、存在する場合には、エンハンスメント層 6 上）で半導体構造体 102 の正面側 102 a 上を延在しており、且つその上にゲート電極 100 c が設けられている。図 2（a）-（c）を参照して既に例示した如くに設けられた絶縁ゲート構造体 110 は、アルミニウムと、ハフニウムと、酸素との混合物を包含している。より詳細には、絶縁ゲート構造体 110 は、ナノメートル又はサブナノメートルの厚さを有している複数のアルミニウム酸化物層と複数のハフニウム酸化物層との交互の相次ぐコンフォーマル付着と、それに続くアニーリング工程とによって得られる。

10

【0039】

図 12 乃至 16 を参照して、M O S F E T 100 を製造するプロセス（方法）の 1 例について以下に説明する。

【0040】

最初に、図 12 を参照すると、半導体ウエハ 130 は基板 103 を有しており、その上にエピタキシャル層 105 が成長されて半導体構造体 102 を形成している。次いで、その後の異なるドーピング種のイオン注入によって、ボディウエル 107、ソース領域 108、及びコンタクト領域 109 を形成する。該イオン注入の後に、例えば 1600 を越える高温において活性化アニーリング工程を実施する。

20

【0041】

次いで、図 13 を参照すると、図 2（a）を参照して説明したように、ゲート積層体 110' を形成する。特に、ゲート積層体 110' は、全体的に所望の厚さに到達するまで、ナノメートル厚さを有している複数のアルミニウム酸化物層 110 a と複数のハフニウム酸化物層 110 b との交互の相次ぐコンフォーマル付着（堆積）によって得られる。アルミニウム酸化物層 110 a 及びハフニウム酸化物層 110 b は原子層堆積法（A L D）によって形成される。

【0042】

図 14 に示したように、ゲート積層体 110' 上にレジストの第 1 犠牲層 112 を形成し且つ第 1 フォトリソグラフィプロセスによって形状画定させる。第 1 犠牲層 112 はソース電極 100 b の形成のための開口 113 を有しており且つゲート積層体 110' を選択的にエッチするためのマスクとして使用される。

30

【0043】

図 15 を参照すると、半導体構造体 102 の正面側 102 b 上の金属層又はマルチ層の付着及び第 1 犠牲層 112 のリフトオフに続いて、夫々の開口 113 に対応する位置にソース電極 100 b を形成する。正面側 102 b 上の付着と同時的に又はその後に、半導体構造体 102 の背面側 102 a 上に金属層又はマルチ層を付着させてドレイン電極 100 a を形成する。ドレイン電極 100 a を付着させる前に、基板 103 を機械的に薄層化（研磨）させることが可能であり且つレーザーアニーリングに露呈させることが可能である。

40

【0044】

ドレイン電極 100 a 及びソース電極 100 b が形成されると、例えば、シリサイドの形成のための 800 度のアニーリング温度において、アニーリング工程が実施される。この工程において、ゲート積層体 110' がアニーリング温度へ加熱され、ゲート積層体 110' のアルミニウム酸化物 110 a 及びハフニウム酸化物 110 b が該界面において拡散し且つ混合する。従って、少なくとも該界面において、アルミニウムと、ハフニウムと、酸素との混合物が存在している。アルミニウム酸化物層 8 及びハフニウム酸化物層 8 b の初期厚さ、該アニーリング工程の期間及び温度、に従って、最終的な絶縁ゲート構造体 110 において、開始時の層状構造が部分的に維持される（図 2（b）の例におけるように）か、又は、代替的に、喪失される（図 2（c）の例におけるように）場合がある。

50

【 0 0 4 5 】

アニーリングの後、図 1 6 を参照すると、ソース電極 1 0 0 b に使用される物質とは異なる物質の金属層又はマルチ層 1 1 5 が絶縁ゲート構造体 1 1 0 上及びソース電極 1 0 0 b 上に付着され、次いで、該金属層又はマルチ層 1 1 5 の一部の上にレジストの第 2 犠牲層 1 2 0 が形成され且つ第 2 フトリソグラフィプロセスによって形状画定される。第 2 犠牲層 1 2 0 はゲート電極 1 0 0 c を形成するための開口 1 2 1 を有している。第 2 犠牲層 1 2 0 は、例えば、プラズマエッチングによって開口 1 2 1 を介して金属層又はマルチ層 1 1 5 を選択的にエッチするためのマスクとして使用される。従って、ゲート電極 1 0 0 c が得られる。

【 0 0 4 6 】

従来のもつ不図示の最終的な処理工程及び半導体ウエハ 3 0 のダイシングの後に、図 1 1 の M O S F E T 1 0 0 が得られる。

【 0 0 4 7 】

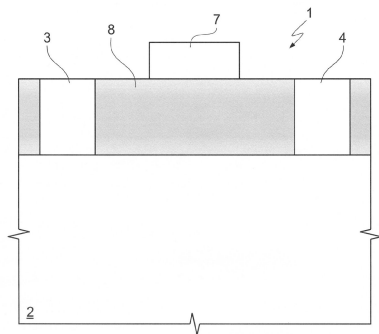
上述した絶縁ゲート構造体 1 1 7 及びその製造方法（プロセス）は、例えば、二重の利点で、シリコン酸化物の代わりに S i C M O S F E T におけるゲート絶縁体として高誘電率誘電体を使用することを可能とする。実際に、一方においては、高い誘電率は、エピタキシャル層 1 0 5 内に最も高い電界値を局所化させることを可能とする。従って、同じエピタキシャル層 1 0 5 の厚さ及びオン状態抵抗 R O N の両方を最適化させることが可能である。他方において、高温（ 1 1 0 0 - 1 2 0 0 ）における窒化酸化物酸化後アニーリング工程が除去されているので、処理の流れが簡単化されている。

【 0 0 4 8 】

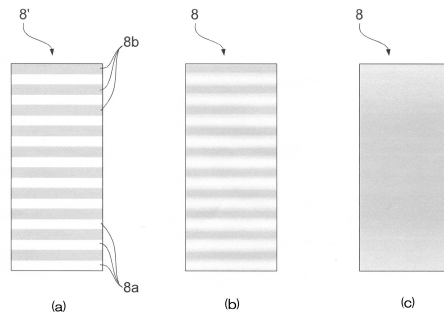
以上、本発明の具体的実施の態様について詳細に説明したが、本発明はこれらの具体的実施の態様に制限されるべきものではなく、本発明の技術的範囲を逸脱すること無しに種々の変形及び修正を行うことが可能であることは勿論である。

【 図 面 】

【 図 1 】



【 図 2 】



10

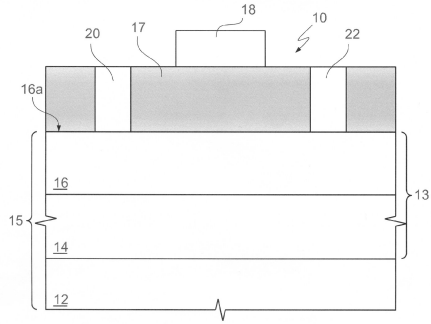
20

30

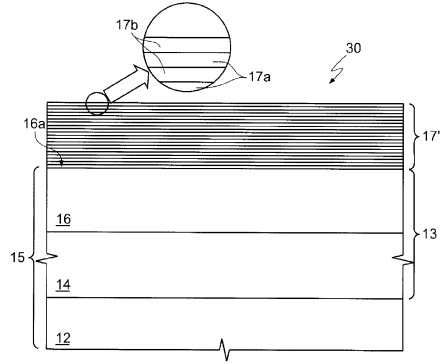
40

50

【 図 3 】

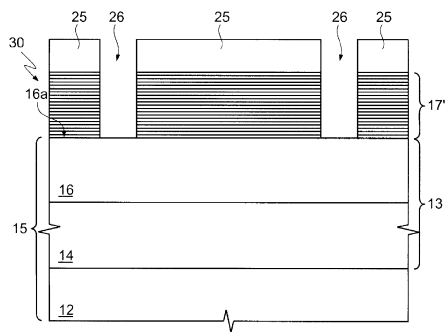


【 図 4 】

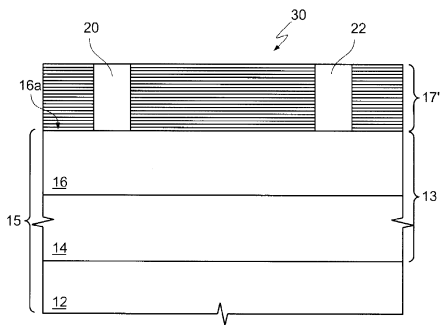


10

【 図 5 】

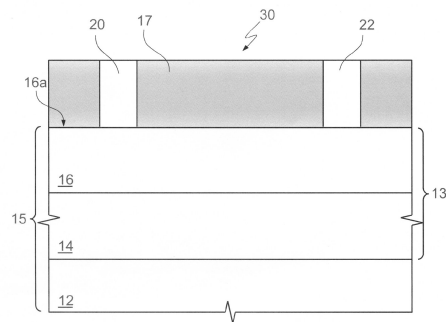


【 図 6 】

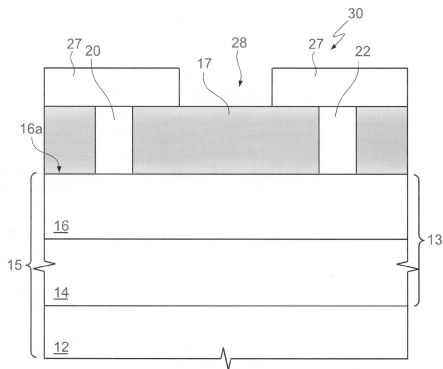


20

【 図 7 】



【 図 8 】

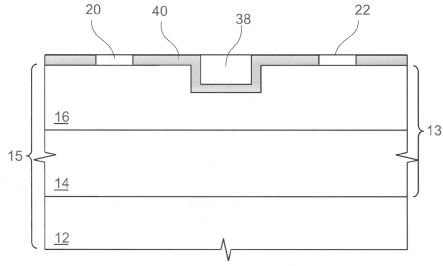


30

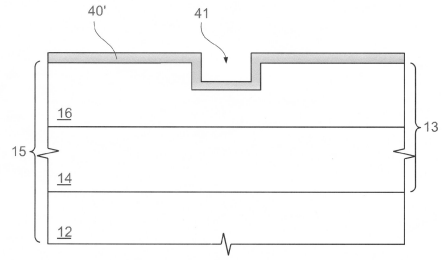
40

50

【 図 9 】

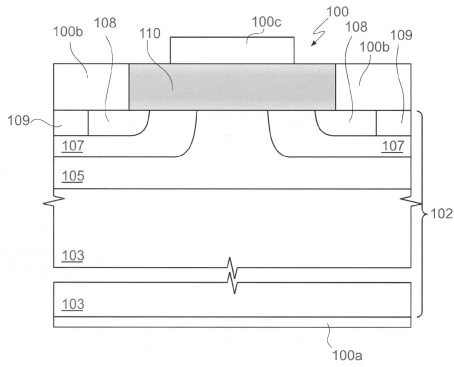


【 図 10 】

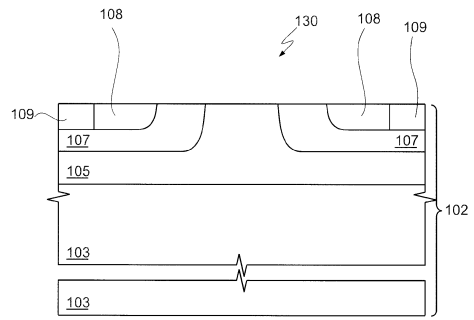


10

【 図 11 】

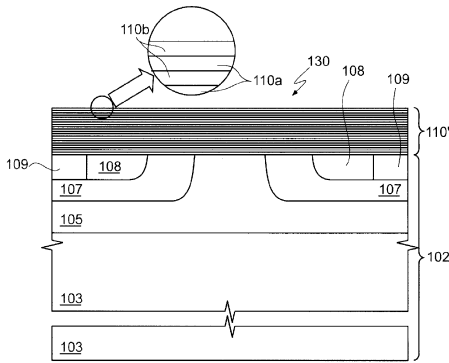


【 図 12 】

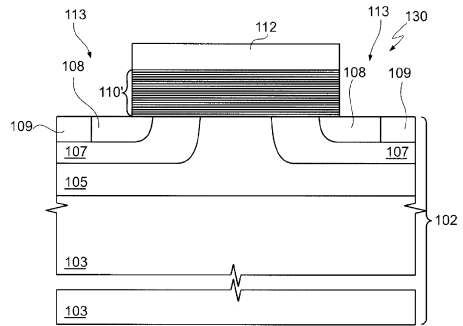


20

【 図 13 】



【 図 14 】

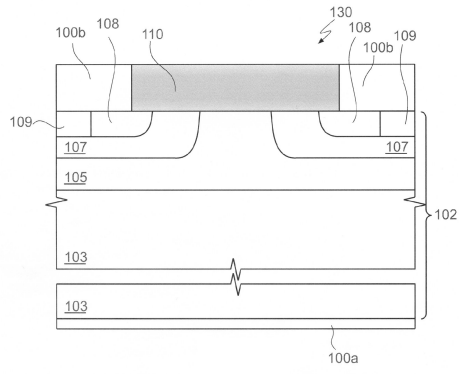


30

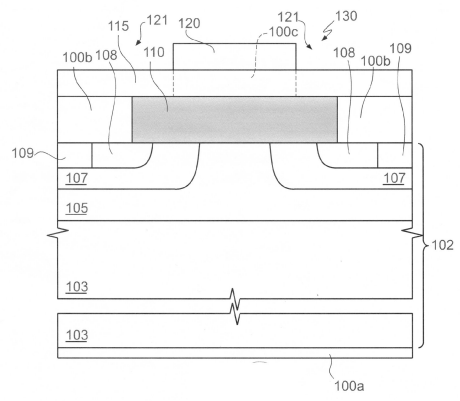
40

50

【 図 1 5 】



【 図 1 6 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類 F I テーマコード(参考)
H 0 1 L 29/78 6 5 8 F

パッティアーティ, ヴィア サラガト 4

(72)発明者 エマニュエラ スキリーロ
イタリア国, ブロンテ, ヴィア シビリーア 2 7

(72)発明者 ファブリツィオ ロッカフォルテ
イタリア国, 9 5 0 3 0 マスカルシア, ヴィア インディペンデンツァ 4

F ターム(参考) 5F102 GB01 GC01 GD10 GL04 GM04 GQ01 GR04 GV05 GV06 HC19
HC21
5F140 AC23 BA02 BA06 BB06 BB18 BC06 BC12 BD02 BD13 BE09
BE14 BE18 BE19 BG37 BG44 BK26 BK38 CE02