(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月13日(13.01.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/009556 A1

(51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 21/607* (2006.01)
H01L 25/18 (2006.01) *H05K 1/02* (2006.01)
H01L 21/60 (2006.01)

(21) 国際出願番号： PCT/JP2021/020530

(22) 国際出願日： 2021年5月28日(28.05.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-118648 2020年7月9日(09.07.2020) JP

(71) 出願人: 富士電機株式会社 (**FUJI ELECTRIC CO., LTD.**) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

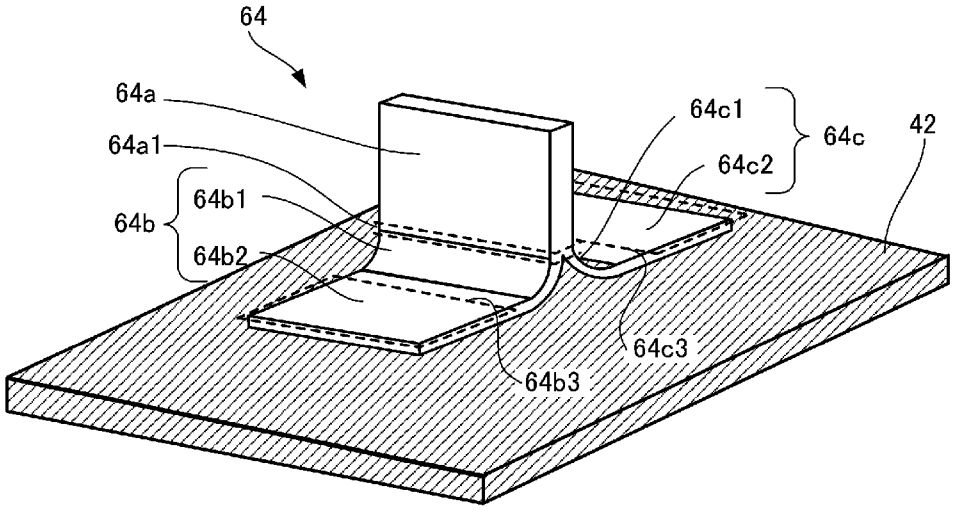
(72) 発明者: 伊藤 太一 (**ITOH, Taichi**); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人扶桑国際特許事務所 (**FUSO INTERNATIONAL PATENT FIRM**); 〒1920082 東京都八王子市東町９番８号 八王子東町センタービル５階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置及び半導体装置の製造方法



(57) **Abstract:** A purpose of the present invention is to prevent positional deviation in a bonding location of a leg part of a lead frame. This leg part (64) is also provided with a vertical section (64a) and split sections (64b, 64c). The vertical section (64a) extends in a direction perpendicular to a circuit pattern (42). The split section (64b) bends in a prescribed direction from a branching section (64a1) of a lower end section on the circuit pattern (42) side of the vertical section (64a), extends parallel to the circuit pattern (42), and is bonded to the circuit pattern (42). The split section (64c) bends from the branching section (64a1) in a direction opposite the prescribed direction, extends parallel to the circuit pattern (42), and is bonded to the circuit pattern (42). With such a leg part (64), a front surface side and a back surface side of the vertical section (64a) are reliably supported by the split sections (64b, 64c), respectively.

WO 2022/009556 A1

［続葉有］

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

一 補正された請求の範囲(条約第19条(1))

(57) 要約:リードフレームの脚部の接合箇所の位置ずれを防止する。脚部(６４)は、垂直部(６４ａ)と分割部(６４ｂ,６４ｃ)とをさらに備える。垂直部(６４ａ)は、回路パターン(４２)に対して鉛直方向に延伸する。分割部(６４ｂ)は、垂直部(６４ａ)の回路パターン(４２)側の下端部の分岐部(６４ａ１)から所定方向に屈曲し回路パターン(４２)に対して平行に延伸して、回路パターン(４２)に接合される。分割部(６４ｃ)は、分岐部(６４ａ１)から所定方向の反対方向に屈曲し回路パターン(４２)に対して平行に延伸して、回路パターン(４２)に接合される。このような脚部(６４)では、垂直部(６４ａ)がおもて面側、裏面側がそれぞれ分割部(６４ｂ,６４ｃ)で確実に支持される。

明　細　書

発明の名称 ： 半導体装置及び半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置及び半導体装置の製造方法に関する。

背景技術

[0002] 半導体装置は、例えば、ＩＧＢＴ（Insulated Gate Bipolar Transistor）、パワーＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）といった半導体素子を含んでいる。半導体装置は、放熱板と、当該放熱板上にそれぞれ接合された、半導体素子が設けられたセラミック回路基板とを備える。さらに、半導体装置では、各セラミック回路基板の回路パターンがリードフレームによりそれぞれ電気的に接続されている。リードフレームは、本体部と本体部に接続された複数の外部接続端子と本体部に接続された複数の脚部とを有する。本体部は複数のセラミック回路基板上を通過するように延伸している。外部接続端子は外部機器等に電気的に接続されている。外部接続端子は、本体部に対して電流を入力または本体部を導通する電流を外部に出力する。脚部は側面視でＬ字形を成している。このような脚部は、複数のセラミック回路基板上を通過する本体部に沿って、本体部にそれぞれ接続されている。脚部は、各セラミック回路基板の回路パターンに電気的に接合されて、各セラミック回路基板と本体部とを電気的に接続する。この際、脚部は、セラミック回路基板の回路パターンに超音波接合により接合される。このようなリードフレームは、例えば、銅または銅合金により構成されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第２０１９／２３０２９２号

発明の概要

発明が解決しようとする課題

[0004] リードフレームの脚部は超音波接合により本体部の回路パターンに接合される。接合される際、脚部は振動方向に応じて接合予定箇所から位置ずれして接合されてしまう場合がある。複数の脚部のうち、本体部の一端部に位置する脚部から本体部の延伸方向に沿って順に脚部の超音波接合を行うと、本体部の一端部の反対側の他端側に連れて、回路パターンに対する脚部の位置ずれが大きくなってしまう。このようにして脚部が接合されたリードフレームはセラミック回路基板に対して寸法公差が大きくなってしまい、半導体装置を製造できなくなってしまう場合がある。

[0005] 本発明は、このような点に鑑みてなされたものであり、リードフレームの脚部の接合箇所の位置ずれが防止された半導体装置及び半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一観点によれば、半導体チップと、絶縁板と前記絶縁板に設けられ、前記半導体チップと電気的に接続される回路パターンとを有する絶縁回路基板と、一端に前記回路パターンが接合される脚部を含み、他端に外部接続端子を備える配線部材と、を備え、前記脚部は、前記回路パターンに対して鉛直方向に延伸する垂直部と、前記垂直部の前記回路パターン側の下端部の分岐部から所定方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第１分割部と、前記分岐部から前記所定方向の反対方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第２分割部と、を備える、半導体装置が提供される。

[0007] また、本発明の一観点によれば、絶縁板と前記絶縁板に設けられた回路パターンとを有する絶縁回路基板と、一端に前記回路パターンに接合される脚部を含み、他端に外部接続端子を備え、前記脚部は、前記回路パターンに対して鉛直方向に延伸する垂直部と、前記垂直部の前記回路パターン側の下端部の分岐部から所定方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第１分割部と、前記分岐部から前記所定方向の反対方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路

パターンに接合される第２分割部とを備える配線部材と、を用意する用意工程と、前記回路パターンに前記脚部の前記第１分割部及び前記第２分割部を配置して、前記第１分割部及び前記第２分割部を前記回路パターンに超音波接合により同時に接合する超音波接合工程と、を有する半導体装置の製造方法が提供される。

発明の効果

[0008] 開示の技術によれば、回路パターンに対してリードフレームの脚部の接合箇所の位置ずれが防止され、半導体装置を適切に製造することができる。

[0009] 本発明の上記及び他の目的、特徴及び利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0010] [図1]第１の実施の形態の半導体装置の内部の平面図である。

[図2]第１の実施の形態の半導体装置を説明するための図である。

[図3]第１の実施の形態の半導体装置に含まれるセラミック回路基板の平面図である。

[図4]第１の実施の形態の半導体装置に含まれるリードフレームで接続された複数のセラミック回路基板の平面図である。

[図5]第１の実施の形態の半導体装置に含まれるリードフレームで接続された複数のセラミック回路基板の側面図である。

[図6]第１の実施の形態の半導体装置に含まれるリードフレームの脚部の斜視図である。

[図7]第１の実施の形態の半導体装置の製造方法を示すフローチャートである。

[図8]第１の実施の形態の半導体装置の製造方法に含まれる超音波接合工程を説明するための図である。

[図9]第２の実施の形態の半導体装置に含まれるリードフレームの脚部の斜視図である。

[図10]第２の実施の形態の半導体装置に含まれるリードフレームの別の脚部を説明するための図である。

発明を実施するための形態

[0011] 以下、図面を参照して、実施の形態について説明する。なお、以下の説明において、「おもて面」及び「上面」とは、図２の半導体装置１０において、上側を向いた面を表す。同様に、「上」とは、図２の半導体装置１０において、上側の方向を表す。「裏面」及び「下面」とは、図２の半導体装置１０において、下側を向いた面を表す。同様に、「下」とは、図２の半導体装置１０において、下側の方向を表す。必要に応じて他の図面でも同様の方向性を意味する。「おもて面」、「上面」、「上」、「裏面」、「下面」、「下」、「側面」は、相対的な位置関係を特定する便宜的な表現に過ぎず、本発明の技術的思想を限定するものではない。例えば、「上」及び「下」は、必ずしも地面に対する鉛直方向を意味しない。つまり、「上」及び「下」の方向は、重力方向に限定されない。

[0012] ［第１の実施の形態］

第１の実施の形態の半導体装置１０について図１及び図２を用いて説明する。図１は、第１の実施の形態の半導体装置の内部の平面図であり、図２は、第１の実施の形態の半導体装置を説明するための図である。なお、図１は、図２の半導体装置１０からケース２０を取り外したときの平面図を表している。また、図２（Ａ）は、半導体装置１０の平面図、図２（Ｂ）は図２（Ａ）の半導体装置１０を図中下側からの側面図をそれぞれ表している。

[0013] 半導体装置１０は、図１に示されるように、放熱ベース板３０と放熱ベース板３０上に設けられた複数のセラミック回路基板４０ａ～４０ｆ及び制御配線ユニット５０ａ～５０ｆとを含む。なお、セラミック回路基板４０ａ～４０ｆは、それぞれを区別しない場合には、セラミック回路基板４０と表す。また、制御配線ユニット５０ａ～５０ｆは、それぞれを区別しない場合には、制御配線ユニット５０と表す。そして、半導体装置１０は、各セラミック回路基板４０に電気的に接続された正極用，負極用，出力用リードフレー

ム６０ａ～６０ｃがそれぞれ設けられている。なお、正極用，負極用，出力用リードフレーム６０ａ～６０ｃは、それぞれ区別しない場合には、リードフレーム６０と表す。このような、半導体装置１０は、放熱ベース板３０上にケース２０が取り付けられている（図２を参照）。放熱ベース板３０上のセラミック回路基板４０及び制御配線ユニット５０はケース２０により覆われている。

[0014] セラミック回路基板４０ａ～４０ｆは、放熱ベース板３０のおもて面に、放熱ベース板３０の長辺に沿って一列にそれぞれ配置されている。セラミック回路基板４０は、放熱ベース板３０のおもて面に対して、例えば、はんだまたは銀ろう等を介して接合されている。セラミック回路基板４０ａ～４０ｆは、後述する第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂが接合され、ボンディングワイヤにより電気的に接続されている。ボンディングワイヤは、導電性に優れた材質により構成されている。当該材質として、例えば、金、銀、銅、アルミニウム、または、少なくともこれらの一種を含む合金により構成されている。また、ボンディングワイヤの径は、例えば、１００μｍ以上、５００μｍ以下である。なお、セラミック回路基板４０並びに第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂの詳細については後述する。

[0015] 制御配線ユニット５０ａ，５０ｃ，５０ｅは、放熱ベース板３０上であって、図１中、セラミック回路基板４０ａ，４０ｃ，４０ｅの上方に配置されている。制御配線ユニット５０ｂ，５０ｄ，５０ｆは、放熱ベース板３０上であって、図１中、セラミック回路基板４０ａ，４０ｄ，４０ｅの下方に配置されている。このような制御配線ユニット５０は、絶縁板５１と絶縁板５１上に設けられた回路パターン５２と回路パターン５２上に接合された制御用リードフレーム６０ｄとを有している。なお、制御配線ユニット５０のうち、制御配線ユニット５０ｆは、回路パターン５２及び制御用リードフレーム６０ｄが一組形成されている。他の制御配線ユニット５０は、回路パターン５２及び制御用リードフレーム６０ｄが二組形成されている。

[0016] 絶縁板５１は、熱伝導性のよいセラミックスにより構成されている。このようなセラミックスは、例えば、酸化アルミニウムと当該酸化アルミニウムに添加された酸化ジルコニウムとを主成分とする複合材料、または、窒化珪素を主成分とする材料により構成されている。また、絶縁板５１の厚さは、０．５ｍｍ以上、２．０ｍｍ以下である。絶縁板５１は、平面視で、矩形状である。また、角部がＲ形状や、Ｃ形状に面取りされていてもよい。

[0017] 複数の回路パターン５２は、導電性に優れた金属により構成されている。このような金属は、例えば、銀、銅、ニッケル、または、少なくともこれらの一種を含む合金である。また、複数の回路パターン５２の厚さは、０．５ｍｍ以上、１．５ｍｍ以下である。複数の回路パターン５２の表面に対して、耐食性を向上させるために、めっき処理を行ってもよい。この際、用いられるめっき材は、例えば、ニッケル、ニッケル－リン合金、ニッケル－ボロン合金である。絶縁板５１に対する複数の回路パターン５２は、絶縁板５１のおもて面に金属板を形成し、この金属板に対してエッチング等の処理を行って得られる。または、あらかじめ金属板から切り出した複数の回路パターン５２を絶縁板５１のおもて面に圧着させてもよい。なお、図１に示す複数の回路パターン５２は一例である。必要に応じて、回路パターン５２の個数、形状、大きさ等を適宜選択してもよい。

[0018] 制御用リードフレーム６０ｄは、導電性に優れた金属により構成されている。このような金属は、例えば、銀、銅、ニッケル、または、少なくともこれらの一種を含む合金である。制御用リードフレーム６０ｄの表面に対して、耐食性を向上させるために、めっき処理を行ってもよい。この際、用いられるめっき材は、例えば、ニッケル、ニッケル－リン合金、ニッケル－ボロン合金である。また、制御用リードフレーム６０ｄの先端部には、制御用外部接続端子６２ｄが設けられている。

[0019] 正極用，負極用，出力用リードフレーム６０ａ～６０ｃもまた、制御用リードフレーム６０ｄと同様に、導電性に優れた金属により構成されて、めっき処理が行われてもよい。また、正極用リードフレーム６０ａは、二つの正

極用外部接続端子６２ａが接続されている。負極用リードフレーム６０ｂは、二つの負極用外部接続端子６２ｂが接続されている。出力用リードフレーム６０ｃは、一つの出力用外部接続端子６２ｃが接続されている。

[0020] 放熱ベース板３０は、熱伝導性に優れた金属により構成されている。このような金属は、例えば、アルミニウム、鉄、銀、銅、または、少なくともこれらの一種を含む合金である。放熱ベース板３０の表面に対して、耐食性を向上させるために、めっき処理を行ってもよい。この際、用いられるめっき材は、例えば、ニッケル、ニッケル－リン合金、ニッケル－ボロン合金である。なお、このような半導体装置１０の放熱ベース板３０の裏面に冷却器（図示を省略）を、サーマルグリースを介して取りつけてもよい。これにより放熱性を向上させることも可能である。なお、サーマルグリースは、例えば、金属酸化物のフィラーが混入されたシリコーンである。この場合の冷却器は、例えば、熱伝導性に優れたアルミニウム、鉄、銀、銅、または、少なくともこれらの一種を含む合金等により構成されている。また、冷却器として、フィン、または、複数のフィンから構成されるヒートシンク並びに水冷による冷却装置等を適用することができる。また、放熱ベース板３０は、このような冷却器と一体的に構成されてもよい。その場合は、熱伝導性に優れたアルミニウム、鉄、銀、銅、または、少なくともこれらの一種を含む合金により構成される。そして、耐食性を向上させるために、例えば、ニッケル等の材料をめっき処理等により冷却器と一体化された放熱ベース板３０の表面に形成してもよい。具体的には、ニッケルの他に、ニッケル－リン合金、ニッケル－ボロン合金等がある。

[0021] ケース２０は、下部収納部２１と上部収納部２２とを含んでいる。下部収納部２１は平面視で矩形状であって、箱型を成している。上部収納部２２もまた平面視で矩形状であって、下部収納部２１よりも小さい箱型を成している。下部収納部２１と上部収納部２２とは一体的に接続されており、内部が空洞になっている。ケース２０の空洞内に、セラミック回路基板４０、正極用，負極用，出力用，制御用リードフレーム６０ａ～６０ｄ等が収納される

。このようなケース２０は、熱可塑性樹脂により構成されている。このような樹脂として、ポリフェニレンサルファイド樹脂、ポリブチレンテレフタレート樹脂、ポリブチレンサクシネート樹脂、ポリアミド樹脂、または、アクリロニトリルブタジエンスチレン樹脂等が挙げられる。

[0022] 下部収納部２１のおもて面に一方の長辺に沿って、ケース２０の裏面側に窪んだ制御端子領域２１ａ，２１ｃ，２１ｅが設けられている。制御端子領域２１ａ，２１ｃ，２１ｅから、制御用リードフレーム６０ｄの制御用外部接続端子６２ｄがそれぞれ表出されている。下部収納部２１のおもて面に他方の長辺に沿って、ケース２０の裏面側に窪んだ制御端子領域２１ｂ，２１ｄ，２１ｆが設けられている。制御端子領域２１ｂ，２１ｄ，２１ｆから、制御用リードフレーム６０ｄの制御用外部接続端子６２ｄがそれぞれ表出されている。上部収納部２２のおもて面からは、長辺に沿って、出力用外部接続端子６２ｃと正極用外部接続端子６２ａと負極用外部接続端子６２ｂと正極用外部接続端子６２ａと負極用外部接続端子６２ｂとがそれぞれ表出されている。なお、出力用外部接続端子６２ｃは、平板状であって、上部収納部２２のおもて面の一方の長辺側から鉛直上方に延出して、おもて面側に折り返されている。正極用外部接続端子６２ａと負極用外部接続端子６２ｂと正極用外部接続端子６２ａと負極用外部接続端子６２ｂとも平板状であって、上部収納部２２のおもて面の他方の長辺側から鉛直上方に延出して、おもて面側に折り返されている。

[0023] 次に、セラミック回路基板４０について図３を用いて説明する。図３は、第１の実施の形態の半導体装置に含まれるセラミック回路基板の平面図である。なお、図３では、セラミック回路基板４０ａを示しているものの、他のセラミック回路基板も同様の構成を成している。

[0024] セラミック回路基板４０ａは、第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂが配置され、図示を省略するボンディングワイヤにより電気的に接続されている。第１半導体チップ４５ａ，４６ａは、シリコンまたは炭化シリコンにより構成されたスイッチング素子である。スイ

ッチング素子は、例えば、ＩＧＢＴ、パワーＭＯＳＦＥＴである。第１半導体チップ４５ａ，４６ａがＩＧＢＴである場合には、裏面に主電極としてコレクタ電極を、おもて面に、制御電極としてゲート電極及び主電極としてエミッタ電極をそれぞれ備えている。第１半導体チップ４５ａ，４６ａがパワーＭＯＳＦＥＴである場合には、裏面に主電極としてドレイン電極を、おもて面に、制御電極としてゲート電極及び主電極としてソース電極をそれぞれ備えている。また、第２半導体チップ４５ｂ，４６ｂは、シリコンまたは炭化シリコンにより構成されたダイオード素子である。ダイオード素子は、例えば、ＳＢＤ（Schottky Barrier Diode）、ＰｉＮ（P-intrinsic-N）ダイオード等のＦＷＤ（Free Wheeling Diode）である。このような第２半導体チップ４５ｂ，４６ｂは、裏面に主電極としてカソード電極を、おもて面に主電極としてアノード電極をそれぞれ備えている。第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂは、その裏面側が所定の回路パターン４２ａ，４２ｂ上にはんだ（図示を省略）により接合されている。はんだは、鉛フリーはんだが用いられる。鉛フリーはんだは、例えば、錫－銀－銅からなる合金、錫－亜鉛－ビスマスからなる合金、錫－銅からなる合金、錫－銀－インジウム－ビスマスからなる合金のうち少なくともいずれかの合金を主成分とする。さらに、はんだには、添加物が含まれてもよい。添加物は、例えば、ニッケル、ゲルマニウム、コバルトまたはシリコンである。はんだは、添加物が含まれることで、濡れ性、光沢、結合強度が向上し、信頼性の向上を図ることができる。はんだに代わり、金属焼結体を用いてもよい。また、第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂの厚さは、例えば、１８０μｍ以上、２２０μｍ以下であって、平均は、２００μｍ程度である。

[0025] セラミック回路基板４０ａは、絶縁板４１と絶縁板４１の裏面に形成された金属板４３（図５を参照）とを有している。さらに、セラミック回路基板４０ａは、絶縁板４１のおもて面に形成された回路パターン４２ａ～４２ｅをそれぞれ有している。なお、以下では、回路パターン４２ａ～４２ｅを特

に区別しない場合には、回路パターン４２と表す。絶縁板４１は、絶縁板５１と同様であって、熱伝導性に優れた、酸化アルミニウム、窒化アルミニウム、窒化珪素等の高熱伝導性のセラミックスにより構成されている。金属板４３は、熱伝導性に優れたアルミニウム、鉄、銀、銅、または、少なくともこれらの一種を含む合金等の金属により構成されている。回路パターン４２ａ～４２ｅは、回路パターン５２と同様であって、導電性に優れた銅あるいは銅合金等の金属により構成されている。そして、耐食性を向上させるために、例えば、ニッケル等の材料をめっき処理等により表面に形成してもよい。具体的には、ニッケルの他に、ニッケルーリン合金、ニッケルーボロン合金等がある。また、回路パターン４２ａ～４２ｅの厚さは、例えば、０．１ｍｍ以上、１ｍｍ以下である。このような構成を有するセラミック回路基板４０ａとして、例えば、ＤＣＢ（Direct Copper Bonding）基板、ＡＭＢ（Active Metal Brazed）基板を用いることができる。セラミック回路基板４０ａは、第１，第２半導体チップ４５ａ，４５ｂで発生した熱を回路パターン４２ａ，４２ｂ、絶縁板４１及び金属板４３を介して、放熱ベース板３０に伝導させることができる。

[0026] 回路パターン４２ａは、第１アーム部Ａのコレクタパターンを構成する。回路パターン４２ａは、第１，第２半導体チップ４５ａ，４５ｂの裏面に形成されたコレクタ電極がはんだを介して接合されている。回路パターン４２ａは、略矩形状を成しており、図３中下側に正極用リードフレーム６０ａの脚部６４が接合される部分が突出している。回路パターン４２ｄは、第１アーム部Ａの制御パターンを構成する。回路パターン４２ｄは、第１半導体チップ４５ａのゲート電極と接続されたボンディングワイヤ４７ａが接続される。さらに、回路パターン４２ｄは、制御配線ユニット５０ｂとボンディングワイヤ（図示を省略）により電気的に接続される。

[0027] 回路パターン４２ｂは、第１アーム部Ａのエミッタパターン及び第２アーム部Ｂのコレクタパターンを構成する。回路パターン４２ｂは、回路パターン４２ａ上の第１，第２半導体チップ４５ａ，４５ｂの出力電極（エミッタ

電極）と接続されたボンディングワイヤ４７ｂが接続されている。また、回路パターン４２ｂは、第１，第２半導体チップ４６ａ，４６ｂの裏面に形成されたコレクタ電極がはんだを介して接合されている。回路パターン４２ｂは、略矩形状を成しており、図３中上側の部分が突出している。回路パターン４２ｂは、回路パターン４２ａと並んで、配置される。さらに、回路パターン４２ｂは、制御配線ユニット５０ａとボンディングワイヤ（図示を省略）により電気的に接続される。回路パターン４２ｅは、第２アーム部Ｂの制御パターンを構成する。回路パターン４２ｅは、第１半導体チップ４６ａのゲート電極と接続されたボンディングワイヤ４７ｃが接続されている。

[0028] 回路パターン４２ｃは、第２アーム部Ｂのエミッタパターンを構成する。回路パターン４２ｃは、第２半導体チップ４６ｂの出力電極（エミッタ電極）と接続されたボンディングワイヤ４７ｄが接続されている。回路パターン４２ｃは、回路パターン４２ｂの図３中下側に配置されている。このような回路パターン４２ｃは、負極用リードフレーム６０ｂの脚部６４が接合される。

[0029] 半導体装置１０では、このような第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂが接合されたセラミック回路基板４０が放熱ベース板３０のおもて面に放熱ベース板３０の長手方向に沿って複数配置されている。さらに、複数のセラミック回路基板４０に適宜電気的に接続される正極用，負極用，出力用リードフレーム６０ａ～６０ｃが設けられている。このような、複数のセラミック回路基板４０及び正極用，負極用，出力用リードフレーム６０ａ～６０ｃについて、図４及び図５を用いて説明する。図４は、第１の実施の形態の半導体装置に含まれるリードフレームで接続された複数のセラミック回路基板の平面図である。図５は、第１の実施の形態の半導体装置に含まれるリードフレームで接続された複数のセラミック回路基板の側面図である。なお、図４では、放熱ベース板３０の記載は省略している。図５は、正極用リードフレーム６０ａのみの側面を示している。また、図５では、ケース２０のうち上部収納部２２の一部を示している。

[0030] 図４及び図５に示されるように、一方向に配置されたセラミック回路基板４０ａ～４０ｆに対して、正極用，負極用，出力用リードフレーム６０ａ～６０ｃが適宜電気的に接合されている。正極用リードフレーム６０ａは、本体部６１と正極用外部接続端子６２ａと連係部６３と脚部６４とを含んでいる。正極用リードフレーム６０ａは、本体部６１に対して、接続されるセラミック回路基板４０に応じた位置に脚部６４（並びに連係部６３）を備えている。正極用リードフレーム６０ａは、本体部６１に対して、ケース２０から表出する位置に応じて、正極用外部接続端子６２ａを備えている。また、負極用，出力用リードフレーム６０ｂ，６０ｃもまた、本体部６１に対して、接続されるセラミック回路基板４０に応じた位置に脚部６４（並びに連係部６３）を備えている。負極用，出力用リードフレーム６０ｂ，６０ｃは、本体部６１に対して、図２で示したようにケース２０から表出する位置に応じて、図４及び図５で図示を省略する負極用，出力用外部接続端子６２ｂ，６２ｃを備えている。

[0031] 本体部６１は、平板状であって、図４及び図５に示されるように、一方向に複数配置されたセラミック回路基板４０のおもて面から所定の高さにおいて配線方向に延伸して設けられている。正極用，負極用，出力用外部接続端子６２ａ～６２ｃは、平板状であって、セラミック回路基板４０のおもて面に対して鉛直方向に突出して本体部６１に一体的に接続されている。なお、正極用，負極用，出力用外部接続端子６２ａ～６２ｃは、それぞれ、ケース２０の上部収納部２２のおもて面に対向するように設けられている。ケース２０が放熱ベース板３０に取り付けられると、正極用，負極用，出力用外部接続端子６２ａ～６２ｃがケース２０の上部収納部２２のおもて面から鉛直方向に延出する。ケース２０の上部収納部２２のおもて面から延出する正極用，負極用，出力用外部接続端子６２ａ～６２ｃを折り曲げることで、図２に示されるように、正極用，負極用，出力用外部接続端子６２ａ～６２ｃの主面が上部収納部２２のおもて面に表出される。

[0032] 脚部６４は、正極用，負極用，出力用リードフレーム６０ａ～６０ｃごと

に、各セラミック回路基板４０の回路パターン４２ａ～４２ｃに接合されて電気的に接続されている。なお、脚部６４の詳細については後述する。連係部６３は、本体部６１と脚部６４とに一体的に接続されている。よって、連係部６３は本体部６１と脚部６４とを電気的に接続する。

[0033] 次に、正極用，負極用，出力用リードフレーム６０ａ～６０ｃの脚部６４の詳細について、図６を用いて説明する。図６は、第１の実施の形態の半導体装置に含まれるリードフレームの脚部の斜視図である。なお、図６では、回路パターン４２に接合されている、リードフレーム６０の脚部６４（の下端部側）を示している。リードフレーム６０において本体部６１及び連係部６３の図示を省略している。

[0034] 脚部６４は、垂直部６４ａと分割部６４ｂ，６４ｃとを含んでいる。脚部６４の幅は、垂直部６４ａ及び分割部６４ｂ，６４ｃにおいて均一である。なお、後述するように、分割部６４ｂ，６４ｃの厚さは、それぞれ、垂直部６４ａの厚さの略半分であることが望ましい。すなわち、分割部６４ｂ，６４ｃの厚さを合わせることで垂直部６４ａの厚さとなる。垂直部６４ａは、回路パターン４２に対して鉛直方向に延伸する。垂直部６４ａは延伸先で連係部６３と接続される。分割部６４ｂは、さらに、継続部６４ｂ１と平行部６４ｂ２とを備える。継続部６４ｂ１は、垂直部６４ａの回路パターン４２側の下端部の分岐部６４ａ１から所定方向に屈曲する。所定方向とは、厚さ方向である。または、所定方向とは、後述するように挟持された一端部（垂直部６４ａ）に対する他端部に幅方向に対して平行に他端部を横切るように形成された裂け目から割くように分割する方向である。平行部６４ｂ２は、継続部６４ｂ１から継続して回路パターン４２に対して平行に延伸して、裏面の回路パターン接合領域６４ｂ３により回路パターン４２に接合されている。他方、分割部６４ｃは、分割部６４ｂの反対側に設けられ、継続部６４ｃ１と平行部６４ｃ２とを備える。継続部６４ｃ１は、垂直部６４ａの回路パターン４２側の下端部の分岐部６４ａ１から所定方向の反対側に屈曲する。平行部６４ｃ２は、継続部６４ｃ１から継続して回路パターン４２に対し

て平行に延伸して、裏面の回路パターン接合領域６４ｃ３により回路パターン４２に接合されている。

[0035] このような脚部６４は、本体部６１に対して連係部６３を介して、分割部６４ｂ，６４ｃにおける所定方向が本体部６１の配線方向に平行になるように回路パターン４２に取り付けられている。脚部６４において、分割部６４ｂの分岐部６４ａ１から所定方向の先端部までの長さと、分割部６４ｃの分岐部６４ａ１から所定方向の反対側の先端部までの長さとが等しい。また、分割部６４ｂ，６４ｃの幅は等しいため、分割部６４ｂ，６４ｃの面積は等しく、特に、平行部６４ｂ２，６４ｃ２の面積が等しい。

[0036] また、このような脚部６４は、矩形状であって板状の導電板の一端部（垂直部６４ａ）を挟持して固定し、他端部に幅方向に対して平行に当該幅を横切る裂け目を形成する。当該裂け目から割くように分割し、分割したものをそれぞれ反対方向に屈曲させて得られる。このため、垂直部６４ａの厚さは、分割部６４ｂ，６４ｃを合わせた厚さである。なお、この際、分割部６４ｂ，６４ｃの厚さは、それぞれ、垂直部６４ａの厚さの半分であることが望ましい。このようにして得られた脚部６４では、分割部６４ｂ，６４ｃが回路パターン４２に接合される。後述するように、分割部６４ｂ，６４ｃは、回路パターン４２に超音波接合で接合されている。このため、分割部６４ｂ，６４ｃと回路パターン４２との間には、接合部材がなく、直接接合されている。したがって、脚部６４は、回路パターン４２に対して安定して接合されるようになる。また、垂直部６４ａはおもて面側、裏面側がそれぞれ分割部６４ｂ，６４ｃで確実にかつ安定して支持される。さらに、継続部６４ｂ１，６４ｃ１は回路パターン４２に接合されておらず、垂直部６４ａと分割部６４ｂ，６４ｃとの間で弾性を発現する。このため、継続部６４ｂ１，６４ｃ１は脚部６４に対する外部からの衝撃を緩和することができる。したがって、垂直部６４ａの変形、位置ずれ等が防止され、リードフレーム６０を所定の接合箇所に維持することができる。

[0037] 次に、このように回路パターン４２に接合された脚部６４を含む半導体装

置１０の製造方法について、図７及び図８を用いて説明する。図７は、第１の実施の形態の半導体装置の製造方法を示すフローチャートである。図８は、第１の実施の形態の半導体装置の製造方法に含まれる超音波接合工程を説明するための図である。

[0038] まず、ケース２０、放熱ベース板３０、セラミック回路基板４０、制御配線ユニット５０ａ～５０ｅ、第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂ、リードフレーム６０等を用意する用意工程を行う（図７のステップＳ１０）。この際、リードフレーム６０は、予め、図６に示した脚部６４が形成されている。

[0039] 次いで、以下の載置工程を行う（図７のステップＳ１１）。放熱ベース板３０のおもて面の所定箇所に、セラミック回路基板４０、制御配線ユニット５０ａ～５０ｅをはんだを介してそれぞれ載置する。さらに、セラミック回路基板４０の回路パターン４２に第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂをはんだを介してそれぞれ載置する。

[0040] 次いで、ステップＳ１１の状態で以下のはんだ接合工程を行う（図７のステップＳ１２）。まず、加熱してはんだを溶融させる。はんだが溶融した後、冷却してはんだを固化することで、放熱ベース板３０に、セラミック回路基板４０、制御配線ユニット５０ａ～５０ｅをそれぞれはんだにより接合する。そして、セラミック回路基板４０の回路パターン４２に第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂをそれぞれはんだにより接合する。

[0041] 次いで、ボンディングワイヤにより、セラミック回路基板４０と第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂとの間を電気的に接続して、配線を行う配線工程を行う（図７のステップＳ１３）。次いで、リードフレーム６０の脚部６４をセラミック回路基板４０の回路パターン４２に超音波接合により接合する超音波接合工程を行う（図７のステップＳ１４）。超音波接合は超音波接合装置により行われる。超音波接合装置は、超音波発生装置と超音波発生装置から発生された超音波を伝搬させる、図

８に示される、超音波ツール７０とを含む。まず、脚部６４の平行部６４ｂ２，６４ｃ２の回路パターン接合領域６４ｂ３，６４ｃ３を回路パターン４２の接合箇所に配置する。超音波接合装置の２つの超音波ツール７０を、図８に示されるように、脚部６４の平行部６４ｂ２，６４ｃ２にそれぞれセットする。超音波ツール７０は、Ｌ字状を成しており、押圧部７１と押圧部７１に接続された伝搬部７２とを含む。押圧部７１は、脚部６４の平行部６４ｂ２，６４ｃ２のおもて側に当接される平面を含んでいる。伝搬部７２は、その一端側に押圧部７１を備え、他端側が超音波発生装置に接続されている。伝搬部７２は、超音波発生装置から発生された超音波振動を押圧部７１に伝搬する。

[0042] このような超音波ツール７０の押圧部７１により、脚部６４の平行部６４ｂ２，６４ｃ２を回路パターン４２に対して同時に振動させながら押圧する。すると、平行部６４ｂ２，６４ｃ２は超音波振動により同時かつ振動方向（例えば、分割部６４ｂ，６４ｃの屈曲方向）に対して平行に変形してしまう（例えば、図８中の破線の矢印方向）。すなわち、平行部６４ｂ２，６４ｃ２が同様に振動方向に沿って変形するために、垂直部６４ａが位置ずれすることなく、平行部６４ｂ２，６４ｃ２を回路パターン４２に接合することができる。このようにして、リードフレーム６０に設けられている各脚部６４をセラミック回路基板４０ａからセラミック回路基板４０ｆに向けて順に接合しても、リードフレーム６０の脚部６４はセラミック回路基板４０ｆに近づくに連れて位置ずれが大きくなることはない。したがって、リードフレーム６０を複数のセラミック回路基板４０の所定の接合箇所に対して適切に接合される。

[0043] また、超音波ツール７０の押圧部７１によって脚部６４の平行部６４ｂ２，６４ｃ２を次のように押圧して接合してもよい。すなわち、複数の脚部６４が設けられたリードフレーム６０において、本端部６１に沿って一端部の脚部６４から他端部の脚部６４まで、超音波ツール７１により平行部６４ｂ２，６４ｃ２を交互にセラミック回路基板４０に対して超音波接合してもよ

い。

[0044] 例えば、正極用リードフレーム６０ａの場合について説明する（図４及び図５を参照）。まず、正極用リードフレーム６０ａの最端部の脚部６４の平行部６４ｂ２をセラミック回路基板４０ａに超音波接合により接合し、当該脚部６４の平行部６４ｃ２をセラミック回路基板４０ａに超音波接合により接合する。次いで、正極用リードフレーム６０ａの当該最端部の脚部６４の隣の脚部６４の平行部６４ｂ２をセラミック回路基板４０ｂに超音波接合により接合し、当該脚部６４の平行部６４ｃ２をセラミック回路基板４０ｂに超音波接合により接合する。このように正極用リードフレーム６０ａにおいて本体部６１に沿って脚部６４をセラミック回路基板４０に対して平行部６４ｂ，６４ｃ２の順に接合していく。最終的に、正極用リードフレーム６０ａの最終端の脚部６４の平行部６４ｂ２をセラミック回路基板４０ｆに超音波接合により接合し、当該脚部６４の平行部６４ｃ２をセラミック回路基板４０ｆに超音波接合により接合する。なお、リードフレーム６０の本体部６１に沿って複数の脚部６４の平行部６４ｂ２，６４ｃ２を交互に接合する場合に限らず、本体部６１に沿って複数の脚部６４の平行部６４ｃ２，６４ｂ２を交互に接合してもよい。これらの場合でも、脚部６４の平行部６４ｂ２，６４ｃ２を同時に接合した場合と同様に、リードフレーム６０に設けられている各脚部６４をセラミック回路基板４０ａからセラミック回路基板４０ｆに向けて順に接合しても、リードフレーム６０の脚部６４はセラミック回路基板４０ｆに近づくに連れて位置ずれが大きくなることはない。したがって、リードフレーム６０を複数のセラミック回路基板４０の所定の接合箇所に対して適切に接合される。

[0045] 次いで、ケース２０の各箇所から正極用，負極用，出力用，制御用外部接続端子６２ａ～６２ｄを表出させて、ケース２０を放熱ベース板３０に接着剤により取り付ける（図７のステップＳ１５）。以上により、図２に示した半導体装置１０が得られる。

[0046] 上記の半導体装置１０は、第１半導体チップ４５ａ，４６ａ及び第２半導

体チップ４５ｂ，４６ｂと、絶縁板４１と絶縁板４１に設けられ、第１半導体チップ４５ａ，４６ａ及び第２半導体チップ４５ｂ，４６ｂと電気的に接続される回路パターン４２とを有するセラミック回路基板４０と、を含む。さらに、半導体装置１０は、一端に回路パターン４２が接合される脚部６４を含み、他端に正極用，負極用，出力用外部接続端子６２ａ～６２ｃを備えるリードフレーム６０を含む。この際、脚部６４は、垂直部６４ａと分割部６４ｂ，６４ｃとをさらに備える。垂直部６４ａは、回路パターン４２に対して鉛直方向に延伸する。分割部６４ｂは、垂直部６４ａの回路パターン４２側の下端部の分岐部６４ａ１から所定方向に屈曲し回路パターン４２に対して平行に延伸して、回路パターン４２に接合される。分割部６４ｃは、分岐部６４ａ１から所定方向の反対方向に屈曲し回路パターン４２に対して平行に延伸して、回路パターン４２に接合される。

[0047] このような脚部６４では、垂直部６４ａがおもて面側、裏面側がそれぞれ分割部６４ｂ，６４ｃで確実に支持される。このため、脚部６４は回路パターン４２に対して安定して接合されるようになる。また、このような脚部６４は厚さ方向に分割されているのでそれぞれの分割部６４ｂ，６４ｃが垂直部６４ａより薄くなっており、平行部６４ｂ，６４ｃと回路パターン４２との接合部６４ｂ３，６４ｃ３に超音波振動が伝わり易く、より強固に接合することができる。また、このような脚部６４を回路パターン４２に対して、分割部６４ｂ，６４ｃを超音波振動により同時に接合する。すると、分割部６４ｂ，６４ｃが屈曲方向に対して平行に同様に変形するため、垂直部６４ａが位置ずれすることがない。したがって、垂直部６４ａの位置ずれ等が防止され、リードフレーム６０を所定の接合箇所に維持することができる。この結果、半導体装置１０を適切に製造することができる。

[0048] ［第２の実施の形態］

第２の実施の形態では、第１の実施の形態とは異なる脚部について、図９を用いて説明する。図９は、第２の実施の形態の半導体装置に含まれるリードフレームの脚部の斜視図である。なお、図９は、脚部６４のみを示してい

る。第２の実施の形態の脚部６４は、第１の実施の形態のリードフレーム６０の脚部６４に代わって設けられるものである。したがって、第２の実施の形態の半導体装置のその他の構成は、第１の実施の形態の半導体装置１０と同様の構成を成している。

[0049] 図９に示される脚部６４は、垂直部６４ａと分割部６４ｂ，６４ｃとを含んでいる。垂直部６４ａは、回路パターン４２に対して鉛直方向に延伸する。垂直部６４ａは延伸先で連係部６３と接続される。分割部６４ｂ，６４ｃは、第１の実施の形態と異なり、垂直部６４ａの幅方向に対して、垂直部６４ａに垂直に１か所で切断されて分割されている。したがって、分割部６４ｂ，６４ｃを合わせた幅は、垂直部６４ａの幅に相当する。分割部６４ｂは、さらに、継続部６４ｂ１と平行部６４ｂ２とを備える。継続部６４ｂ１は、垂直部６４ａの回路パターン４２側の下端部の分岐部６４ａ１から、第１の実施の形態と同様に、所定方向に屈曲する。平行部６４ｂ２は、継続部６４ｂ１から継続して回路パターン４２に対して平行に延伸して、裏面の回路パターン接合領域６４ｂ３により回路パターン４２に接合されている。他方、分割部６４ｃは、分割部６４ｂの反対側に設けられ、継続部６４ｃ１と平行部６４ｃ２とを備える。継続部６４ｃ１は、垂直部６４ａの回路パターン４２側の下端部の分岐部６４ａ１から所定方向の反対側に屈曲する。平行部６４ｃ２は、継続部６４ｃ１から継続して回路パターン４２に対して平行に延伸して、裏面の回路パターン接合領域６４ｃ３により回路パターン４２に接合されている。また、このような脚部６４も、第１の実施の形態と同様に、超音波ツール７０の押圧部７１により、脚部６４の平行部６４ｂ２，６４ｃ２を回路パターン４２に対して第１の実施の形態と同様に同時に振動させながら、または、交互に振動させながら押圧することで接合することができる。

[0050] このような脚部６４もまた、本体部６１に対して連係部６３を介して、分割部６４ｂ，６４ｃにおける所定方向が本体部６１の配線方向に平行になるように回路パターン４２に取り付けられている。脚部６４において、分割部

６４ｂの分岐部６４ａ１から所定方向の先端部までの長さと、分割部６４ｃの分岐部６４ａ１から所定方向の反対側の先端部までの長さとが等しい。また、分割部６４ｂ，６４ｃは垂直部６４ａの幅の中央で分割されている場合には、それぞれの幅が等しいため、分割部６４ｂ，６４ｃの面積は等しく、特に、平行部６４ｂ２，６４ｃ２の面積が等しい。

[0051] また、第２の実施の形態の別の脚部について、図１０を用いて説明する。図１０は、第２の実施の形態の半導体装置に含まれるリードフレームの別の脚部を説明するための図である。なお、図１０（Ａ）は、脚部６４の斜視図を、図１０（Ｂ）は、脚部６４の平面図をそれぞれ示している。図１０（Ａ）では、分割部６４ｃは図示されていないものの、垂直部６４ａの裏側に配置されている。

[0052] 図１０に示される脚部６４は、垂直部６４ａと分割部６４ｂ～６４ｅとを含んでいる。垂直部６４ａは、回路パターン４２に対して鉛直方向に延伸する。垂直部６４ａは延伸先で連係部６３と接続される。分割部６４ｂ～６４ｅは、第１の実施の形態と異なり、垂直部６４ａの幅方向に対して、垂直部６４ａに垂直であって等間隔に３か所で切断されて分割されている。したがって、分割部６４ｂ～６４ｅを合わせた幅は、垂直部６４ａの幅に相当する。すなわち、図１０に示される脚部６４は、図９に示した脚部６４の分割部６４ｂ，６４ｃを二組含んでいる。なお、図１０に示される脚部６４は、図９に示した脚部６４を二組含んでいる場合に限らず、三組以上含んでもよい。

[0053] 分割部６４ｂは、さらに、継続部６４ｂ１と平行部６４ｂ２とを備える。継続部６４ｂ１は、垂直部６４ａの回路パターン４２側の下端部の分岐部６４ａ１から所定方向に屈曲する。平行部６４ｂ２は、継続部６４ｂ１から継続して回路パターン４２に対して平行に延伸して、裏面の回路パターン接合領域６４ｂ３により回路パターン４２に接合されている。また、分割部６４ｄもまた、さらに、継続部６４ｄ１と平行部６４ｄ２とを備える。継続部６４ｄ１は、垂直部６４ａの回路パターン４２側の下端部の分岐部６４ａ１か

ら所定方向に屈曲する。平行部６４ｄ２は、継続部６４ｄ１から継続して回路パターン４２に対して平行に延伸して、裏面の回路パターン接合領域６４ｄ３により回路パターン４２に接合されている。

[0054] 他方、分割部６４ｃは、垂直部６４ａの分割部６４ｂ，６４ｄの反対側に設けられ、継続部６４ｃ１と平行部６４ｃ２とを備える（図９を参照）。継続部６４ｃ１は、垂直部６４ａの回路パターン４２側の下端部の分岐部６４ａ１から継続部６４ｂ１の反対側に屈曲する。平行部６４ｃ２は、継続部６４ｃ１から継続して回路パターン４２に対して平行に延伸して、裏面の回路パターン接合領域６４ｃ３により回路パターン４２に接合されている。また、分割部６４ｅは、垂直部６４ａの分割部６４ｂ，６４ｄの反対側に設けられ、継続部６４ｅ１と平行部６４ｅ２とを備える。継続部６４ｅ１は、垂直部６４ａの回路パターン４２側の下端部の分岐部６４ａ１から所定方向の反対側に屈曲する。平行部６４ｅ２は、継続部６４ｅ１から継続して回路パターン４２に対して平行に延伸して、裏面の回路パターン接合領域６４ｅ３により回路パターン４２に接合されている。

[0055] このような脚部６４もまた、本体部６１に対して連係部６３を介して、分割部６４ｂ～６４ｅにおける所定方向が本体部６１の配線方向に平行になるように回路パターン４２に取り付けられている。脚部６４において、分割部６４ｂの分岐部６４ａ１から所定方向の先端部までの長さと、分割部６４ｃの分岐部６４ａ１から所定方向の反対側の先端部までの長さと、分割部６４ｄの分岐部６４ａ１から所定方向の反対側の先端部までの長さと、分割部６４ｅの分岐部６４ａ１から所定方向の反対側の先端部までの長さとが等しい。また、分割部６４ｂ～６４ｅは垂直部６ａの幅に対して等間隔に３分割されており、それぞれの幅が等しいため、分割部６４ｂ～６４ｅの面積は等しく、特に、平行部６４ｂ２～６４ｅ２の面積が等しい。

[0056] このような脚部６４も、第１の実施の形態と同様に、回路パターン４２に対して超音波ツール７０の押圧部７１により接合することができる。但し、この場合は、超音波ツール７０を脚部６４の分割部６４ｂ～６４ｅに対応し

て用意し、分割部６４ｂ～６４ｅを回路パターン４２に対して同時に振動させながら押圧することで接合することができる。

[0057] このような第２の実施の形態の脚部６４でも、第１の実施の形態と同様に、垂直部６４ａはおもて面側、裏面側がそれぞれ分割部６４ｂ，６４ｃ（６４ｂ～６４ｅ）で確実に支持される。このため、脚部６４は回路パターン４２に対して安定して接合されるようになる。また、このような脚部６４を回路パターン４２に対して、分割部６４ｂ，６４ｃ（６４ｂ～６４ｅ）を超音波振動により同時に接合する。すると、分割部６４ｂ，６４ｃ（６４ｂ～６４ｅ）が屈曲方向に対して平行に同様に変形するため、垂直部６４ａが位置ずれすることがない。したがって、垂直部６４ａの位置ずれ等が防止され、リードフレーム６０を所定の接合箇所に維持することができる。この結果、半導体装置を適切に製造することができる。

[0058] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成及び応用例に限定されるものではなく、対応するすべての変形例及び均等物は、添付の請求項及びその均等物による本発明の範囲とみなされる。

符号の説明

[0059] １０ 半導体装置

２０ ケース

２１ 下部収納部

２１ａ，２１ｂ，２１ｃ，２１ｄ，２１ｅ，２１ｆ 制御端子領域

２２ 上部収納部

３０ 放熱ベース板

４０，４０ａ～４０ｆ セラミック回路基板

４１，５１ 絶縁板

４２，４２ａ～４２ｅ，５２ 回路パターン

４３ 金属板

４５ａ，４６ａ 第１半導体チップ

４５ｂ，４６ｂ　第２半導体チップ

４７ａ～４７ｄ　ボンディングワイヤ

５０，５０ａ～５０ｆ　制御配線ユニット

６０　リードフレーム

６０ａ　正極用リードフレーム

６０ｂ　負極用リードフレーム

６０ｃ　出力用リードフレーム

６０ｄ　制御用リードフレーム

６１　本体部

６２ａ　正極用外部接続端子

６２ｂ　負極用外部接続端子

６２ｃ　出力用外部接続端子

６２ｄ　制御用外部接続端子

６３　連係部

６４　脚部

６４ａ　垂直部

６４ａ１　分岐部

６４ｂ～６４ｅ　分割部

６４ｂ１，６４ｃ１，６４ｄ１，６４ｅ１　継続部

６４ｂ２，６４ｃ２，６４ｄ２，６４ｅ２　平行部

６４ｂ３，６４ｃ３，６４ｄ３，６４ｅ３　回路パターン接合領域

７０　超音波ツール

７１　押圧部

７２　伝搬部

請求の範囲

[請求項1] 半導体チップと、

絶縁板と前記絶縁板に設けられ、前記半導体チップと電気的に接続される回路パターンとを有する絶縁回路基板と、

一端に前記回路パターンが接合される脚部を含み、他端に外部接続端子を備える配線部材と、

を備え、

前記脚部は、前記回路パターンに対して鉛直方向に延伸する垂直部と、前記垂直部の前記回路パターン側の下端部の分岐部から所定方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第１分割部と、前記分岐部から前記所定方向の反対方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第２分割部と、を備える、

半導体装置。

[請求項2] 前記脚部は、板状であって、前記第１分割部及び前記第２分割部は厚さ方向において互いに反対側にそれぞれ分割されている、

請求項１に記載の半導体装置。

[請求項3] 前記第１分割部の第１厚さと前記第２分割部の第２厚さとは、前記垂直部の第３厚さから２分割されている、

請求項２に記載の半導体装置。

[請求項4] 前記第１分割部の第１幅と前記第２分割部の第２幅とは、前記垂直部の第３幅から２分割されている、

請求項２に記載の半導体装置。

[請求項5] 前記脚部は、一組の前記第１分割部及び前記第２分割部が複数組分割されている、

請求項４に記載の半導体装置。

[請求項6] 平面視における前記第１分割部の第１面積と前記第２分割部の第２面積とは等しい、

請求項４または５に記載の半導体装置。

[請求項7] 前記分岐部から前記第１分割部の前記所定方向の第１先端部までの長さと、前記分岐部から前記第２分割部の前記所定方向の反対方向の第２先端部までの長さとが同一である、

請求項１乃至６のいずれかに記載の半導体装置。

[請求項8] 前記配線部材は、前記脚部を複数含み、さらに、前記脚部の前記下端部の反対側の上端部がそれぞれ接続される本体部を備える、

請求項１乃至７のいずれかに記載の半導体装置。

[請求項9] 前記本体部は、さらに、所定の配線方向に延伸し、前記脚部が前記配線方向に沿って並んで配置されている、

請求項８に記載の半導体装置。

[請求項10] 前記脚部は、前記本体部に対して、前記所定方向が前記配線方向に平行を成してそれぞれ接続されている、

請求項９に記載の半導体装置。

[請求項11] 放熱板をさらに備え、

前記放熱板上に、前記絶縁回路基板が前記配線方向に複数配置され、

前記配線部材は、前記本体部が前記絶縁回路基板を跨って前記配線方向に延伸され、前記脚部が前記絶縁回路基板にそれぞれ接合されて、配置されている、

請求項９または１０に記載の半導体装置。

[請求項12] 絶縁板と前記絶縁板に設けられた回路パターンとを有する絶縁回路基板と、

一端に前記回路パターンに接合される脚部を含み、他端に外部接続端子を備え、前記脚部は、前記回路パターンに対して鉛直方向に延伸する垂直部と、前記垂直部の前記回路パターン側の下端部の分岐部から所定方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第１分割部と、前記分岐部から前記所定方

向の反対方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第２分割部とを備える配線部材と、を用意する用意工程と、

前記回路パターンに前記脚部の前記第１分割部及び前記第２分割部を配置して、前記第１分割部及び前記第２分割部を前記回路パターンに超音波接合により同時に接合する超音波接合工程と、

を有する半導体装置の製造方法。

[請求項13] 前記配線部材は複数の前記脚部を備えており、複数の前記絶縁回路基板の前記回路パターンに対して前記脚部をそれぞれ接合する、

請求項１２に記載の半導体装置の製造方法。

[請求項14] 絶縁板と前記絶縁板に設けられた回路パターンとをそれぞれ有し、一方向に配列された複数の絶縁回路基板と、

一端に、前記複数の絶縁回路基板にそれぞれ対応し、前記回路パターンに接合される複数の脚部を含み、他端に外部接続端子を備え、前記複数の脚部は、前記回路パターンに対して鉛直方向に延伸する垂直部と、前記垂直部の前記回路パターン側の下端部の分岐部から所定方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第１分割部と、前記分岐部から前記所定方向の反対方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第２分割部とをそれぞれ備える配線部材と、を用意する用意工程と、

前記回路パターンに前記複数の脚部の前記第１分割部及び前記第２分割部をそれぞれ配置して、前記一方向に沿って、前記複数の脚部ごとに前記第１分割部を前記回路パターンに超音波接合により接合し、前記第２分割部を前記回路パターンに前記超音波接合により接合する超音波接合工程と、

を有する半導体装置の製造方法。

補正された請求の範囲
[2021年11月8日 (08.11.2021) 国際事務局受理]

[請求項1] 半導体チップと、
絶縁板と前記絶縁板に設けられ、前記半導体チップと電気的に接続される回路パターンとを有する絶縁回路基板と、
一端に前記回路パターンが接合される脚部を含み、他端に外部接続端子を備える配線部材と、
を備え、
前記脚部は、前記回路パターンに対して鉛直方向に延伸する垂直部と、前記垂直部の前記回路パターン側の下端部の分岐部から所定方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第１分割部と、前記分岐部から前記所定方向の反対方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第２分割部と、を備える、
半導体装置。

[請求項2] 前記脚部は、板状であって、前記第１分割部及び前記第２分割部は厚さ方向において互いに反対側にそれぞれ分割されている、
請求項１に記載の半導体装置。

[請求項3] 前記第１分割部の第１厚さと前記第２分割部の第２厚さとは、前記垂直部の第３厚さから２分割されている、
請求項２に記載の半導体装置。

[請求項4] 前記第１分割部の第１幅と前記第２分割部の第２幅とは、前記垂直部の第３幅から２分割されている、
請求項２に記載の半導体装置。

[請求項5] 前記脚部は、一組の前記第１分割部及び前記第２分割部が複数組分割されている、
請求項４に記載の半導体装置。

[請求項6] 平面視における前記第１分割部の第１面積と前記第２分割部の第２面積とは等しい、
請求項４または５に記載の半導体装置。

[請求項7] 前記分岐部から前記第１分割部の前記所定方向の第１先端部までの長さと、前記分岐部から前記第２分割部の前記所定方向の反対方向の第２先端部までの長さとが同一である、
請求項１乃至６のいずれかに記載の半導体装置。

[請求項8] 前記配線部材は、前記脚部を複数含み、さらに、前記脚部の前記下端部の反対側の上端部がそれぞれ接続される本体部を備える、
請求項１乃至７のいずれかに記載の半導体装置。

[請求項9] 前記本体部は、さらに、所定の配線方向に延伸し、前記脚部が前記配線方向に沿って並んで配置されている、
請求項８に記載の半導体装置。

[請求項10] 前記脚部は、前記本体部に対して、前記所定方向が前記配線方向に平行を成してそれぞれ接続されている、
請求項９に記載の半導体装置。

[請求項11] 放熱板をさらに備え、
前記放熱板上に、前記絶縁回路基板が前記配線方向に複数配置され、
前記配線部材は、前記本体部が前記絶縁回路基板を跨って前記配線方向に延伸され、前記脚部が前記絶縁回路基板にそれぞれ接合されて、配置されている、
請求項９または１０に記載の半導体装置。

[請求項12] [追加] 複数の前記脚部にそれぞれ含まれる前記第１分割部及び前記第２分割部は、前記本体部に対して、前記配線方向に沿って一列に配置されている、
請求項１０または１１に記載の半導体装置。

[請求項13] [追加] 前記脚部は、さらに、
前記垂直部の前記分岐部と前記第１分割部とを接続する、弾性を発現する第１継続部と、
前記垂直部の前記分岐部と前記第２分割部とを接続する、弾性を発現する第２継続部と、
を備え、
前記第１分割部は、前記第１継続部が屈曲して、前記回路パターンに対して平行に延伸し、
前記第２分割部は、前記第２継続部が屈曲して、前記回路パターンに対して平行に延伸する、
請求項１に記載の半導体装置。

[請求項14] [補正後] 絶縁板と前記絶縁板に設けられた回路パターンとを有する絶縁回路基板と、
一端に前記回路パターンに接合される脚部を含み、他端に外部接続端子を備え、前記脚部は、前記回路パターンに対して鉛直方向に延伸する垂直部と、前記垂直部の前記回路パターン側の下端部の分岐部から所定方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第１分割部と、前記分岐部から前記所定方向の反対方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第２分割部とを備える配線部材と、を用意する用意工程と、
前記回路パターンに前記脚部の前記第１分割部及び前記第２分割部を配置して、前記第１分割部及び前記第２分割部を前記回路パターンに超音波接合により同時に接合する超音波接合工程と、
を有する半導体装置の製造方法。

[請求項15] [補正後] 前記配線部材は複数の前記脚部を備えており、複数の前記絶縁回路基板の前記回路パターンに対して前記脚部をそれぞれ接合する、
請求項１４に記載の半導体装置の製造方法。

[請求項16] [補正後] 絶縁板と前記絶縁板に設けられた回路パターンとをそれぞれ有し、一方向に配列された複数の絶縁回路基板と、

一端に、前記複数の絶縁回路基板にそれぞれ対応し、前記回路パターンに接合される複数の脚部を含み、他端に外部接続端子を備え、前記複数の脚部は、前記回路パターンに対して鉛直方向に延伸する垂直部と、前記垂直部の前記回路パターン側の下端部の分岐部から所定方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第１分割部と、前記分岐部から前記所定方向の反対方向に屈曲し前記回路パターンに対して平行に延伸して、前記回路パターンに接合される第２分割部とをそれぞれ備える配線部材と、を用意する用意工程と、

前記回路パターンに前記複数の脚部の前記第１分割部及び前記第２分割部をそれぞれ配置して、前記一方向に沿って、前記複数の脚部ごとに前記第１分割部及び前記第２分割部を前記回路パターンに超音波接合により順次接合する超音波接合工程と、

を有する半導体装置の製造方法。

[請求項17] [追加] 前記脚部は、さらに、

前記垂直部の前記分岐部と前記第１分割部とを接続する、弾性を発現する第１継続部と、

前記垂直部の前記分岐部と前記第２分割部とを接続する、弾性を発現する第２継続部と、

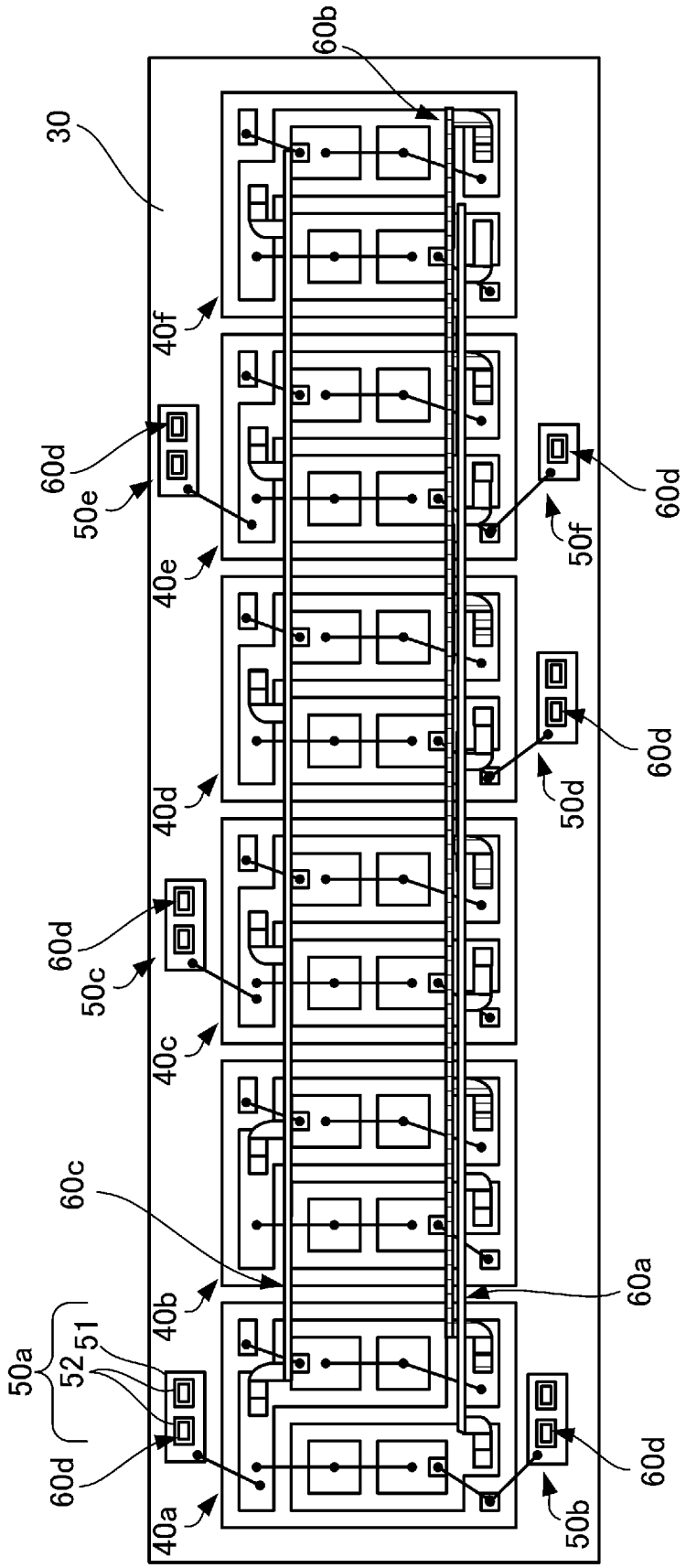
を備え、

前記第１分割部は、前記第１継続部が屈曲して、前記回路パターンに対して平行に延伸し、

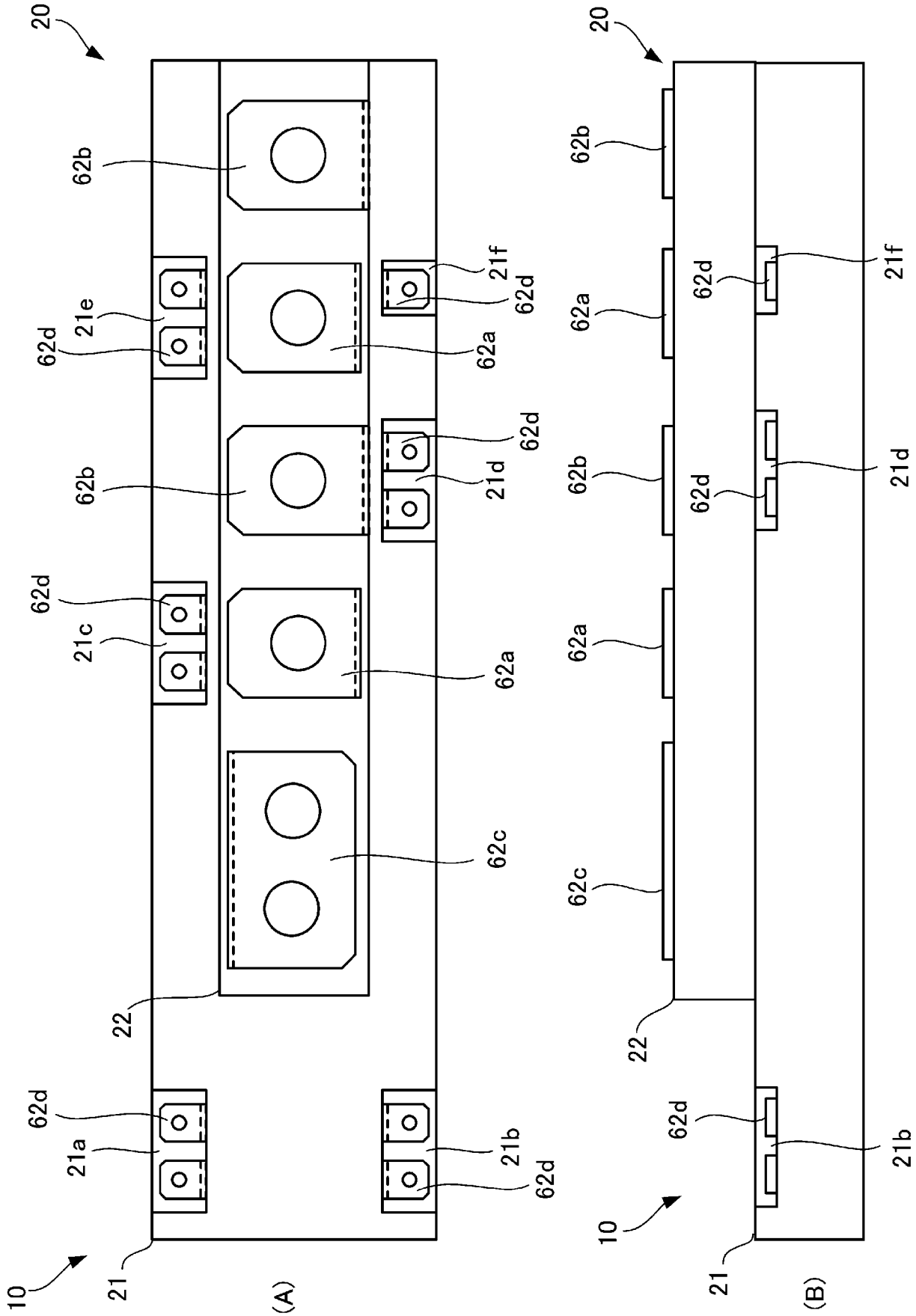
前記第２分割部は、前記第２継続部が屈曲して、前記回路パターンに対して平行に延伸する、

請求項１４または１６に記載の半導体装置の製造方法。

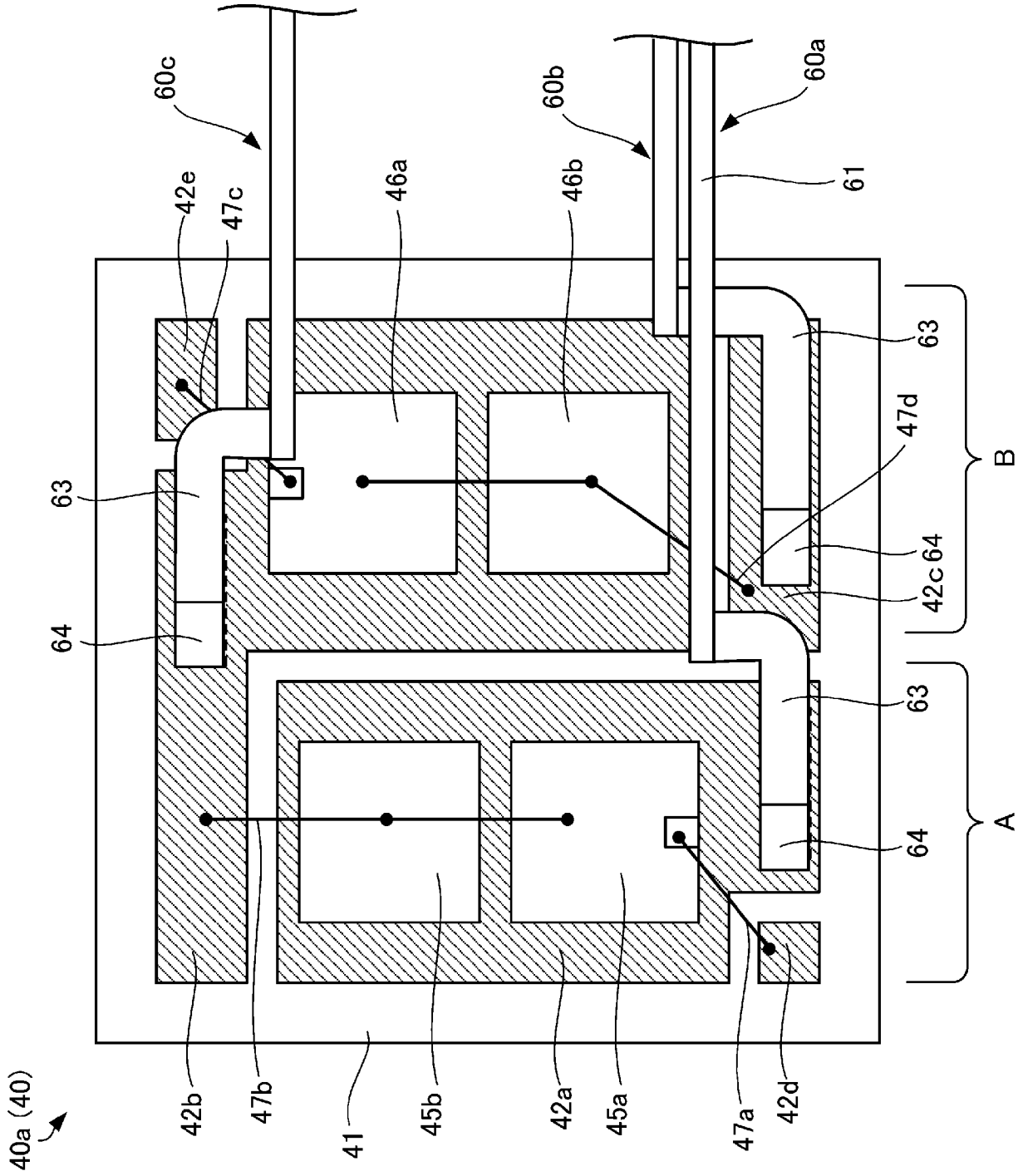
[図1]


60b
30
40f
60d
50e
40e
50f
60d
40d
50d
60d
60d
50c
40c
60c
60a
50a
52
51
40b
60d
40a
50b
60d

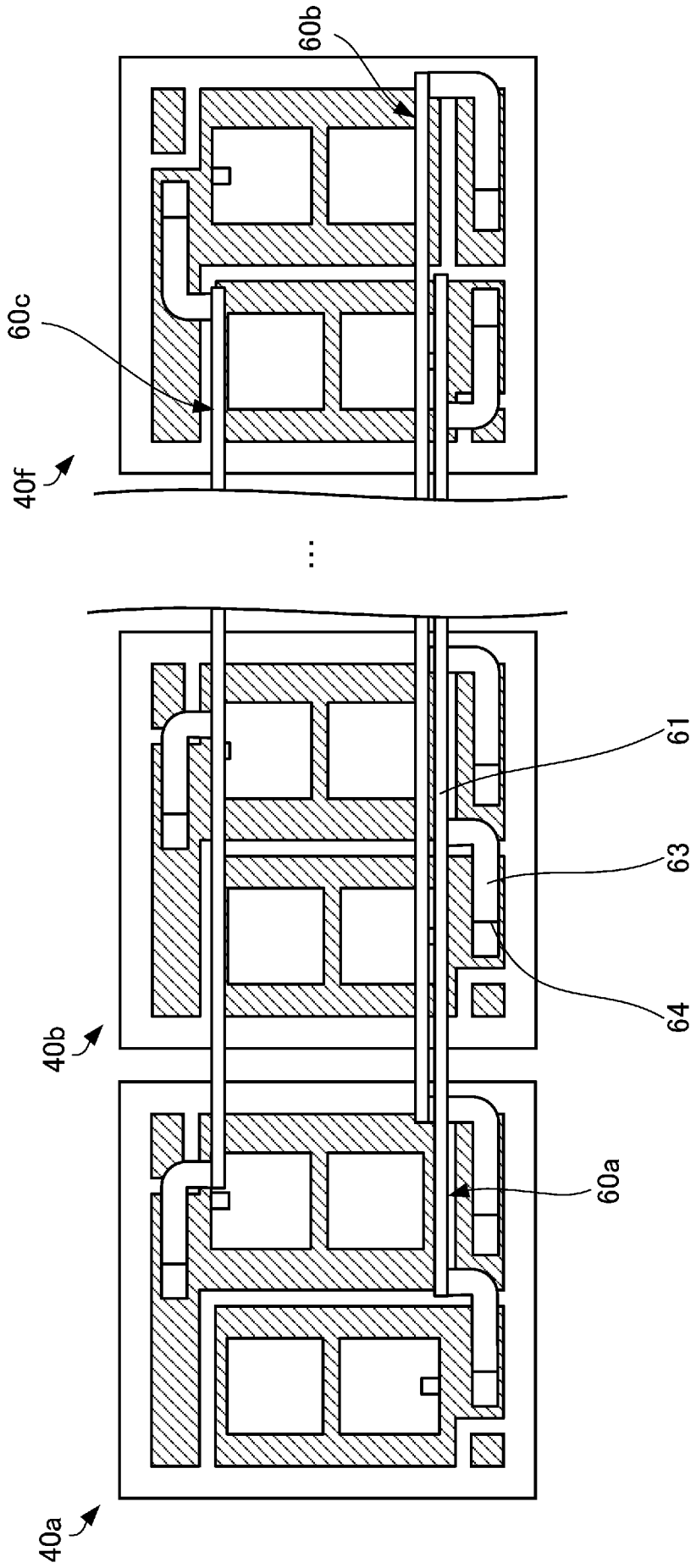
[図2]


20
62b
21e
62d
62a
21f
62d
62b
21d
62d
62d
21c
62a
62c
22
62d
21a
21b
62d
10
21
(A)
20
62b
62a
62d
21f
62b
62d
21d
62a
62c
22
62d
21b
10
21
(B)

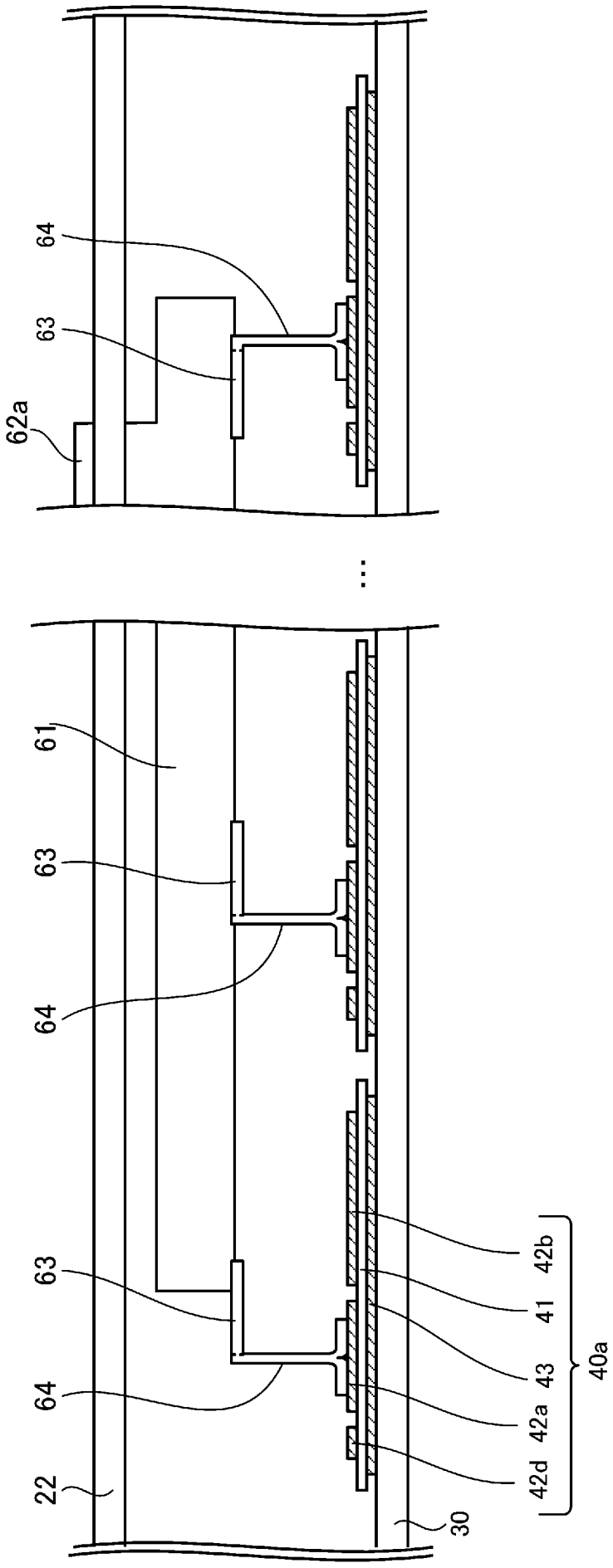
[図3]


60c
60b
60a
42e
47c
46a
46b
61
63
47d
B
63
64
42c
64
63
A
64
40a (40)
42b
47b
41
45b
42a
45a
47a
42d

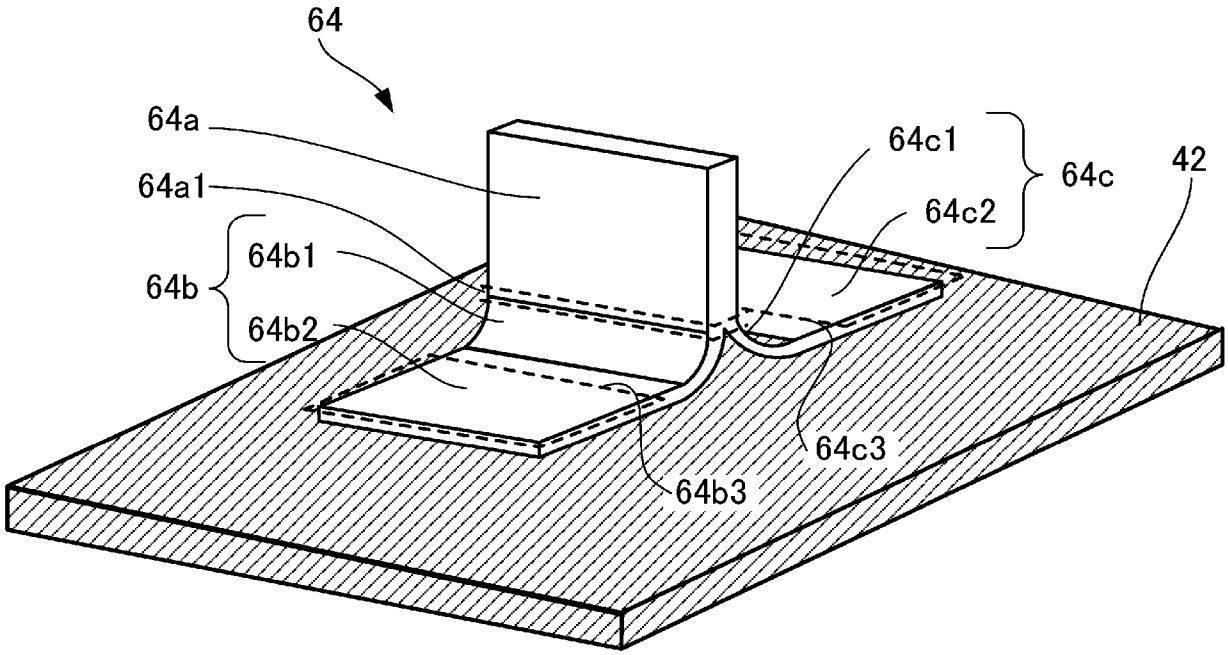
[図4]



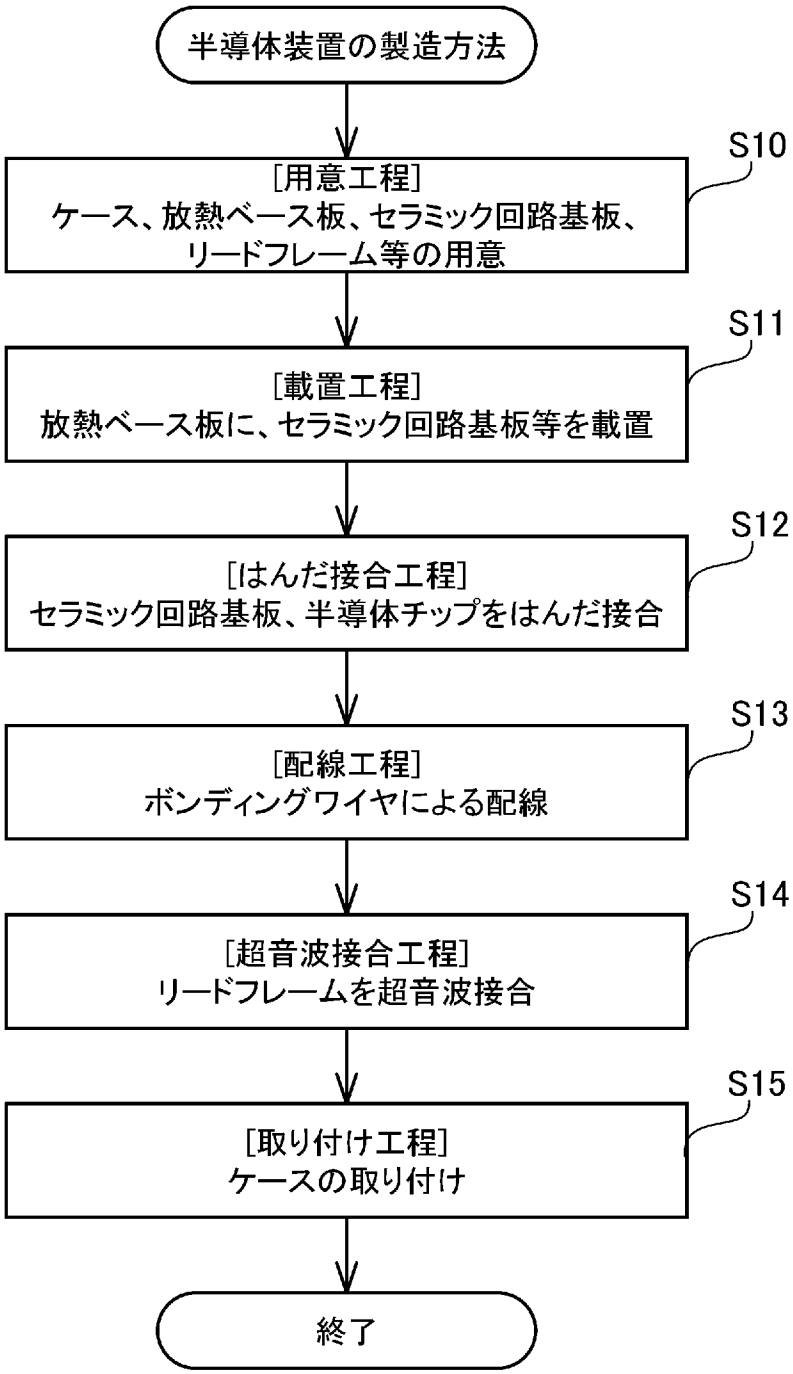
[図5]



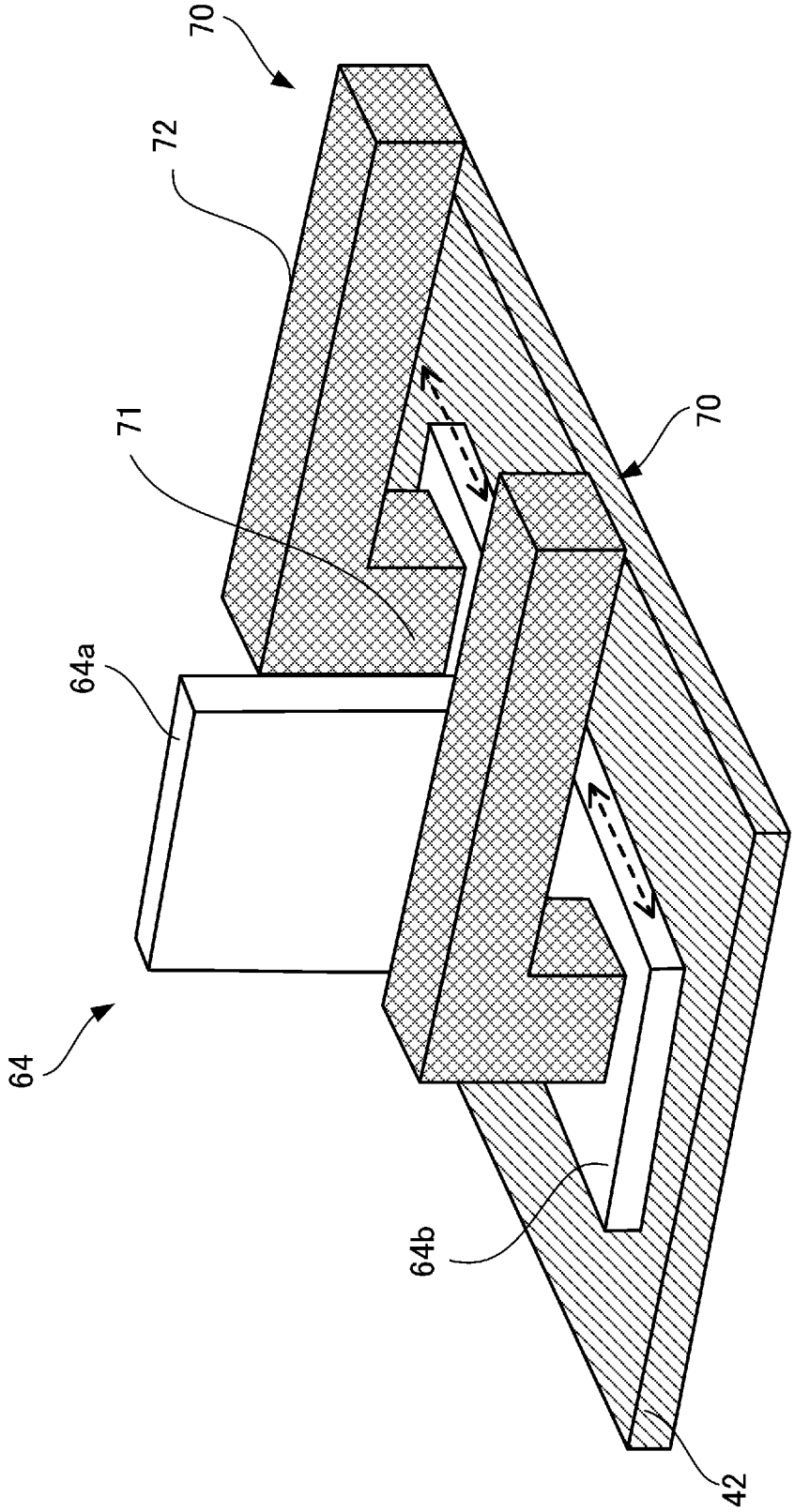
[図6]



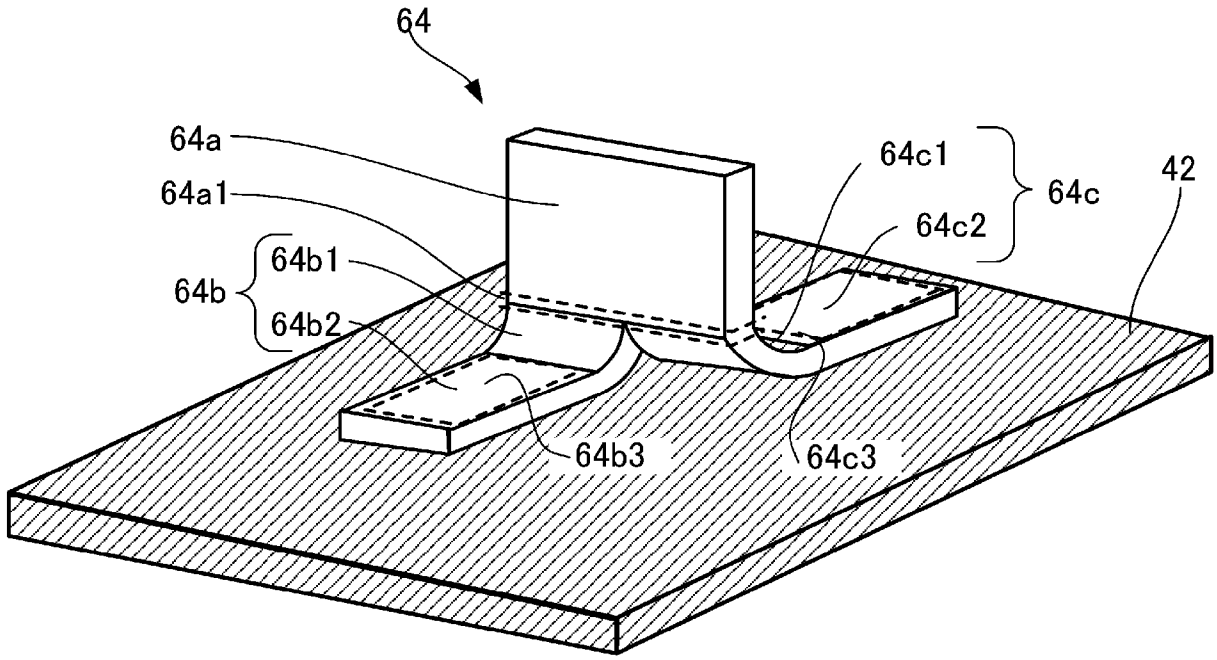
[図7]


半導体装置の製造方法
S10
[用意工程]
ケース、放熱ベース板、セラミック回路基板、
リードフレーム等の用意
S11
[載置工程]
放熱ベース板に、セラミック回路基板等を載置
S12
[はんだ接合工程]
セラミック回路基板、半導体チップをはんだ接合
S13
[配線工程]
ボンディングワイヤによる配線
S14
[超音波接合工程]
リードフレームを超音波接合
S15
[取り付け工程]
ケースの取り付け
終了

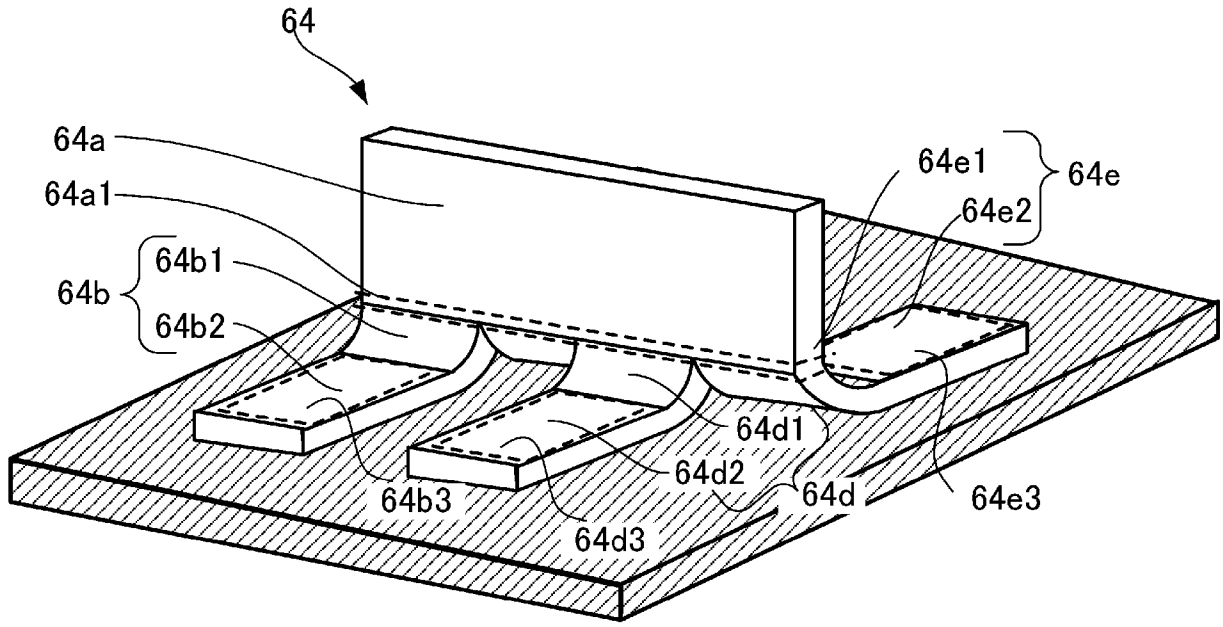
[図8]



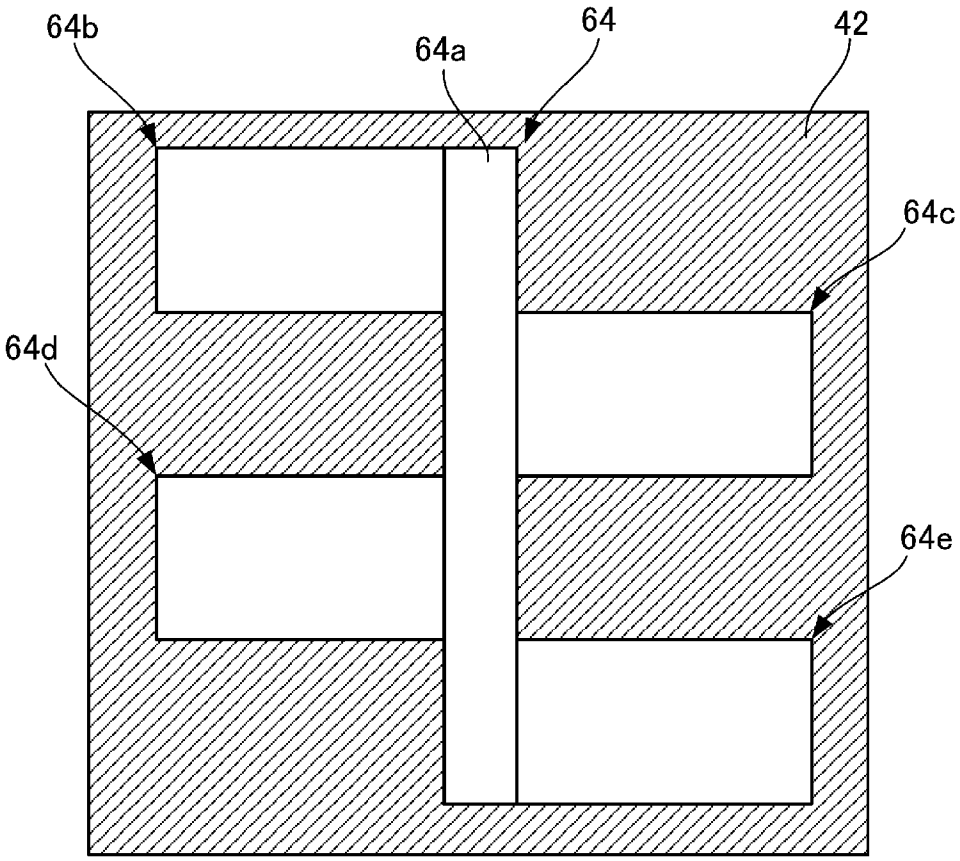
[図9]



[図10]


64
64a
64a1
64b
64b1
64b2
64e1
64e
64e2
64d1
64d2
64d
64e3
64b3
64d3

(A)


64b
64a
64
42
64c
64d
64e

(B)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/020530

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L21/60(2006.01)i, H01L21/607(2006.01)i, H05K1/02(2006.01)i
FI: H01L21/60321Z, H01L21/607A, H01L25/04C, H05K1/02J
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L25/07, H01L25/18, H01L21/60, H01L21/607, H05K1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2016/031020 A1 (MITSUBISHI ELECTRIC CORPORATION) 03 March 2016 (2016-03-03), paragraphs [0031], [0052], [0053], [0062], [0063], [0066], fig 1, 4, 5	1-7, 12 8-11, 13-14
Y	WO 2019/230292 A1 (FUJI ELECTRIC CO., LTD.) 05 December 2019 (2019-12-05), paragraphs [0033], [0078], [0079], fig. 2, 5	8-11, 13-14

☐ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 11 August 2021	Date of mailing of the international search report 24 August 2021
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/020530

WO 2016/031020 A1	03 March 2016	US 2017/0207179 A1 paragraphs [0049], [0076], [0077], [0089], [0090], [0094], fig. 1, 4, 5 CN 106663639 A
WO 2019/230292 A1	05 December 2019	CN 111386604 A

国際調査報告

国際出願番号
PCT/JP2021/020530

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/60(2006.01)i; H01L 21/607(2006.01)i; H05K 1/02(2006.01)i
FI: H01L21/60 321Z; H01L21/607 A; H01L25/04 C; H05K1/02 J

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L25/07; H01L25/18; H01L21/60; H01L21/607; H05K1/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2016/031020 A1 (三菱電機株式会社) 03.03.2016 (2016-03-03) 段落[0031],[0052]-[0053],[0062]-[0063],[0066]、図1,4-5	1-7,12
Y		8-11,13-14
Y	WO 2019/230292 A1 (富士電機株式会社) 05.12.2019 (2019-12-05) 段落[0033],[0078]-[0079],図2,5	8-11,13-14

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
11.08.2021	24.08.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
堀江　義隆 5F 9172
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/020530

引用文献	公表日	パテントファミリー文献	公表日
WO 2016/031020 A1	03.03.2016	US 2017/0207179 A1 段落[0049],[0076]-[0077],[0089]-[0090],[0094]、図1,4-5 CN 106663639 A	
WO 2019/230292 A1	05.12.2019	CN 111386604 A	