(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6353247号
(P6353247)
(45)発行日　平成30年7月4日(2018.7.4)　(24)登録日　平成30年6月15日(2018.6.15)

(51)Int.Cl.　F I
H04N 5/369 (2011.01)　H04N 5/369 800

請求項の数 14 (全 16 頁)

(21)出願番号　特願2014-48072(P2014-48072)
(22)出願日　平成26年3月11日(2014.3.11)
(65)公開番号　特開2015-173351(P2015-173351A)
(43)公開日　平成27年10月1日(2015.10.1)
審査請求日　平成29年2月24日(2017.2.24)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二
(74)代理人　100130409
弁理士　下山　治
(74)代理人　100134175
弁理士　永川　行光

最終頁に続く

(54)【発明の名称】半導体装置、その制御方法、及びカメラ

(57)【特許請求の範囲】
【請求項１】
第１電源ラインと第２電源ラインとの間の経路に直列に配された２以上のトランジスタを含み、前記２以上のトランジスタが受ける信号をデコードするデコーダと、
前記第１電源ラインと前記第２電源ラインとの間の経路に前記デコーダと直列に配されたスイッチ部と、
前記信号がハイレベルおよびローレベルの一方から他方に変わった後に、該信号が前記デコーダによりデコードされるように前記スイッチ部を導通状態にする制御部と、を備える
ことを特徴とする半導体装置。
【請求項２】
第１電源ラインと第２電源ラインとの間の経路に直列に配された２以上のトランジスタと、前記経路を流れる電流を遮断するスイッチ部とを含み、前記２以上のトランジスタが受ける信号をデコードするデコーダと、
前記信号がハイレベルおよびローレベルの一方から他方に変わった後に、該信号が前記デコーダによりデコードされるように前記スイッチ部を導通状態にする制御部と、を備える
ことを特徴とする半導体装置。
【請求項３】
前記信号が前記ハイレベルおよび前記ローレベルの前記一方から前記他方に変わった後

から、該信号が前記デコーダによりデコードされる前までにおいて、前記２以上のトランジスタが同時に導通状態になる期間がある
ことを特徴とする請求項１又は２に記載の半導体装置。
【請求項４】
前記デコーダは、
前記第１電源ラインと前記第２電源ラインとの間の第１の経路に直列に配された第１トランジスタおよび第２トランジスタと、
前記第１電源ラインと前記第２電源ラインとの間の第２の経路に直列に配された第３トランジスタおよび第４トランジスタと、を有し、
前記デコーダには、第１信号と、該第１信号とは反対の信号レベルの第２信号と、が入力され、
前記第１トランジスタおよび前記第４トランジスタは前記第１信号を受けて動作し、
前記第２トランジスタおよび前記第３トランジスタは前記第２信号を受けて動作する
ことを特徴とする請求項１乃至３のいずれか１項に記載の半導体装置。
【請求項５】
前記第１信号および前記第２信号の一方を、前記第１信号および前記第２信号の他方に基づいて生成するインバータを備える
ことを特徴とする請求項４に記載の半導体装置。
【請求項６】
前記デコーダは第１部分と第２部分とを含み、前記スイッチ部は前記第１部分と前記第２部分との間に配されている
ことを特徴とする請求項１乃至５のいずれか１項に記載の半導体装置。
【請求項７】
前記デコーダは、その出力ノードの電位を初期化する初期化手段を有する
ことを特徴とする請求項１乃至６のいずれか１項に記載の半導体装置。
【請求項８】
前記初期化手段は、前記スイッチ部が非導通状態となっている間に前記出力ノードの電位を初期化する
ことを特徴とする請求項７に記載の半導体装置。
【請求項９】
前記制御部は、前記デコーダへの信号が前記ハイレベルおよび前記ローレベルの前記他方から前記一方に変わった後に前記スイッチ部を導通状態にする
ことを特徴とする請求項１乃至８のいずれか１項に記載の半導体装置。
【請求項１０】
前記半導体装置は固体撮像装置を含み、
前記固体撮像装置は、複数の画素と、各画素を駆動するための駆動部と、各画素からの信号を読み出すための読出部と、を備えており、
前記駆動部および前記読出部の少なくとも一方は、前記デコーダを有している
ことを特徴とする請求項１乃至９のいずれか１項に記載の半導体装置。
【請求項１１】
前記複数の画素と前記デコーダとには共通の電源電圧が供給される
ことを特徴とする請求項１０に記載の半導体装置。
【請求項１２】
請求項１０または請求項１１に記載の半導体装置である固体撮像装置と、
前記固体撮像装置から出力される信号を処理する処理部と、を具備する
ことを特徴とするカメラ。
【請求項１３】
半導体装置の制御方法であって、
前記半導体装置は、
第１電源ラインと第２電源ラインとの間の経路に直列に配された２以上のトランジスタ

を含み、前記２以上のトランジスタが受ける信号をデコードするデコーダと、
前記第１電源ラインと前記第２電源ラインとの間の経路に前記デコーダと直列に配されたスイッチ部と、を備え、
前記半導体装置の制御方法は、
前記デコーダが受ける信号をハイレベルおよびローレベルの一方から他方に変えた後に前記スイッチ部を導通状態にする工程と、
前記スイッチ部が導通状態になったことに応じて前記デコーダが受けた信号をデコードする工程と、を有する
ことを特徴とする半導体装置の制御方法。
【請求項１４】
半導体装置の制御方法であって、
前記半導体装置は、第１電源ラインと第２電源ラインとの間の経路に直列に配された２以上のトランジスタと、前記経路を流れる電流を遮断するスイッチ部とを含み、前記２以上のトランジスタが受ける信号をデコードするデコーダを備え、
前記半導体装置の制御方法は、
前記信号をハイレベルおよびローレベルの一方から他方に変えた後に前記スイッチ部を導通状態にする工程と、
前記スイッチ部が導通状態になったことに応じて前記デコーダが前記信号をデコードする工程と、を有する
ことを特徴とする半導体装置の制御方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置、その制御方法、及びカメラに関する。
【背景技術】
【０００２】
固体撮像装置は、複数の画素と、各画素を駆動するための駆動部と、各画素からの信号を読み出すための読出部とを備えており、例えば、駆動部や読出部の一部にはデコーダが用いられうる。デコーダは、例えば所定のビット数の信号を受けて、該信号をデコードする。その後、デコードされた信号に基づいて、各画素からの信号を読み出すための制御信号が生成される。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開２００９－８８７６９号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
デコーダでは、信号を受けた際に貫通電流が生じうる。このことは、デコーダを形成するデコードするための複数のトランジスタが同時に導通状態となり、電源ノードと接地ノードとの間に電流経路が形成されることに起因する。また、デコーダへの入力信号のうち信号値が変化したビット数が大きい場合には上記貫通電流の量が大きくなる。これらのことは、上記固体撮像装置の例では多画素化によってデコーダへの入力信号のビット数も大きくなるため、顕著な問題となりうる。
【０００５】
なお、ここでは固体撮像装置のケースを例示したが、他の半導体装置についても同様である。
【０００６】
本発明の目的は、デコーダでの貫通電流を抑制するのに有利な技術を提供することにある。

【課題を解決するための手段】
【０００７】
本発明の１つの側面は、半導体装置に係り、前記半導体装置は、第１電源ラインと第２電源ラインとの間の経路に直列に配された２以上のトランジスタを含み、前記２以上のトランジスタが受ける信号をデコードするデコーダと、前記第１電源ラインと前記第２電源ラインとの間の経路に前記デコーダと直列に配されたスイッチ部と、前記信号がハイレベルおよびローレベルの一方から他方に変わった後に、該信号が前記デコーダによりデコードされるように前記スイッチ部を導通状態にする制御部と、を備える。
【発明の効果】
【０００８】
本発明によれば、デコーダでの貫通電流を抑制することができる。
【図面の簡単な説明】
【０００９】
【図１】固体撮像装置の全体構成例を説明するための図である。
【図２】信号読出動作のタイミングチャートを説明するための図である。
【図３】デコーダの構成例及びその制御方法の例を説明するための図である。
【図４】デコーダの断面構造の例を説明するための図である。
【図５】デコーダの構成例及びその制御方法の例を説明するための図である。
【図６】デコーダの構成例を説明するための図である。
【図７】デコーダの構成例を説明するための図である。
【図８】デコーダの制御方法の例を説明するための図である。
【発明を実施するための形態】
【００１０】
（１．　　第１実施形態）
以下では、半導体装置として、カメラ等の撮像システムに搭載される固体撮像装置（「固体撮像装置Ｉ」とする）を例示して第１実施形態を述べる。
【００１１】
（１－１．　固体撮像装置の全体構成例）
図１は、固体撮像装置Ｉの全体構成例を示している。固体撮像装置Ｉは、図１（ａ）に例示されるように、画素アレイA_{PX}と、駆動部U_{DRV}と、読出部U_{RO}と、タイミングジェネレータＴＧとを備える。画素アレイA_{PX}は、複数の画素ＰＸが配列された画素領域である。駆動部U_{DRV}は、複数の画素ＰＸを行単位で駆動する。読出部U_{RO}は、複数の画素ＰＸからの信号を列単位で読み出す。タイミングジェネレータＴＧは、外部からのクロック信号ないし基準信号に基づいて、各ユニットに、対応する制御信号を供給する。
【００１２】
図１（ｂ）は、単位画素ＰＸの構成例を示している。画素ＰＸは、例えば、光電変換部ＰＤ（例えば、フォトダイオード）、転送トランジスタT_{TX}、フローティングディフュージョンＦＤ、リセットトランジスタT_{RES}、ソースフォロワトランジスタT_{SF}、選択トランジスタT_{SEL}を有する。転送トランジスタT_{TX}のゲート端子には、制御信号ｐｔｘが与えられる。フローティングディフュージョンＦＤは、転送トランジスタT_{TX}のソース領域を形成する半導体領域であり、電気的に浮遊状態である。制御信号ｐｔｘが活性化されると、光電変換部ＰＤで生じた電荷が、転送トランジスタT_{TX}によって、フローティングディフュージョンＦＤに転送される。
【００１３】
リセットトランジスタT_{RES}のゲート端子には、制御信号ｐｒｅｓが与えられる。制御信号ｐｒｅｓが活性化されると、リセットトランジスタT_{RES}はフローティングディフュージョンＦＤの電位を初期化（リセット）する。
【００１４】
ソースフォロワトランジスタT_{SF}は、ソースフォロワ動作を行い、ソースフォロワト

ランジスタT_{SF}のソース電位は、フローティングディフュージョンＦＤに保持された電荷量に応じて変化する。選択トランジスタT_{SEL}のゲート端子には、制御信号ｐｓｅｌが与えられる。制御信号ｐｓｅｌが活性化されると、選択トランジスタT_{SEL}は、ソースフォロワトランジスタT_{SF}のソース電位に応じた信号を画素信号として列信号線L_Cに出力する。

【００１５】

図１（ｃ）は、駆動部U_{DRV}の構成例を示している。駆動部U_{DRV}は、画素アレイA_{PX}に信号を出力して各画素ＰＸを駆動し、また、各画素ＰＸを制御する制御部としても機能する。駆動部U_{DRV}は、例えば、デコーダＤＥＣと、パルスジェネレータＰＧとを有する。デコーダＤＥＣは、例えば、タイミングジェネレータＴＧからの信号をデコードする。タイミングジェネレータＴＧからの信号は、例えば、タイミングジェネレータＴＧ内のカウンタ（不図示）のカウント値を含む。パルスジェネレータＰＧは、デコーダＤＥＣからの信号と、タイミングジェネレータＴＧからの制御信号とに基づいて、各画素ＰＸを駆動するための信号を生成する。

【００１６】

図１（ｄ）は、読出部U_{RO}の構成例を示している。読出部U_{RO}は、例えば、信号増幅部U_{AMP}と、信号保持部U_{SH}と、シフトレジスタＨＳＲと、出力部U_{OUT}とを有する。なお、信号増幅部U_{AMP}および信号保持部U_{SH}は、画素アレイＡＰＸの各列に対応して配されるが、ここでは説明を容易にするため、ある１列に対応する信号増幅部U_{AMP}および信号保持部U_{SH}を１つずつ示している。

【００１７】

信号増幅部U_{AMP}は、入力容量C_{IN}と、演算増幅器ａ０と、フィードバック容量C_{FB}と、トランジスタT_{FB}とを有する。入力容量C_{IN}の一方の端子は、列信号線L_Cに接続されており、他方の端子は、演算増幅器ａ０の反転入力端子に接続されている。演算増幅器ａ０の非反転入力端子には、基準電圧ないし参照電圧V_{REF}が供給される。フィードバック容量C_{FB}とトランジスタT_{FB}とは、演算増幅器ａ０の出力端子と反転入力端子との間のフィードバック経路に、互いに電気的に並列に配されている。信号増幅部U_{AMP}のゲインは、入力容量C_{IN}の容量値と、フィードバック容量C_{FB}の容量値との比で定まる。トランジスタT_{FB}は、制御信号ｐｃｌの活性化に応答して演算増幅器ａ０を初期化する。また、演算増幅器ａ０の初期化が為される際に、リセットされたときの画素ＰＸからの信号が、ノイズ成分として入力容量C_{IN}にクランプされる。

【００１８】

信号保持部U_{SH}は、スイッチSWS_N及びSWS_Sと、サンプリング容量CSH_N及びCSH_Sと、スイッチSWO_N及びSWO_Sとを有する。スイッチSWS_Nとサンプリング容量CSH_Nとは、信号増幅部U_{AMP}からの信号をサンプリングするためのサンプルホールド回路を形成している。具体的には、スイッチSWS_Nは、制御信号ｐｔｎの活性化に応答して導通状態になり、容量CSH_Nに信号が保持される。容量CSH_Nに保持された信号は、スイッチSWO_NがシフトレジスタＨＳＲからの制御信号に応答して導通状態になることにより、信号線LO_Nに出力される。

【００１９】

スイッチSWS_S、サンプリング容量CSH_SおよびスイッチSWO_Sについても同様である。即ち、スイッチSWS_Sは、制御信号ｐｔｓの活性化に応答して導通状態になり、容量CSH_Sに信号が保持される。容量CSH_Sに保持された信号は、スイッチSWO_SがシフトレジスタＨＳＲからの制御信号に応答して導通状態になることにより、信号線LO_Sに出力される。なお、シフトレジスタＨＳＲからの制御信号は、デコーダとパルスジェネレータとを用いて生成されてもよい。

【００２０】

詳細は後述するが、容量CSH_Nには、信号増幅部U_{AMP}をリセットしたときの信号レベル（「Ｎ信号」と称する）が保持され、容量CSH_Sには、光電変換によって生じた電荷量に基づく信号レベル（「Ｓ信号」と称する）が保持される。

【００２１】
出力部U_{OUT}は、反転入力端子が信号線LO_Nに接続され、非反転入力端子が信号線LO_Sに接続された出力アンプであり、容量CSH_Nに保持されたＮ信号と容量CSH_Sに保持されたＳ信号との差分を増幅して出力する。
【００２２】
（１－２．　信号読出動作における基板電位の変動について）
以下、図２を参照しながら、画素ＰＸから信号を読み出す際に生じうる基板電位の変動について述べる。図２は、前述の各制御信号（信号ｐｒｅｓ、ｐｃｌ、ｐｔｘ、ｐｔｎ、ｐｔｓおよびｐｓｅｌ）と、信号増幅部U_{AMP}の出力O_{AMP}とをそれぞれ示している。また、図２は、前述の各ユニット（画素アレイA_{PX}、駆動部U_{DRV}、読出部U_{RO}等）が形成された半導体基板の電位（「基板電位V_{SUB}」とする）を示している。
【００２３】
ここでは、主に、デコーダＤＥＣへの入力信号が変化することによって生じうる基板電位V_{SUB}の電位変動を説明する。よって、説明を容易にするため、図２には、デコーダＤＥＣへの入力信号が変化した際の基板電位V_{SUB}の電位変動を図示しており、その他の動作による電位変動については図示していない。同様の理由により、該その他の動作による信号増幅部U_{AMP}の出力O_{AMP}の変動についても図示していない。さらに説明を容易にするため、固体撮像装置Ｉの受光光量が０のケースを想定する。
【００２４】
デコーダＤＥＣには、所定のビット数の信号（データ）が入力され、前述のとおり、例えばカウンタからのカウント値が入力される。前述のとおり、駆動部U_{DRV}のパルスジェネレータＰＧは、デコーダＤＥＣからのデコードされた信号と、タイミングジェネレータＴＧからの制御信号とに基づいて、各画素ＰＸを行単位で駆動するための信号を生成する。
【００２５】
例えば、デコーダＤＥＣに３ビットデータが入力される構成を考えた場合、例えば、デコーダＤＥＣが“０００”を受けたとき、パルスジェネレータＰＧにより画素アレイA_{PX}の第１行の各画素ＰＸを駆動するための信号が生成される。また、例えば、デコーダＤＥＣが“００１”を受けたとき、パルスジェネレータＰＧにより画素アレイA_{PX}の第２行の各画素ＰＸを駆動するための信号が生成される。以下、同様にして、例えば、デコーダＤＥＣが“１１１”を受けたとき、パルスジェネレータＰＧにより画素アレイA_{PX}の第８行の各画素ＰＸを駆動するための信号が生成される。
【００２６】
ここで、例えば、デコーダＤＥＣへの入力信号が“０００”から“００１”に変化する、“０１１”から“１００”に変化する等、デコーダＤＥＣへの入力信号の値が変化するタイミングを「時刻ｔ０」とする。詳細は後述するが、このとき、デコーダＤＥＣでは貫通電流が生じ、これによって、基板電位V_{SUB}に電位変動が生じうる。図中では、基板電位V_{SUB}の電位変動量を「ΔＶ（ｔ０）」と示している。基板電位V_{SUB}は、その後、時間の経過と共に本来の電位に徐々に戻っていく。即ち、ある時刻ｔでの基板電位V_{SUB}の電位変動量をΔＶ（ｔ）としたときに、ｔが大きくなると、ΔＶ（ｔ）は０に近づく。
【００２７】
その後、時刻ｔ１～ｔ１０では、該デコーダＤＥＣへの入力信号が変化したことに応じて、対応する各画素ＰＸから信号を読み出す信号読出動作が開始される。
【００２８】
時刻ｔ１では、信号ｐｒｅｓをハイレベル（以下、単に「Ｈ」と示す）からローレベル（以下、単に「Ｌ」と示す）にし、信号ｐｓｅｌをＬからＨにする。信号ｐｒｅｓをＬにすることによって、フローティングディフュージョンＦＤのリセットを終了する。また、信号ｐｓｅｌをＨにすることによって、選択トランジスタT_{SEL}が導通状態になる。これにより、ソースフォロワトランジスタT_{SF}がソースフォロワ動作を開始し、列信号線

L_Cには、上記リセット後のフローティングディフュージョンＦＤの電位にしたがう量の電流が出力される。

【００２９】

時刻ｔ２では、信号ｐｃｌをＨにする。これにより、トランジスタ$_{FB}$が導通状態になり、演算増幅器ａ０が初期化され、その出力O_{AMP}はV_{REF}となる。また、リセットされたときの画素ＰＸからの信号がノイズ成分として入力容量C_{IN}にクランプされる。

【００３０】

時刻ｔ３では、信号ｐｃｌをＬにする。これにより、トランジスタ$_{FB}$が非導通状態になり、演算増幅器ａ０の初期化を終了し、入力容量C_{IN}へのノイズ成分のクランプを完了する。なお、詳細は後述するが、時刻ｔ３では、電位変動が生じた基板電位V_{SUB}が、まだ定常状態になっておらず（元の電位に戻っておらず）、信号増幅部U_{AMP}の出力O_{AMP}は、V_{REF}から変化する。

【００３１】

時刻ｔ４では、信号ｐｔｎをＨにする。これにより、スイッチSWS_Nが導通状態になり、容量CSH_Nには、Ｎ信号、即ち、信号増幅部U_{AMP}がリセットされたときの信号増幅部U_{AMP}からの信号が書き込まれる。なお、信号増幅部U_{AMP}を設けない構成の場合、容量CSH_Nに書き込まれるＮ信号は、画素ＰＸがリセットされたことによって画素ＰＸから出力される信号である。

【００３２】

時刻ｔ５では、信号ｐｔｎをＬにする。これにより、スイッチSWS_Nが非導通状態になり、Ｎ信号が容量CSH_Nに保持される。

【００３３】

時刻ｔ６では、信号ｐｔｘをＨにする。これにより、転送トランジスタT_{TX}が導通状態になり、光電変換部ＰＤで生じた電荷のフローティングディフュージョンＦＤへの転送を終了する。

【００３４】

時刻ｔ７では、信号ｐｔｘをＬにする。これにより、転送トランジスタT_{TX}が非導通状態になり、上記電荷転送を終了する。

【００３５】

時刻ｔ８では、信号ｐｔｓをＨにする。これにより、スイッチSWS_Sが導通状態になり、容量CSH_Sには、Ｓ信号、即ち、光電変換によって生じた電荷量に基づく画素ＰＸからの信号が書き込まれる。

【００３６】

時刻ｔ９では、信号ｐｔｓをＬにする。これにより、スイッチSWS_Sが非導通状態になり、Ｓ信号が容量CSH_Sに保持される。

【００３７】

時刻ｔ１０では、信号ｐｓｅｌをＬにする。これにより、選択トランジスタT_{SEL}が非導通状態になり、ソースフォロワトランジスタT_{SF}がソースフォロワ動作を終了する。

【００３８】

その後、容量CSH_N及びCSH_Sに保持されたＮ信号およびＳ信号は、シフトレジスタＨＳＲからの制御信号に基づいて信号線LO_N及び信号線LO_Sに列ごとに順に出力され、Ｎ信号とＳ信号との差分が出力部U_{OUT}より順に出力される。以上のようにして、１行分の画素ＰＸからの信号読出が為される。

【００３９】

前述のとおり、ここでは固体撮像装置Ｉの受光光量が０のケースを想定しているため、この場合、Ｎ信号とＳ信号とは信号レベルが互いに等しくなる。しかしながら、前述のとおり、基板電位V_{SUB}の電位変動によって、時刻ｔ３以降、信号増幅部U_{AMP}の出力O_{AMP}が変化しており、Ｎ信号とＳ信号とは信号レベルが互いに異なっている。Ｎ信号とＳ信号との信号レベルの差を「ΔV_{SN}」とする。

【００４０】
信号レベルの差ΔV_{SN}は、詳細は後述するが、デコーダＤＥＣで生じた貫通電流に起因する。ここで、Ｎ信号の保持が完了する時刻ｔ５での基板電位V_{SUB}と、Ｓ信号の保持が完了する時刻ｔ９での基板電位V_{SUB}との差の絶対値（時刻ｔ５～ｔ９での基板電位V_{SUB}の変化分）をΔV_{t5-t9}とする。この場合、Ｎ信号とＳ信号との信号レベルの差ΔV_{SN}は、

$\Delta V_{SN} = \Delta V_{t5-t9} \times A \times G_{SF} \times G_{AMP}$、

Ａ　　：係数、

G_{SF}　：ソースフォロワトランジスタT_{SF}のゲイン、

G_{AMP}：信号増幅部U_{AMP}のゲイン、

と表せる（式１）。なお、係数Ａは、基板電位V_{SUB}によるフローティングディフュージョンＦＤの電位変動率であり、寄生抵抗や寄生容量等に依存するため、画素位置によって異なる値となる。

【００４１】
（１－３．　参考例）
図３（ａ）は、参考例として、デコーダＤＥＣ０の構成例を示している。ここでは説明を容易にするため、１ビット分のデコーダＤＥＣ０を例示しているが、ビット数に対応する複数のデコーダＤＥＣ０が用いられる。デコーダＤＥＣ０は、例えば、ＮＭＯＳトランジスタＭ１～Ｍ４を有する。トランジスタＭ１とＭ２とは、ＶＤＤノード（電源電圧供給用の電源ライン）とＧＮＤノード（接地用の電源ライン）との間に電流経路を形成することができるように直列に配されている。同様に、トランジスタＭ３とＭ４とは、ＶＤＤノードとＧＮＤノードとの間に他の電流経路を形成することができるように直列に配されている。

【００４２】
デコーダＤＥＣ０は、入力信号を伝搬する信号線Ｃ０及びＣ０＿ｂをさらに有しており、トランジスタＭ２およびＭ３のゲートは信号線Ｃ０に接続され、トランジスタＭ１およびＭ４のゲートは信号線Ｃ０＿ｂに接続される。信号線Ｃ０を伝搬する信号と、信号線Ｃ０＿ｂを伝搬する信号とは、互いに反対の信号レベルであり、例えば、一方の信号は、他方の信号からインバータ等を介して生成されればよい。

【００４３】
信号線Ｃ０の信号がＬの場合には、トランジスタＭ１及びＭ４が導通状態になり、トランジスタＭ２及びＭ３が非導通状態になり、その結果、ノードｎａの出力はＨとなり、ノードｎｂの出力はＬとなる。信号線Ｃ０の信号がＨの場合には、トランジスタＭ１及びＭ４が非導通状態になり、トランジスタＭ２及びＭ３が導通状態になり、その結果、ノードｎａの出力はＬとなり、ノードｎｂの出力はＨとなる。

【００４４】
ここで、信号線Ｃ０の信号と信号線Ｃ０＿ｂの信号とは、信号レベルが変化するタイミングが異なり、即ち、信号伝搬の時間差を有しうる。このことは、例えば、上述の一方の信号を他方の信号からインバータ等を介して生成する構成では、インバータによる信号遅延に起因する。その他、このことは、例えば信号線Ｃ０及びＣ０＿ｂの配線抵抗および配線容量にも起因する。

【００４５】
図３（ｂ）は、信号線Ｃ０及びＣ０＿ｂの信号の信号レベルが変化するタイミングが異なるケースを説明するためのタイミングチャートである。ここでは、信号線Ｃ０＿ｂの信号が、信号線Ｃ０の信号からインバータを介して生成された構成を考える。

【００４６】
図中では、信号線Ｃ０の信号がＬからＨに変化する時刻を「$t0_A$」と示し、該変化によって信号線Ｃ０＿ｂの信号がＨからＬに変化する時刻を「$t0_B$」と示している。信号線Ｃ０＿ｂの信号は、インバータによる信号遅延により、信号線Ｃ０の信号よりも信号レベルの変化のタイミングが遅くなっている。そして、時刻$t0_A$～$t0_B$の間、全てのト

ランジスタＭ１～Ｍ４が導通状態となっており、ＶＤＤノードとＧＮＤノードとの間に電流経路が形成され、貫通電流が生じてしまう。このことは、前述の基板電位V_{SUB}の電位変動をもたらしうる。

【００４７】

図４は、デコーダＤＥＣ０におけるトランジスタＭ１～Ｍ２の部分の断面構造を例示している。領域Ｒ１は、デコーダが形成された領域である。領域Ｒ２は、画素ＰＸ（ここでは不図示）が形成された領域である。Ｎ型の半導体基板ＳＵＢの領域Ｒ１にはＰ型ウエルＷ１が形成され、基板ＳＵＢの領域Ｒ２にはＰ型ウエルＷ２が形成されている。ウエルＷ１及びＷ２には、対応する各素子が形成され、例えば、ウエルＷ１には、トランジスタＭ１～Ｍ２の各部分が形成される。

【００４８】

図中には、基板ＳＵＢに電源電位を与えるためのコンタクトプラグと、ウエルＷ２との間には、寄生抵抗成分Ｒｐａｒａと、寄生容量成分Ｃｐａｒａとが存在する。前述のデコーダＤＥＣ０での貫通電流に起因する基板電位V_{SUB}の変動は、これらの成分Ｒｐａｒａ及びＣｐａｒａを介して、ウエルＷ１の電位を変動させ、即ち、フローティングディフュージョンＦＤの基準電位を変動させる。その結果、信号増幅部U_{AMP}の出力O_{AMP}が変化してしまう。

【００４９】

なお、ウエルＷ１の電位は、時定数τ＝Ｒｐａｒａ×Ｃｐａｒａにしたがって、時間の経過と共に、本来の電位（０［Ｖ］）に戻っていく。

【００５０】

ここで、時刻ｔ５における基板電位V_{SUB}の変動量をΔＶ（ｔ５）とし、時刻ｔ９における基板電位V_{SUB}の変動量をΔＶ（ｔ９）とする（図２参照）。このとき、τ＝Ｒｐａｒａ×Ｃｐａｒａとして、

$$\Delta V(t5)=\Delta V(t0)\times \exp\{-(t5-t0)/\tau\},$$

$$\Delta V(t9)=\Delta V(t0)\times \exp\{-(t9-t0)/\tau\},$$

と表せる（式２）。

【００５１】

よって、前述の（式１）は、（式２）により、

$$\begin{aligned}\Delta V_{SN}&=\{\Delta V(t5)-\Delta V(t9)\}\times A\times G_{SF}\times G_{AMP}\\&=\Delta V(t0)\\&\quad\times[\exp\{-(t5-t0)/\tau\}-\exp\{-(t9-t0)/\tau\}]\\&\quad\times A\times G_{SF}\times G_{AMP},\end{aligned}$$

と表せる（式３）。

【００５２】

また、上述のデコーダＤＥＣ０での貫通電流は、その電流量が、デコーダＤＥＣ０への入力信号の信号値によって異なる。例えば、入力信号が“０００”から“００１”に変化する第１ケースでは、３ビットのうち第１の位の１ビットのみ信号値が変わる。これに対して、入力信号が“００１”から“０１０”に変化する第２ケースでは、３ビットのうち第１～第２の位の２ビットの信号値が変わるため、前述の第１ケースの２倍の量の貫通電流が生じうる。また、例えば、入力信号が“０１１”から“１００”に変化する第３ケースでは、３ビットのうち第１～第３の位の全てのビットの信号値が変わるため、前述の第１ケースの３倍の量の貫通電流が生じうる。

【００５３】

デコーダＤＥＣ０への入力信号の信号値によって、前述の貫通電流の量が異なることによって、信号レベルの差ΔV_{SN}が、行ごとに（この例では、ｋを１以上の整数として、第2^k行ごとに）異なってしまう。このことは、固体撮像装置から得られる画像に縞状のノイズが形成される等、画像の品質低下をもたらしうる。

【００５４】

（１－４．　第１の例）

図５（ａ）は、本実施形態の第１の例として、１ビット分のデコーダＤＥＣ１$_1$の構成例を示している。デコーダＤＥＣ１$_1$は、主に、トランジスタＭ１～Ｍ４とＶＤＤノードの間に電流経路を形成することができるように配されたトランジスタＭＸを更に有する、という点でデコーダＤＥＣ０と異なる。トランジスタＭＸのゲートは信号線ＬＸに接続されており、トランジスタＭＸは信号線ＬＸの信号の活性化に応答して導通状態になる。

【００５５】

図５（ｂ）は、デコーダＤＥＣ１$_1$を駆動するための信号線ＬＸ、Ｃ０及びＣ０＿ｂの各信号のタイミングチャートである。まず、図３（ｂ）と同様に、時刻ｔ０$_A$で信号線Ｃ０の信号がＬからＨに変化し、時刻ｔ０$_B$で信号線Ｃ０＿ｂの信号がＨからＬに変化する。そして、その後の時刻ｔ０$_C$で信号線ＬＸの信号をＬからＨにする。

【００５６】

デコーダＤＥＣ１$_1$の制御方法によると、時刻ｔ０$_A$～ｔ０$_B$の間にはＶＤＤノードとＧＮＤノードとの間に電流経路が形成されないため、貫通電流が発生しない。よって、本制御方法によると、前述の基板電位Ｖ$_{SUB}$の電位変動が防止される。そして、時刻ｔ０$_C$でトランジスタＭＸが導通状態となり、信号線Ｃ０及びＣ０＿ｂの信号に基づく信号レベルがノードｎａ及びｎｂから出力される。

【００５７】

デコーダＤＥＣ１$_1$は、時刻ｔ０$_A$～ｔ０$_B$の期間を意図的に大きくすることによって、デコーダＤＥＣ１$_1$の出力ノードその他のノードがリセットされるように構成されてもよい。時刻ｔ０$_A$～ｔ０$_B$の期間は、信号線Ｃ０＿ｂに接続されたインバータの設計値を変更することによって調整されてもよいが、信号線Ｃ０＿ｂに所定の遅延回路を挿入することによっても調整されうる。

【００５８】

なお、本構成では、信号線Ｃ０＿ｂの信号の信号レベルの変化のタイミングが信号線Ｃ０の信号より遅い。そのため、時刻ｔ０$_C$の後、信号線Ｃ０の信号がＨからＬに変化して信号線Ｃ０＿ｂの信号がＬからＨに変化する際には貫通電流が生じないと考えられる。よって、本構成では、信号線Ｃ０＿ｂの信号がＬからＨに変化した後に、信号線ＬＸの信号をＬからＨにすればよい。

【００５９】

以上、上記デコーダＤＥＣ１$_1$の構成および上記制御方法によると、デコーダＤＥＣ１$_1$への入力信号が変化した際にデコーダＤＥＣ１$_1$で貫通電流が生じないため、基板電位Ｖ$_{SUB}$の変動を防ぐことができる。よって、例えば前述の固体撮像装置から得られる画像に生じうる縞状のノイズが防止され、該画像の品質が向上する。

【００６０】

また、本構成によると、基板電位Ｖ$_{SUB}$の変動を防ぐことができるため、デコーダが形成された領域Ｒ１と、画素ＰＸが形成される領域Ｒ２と、を基板ＳＵＢで電気的に分離する必要がない。そのため、領域Ｒ１とＲ２とを電気的に分離するための分離領域を省略してチップ面積を縮小することが可能であり、また、領域Ｒ１及びＲ２の各素子に共通の電源電圧を用いることも可能である。

【００６１】

（１－５．　第２の例）

図６は、本実施形態の第２の例として、１ビット分のデコーダＤＥＣ１$_2$の構成例を示している。デコーダＤＥＣ１$_2$は、主に、トランジスタＭＸの代わりに、トランジスタＭＸａがトランジスタＭ１とＭ２との間に配され、トランジスタＭＸｂがトランジスタＭ３とＭ４との間に配されている、という点で前述のデコーダＤＥＣ１$_1$と異なる。本構成によっても、第１の例と同様の効果が得られる。

【００６２】

以上、本実施形態によると、デコーダＤＥＣ１（ＤＥＣ１$_1$及びＤＥＣ１$_2$）に、デコーダＤＥＣ１への入力信号の信号値が変化する際に形成されうる電流経路を遮断するため

のスイッチ部（トランジスタＭＸ等）を設ける。そして、該スイッチ部を制御することによって貫通電流を防止しつつデコーダＤＥＣ１への入力信号をデコードする。

【００６３】

ここではデコーダの構成例として上記デコーダＤＥＣ１を例示したが、デコーダの構成はこれらに限られるものではない。デコーダは、ＶＤＤノードとＧＮＤノードとの間の経路に配された所定の回路素子で形成され、デコーダへの入力信号が変化した際には該ＶＤＤノードとＧＮＤノードとの間に電流経路が形成されて貫通電流が生じる。そのため、上記デコーダＤＥＣ１に限らず、他の構成のデコーダにも本発明を適用することが可能である。

【００６４】

（２．　　第２実施形態）

本発明は、デコーダの多様な構成に適用することが可能であり、例えば、デコーダが、デコードを行うための複数の回路ユニットを有する構造では、前述のスイッチ部を各回路ユニットに適用することが可能である。デコーダの多様な構成の１つの例として、以下、図７～８を参照しながら第２実施形態を述べる。

【００６５】

図７（ａ）は、本実施形態のデコーダＤＥＣ２の構成例を示している。デコーダＤＥＣ２は、ユニットＵ１等とインバータＩＮＶ１等とを有する。信号線Ｃ０～Ｃ２は、デコーダＤＥＣ２への入力信号（３ビット）を伝搬する信号線であり、それぞれ、第１～第３の位の信号に対応する。信号線Ｃ０＿ｂ～Ｃ２＿ｂは、信号線Ｃ０～Ｃ２の信号とは反対の信号レベルの信号を伝搬する信号線である。なお、ここでは説明を容易にするため、３ビット対応のデコーダＤＥＣ２の構成例を示しているが、デコーダの構成はビット数に応じて変更されればよい。

【００６６】

ユニットＵ１等の各々は、互いに同様の構成を採っており、４つの入力端子ｉｎ１～ｉｎ４と１つの出力端子ｏｕｔとを有する。

【００６７】

図７（ｂ）は、ユニットＵ１の構成例を示している。ユニットＵ１は、ＰＭＯＳトランジスタＭＰ１～ＭＰ３と、ＮＭＯＳトランジスタＭＮ４～ＭＮ６とを有する。トランジスタＭＰ１～ＭＰ３は、ＶＤＤノードと出力端子ｏｕｔとの間に電流経路を形成することができるように互いに並列に配されている。トランジスタＭＮ４～ＭＮ６は、出力端子ｏｕｔとＧＮＤノードとの間に電流経路を形成することができるように順に直列に配されている。入力端子ｉｎ１は、トランジスタＭＰ３のゲートに接続されている。入力端子ｉｎ２は、トランジスタＭＰ１およびＭＮ５のゲートに接続されている。入力端子ｉｎ３は、トランジスタＭＰ２およびＭＮ４のゲートに接続されている。入力端子ｉｎ４は、トランジスタＭＮ６のゲートに接続されている。他のユニットＵ２等も同様の構成を採っている。

【００６８】

図７（ａ）に示されるように、ユニットＵ１の入力端子ｉｎ１は、リセット信号を伝搬する信号線ＬＲＥＳに接続され、入力端子ｉｎ２は信号線Ｃ２＿ｂに接続され、入力端子ｉｎ３は信号線Ｃ１＿ｂに接続され、入力端子ｉｎ４は信号線ＬＸ１に接続されている。

【００６９】

同様に、ユニットＵ２の入力端子ｉｎ１は信号線ＬＲＥＳに接続され、入力端子ｉｎ２は信号線Ｃ２＿ｂに接続され、入力端子ｉｎ３は信号線Ｃ１に接続され、入力端子ｉｎ４は信号線ＬＸ１に接続されている。ユニットＵ３の入力端子ｉｎ１は信号線ＬＲＥＳに接続され、入力端子ｉｎ２は信号線Ｃ２に接続され、入力端子ｉｎ３は信号線Ｃ１＿ｂに接続され、入力端子ｉｎ４は信号線ＬＸ１に接続されている。ユニットＵ４の入力端子ｉｎ１は信号線ＬＲＥＳに接続され、入力端子ｉｎ２は信号線Ｃ２に接続され、入力端子ｉｎ３は信号線Ｃ１に接続され、入力端子ｉｎ４は信号線ＬＸ１に接続されている。

【００７０】

インバータＩＮＶ１はユニットＵ１に対応して配されている。インバータＩＮＶ１の入

力端子はユニットＵ１の出力端子ｏｕｔに接続されている。
【００７１】
ユニットＵ１１及びＵ１２は、ユニットＵ１およびインバータＩＮＶ１に対応して配されている。ユニットＵ１１の入力端子ｉｎ１は信号線ＬＲＥＳに接続され、入力端子ｉｎ２はインバータＩＮＶ１の出力端子に接続され、入力端子ｉｎ３は信号線Ｃ０＿ｂに接続され、入力端子ｉｎ４は信号線ＬＸ２に接続されている。ユニットＵ１２の入力端子ｉｎ１は信号線ＬＲＥＳに接続され、入力端子ｉｎ２はインバータＩＮＶ１の出力端子に接続され、入力端子ｉｎ３は信号線Ｃ０に接続され、入力端子ｉｎ４は信号線ＬＸ２に接続されている。
【００７２】
インバータＩＮＶ１１はユニットＵ１１に対応して配され、インバータＩＮＶ１２はユニットＵ１２に対応して配されている。
【００７３】
以上のような構成により、信号線Ｃ０等の信号に基づく信号レベルが、インバータＩＮＶ１１の出力ノードであるノードｎａ１、および、インバータＩＮＶ１２の出力ノードであるノードｎｂ１から、それぞれ出力される。
【００７４】
図中において破線で示された、ユニットＵ１１及びＵ１２並びにインバータＩＮＶ１１及びＩＮＶ１２の部分を「単位セルＣＵ１」とする。また、ここでは説明を容易にするため図示していないが、ユニットＵ２～Ｕ４およびインバータＩＮＶ２～ＩＮＶ４に対応するように、単位セルＣＵ２～ＣＵ４がそれぞれ配される。
【００７５】
図８は、デコーダＤＥＣ２を駆動するための信号線Ｃ０～Ｃ２、ＬＲＥＳ、ＬＸ１及びＬＸ２の各信号のタイミングチャートである。図中の時刻ｔ１１～ｔ１５のうち、時刻ｔ１２以前の時刻は、信号線Ｃ０～Ｃ２の信号の値が“０００”から“００１”に変化する前の時刻であり、ｔ１３以降の時刻は、該変化した後の時刻である。
【００７６】
時刻ｔ１１では、信号線ＬＸ１及びＬＸ２の信号をＨからＬにする。これにより、全てのユニットＵ１等のトランジスタＭＮ６が非導通状態になり、ユニットＵ１等におけるＶＤＤノードとＧＮＤノードとの間の電流経路が遮断される。
【００７７】
時刻ｔ１２では、信号線ＬＲＥＳの信号をＨからＬにする。これにより、全てのユニットＵ１等のトランジスタＭＰ３が導通状態になり、出力端子ｏｕｔの電位が初期化されてＨになる。即ち、デコーダＤＥＣ２における各ノードの電位が初期化される。
【００７８】
その後、信号線Ｃ０～Ｃ２の信号の値が“０００”から“００１”に変化する。このとき、ユニットＵ１等におけるＶＤＤノードとＧＮＤノードとの間の電流経路が遮断されているため、各ユニットＵ１等では貫通電流が生じない。
【００７９】
時刻ｔ１３では、信号線ＬＲＥＳの信号をＬからＨにする。これにより、全てのユニットＵ１等のトランジスタＭＰ３が非導通状態になり、上記初期化が終了される。
【００８０】
時刻ｔ１４では、信号ＬＸ１の信号をＬからＨにする。これにより、ユニットＵ１～Ｕ４のトランジスタＭＮ６が導通状態になり、信号線Ｃ１及びＣ２の信号に基づく信号レベルが、ユニットＵ１～Ｕ４の出力端子ｏｕｔからそれぞれ出力される。即ち、時刻ｔ１４では、ユニットＵ１～Ｕ４のトランジスタＭＮ６を導通状態にしてユニットＵ１～Ｕ４を活性化させることにより、ユニットＵ１～Ｕ４での信号レベルが確定される。
【００８１】
時刻ｔ１５では、信号ＬＸ２の信号をＬからＨにする。これにより、例えば、単位セルＣＵ１では、ユニットＵ１１～Ｕ１２のトランジスタＭＮ６が導通状態になる。そして、

信号線Ｃ０～Ｃ２の信号に基づく信号レベル（より具体的には、ユニットＵ１からインバータＩＮＶ１を介して入力された信号と信号線Ｃ０の信号とに基づく信号レベル）が、ユニットＵ１１～Ｕ１２からインバータＩＮＶ１１～ＩＮＶ１２に出力される。他の単位セルＣＵ２～ＣＵ４についても同様である。即ち、時刻ｔ１５では、単位セルＣＵ１～ＣＵ４を活性化させることにより、単位セルＣＵ１～ＣＵ４での信号レベルが確定され、ノードｎａ１等からの出力が確定される。以上のようにして、デコードされた信号がノードｎａ１等から出力される。

【００８２】

以上、上記デコーダＤＥＣ２の構成および上記制御方法によると、デコーダＤＥＣ２への入力信号が変化した際にデコーダＤＥＣ２で貫通電流が生じないため、基板電位V_{SUB}の変動を防ぐことができる。以上、本発明はデコーダの多様な構成に適用することが可能であり、本実施形態によっても第１実施形態と同様の効果が得られる。

【００８３】

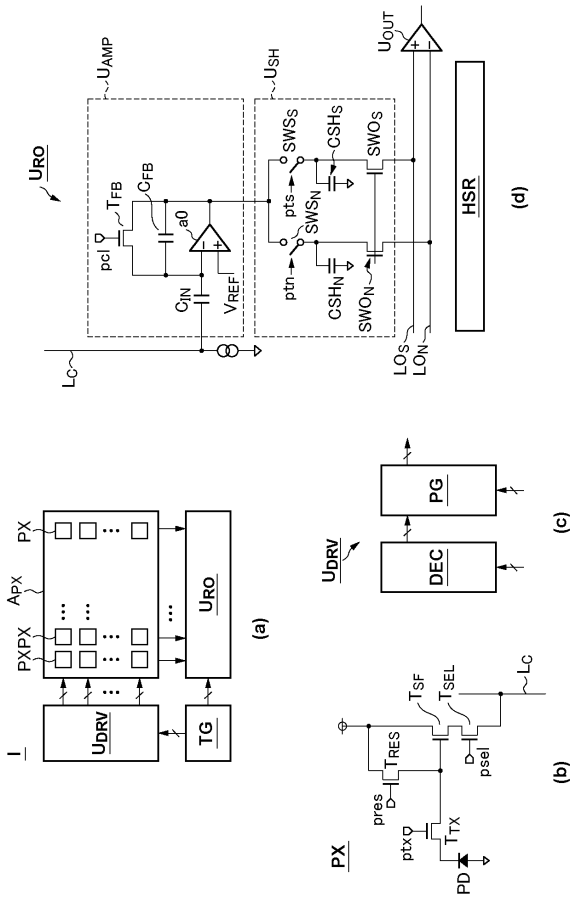
（３．　　その他）

以上、本明細書では２つの実施形態を例示したが、本発明はこれらに限られるものではなく、目的等に応じて、適宜、その一部を変更してもよいし、各実施形態を組み合わせてもよい。

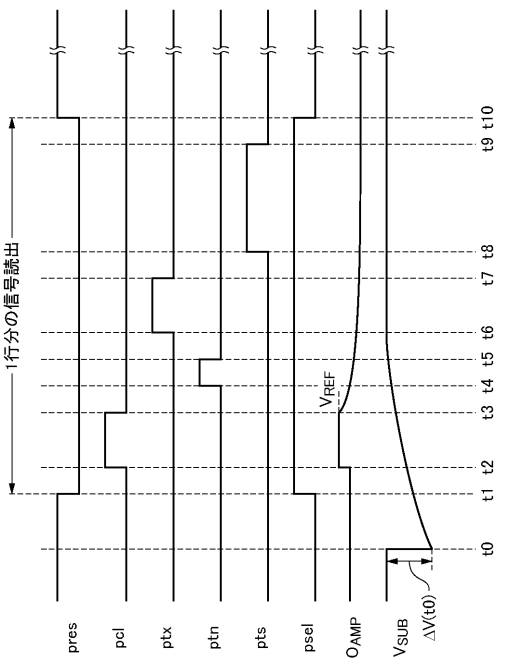
【００８４】

以上の各実施形態では、カメラ等に代表される撮像システムに含まれる固体撮像装置について述べた。撮像システムの概念には、撮影を主目的とする装置のみならず、撮影機能を補助的に備える装置（例えば、パーソナルコンピュータ、携帯端末）も含まれる。撮像システムは、上述の各実施形態で例示された固体撮像装置と、該固体撮像装置から出力される信号を処理する処理部とを含みうる。該処理部は、例えば、Ａ／Ｄ変換部や該Ａ／Ｄ変換器から出力されるデジタルデータを処理するプロセッサを含みうる。

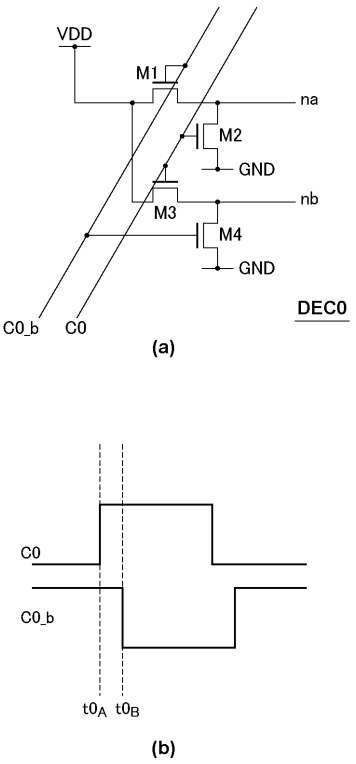
【図１】



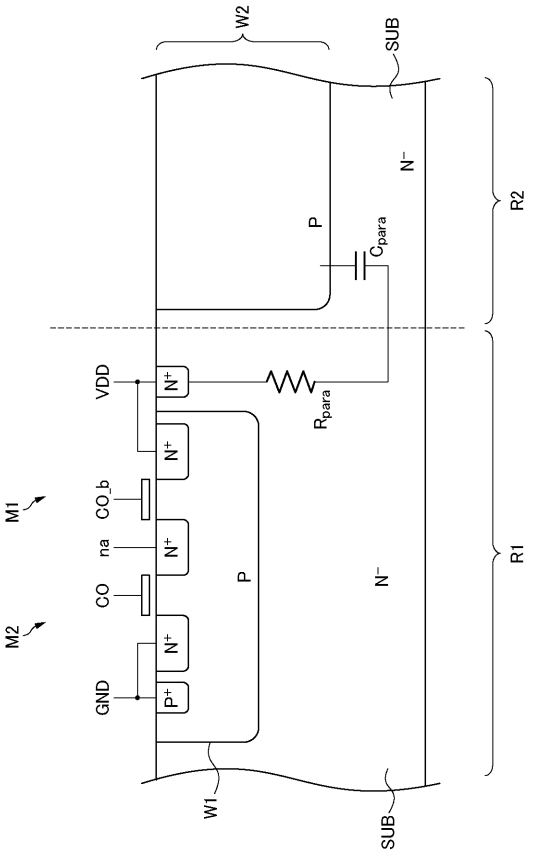
【図２】



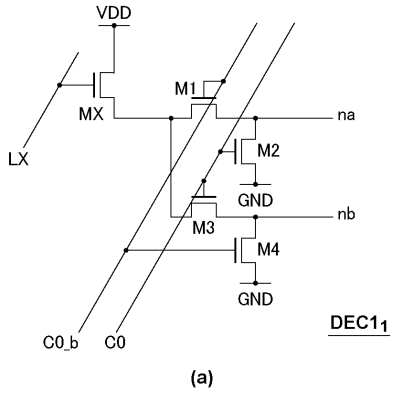
【図３】

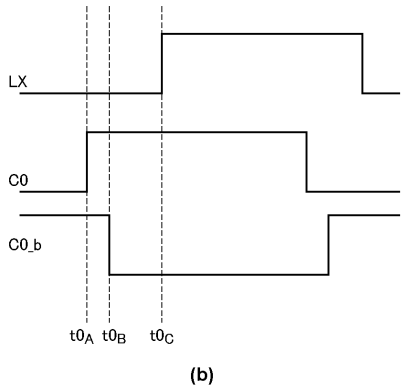

VDD
M1
na
M2
GND
M3
nb
M4
GND
DEC0
C0_b
C0
(a)
C0
C0_b
t0A
t0B
(b)

【図４】

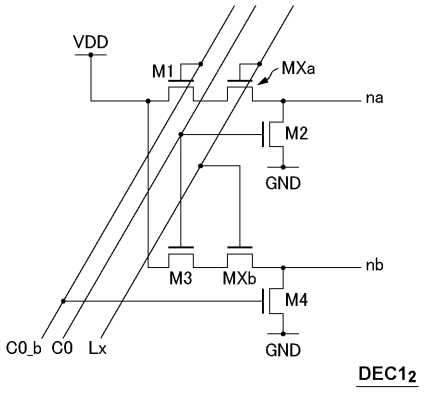

W2
SUB
N−
P
Cpara
R2
VDD
N+
Rpara
M1
CO_b
na
CO
M2
GND
P+
P
N−
R1
W1
SUB

【図５】

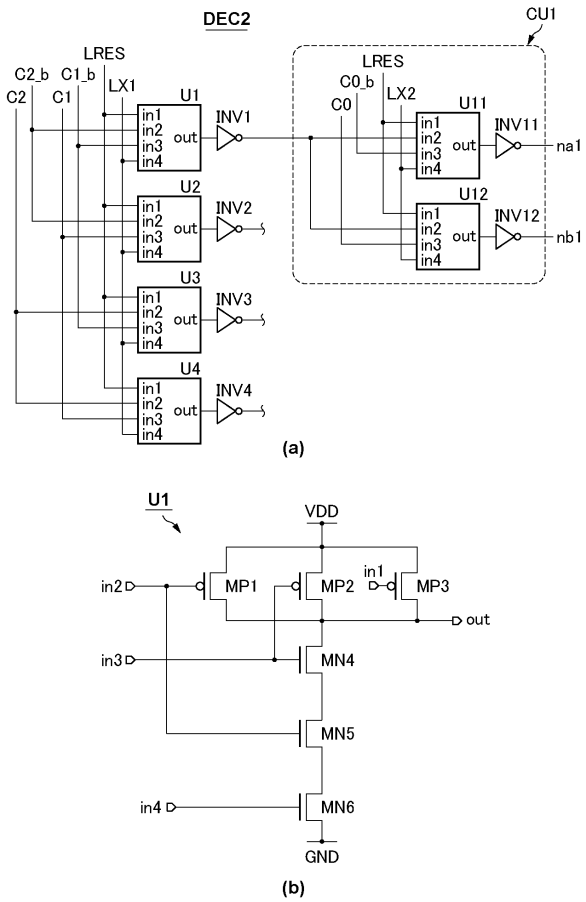

VDD
M1
MX
LX
na
M2
GND
M3
nb
M4
GND
DEC1₁
C0_b
C0
(a)


LX
C0
C0_b
t0A
t0B
t0C
(b)

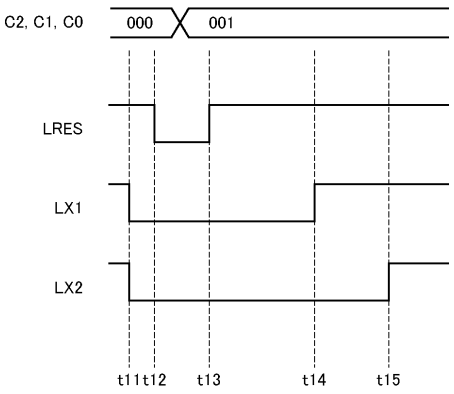
【図６】


VDD
M1
MXa
na
M2
GND
M3
MXb
nb
M4
GND
C0_b
C0
Lx
DEC1₂

【図７】


DEC2
CU1
LRES
C2_b
C1_b
C2
C1
LX1
U1
in1
in2
in3
in4
out
INV1
U2
INV2
U3
INV3
U4
INV4
C0_b
C0
LX2
U11
INV11
na1
U12
INV12
nb1
(a)
U1
VDD
in2
MP1
MP2
in1
MP3
out
in3
MN4
MN5
in4
MN6
GND
(b)

【図８】


C2, C1, C0
000
001
LRES
LX1
LX2
t11
t12
t13
t14
t15

フロントページの続き

(72)発明者　岩田　公一郎
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　大下内　和樹
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　赤堀　博男
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　秋山　健史
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　森田　浩之
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　松永　隆志

(56)参考文献　特開２００２－０７４９５１（ＪＰ，Ａ）
特開２００５－０８５４０４（ＪＰ，Ａ）
特開昭５４－０８００４１（ＪＰ，Ａ）
特開２００９－０８８７６９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０４Ｎ　５／２２５－５／３７８