

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5823515号

(P5823515)

(45) 発行日 平成27年11月25日(2015.11.25)

(24) 登録日 平成27年10月16日(2015.10.16)

(51) Int.Cl.

F I

G06T 11/00 (2006.01)

G09G 5/377 (2006.01)

G09G 5/00 (2006.01)

G06T 11/00

G09G 5/36 520L

G09G 5/00 530H

G09G 5/00 555A

請求項の数 18 (全 15 頁)

(21) 出願番号 特願2013-520236 (P2013-520236)  
 (86) (22) 出願日 平成23年7月19日 (2011.7.19)  
 (65) 公表番号 特表2013-541746 (P2013-541746A)  
 (43) 公表日 平成25年11月14日 (2013.11.14)  
 (86) 国際出願番号 PCT/IB2011/002209  
 (87) 国際公開番号 W02012/010968  
 (87) 国際公開日 平成24年1月26日 (2012.1.26)  
 審査請求日 平成26年7月18日 (2014.7.18)  
 (31) 優先権主張番号 61/365,706  
 (32) 優先日 平成22年7月19日 (2010.7.19)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 508301087  
 エーティーアイ・テクノロジーズ・ユーエ  
 ルシー  
 ATI TECHNOLOGIES UL  
 C  
 カナダ、オンタリオ エル3ティー 7  
 エックス6、マーカム、コマース バリー  
 ドライブ イースト 1  
 One Commerce Valley  
 Drive East, Markha  
 m, Ontario, L3T 7X6  
 Canada  
 (74) 代理人 100108833  
 弁理士 早川 裕司

最終頁に続く

(54) 【発明の名称】 圧縮されたスーパータイル画像をディスプレイすること

(57) 【特許請求の範囲】

【請求項 1】

複数の圧縮されたスーパータイルフレームから画像フレームをディスプレイするために  
 システムで用いられる方法であって、

制御プロセッサを用いて、システムメモリから読み出された複数のタイルから、1つ以  
 上の圧縮されたスーパータイルフレームを生成することであって、前記スーパータイルフ  
 レームは、生成される画像に対応する、ことと、

複数のグラフィクス処理ユニットを用いて、前記1つ以上の圧縮されたスーパータイル  
 フレームを処理することであって、各グラフィクス処理ユニットは、前記グラフィクス処  
 理ユニットに割り当てられた前記1つ以上の圧縮されたスーパータイルフレームを処理する  
 、ことと、

スーパータイルフレーム結合器を用いて、前記圧縮されたスーパータイルフレームを読  
 み出すことと、

前記スーパータイルフレーム結合器を用いて、前記圧縮されたスーパータイルフレーム  
 の各々を拡大して、拡大されたスーパータイルフレームを生成することであって、前記拡  
 大されたスーパータイルフレームは、圧縮されたスーパータイルフレームごとに各グラフ  
 ィクス処理ユニットで生成されており、前記グラフィクス処理ユニットに割り当てられて  
 いない1つ以上のタイルごとにブランクタイルを含む、ことと、

前記スーパータイルフレーム結合器を用いて、前記拡大されたスーパータイルフレーム  
 を結合して、画像フレームを生成することと、

10

20

前記生成された画像フレームをディスプレイ上にディスプレイすることと、  
を備える方法。

【請求項 2】

前記制御プロセッサを用いて、前記複数のタイルから複数のスーパータイルフレームを  
決定することと、

前記制御プロセッサを用いて、1つ以上の前記スーパータイルフレームを前記グラフィ  
クス処理ユニットの各々に割り当てることと、

前記制御プロセッサを用いて、前記スーパータイルフレームの各々を圧縮することと、  
を更に備える請求項 1 の方法。

【請求項 3】

前記スーパータイルフレームの各々は前記画像フレームの非隣接タイルを備える請求項  
2 の方法。

【請求項 4】

前記スーパータイルフレームの各々を別々のグラフィクス処理ユニットに記憶すること  
を更に備える請求項 3 の方法。

【請求項 5】

前記圧縮することは、前記スーパータイルフレームのそれぞれに対して、対応するプロ  
セッサに割り当てられたタイルのセットだけを記憶することを備える請求項 2 の方法。

【請求項 6】

前記拡大することは、前記結合することと同時に行われる請求項 1 の方法。

【請求項 7】

前記結合することは、加算動作を用いて前記複数の拡大されたスーパータイルフレーム  
を結合することを備える請求項 1 の方法。

【請求項 8】

画像フレームの複数の圧縮されたスーパータイルフレームから前記画像フレームをディ  
スプレイするためのシステムであって、

システムメモリから読み出された複数のタイルから、1つ以上の圧縮されたスーパー  
タイルフレームを生成するように構成された制御プロセッサであって、前記スーパータイル  
フレームは、生成される画像に対応する、制御プロセッサと、

前記制御プロセッサに結合された複数のグラフィクス処理ユニットであって、各々が、  
前記グラフィクス処理ユニットに割り当てられた前記 1 つ以上の圧縮されたスーパータイル  
フレームを処理する、複数のグラフィクス処理ユニットと、

前記制御プロセッサと、前記複数のグラフィクス処理ユニットとに結合されたシステム  
メモリと、

スーパータイルフレーム結合器と、

ディスプレイと、を備え、

前記スーパータイルフレーム結合器は、

前記圧縮されたスーパータイルフレームを読み出すことと、

前記圧縮されたスーパータイルフレームの各々を拡大して、拡大されたスーパータイル  
フレームを生成することであって、前記拡大されたスーパータイルフレームは、圧縮され  
たスーパータイルフレームごとに各グラフィクス処理ユニットで生成されており、前記グ  
ラフィクス処理ユニットに割り当てられていない 1 つ以上のタイルごとにブランクタイル  
を含む、ことと、

前記拡大されたスーパータイルフレームを結合して、画像フレームを生成することと、  
を行うように構成されており、

前記ディスプレイは、前記生成された画像フレームをディスプレイするように構成され  
ている、

システム。

【請求項 9】

前記制御プロセッサは、

10

20

30

40

50

前記複数のタイルから複数のスーパータイルフレームを決定することと、  
1つ以上の前記スーパータイルフレームを前記グラフィクス処理ユニットの各々に割り  
当てることと、  
前記スーパータイルフレームの各々を圧縮することと、  
を行うように構成されている請求項 8 のシステム。

【請求項 10】

前記圧縮することは、前記スーパータイルフレームのそれぞれに対して、対応するグラ  
フィクス処理ユニットに割り当てられたタイルのセットだけを記憶することを含む請求項  
9 のシステム。

【請求項 11】

前記スーパータイルフレームの各々は前記画像フレームの非隣接タイルを備える請求項  
8 のシステム。

【請求項 12】

前記拡大することは、前記結合することと同時にされる請求項 8 のシステム。

【請求項 13】

命令を記憶するコンピュータ可読記憶媒体であって、前記命令は、実行されると、複数  
の圧縮されたスーパータイルフレームから画像フレームをある方法でディスプレイするよ  
うに適合せられ、前記方法は、

制御プロセッサを用いて、システムメモリから読み出された複数のタイルから、1つ以  
上の圧縮されたスーパータイルフレームを生成することであって、前記スーパータイルフ  
レームは、生成される画像に対応する、ことと、

複数のグラフィクス処理ユニットを用いて、前記1つ以上の圧縮されたスーパータイル  
フレームを処理することであって、各グラフィクス処理ユニットは、前記グラフィクス処  
理ユニットに割り当てられた前記1つ以上の圧縮されたスーパータイルフレームを処理する  
、ことと、

スーパータイルフレーム結合器を用いて、前記圧縮されたスーパータイルフレームを読  
み出すことと、

前記スーパータイルフレーム結合器を用いて、前記圧縮されたスーパータイルフレーム  
の各々を拡大して、拡大されたスーパータイルフレームを生成することであって、前記拡  
大されたスーパータイルフレームは、圧縮されたスーパータイルフレームごとに各グラフ  
ィクス処理ユニットで生成されており、前記グラフィクス処理ユニットに割り当てられて  
いない1つ以上のタイルごとにブランクタイルを含む、ことと、

前記スーパータイルフレーム結合器を用いて、前記拡大されたスーパータイルフレーム  
を結合して、画像フレームを生成することと、を備えるコンピュータ可読記憶媒体。

【請求項 14】

前記方法は、

前記制御プロセッサを用いて、前記複数のタイルから複数のスーパータイルフレームを  
決定することと、

前記制御プロセッサを用いて、1つ以上の前記スーパータイルフレームを前記グラフィ  
クス処理ユニットの各々に割り当てることと、

前記制御プロセッサを用いて、前記スーパータイルフレームの各々を圧縮することと、  
を更に備える請求項 13 のコンピュータ可読記憶媒体。

【請求項 15】

前記スーパータイルフレームの各々は前記画像フレームの非隣接タイルを備える請求項  
13 のコンピュータ可読記憶媒体。

【請求項 16】

前記スーパータイルフレーム結合器を用いて、複数の拡大されたスーパータイルフレー  
ムのうち1つのスーパータイルフレームのタイル位置に対して、前記複数のスーパータイ  
ルフレームのうち他の全てのスーパータイルフレームのタイル位置がブランク値を有する  
ように、非ブランク値を提供することをさらに含む請求項 1 の方法。

## 【請求項 17】

前記スーパータイルフレーム結合器は、複数の拡大されたスーパータイルフレームのうち1つのスーパータイルフレームのタイル位置に対して、前記複数のスーパータイルフレームのうち他の全てのスーパータイルフレームのタイル位置がブランク値を有するように、非ブランク値を提供するように構成されている請求項8のシステム。

## 【請求項 18】

前記方法は、スーパータイルフレーム結合器を用いて、複数の拡大されたスーパータイルフレームのうち1つのスーパータイルフレームのタイル位置に対して、前記複数のスーパータイルフレームのうち他の全てのスーパータイルフレームのタイル位置がブランク値を有するように、非ブランク値を提供することをさらに含む請求項13のコンピュータ可読記憶媒体。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、画像のディスプレイにおけるメモリ消費を低減することに関する。

## 【背景技術】

## 【0002】

幾つかのグラフィクス処理システムは、グラフィクスタスクの並列処理を通しての性能向上を可能にするために、複数のグラフィクス処理ユニット(GPU)等の多重処理ユニットを含む。例えばグラフィクス重視のゲームは、多重GPUを用いることにより提供される追加的な処理能力を有することを必要として、又はそのような処理能力を有することからの利益を享受し得るように、動作していることがある。

20

## 【0003】

システムにおいて利用可能な多重GPUは、描画中の交互フレームを処理すること(即ち交互フレーム描画(alternate frame rendering))又は同じフレームの部分部分を処理することを含め、様々な方法で用いられる。例えば、あるフレームが、同じフレームを同時に処理中の2つのGPUシステムの両GPUにより効率的に操作され得る複雑な処理を必要としている場合、CPUは同じフレームを両GPUに分配することができる。

## 【発明の概要】

30

## 【発明が解決しようとする課題】

## 【0004】

多重サンプリング(multisampling)が有効にされているとき等の幾つかのグラフィクス処理モードにおいては、各GPUにおいてフレームを処理するために必要なメモリフットプリント(memory footprint)が相当大きくなる。例えば多重サンプリング又はスーパーサンプリングが用いられる場合、フレームの各画素は多重サンプルを含み得るので、GPUメモリ内に記憶されるフレームデータのサイズが顕著に増大する。必要なメモリフットプリントの増大は、フレームを描画する際のスケーラビリティ制限、帯域制限及び遅延に起因する性能低下をもたらし得る。

## 【0005】

40

そこで、各プロセッサがフレームを処理する際に必要なメモリフットプリントを低減する方法及びシステムが求められている。

## 【課題を解決するための手段】

## 【0006】

本発明の実施形態は、圧縮されたスーパータイル画像(supertile images)のディスプレイを可能にする。1つの実施形態においては、複数の圧縮されたスーパータイルフレームから画像フレームをディスプレイするための方法は、圧縮されたスーパータイルフレームを読み出すことと、圧縮されたスーパータイルフレームを拡大することと、拡大されたスーパータイルフレームを結合して画像フレームを生成することと、を含む。拡大することは、拡大されたスーパータイルフレーム内のタイルであって対応する圧縮されたスーパー

50

タイルフレーム内にないタイルに対してブランク画素を挿入することによって、圧縮されたスーパータイルフレームの各々に対応する拡大されたスーパータイルフレームを生成することを含むことができる。

【 0 0 0 7 】

別の実施形態は、画像フレームの複数の圧縮されたスーパータイルフレームから画像フレームをディスプレイするためのシステムである。システムは、制御プロセッサと、制御プロセッサに結合される複数のグラフィクス処理ユニットと、スーパータイルフレーム結合器と、を含む。各グラフィクス処理ユニットは、圧縮されたスーパータイルフレームの1つ以上を処理するように構成される。スーパータイルフレーム結合器は、圧縮されたスーパータイルフレームを読み出し、圧縮されたスーパータイルフレームを拡大し、拡大されたフレームを結合して画像フレームを生成するように構成される。

10

【 0 0 0 8 】

更に別の実施形態は、命令を記憶するコンピュータ可読媒体であり、ここで命令は、実行されるときに、複数の圧縮されたスーパータイルフレームから画像フレームをある方法でディスプレイするように適合させられ、その方法は、圧縮されたスーパータイルフレームを読み出すことと、圧縮されたスーパータイルフレームを拡大することと、拡大されたスーパータイルフレームを結合して画像フレームを生成することと、を備える。

【 0 0 0 9 】

本発明の更なる実施形態、特徴及び利点並びに本発明の種々の実施形態の構成及び動作は、添付図面を参照して以下に詳細に説明される。

20

【図面の簡単な説明】

【 0 0 1 0 】

ここに組み込まれ且つ出願書類の一部をなす添付の図面は、本発明の実施形態を示し、そして明細書と共に、本発明の原理を説明すること及び関連分野を含めた当業者が本発明の実施形態を作りそして使用するのを可能にすることに更に役立つ。

【 0 0 1 1 】

【図 1】図 1 は本発明の実施形態に従うグラフィクスコンピューティング環境のブロック図である。

【 0 0 1 2 】

【図 2】図 2 は本発明の実施形態に従う画像フレームの例示的なタイル化及びスーパータイルフレームのプロセッサへの例示的な割り当てを示す図である。

30

【 0 0 1 3 】

【図 3】図 3 は本発明の実施形態に従い各プロセッサに割り当てられた圧縮されたフレームの例示的な拡大を示す図である。

【 0 0 1 4 】

【図 4】図 4 は本発明の実施形態に従う多重 G P U システムにおける画像フレームの処理を示すフローチャートである。

【 0 0 1 5 】

【図 5】図 5 は本発明の実施形態に従う圧縮されたスーパータイルフレームの結合を示すフローチャートである。

40

【 0 0 1 6 】

添付図面を参照して本発明が説明されることになる。概して、ある要素が最初に現れる図面は、対応する参照番号における最も左の単一又は複数の数字によって典型的には示される。

【発明を実施するための形態】

【 0 0 1 7 】

概要及び要約の欄ではなく、詳細な説明の欄が特許請求の範囲を解釈するために用いられることが意図されていると理解されるべきである。概要及び要約の欄は、発明者によって検討された本発明の1つ以上のしかし全部ではない例示的な実施形態を説明することができ、従って本発明及び添付の特許請求の範囲を限定することが意図されているわけでは

50

けっしてない。

【 0 0 1 8 】

多重のグラフィクス処理ユニット (GPU) 等の多重グラフィクスプロセッサを有するグラフィクスシステムは、幾つかのグラフィクス動作が並列で実行されるのを可能にすることによって、単一のGPUを有するシステムよりも強化された性能を提供することができる。多重グラフィクスプロセッサは、GPU、汎用GPU (GPGPU)、CPU、それらの組み合わせ又はここに説明されるように画像データを処理することが可能な他のプロセッサを備えることができる。図1は本発明の実施形態に従う多重GPUコンピューティング環境を示している。例えばコンピューティング環境100は、GPU104及び106に結合される中央処理ユニット (CPU) 102を含む。図1には2つのGPUの実施形態が示されているが、関連分野を含めた当業者がここでの説明に基づき理解するであろうように、本発明の実施形態は任意の数のGPUを含み得る。GPU104及び106の各々は、メモリ、ディスプレイ等の追加的な部品に結合されていてよい。GPU104及び106は、グラフィクス処理 (例えば描画(rendering)) 等のグラフィクス関連タスクをCPU102から受け取る。当業者によって理解されるであろうように、GPU104及び106は、図示されるように個別の部品 (即ち別々のデバイス) であってよく、一体化部品 (例えば、単一の集積回路 (IC) ) や単一パッケージハウジングの多重IC等の単一デバイスへと集積化されたもの、他のIC、例えばCPU又はノースブリッジへと集積化されたもの) であってよく、そして非類似のもの (例えば性能等の何らかの異なる能力を有しているもの) であってよい。

【 0 0 1 9 】

GPU104は、コマンドプロセッサ112、メモリ制御器114及びローカルグラフィクスメモリ116等の部品を含む。コマンドプロセッサ112は、GPU104上でのコマンド実行を制御する。例えばコマンドプロセッサ112は、GPU104内で処理されるべきCPU102からのコマンド及びデータの受信を制御し且つ/又は連携させることができる。コマンドプロセッサ112はまた、例えばメモリ制御器114を介して、グラフィクスメモリ116内でのメモリの割り当てを制御し且つ/又は連携させることができる。メモリ制御器114は、データの読み出し及び書き込みのためのグラフィクスメモリ116へのアクセスを制御することができる。

【 0 0 2 0 】

GPU104と同様にして、GPU106は、コマンドプロセッサ118、メモリ制御器120及びグラフィクスメモリ122を含み得る。コマンドプロセッサ118、メモリ制御器120及びグラフィクスメモリ122の機能は、上述したGPU104における対応するデバイス112、114及び116と同様である。

【 0 0 2 1 】

コンピューティング環境100はまた、システムメモリ108を含む。システムメモリ108は、GPU104及び106とCPU102との間で転送されるコマンド及びデータを保持するために用いられ得る。グラフィクス動作を用いてデータが処理された後、処理されたデータはGPU104及び106からシステムメモリ108へ書き戻され得る。例えば幾つかの実施形態においては、グラフィクスメモリ116からの処理されたデータは、更なる処理のために又は画面110等の画面上でのディスプレイのために用いられるより先に、システムメモリ108に書き込まれ得る。幾つかの実施形態においては、GPU104及び/又は106内で処理されたフレームデータは、ディスプレイエンジン123を介して画面110へと書き込まれる。ディスプレイエンジン123は、ハードウェア及び/若しくはソフトウェア内に実装されてよく又はそれらの組み合わせとして実装されてよく、そして画面110の特定の特性に合わせてデータのディスプレイを最適化する機能を含んでいてよい。別の実施形態においては、ディスプレイエンジン123は、処理されたディスプレイデータをGPUメモリ116及び/又はGPUメモリ122から直接的に受け取ることができる。

【 0 0 2 2 】

コンピューティングシステム 100 の種々のデバイスは、通信基盤 126 によって結合される。例えば通信基盤 126 は、周辺部品相互接続エクスプレス(Peripheral Component Interconnect Express) (PCI-E) バス、イーサネット(登録商標)(Ethernet(登録商標))、ファイヤワイヤ(Fire Wire)及び/又は他の相互接続デバイスを含む 1 つ以上の通信バスを含み得る。ある実施形態においては、通信基盤 126 は、2 つ以上の GPU を互いに結合する相互接続デバイスを含み得る。

#### 【0023】

本発明の実施形態においては、タイルのセット(sets of tiles)の画像フレームから複数のプロセッサへの割り当ては、スーパータイル化(supertiling)と称される。あるプロセッサに割り当てられた元の画像フレームからのタイルのセットは、スーパータイルフレームと称される。各 GPU はまた、各 GPU に割り当てられたスーパータイルフレーム内で処理されるべきタイルに基き各 GPU のローカルメモリ内でなされるべきメモリ割り当てを決定する論理を含む。例えば GPU 104 は、タイル圧縮化論理ブロック 128 を含み、また GPU 106 はタイル圧縮化論理ブロック 130 を含む。各タイル圧縮化論理ブロックは、それぞれの GPU に割り当てられたタイルのために必要なメモリ割り当てを決定する機能を含むことができ、本発明の教示に従ってそれぞれのローカルメモリ内のタイルの記憶を連携させると共に、本発明の実施形態に従ってそれぞれのグラフィクスメモリ内のタイルの論理レイアウトを決定することができる。

#### 【0024】

ある実施形態においては、GPU 104 及び 106 の 1 つ以上はまた、スーパータイルフレーム結合論理ブロック 132 を含むことができる。スーパータイルフレーム結合論理ブロック 132 は、多重 GPU 内で別々に処理されたタイルを、1 つの画面上でディスプレイされ得る又はシステムメモリへ転送され得る単一のフレームへと結合する論理を含む。幾つかの実施形態においては、スーパータイルフレーム結合ブロック 132 は、それ自身の GPU 104 のローカルメモリ 116 の他に GPU 106 のローカルメモリ 122 にもアクセスして、各 GPU で別個に処理されたタイルをリトリブする(retrieve)ことができる。ある実施形態に従うと、スーパータイルフレーム結合論理ブロック 132 は、それぞれの GPU に割り当てられていないタイルのロケーション内に不使用画素(「ブランク画素」とも称される)を挿入することによって、1 つ以上の圧縮されたフレーム(圧縮されたスーパータイルフレームとも称される)を完全解像度フレームへと拡大する機能を含む。更に他の実施形態においては、スーパータイルフレーム結合ブロック 132 は、圧縮されたフレームを GPU のそれぞれのローカルメモリからリトリブしまたエクスポートする(export)ことができ、その結果、隣接するメモリにおいて最初に全フレームを再構成する必要性なしに、フレームがディスプレイされ得る。尚、スーパータイルフレーム結合論理ブロック 132 及び/又はその機能は、GPU 104 若しくは 106 の少なくとも 1 つの内部に実装されてよく又は両 GPU の外部に実装されてよい。例えばある実施形態においては、スーパータイルフレーム結合論理ブロック 132 は、ディスプレイエンジン 123 内に実装され得る。別の実施形態においては、スーパータイルフレーム結合論理ブロック 132 は、GPU のラスライザ動作(rasterizer operations) (ROP) 論理内に実装され得る。

#### 【0025】

上述の説明では、GPU 104 及び 106 は厳選された部品及び機能を含むものとして図示されている。しかし、当業者であれば、GPU 104 及び 106 の一方又は両方が、限定はされないがシェーダエンジン等の他の部品を含み得ることを理解するはずである。

#### 【0026】

図 2 は 2 つの GPU への画像フレームのタイルの例示的な割り当てと各 GPU ロードメモリのローカルメモリ内の対応するタイルのレイアウトの例とを示している。例えばフレーム 202 は、GPU 104 及び 106 によって画面 110 上に描画されるべき画像を含み得る。フレーム 202 内の各小さな長方形は 1 つのタイルを表す。1 つのタイルは任意のサイズの長方形であってよいが、一般に用いられるタイルサイズは 16 × 16 画素及

10

20

30

40

50

び  $32 \times 32$  画素である。複数のタイルに分割されたフレーム 202 等の 1 つのフレームは、タイル化フレーム (tiled frame) と称される。図示される実施形態においては、CPU 102 はフレーム 202 のタイルをチェッカーボードパターンで割り当て、各 1 つおきのタイルは GPU 104 のグラフィックメモリ 116 に割り当てられ、残りのタイルは GPU 106 のグラフィックメモリ 122 に割り当てられる。前述したように、各 GPU は、画像フレーム 202 からの処理されるべき複数のタイルを備えるスーパータイルフレームを割り当てられる。

#### 【0027】

タイル割り当てのパターンは、ディスプレイのモードを含む種々の要因に基き得る。例えば、画面 110 上でのフレーム 202 の最終的なディスプレイが、左から右へ及び上から下へのパターンでタイルを漸次ディスプレイすることによって実行される場合、割り当てられたタイルの数に関して及び割り当てられたタイルの空間分布に関して両 GPU の間で作業負荷がバランスされるように、タイルを交互に各 GPU に割り当てることが有利であろう。

#### 【0028】

図 2 はまた、各 GPU に割り当てられたフレームのタイルがどのようにして GPU 104 及び 106 のそれぞれグラフィックメモリ 116 及び 122 内で論理的に配置され得るのかの例を示している。システムメモリ 108 内のタイル化画像フレーム 202 は、16 タイルを有するものとして図示されている。異なるサイズのタイル及び / 又は異なる数のタイルを有するフレームも可能である。タイルは、割り当ての例示的なパターンが都合よく示されるように、01 ~ 16 の範囲の番号で示されている。図示される例においては、タイルはチェッカーボードパターンで 2 つの GPU 内に割り当てられる。それぞれの GPU にタイルを割り当てる他のパターンも可能である。GPU 104 内のグラフィックスメモリ 116 におけるメモリ区域 204 は、GPU 104 に割り当てられたタイルを図示されるような配置で有することができる (メモリ区域 202、204 及び 206 内に示される 01 ~ 16 の範囲にある対応するタイル番号は、同じタイルの複製を表す)。図示されるように、タイルは、GPU 104 に割り当てられたタイルの間での、それぞれのタイルのフレーム 202 内での出現の順序に対応して、左から右、上から下への方法で長方形グリッド内に配置されてよい。同様に、GPU 106 内のグラフィックスメモリ 122 におけるメモリ区域 206 は、GPU 106 に割り当てられたタイルを図示されるような配置で有することができる。各 GPU に割り当てられたタイルは、例えば、割り当てられたタイルを記憶するためだけにメモリ空間を割り当て、割り当てられていないタイルのためには空間を割り当てないことによって、メモリフットプリントを最小にするように圧縮されたフレームの形態で、対応する GPU メモリ内に記憶される。図示される例においては、各グラフィックスメモリ内に当該 GPU に割り当てられたタイルのみを記憶することによって、各グラフィックスメモリ内でフレームのために必要なメモリフットプリントは、全フレームを記憶するために必要なフットプリントの約半分に低減される。また、割り当てられたタイルのみをそのグラフィックスメモリ内に記憶することによって、各 GPU は割り当てられていないタイルの処理を回避する。

#### 【0029】

図 3 は本発明の実施形態に従い圧縮されたフレームを混合して完全解像度フレームを生成するプロセスの側面を模式的に示している。図 2 に示されるように、タイル化フレーム 202 からのタイルは、別々の GPU に割り当てられ、そして圧縮されたフレーム 204 及び 206 としてそれぞれの GPU メモリ内に記憶される。図 2 において最初に示された圧縮されたフレーム 204 及び 206 が、再び図 3 に示されている。圧縮されたフレーム 204 及び 206 は、対応する GPU に割り当てられたタイルを各々が含む非圧縮フレーム (以下「拡大されたフレーム」又は「拡大されたスーパータイルフレーム」と称される) 302 及び 304 にそれぞれ拡大される。拡大されたフレーム 302 及び 304 において番号を伴って示される各タイルは、それぞれの圧縮されたフレームからの対応するタイルを表す。フレーム 302 及び 304 において「X」で標識付けられる各タイルは、本発

10

20

30

40

50

明の実施形態に従い挿入されたブランク画素を表す。挿入されたブランク画素を伴う拡大されたフレーム302及び304は、結合されて(「混合されて」とも称される)それぞれのGPUで処理されたタイル化フレーム202の全てのタイルを含む最終結合された完全解像度フレーム306を生成する。結合された完全解像度フレーム306は、次いで画面上でディスプレイされ得る。

#### 【0030】

図4は本発明の実施形態に従い多重GPUによってフレームが処理されるのを可能にするプロセスのフローチャートである。動作402においては、描画されるべき画像に対応するタイル化フレームが作成される。本発明の実施形態に従うタイル化フレームは、全フレーム(又はディスプレイ区域)が複数のタイルでカバーされるような方法で複数のタイルへと分割されたフレームである。タイルは通常は $16 \times 16$ 、 $32 \times 32$ 又は $64 \times 64$ 画素のサイズである。メモリアクセス等のフレームの次の処理は、個々のタイルに基くことができる。ある実施形態に従うと、あるタイルはフレーム内でその左上画素の位置によって指定され得る。

#### 【0031】

ある実施形態に従うと、タイル化に供されるフレームは、対応する画像が描画されるべきディスプレイ上の全ての画素位置のための1つ以上の断片(fragments)を伴うラスターライズされたデータ(rasterized data)を備える。ラスターライズされたフレームの画素及び/又は画素断片は、頂点シェーダ、幾何シェーダ及び/又は画素シェーダ等の1つ以上のシェーダプログラムの出力であってよい。シェーダプログラムは、典型的には画素のクワッド(quads)、即ち $2 \times 2$ のブロックを処理する。シェーダの出力はROPによって処理されてよく、ROPは、それらブロックが出力バッファに書き込まれるより先に、色合成(color combining)及びアンチエイリアシング(antialiasing)等の機能を行う。ROPは出力バッファ上で動作してタイル化フレームを定義することができる。

#### 【0032】

ステップ404では、タイルのセットが複数のプロセッサに割り当てられる。例えば、左上タイルで始まるタイル化フレームの1つおきのタイルがGPU1\_\_104に割り当てられてよく、そして残りのタイルはGPU2\_\_106に割り当てられてよい。GPU1及びGPU2へのスーパータイルフレームのそのような割り当ては、図2に示されている。図2に示されるように、各プロセッサは、各プロセッサに割り当てられたスーパータイルフレームを、これを各プロセッサのメモリに記憶する前に、各プロセッサに割り当てられたタイルのみを記憶することによって、圧縮する。各GPUに記憶されたフレームは、圧縮されたスーパータイルフレームである。ある実施形態においては、圧縮は、それぞれのプロセッサに割り当てられるタイルを定義するリスト又は予め定められたパターンを維持すること、及び割り当てられたタイルをそれぞれのプロセッサ内の連続的メモリ内に記憶することにより達成される。

#### 【0033】

ステップ406では、各プロセッサは、各プロセッサに割り当てられたタイルに必要な任意の処理を行う。そのような処理は、例えば、1つ以上のシェーダプログラムによる処理を含み得る。ある実施形態においては、各プロセッサがそれに割り当てられたタイルの処理を完了したら、それぞれのプロセッサから、別々に割り当てられたタイルの再組み立てを連携させてフレームを形成する部品へと、信号が送られてよい。例えば、メッセージパッケージが送られてよく、レジスタ値がセットされてよく、且つ/又はハードウェア信号がアサートされてよい。

#### 【0034】

ステップ408では、それぞれのプロセッサ内で圧縮されたスーパータイルフレームが読み出される。ある実施形態においては、グラフィクスドライバ又は他の論理は、割り当てられたタイルの処理を各プロセッサが完了した旨の信号を各プロセッサから受け取る。グラフィクスドライバ又は他の論理は次いで、圧縮されたフレームを各プロセッサのメモリからリトリブすることができる。ある実施形態においては、圧縮されたフレームを受

10

20

30

40

50

け取り且つ結合する論理は、スーパータイルフレーム結合論理ブロック 1 3 2 内に実装される。

【 0 0 3 5 】

ステップ 4 1 0 では、それぞれのプロセッサからリトリブされた圧縮されたフレームは、非圧縮化されて対応する拡大されたフレームを生成する。圧縮されたフレームを読み出し且つ結合する論理は、グラフィクスプロセッサメモリから圧縮されたフレームを読み出すと共にこれを拡大する一方で、例えばシステムメモリ内又はグラフィクスメモリ内のバッファに書き込むことができる。ある実施形態に従うと、圧縮されたフレームの読み出しは、タイル毎に行われ得る。別の実施形態においては、圧縮されたフレーム全体が要求され得る。

10

【 0 0 3 6 】

ある実施形態においては、拡大されたフレーム（「拡大されたスーパータイルフレーム」とも称される）は、当該プロセッサに割り当てられていない各タイルに対してブランクを再挿入することによって、それぞれの圧縮されたフレームから構成される。ブランクタイル（即ち有効データを含まないものとして標識付けられたタイル）は、有効内容(valid content)を伴わない画素（「ブランク画素」として定義される画素で構成され得る。ある実施形態においては、ブランク画素は 0 値を伴う画素である。0 の値を有するブランク画素は、「黒色画素」とも称される。別の実施形態においては、ブランク画素及び/又はブランクタイルは、それぞれの圧縮されたフレームに対応する拡大されたフレームの好都合な結合を可能にする任意の方法で標識付けられてよい。

20

【 0 0 3 7 】

ステップ 4 1 2 では、処理されたタイルを伴う拡大されたフレームが結合されて、結合された完全解像度フレームを形成する。ある実施形態に従うと、結合すること又は混合することは、それぞれの拡大されたフレームに対して加算動作を実行することを通して達成される。各タイル位置に対して 1 つの（一方の）拡大されたフレームのみが非ブランクタイル値を有するはずであるから、フレームを結合する加算動作は、各タイルが処理されたタイルである結合された完全解像度フレームを結果としてもたらず。ある実施形態においては、加算動作を行う前に各ブランク画素を黒色画素（即ち 0 の値を伴う画素）で置換することによって、完全解像度フレームの各画素の値がその処理された値である結合された完全解像度フレームが得られる。

30

【 0 0 3 8 】

ステップ 4 1 4 では、ステップ 4 1 2 で構成された結合された完全解像度フレームは、ディスプレイされてよく、あるいは例えばデジタル的に記憶される等の別の目的で使用されてよい。

【 0 0 3 9 】

図 5 は実施形態に従い多重の圧縮されたフレームから結合された完全解像度フレームを構成する方法 5 0 0 を示している。ステップ 5 0 2 では、結合された完全解像度フレームを保持するために、メモリバッファが初期化される。メモリバッファは、フレームバッファ、グラフィクスメモリ内のメモリ区域又はシステムメモリ区域内のメモリであってよい。

40

【 0 0 4 0 】

ステップ 5 0 3 では、圧縮されたフレームに基づき構成されることになる拡大されたフレームを保持するために、メモリ区域が初期化される。拡大されたフレームのメモリ区域は、拡大されるべき各圧縮されたフレームのために再初期化及び再使用され得る。拡大されたフレームのメモリ区域は、システムメモリ、グラフィクスメモリ又は他のメモリ内にあってよい。

【 0 0 4 1 】

ステップ 5 0 4 では、圧縮されたフレームがメモリから読み出される。圧縮されたフレームは、上述のステップ 4 0 4 に関連して説明したように、それぞれのプロセッサに対応するグラフィクスメモリ内に記憶され得る。対応するグラフィクスメモリからの圧縮され

50

たフレームの読み出しは、タイルを個別に読み出すことに基づいていてよく、単一の読み出し命令で全フレームを読み出すことに基づいていてよく、あるいは中間サイズのメモリを読むことに基づいていてよい。読み出しに際しては、圧縮されたフレーム及び／又はその一部が、システムメモリ又はグラフィクスメモリに書き込まれ得る。

【 0 0 4 2 】

ステップ 5 0 6 では、最後に読み出される圧縮されたフレームからのタイルが読み出される。最後に読み出される圧縮されたフレームを処理することにおけるステップ 5 0 6 の各呼び出し(invocation)においては、最後に読み出される圧縮されたフレームからのタイルは、圧縮されたフレームの左上角で始まり左から右、上から下へのパターンで進むシーケンスで読み出され得る。

10

【 0 0 4 3 】

ステップ 5 0 8 では、拡大されたフレーム内のタイルの位置が決定される。ある実施形態に従うと、拡大されたフレーム内のタイルの位置は、それぞれのプロセッサへのタイル割り当てのパターンに基いて決定され得る。別の実施形態においては、各タイルは、拡大されたフレームにおけるその位置をエンコードされたものであってよい。例えばタイルは、それぞれのプロセッサにおける処理に先立ち元のタイル化フレーム内でのその位置をエンコードされたものであってよい。決定された位置に基き、拡大されたフレーム内にタイルが挿入され得る。

【 0 0 4 4 】

ステップ 5 1 0 では、最後に挿入されたタイルの位置に基づき、最後に挿入されたタイルに隣接してブランク画素が挿入される。ステップ 4 1 0 に関連して前述したように、ブランク画素は、拡大されたフレームにおいて当該画素が有効データを有していないことを示す特定実装向けの方法で定義され得る。チェックボードパターンで 2 つのプロセッサに割り当てられた元のタイル化フレームからのタイルを各圧縮されたフレームが備える実施形態においては、ブランク画素は、最後に割り当てられたタイルの隣のタイル(即ち、左、右、上及び下のタイル)に割り当てられてよい。

20

【 0 0 4 5 】

ステップ 5 1 2 では、最後に挿入されたタイルが現在フレーム内の最後のセルであるかどうか決定される。最後のセルでない場合には、現在フレーム内の全てのタイルが処理されるまで、ステップ 5 0 6 ~ 5 1 2 が繰り返される、現在フレームの最後のタイルが拡大されたフレーム内に挿入され且つ対応するブランク画素が挿入された後に、処理はステップ 5 1 4 へ進む。

30

【 0 0 4 6 】

ステップ 5 1 4 では、現在の拡大されたフレームが現在の結合された完全解像度フレームと結合される。ある実施形態に従うと、結合は、現在の拡大されたフレームを現在の結合された完全解像度フレームに加算することによって達成される。加算動作による結合が利用可能であるのは、本発明の実施形態においては、1 つの拡大されたフレームのみが、結合された完全解像度フレーム内の特定のタイル位置のための有効画素データを有しているはずだからである。

【 0 0 4 7 】

ステップ 5 1 6 では、最後に圧縮されたフレームが処理されたかどうか決定される。上述したように、現在処理中の元のタイル化フレームは、各プロセッサが圧縮されたフレームを処理するような多重プロセッサの間で割り当てられたものであり得る。最後に圧縮されたフレームが処理されていない場合には、処理はステップ 5 0 4 へ戻り、最後に圧縮されたフレームが拡大され且つ完全解像度フレームへと結合されるまで、ステップ 5 0 4 ~ 5 1 6 が繰り返される。最後に圧縮されたフレームが完全解像度フレームへと結合されると、元のタイル化フレームの処理は完了し、またそれぞれのプロセッサ内で別々に処理された圧縮されたフレームを結合することによって、結合された完全解像度フレームが構成されたことになる。

40

【 0 0 4 8 】

50

本発明の側面を実施する論理によって実行される命令は、C及びC++等の種々のプログラミング言語、アセンブリ言語、並びに/又はハードウェア記述言語(HLD)においてコード化されてよく、また論理又は他のデバイスによって実行され得るオブジェクトコードへとコンパイルされてよい。

【0049】

上述の実施形態は、ベリログ(Verilog)、RTL、ネットリスト(netlists)等のハードウェア記述言語において記述されてよく、またこれらの記述は、ここに説明されるような本発明の側面を具現化する1つ以上のハードウェアデバイスを作り出すマスクワーク/フォトマスクの生成を通して製造プロセスを最終的に構成するために用いられ得る。

【0050】

10

本発明の側面は、全体又は一部においてコンピュータ可読媒体に記憶され得る。コンピュータ可読媒体に記憶された命令は、本発明の実施形態の全部又は一部を行うようにプロセッサを適合させることができる。

【0051】

特定の機能の実装及びそれらの関係性を示す機能構築ブロックを補助として、本発明が上述のように説明されてきた。これらの機能構築ブロックの境界は、説明の便宜上ここでは適宜画定されてきた。特定の機能及びそれらの関係性が適切に実行される限りにおいて、代替的な境界が画定され得る。

【0052】

本発明の種々の実施形態がこれまで説明されてきたが、それらは例示のみを目的として提示されてきたものであり且つ限定を目的としていないことが理解されるべきである。本発明の精神及び範囲から逸脱することなしに形態及び詳細における種々の変更がここではなされ得ることが、関連分野を含めた当業者には明らかなはずである。従って、本発明の広さ及び範囲は、上述したいかなる例示的な実施形態によっても限定されるべきではなく、以下の特許請求の範囲及びそれらと均等なものに従ってのみ画定されるべきである。

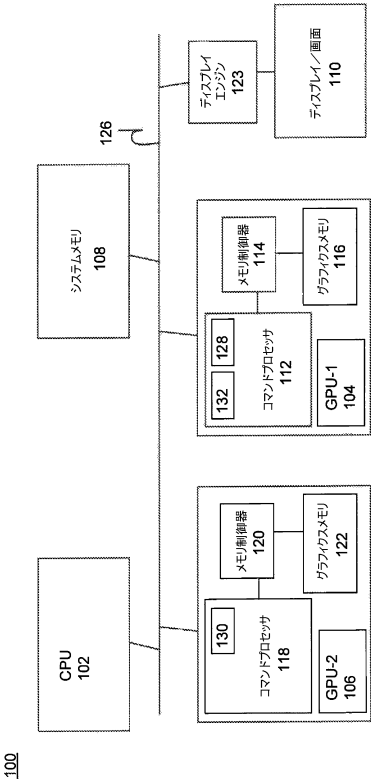
20

【0053】

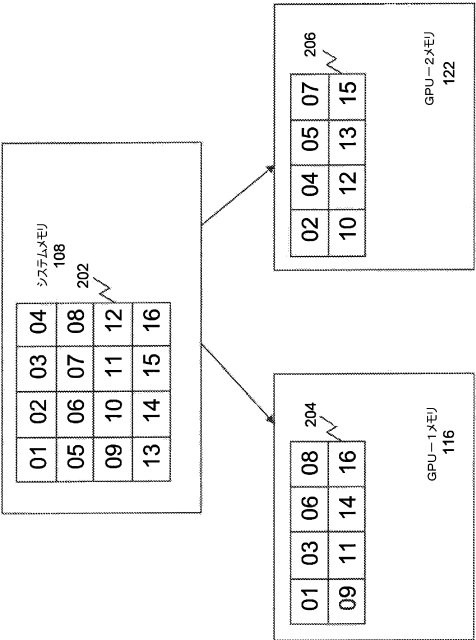
特定の実施形態の上述した説明は、本発明の一般的性質を十分に明らかにするであろうから、他者は、当業者における知識を適用することによって、過度の実験なしに、本発明の一般的概念から逸脱することなく、そのような特定の実施形態を容易に修正し且つ/又は種々の応用に適応させることができる。従って、そのような適応及び修正は、ここに提示されている教示及び指針に基いて、開示されている実施形態と均等なものの意味及び範囲の範疇にあることが意図されている。ここでの用語等は、説明を目的としたものであって限定を目的としていないことが理解されるべきであり、本出願書類の用語等は教示及び指針の下で当業者によって解釈されるべきである。

30

【図 1】



【図 2】



【図 3】

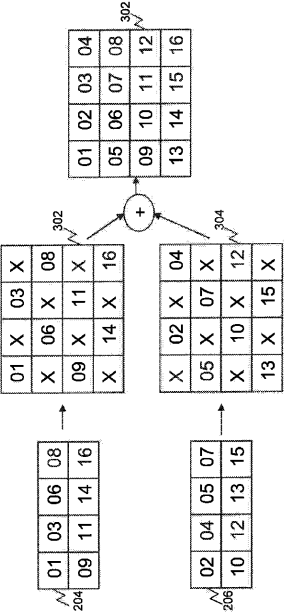
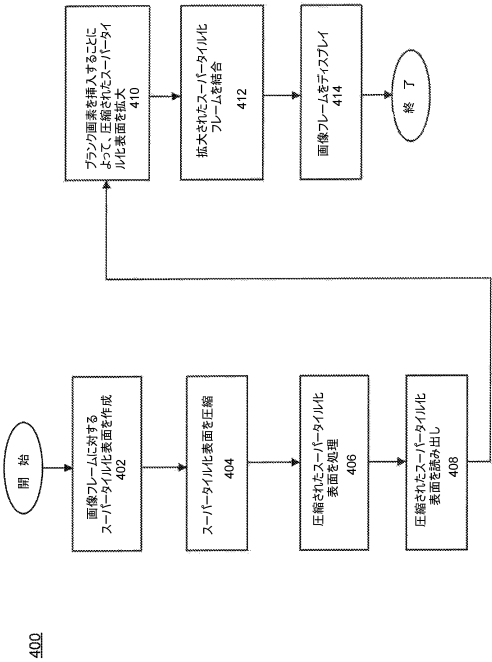
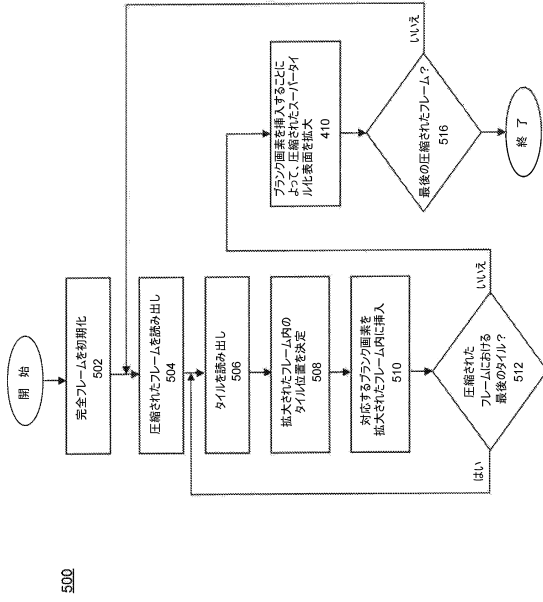


FIG. 3

【図 4】



【図 5】



---

フロントページの続き

(74)代理人 100111615

弁理士 佐野 良太

(74)代理人 100162156

弁理士 村雨 圭介

(72)発明者 デイビッド グレン

カナダ、オンタリオ エム4エス 2エックス5、トロント、ホイル アベニュー 11

審査官 千葉 久博

(56)参考文献 特開2003-208627(JP,A)

特開2003-143599(JP,A)

特開平08-130710(JP,A)

特開平07-225575(JP,A)

特開平04-245865(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06T 11/00 - 11/40

G09G 5/00 - 5/42

G06T 1/00