



(12) 发明专利申请

(10) 申请公布号 CN 101887903 A

(43) 申请公布日 2010.11.17

(21) 申请号 201010180639.4

(22) 申请日 2010.05.14

(30) 优先权数据

12/466, 970 2009. 05. 15 US

(71) 申请人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

(72)发明人 龙翔澜

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 周国城

(51) Int GI

H011 27/24 (2006-01)

H011 45/00 (2006-01)

G11G 11/56 (2006-01)

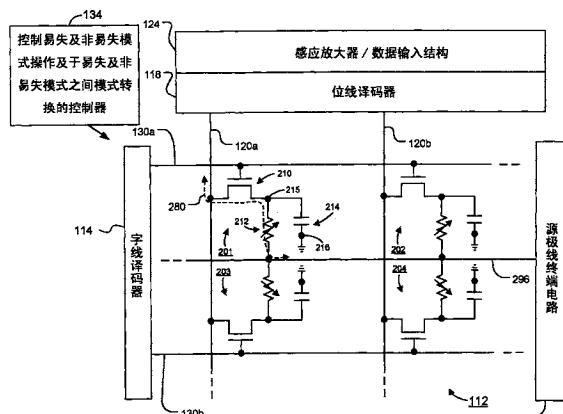
权利要求书 2 页 说明书 16 页 附图 19 页

(54) 发明名称

具有晶体管、电阻及电容的相变化存储装置及其操作方法

(57) 摘要

本发明公开了一种具有晶体管、电阻及电容的相变化存储装置及操作此种装置的方法。此处所描述的一存储装置包含一晶体管与第一及第二存取线电性耦接。一可编程电阻存储元件安置于沿着该第一及第二存取线之间的一电流路径上。以及一电容与介于该第一及第二存取线之间的该电流路径电性耦接。



1. 一种存储单元,其特征在于,包括:

一晶体管,与第一及第二存取线电性耦接;

一可编程电阻存储元件,安置于沿着该第一及第二存取线之间的一电流路径上;以及
一电容,与介于该第一及第二存取线之间的该电流路径电性耦接。

2. 根据权利要求 1 所述的存储单元,其特征在于,更包含偏压电路与该存储单元耦接,
该偏压电路可在一第一模式下操作以储存一数据值于该可编程电阻存储元件,且可在一第
二模式下操作以储存一数据值于该电容;该晶体管具有一阈值电压与储存于该电容中的该
数据值对应。

3. 根据权利要求 2 所述的存储单元,其特征在于,该偏压电路更包含可在一第三模式
下操作,其包含施加一偏压调整至该存储单元以直接传送一储存于该可编程电阻存储元件
及该电容二者之一中的数据值至该可编程电阻存储元件及该电容二者之另一;

该偏压电路更包含可在一第三模式下操作,以于该可编程电阻存储元件储存一与储存
于该电容中的一数据值相关的数据值;

该偏压电路可在该第三模式下操作包含改变该可编程电阻存储元件与储存于该电容
中的电荷数目相关的一电阻状态,该储存于该电容中的该电荷改变该晶体管的一阈值电
压。

4. 根据权利要求 2 所述的存储单元,其特征在于,该偏压电路可在一第三模式下操作,
以于该电容中储存一与储存于该可编程电阻存储元件中的一数据值相关的数据值;

该偏压电路可在该第三模式下操作包含改变该储存于该电容中与该可编程电阻存储
元件的一电阻状态相关的电荷数目;

该偏压电路可在该第三模式下操作包含诱发一电流通过该可编程电阻存储元件以改
变该储存于该电容中的该电荷数目。

5. 根据权利要求 1 所述的存储单元,其特征在于:

该晶体管是一场效晶体管具有一通道区域,包含半导体材料于一绝缘层之上;

该电容具有一第一节点,包含该场效晶体管的该通道区域;以及

该电容具有一第二节点于该绝缘层之下的一衬底内。

6. 根据权利要求 1 所述的存储单元,其特征在于:

该晶体管是一场效晶体管具有由一通道区域所分隔的源极和漏极区域,该通道区域与
该源极和漏极区域于一半导体衬底之内;

该电容具有一第一节点,包含导电材料于一半导体衬底中的一沟道之内,且由一绝缘
材料所环绕;以及

该电容具有一第二节点包含环绕该绝缘材料的该半导体衬底的一部分。

7. 一种操作一存储单元的方法,其特征在于,该存储单元包含一晶体管与第一及第二
存取线电性耦接,一可编程电阻存储元件安置于沿着该第一及第二存取线之间的一电流路
径上,以及一电容与介于该第一及第二存取线之间的该电流路径电性耦接,该方法包括:

于一第一模式下操作该存储单元以储存一数据值于该可编程电阻存储元件;以及

于一第二模式下操作该存储单元以储存一数据值于该电容。

8. 根据权利要求 7 所述的方法,其特征在于,更包含于一第三模式下操作该存储单元
包含施加一偏压调整至该存储单元以直接传送一储存于该可编程电阻存储元件及该电容

二者之一中的数据值至该可编程电阻存储元件及该电容二者之另一；

更包含于一第三模式下操作该存储单元以于该可编程电阻存储元件储存一与储存于该电容中的一数据值相关的数据值；于该第三模式下操作该存储单元包含改变该可编程电阻存储元件与储存于该电容中的电荷数目相关的一电阻状态，该储存于该电容中的该电荷改变该晶体管的一阈值电压。

9. 根据权利要求 7 所述的方法，其特征在于，更包含于一第三模式下操作该存储单元以于该电容中储存一与储存于该可编程电阻存储元件中的一数据值相关的数据值；于该第三模式下操作该存储单元包含改变该储存于该电容中与该可编程电阻存储元件的一电阻状态相关的电荷数目，于该第三模式下操作该存储单元包含诱发一电流通过该可编程电阻存储元件以改变该储存于该电容中的该电荷数目。

10. 根据权利要求 7 所述的方法，其特征在于：

该晶体管是一场效晶体管具有一通道区域，包含半导体材料于一绝缘层之上；

该电容具有一第一节点，包含该场效晶体管的该通道区域；以及

该电容具有一第二节点于该绝缘层之下的一衬底内。

11. 根据权利要求 7 所述的方法，其特征在于：

该晶体管是一场效晶体管具有由一通道区域所分隔的源极和漏极区域，该通道区域与该源极和漏极区域于一半导体衬底之内；

该电容具有一第一节点，包含导电材料于一半导体衬底中的一沟道之内，且由一绝缘材料所环绕；以及

该电容具有一第二节点包含环绕该绝缘材料的该半导体衬底的一部分。

具有晶体管、电阻及电容的相变化存储装置及其操作方法

技术领域

[0001] 本发明是有关于使用基于相变化存储材料的存储装置，例如硫属化物材料及其它可编程电阻存储材料，及此种装置的操作方法。

背景技术

[0002] 通常而言，系统单芯片 (SOC) 技术是将许多电子系统的次系统整合在同一芯片中，其可以包含数字、模拟、混合信号和射频等功能。这些不同型态的次系统可以整合在包含例如微处理器、微处理器核心、数字信号处理器、可组态逻辑单元、存储区块、时序源、外接接口、功率管理电路等集成电路之中。系统单芯片 (SOC) 除了包含上述的硬件之外，也包含了控制这些次系统的软件。此“系统单芯片”名词可以用来描述复杂的特殊应用芯片 (ASIC)，其中许多之前在电路板阶级中整合的功能现在可以由单一芯片所提供。这种整合阶级大幅地减少系统的尺寸与功耗，通常也同时降低了制造的成本。

[0003] 相变化为基础的存储材料，例如硫属化物或其它类似的材料可以通过施加合适应用于集成电路中的电流阶级而导致在一非晶态与一结晶态之间的相变化。此大致为非晶态具有较大致为结晶态更高的电阻率，其可以很容易被感应而作为指示数据之用。这些特性引起了使用可编程电阻材料作为非易失存储器电路的兴趣，其可以进行随机存取的读取或写入。

[0004] 然而，例如低设置速度、高复位电流、及有限的循环承受力等表现缺点限制了使用相变化为基础的存储材料在集成电路中作为高速随机存取存储器之用。

[0005] 因此，使用相变化为基础的存储材料的集成电路通常也包含其它型态的存储器以满足集成电路中不同功能的表现需求。这些不同型态的存储器被嵌入于集成电路的不同区域中，切通常包含静态随机存取存储器 (SRAM)、动态随机存取存储器 (DRAM) 存储电路以提供集成电路中高存取速度的存储器。然而，将不同型态的存储电路整合在集成电路中以满足不同的存储应用是困难的且导致非常复杂的设计。

[0006] 因此需要提供一种存储单元，其可以解决不同存储器表现的需求，而同时能解决整合设计的问题。也需要提供一种操作此种装置的方法。

发明内容

[0007] 此处所描述的存储单元包含一晶体管与第一及第二存取线电性耦接。一可编程电阻存储元件安置于沿着该第一及第二存取线之间的一电流路径上，以及一电容，与介于该第一及第二存取线之间的该电流路径电性耦接。

[0008] 此处所描述的存储单元包含一晶体管、一可编程电阻存储元件允许易失和非易失模式的存储器操作。电容提供快速编程 / 擦除速度，而存储元件提供非易失数据储存所需的数据保持能力。易失和非易失操作模式可于同一存储单元提供不同的操作特性，例如切换速度、循环承受力、操作电流以及数据保存能力等。其结果是，存储单元可以作为易失和非易失存储器以提供一集成电路不同功能所需的不同存储表现。

[0009] 此处亦描述包含一晶体管、一可编程电阻存储元件及一电容的存储单元的操作方法。此方法包括于一第一模式下操作该存储单元以储存一数据值于该可编程电阻存储元件；以及于一第二模式下操作该存储单元以储存一数据值于该电容。

[0010] 此处所描述的存储单元操作方法也包含储存于该可编程电阻存储元件及该电容二者之一中的数据值与储存于该可编程电阻存储元件及该电容二者之另一中的数据值相关。在实施例中，施加一偏压调整至该存储单元以直接传送一储存于该可编程电阻存储元件及该电容二者之一中的数据值至该可编程电阻存储元件及该电容二者之另一而不需要经过读取操作。举例而言，储存于该可编程电阻存储元件中的数据值可以在此集成电路没有电源供应的情况下直接传送至该电容以供集成电路于操作时使用。而另一范例为，储存于该电容中的数据值可以在此集成电路操作时直接传送至该存储元件以供集成电路于没有电源供应时作为非易失数据储存之用。

[0011] 此处所描述的存储单元实施例具有一个小小的截面区域，其可以允许作为高密度存储阵列的应用。在一实施例中，电容是实施为沟道电容器于衬底内以允许衬底单位面积中一个相对大的电容值。在另一实施例中，晶体管的浮动通道主体是通过形成于晶体管浮动通道主体与其下衬底之间的瞬时电容值来取代一单独的电容器。

[0012] 本发明的其它目的和优点，会在下列实施方式的章节中搭配图式被描述。

附图说明

[0013] 本发明是由权利要求范围所界定。这些和其它目的，特征，和实施例，会在下列实施方式的章节中搭配图式被描述，其中：

[0014] 图 1 是可应用本发明包含一存储单元阵列的存储单元的集成电路的简化方块图，每一存储单元包含一晶体管、一可编程电阻存储元件及一电容。

[0015] 图 2 显示本发明图 1 中集成电路阵列第一实施例的示意图。

[0016] 图 3 显示根据一实施例安排在图 2 的阵列中的存储单元一部份的剖面示意图。

[0017] 图 4A 至图 4C 为使用存储元件作为数据储存元件的存储单元的读取、设置及复位操作的时序图。

[0018] 图 5A 至图 5C 为使用电容作为数据储存元件的存储单元的读取、编程及擦除操作的时序图。

[0019] 图 6 显示一恢复操作的流程图，其施加一恢复调整偏压至图 2 中的一选取存储单元。

[0020] 图 7 显示一恢复调整偏压操作的时序图，其使用图 6 中的恢复调整偏压。

[0021] 图 8 显示本发明图 1 中集成电路阵列第二实施例的示意图。

[0022] 图 9 显示根据一实施例安排在图 8 的阵列中的存储单元一部份的剖面示意图。

[0023] 图 10A 至图 10C 为使用电容作为数据储存元件的一选取存储单元的编程、擦除及读取操作的时序图。

[0024] 图 11 显示一恢复操作的流程图，其施加一恢复调整偏压至图 8 中的一选取存储单元。

[0025] 图 12 显示一恢复调整偏压操作的时序图，其使用图 11 中的恢复调整偏压。

[0026] 图 13 显示一储存操作的流程图，其施加一储存调整偏压至图 8 中的一选取存储单

元。

[0027] 图 14 显示一储存调整偏压操作的时序图, 其使用图 13 中的储存调整偏压。

【主要元件符号说明】

[0029]	110	集成电路
[0030]		具有一晶体管、一可编程电阻存储元
[0031]	112	件及一电容的存储单元阵列
[0032]	114	字线译码器及驱动器
[0033]	116	字线
[0034]	118	位线译码器
[0035]	120	位线
[0036]	122	总线
[0037]	124	感应放大器 / 数据输出结构
[0038]	126	数据总线
[0039]	136	偏压调整供应电压、电流源
[0040]		控制易失及非易失模式操作及于易失
[0041]	134	及非易失模式之间模式转换的控制器
[0042]	128	数据输入线
[0043]	132	数据输出线
[0044]	130	其它电路
[0045]	120a	位线电压
[0046]	130a	字线电压
[0047]	201 ~ 204	存储单元
[0048]	210	晶体管
[0049]	212	存储元件
[0050]	213、313	主动区域
[0051]	214	电容
[0052]	215	电容的第一节点
[0053]	216	电容的第二节点
[0054]	280	电流路径
[0055]	295	源极线终端电路
[0056]	296	共同源极线
[0057]	300	衬底
[0058]	302、304	第一及第二终端
[0059]	303、305	导电覆盖层
[0060]	306、310、320、330、340	介电层
[0061]	312、314、332、334、342	导电栓塞
[0062]	322	底电极
[0063]	324	顶电极
[0064]	801~804	存储单元

[0065]	810	晶体管
[0066]	812	存储元件
[0067]	913	主动区域
[0068]	814	电容
[0069]	815	电容的第一节点
[0070]	816	电容的第二节点（背面栅极）
[0071]	880	电流路径
[0072]	900	衬底
[0073]	901	浮动通道主体
[0074]	902、904	第一及第二终端
[0075]	903、905	浮动通道主体
[0076]	906	绝缘层
[0077]	910、920、930	介电层
[0078]	912、914、932	导电栓塞
[0079]	922	底电极
[0080]	924	顶电极

具体实施方式

[0081] 为进一步说明各实施例，本发明乃提供有图式。此些图式乃为本发明揭露内容的一部分，其主要是用以说明实施例，并可配合说明书的相关描述来解释实施例的运作原理。配合参考这些内容，本领域具有通常知识者应能理解其它可能的实施方式以及本发明的优点。图中的元件并未按比例绘制，而类似的元件符号通常用来表示类似的元件。

[0082] 图1是可应用本发明的集成电路110的简化方块图，集成电路110包括存储器阵列112，每一存储单元包括一晶体管、一可编程电阻存储元件、以及一电容器。会于以下更详细的描述，此存储单元允许易失与非易失模式的存储操作，及于易失与非易失模式之间切换的转换模式。

[0083] 一字线译码器及驱动器114被耦接至多条字线116，其间并形成电性连接，且沿着存储器阵列112的列方向排列。一位线（行）译码器118被耦接并电性连接至多条沿着存储器阵列112的行排列的多条位线120，以操作阵列112中的存储单元（未示）。总线是透过总线122提供至字线译码器及驱动器114及位线译码器118。方块124中的感应放大器与数据输入结构，包括易失、非易失及转换模式的电压及/或电流源，是透过数据总线126耦接至位线译码器118。数据是由集成电路110上的输入/输出端或其它内部或外部的数据来源，透过数据输入线128传送至方块124的数据输入结构。在此例示实施例中，集成电路110亦可包括其它电路130，如一般用途的处理器、特定用途的应用电路或是可提供此薄膜熔丝相变化存储单元阵列所支持的系统单芯片功能的多个模块的组合。数据是由方块124中的感应放大器，透过数据输出线132，传送至集成电路110上的输入/输出端或其它集成电路110内或外的数据目的地。

[0084] 于本实施例中，一控制器134是利用偏压调整状态机构来控制偏压调整供应电压及电流源136，以施加如读取、编程、擦除、擦除验证、编程验证、更新、自动恢复及自动储存

的调整偏压置存储阵列 112 的存储单元。这些由控制器 134 所送出的与偏压调整供应电压及电流源 136 耦接的信号特性决定操作的模式（如：易失、非易失或转换模式）以及阵列 112 中存储器的操作（如：读取、编程、自动恢复及自动储存等）。控制器 134 可以利用技术领域中已知的特殊目的逻辑电路来实作。于其它实施方式中，控制器可包括一般用途的处理器以执行计算机程序来控制元件的操作，而该处理器可以实作于相同的集成电路上。于另外的实施方式中，控制器 134 可利用特殊目的逻辑电路与一般用途的处理器的组合来实作。在易失模式中，控制器 134 应用一更新模式以周期性地存取存储单元来更新储存于电容中的编程或擦除电荷储存阶级，以补偿存储单元于更新周期之间的电荷泄漏。

[0085] 图 2 显示本发明第一实施例的集成电路 110 中阵列 112 的示意图。阵列 112 中的每一存储单元具有一场效晶体管、一可编程电阻存储元件（在图标中表示为一可变电阻）、以及一电荷储存电容器。图 2 中显示四个存储单元 201 ~ 204，代表阵列 112 中的一小区段其可以包含上百万个存储单元。于以下会更仔细所描述的，每一存储单元可以操作为高速易失存储器，其使用电容作为一数据储存元件，也可以操作为高速非易失存储器，其使用可编程电阻存储元件作为一数据储存元件。此存储单元也可以于一转换模式下操作，以直接传送一储存于该可编程电阻存储元件中的数据值至电容中，或是反之亦然，而不需要经过一读取操作。

[0086] 在图 2 中的可编程电阻存储元件将存储单元 201 ~ 204 中存取晶体管的源极与共同源极线 296 耦接，此共同源极线 296 中止于一源极线终端电路 295。在另一实施例中，存取晶体管的源极并没有电性连接，而是可以单独的控制。此源极线终端电路 295 可以包含一偏压电路例如电压源或是电流源，以及译码电路以施加调整偏压至共同源极线 296。

[0087] 多条字线 130 包含字线 130a、130b 平行地延伸于一第一方向且与字线译码器及驱动器 114 电性通讯。个别存取晶体管的栅极终端是与一对对应的字线 130 耦接。

[0088] 多条位线 120 包含位线 120a、120b 平行地延伸于一第二方向且与位线译码器 118 电性通讯。个别存取晶体管的漏极终端是与一对对应的位线 120 耦接。此处所使用的名词“存取线”通常是指位线、源极线或是字线。

[0089] 必须明白的是存储阵列 112 并不局限于图 2 中所示的阵列组态，且其它的组态也可以替代地被使用。此外，场效晶体管以外，双极接面晶体管在某些实施例也可以用来作为存取装置。

[0090] 存储单元 201 是阵列 112 中的代表存储单元，且其包含一晶体管 210、一可编程电阻存储元件 212、以及一电容 214。字线 130a 与存取晶体管 210 的栅极耦接、位线 120a 与存取晶体管 210 的漏极耦接，而存储元件 212 则安排介于存取晶体管 210 的源极与共同源极线 296 之间。

[0091] 此电容 214 具有一第一节点 215 与存取晶体管 210 的源极耦接。其结果是，第一节点 215 与一介于位线 120a 和共同源极线 296 之间的电流路径耦接。

[0092] 在此例示实施例中此电容 214 具有一第二节点 216 与地耦接。替代地，第二节点 216 可以与图 1 中电压源调整偏压方块 136 耦接以提供一个不是地的偏压。

[0093] 于以下会更仔细所描述的，存储单元 201 可以根据电容 214 或是可编程电阻存储元件 212 是数据储存元件来作为高速动态存取存储器或是非易失存储器操作。于易失存储器操作时，此存储单元 201 将数据值的电荷储存于电容 214 中，而于非易失存储器操作时，

此存储单元 201 将数据值的电阻储存于存储元件 212 中。

[0094] 图 3 显示根据一实施例安排在图 2 的阵列 112 中的存储单元（包含代表存储单元 201）一部份的剖面示意图。图 3 是沿着位线 120 的剖面而得。

[0095] 阵列 112 包含具有第一导电型态的半导体衬底 300。此存储单元 201 的场效晶体管 210 包含第一及第二终端 302、304，其包含与衬底 300 相反的第二导电型态的掺杂衬底材料。在此例示实施例中，此衬底 300 包含掺杂 P 型材料，且第一及第二终端 302、304 包含掺杂 N 型材料，此第一终端 302 作为源极区域而第二终端 304 作为漏极区域。此衬底 300 与一例如是地的参考电压耦接。

[0096] 字线 130a 作为存储单元 201 的场效晶体管 210 的栅极，且沿伸进入与穿出图 3 所示的剖面。字线 130a 是位于衬底 300 之上，且可以包含举例而言，掺杂多晶硅材料与一硅化物层于此掺杂多晶硅之上。

[0097] 导电覆盖层 303、305 包含硅化物分别位于第一及第二终端 302、304 之上。导电覆盖层 303、305 可以是包含举例而言，具有 Ti、W、Co、Ni 和 Ta 的硅化物。此导电覆盖层 303、305 提供介于第一及第二终端 302、304 与金属栓塞 312、314 之间的一个较低电阻接点。

[0098] 金属栓塞 312、314 延伸通过介电层 310。此金属栓塞 312、314 可以包含举例而言，钨。此金属栓塞 312、314 的其它替代材料也可由 Ti、Mo、Al、Ta、Cu、Pt、Ir、La、Ni、与 Ru 等选取。

[0099] 此存储单元 201 包括一底电极 322 于此金属栓塞 312 之上。此底电极 322 延伸通过介电层 320 与可编程电阻存储元件 212 的底表面连接。可编程电阻存储元件 212 可以包含举例而言，自锗 (Ge)、锑 (Sb)、碲 (Te)、硒 (Se)、铟 (In)、钛 (Ti)、镓 (Ga)、铋 (Bi)、锡 (Sn)、铜 (Cu)、钯 (Pd)、铅 (Pb)、银 (Ag)、硫 (S)、硅 (Si)、氧 (O)、磷 (P)、砷 (As)、氮及金族群中一个或多个材料中选取。

[0100] 此存储单元 201 也包括一顶电极 324 于此可编程电阻存储元件 212 之上。此顶电极 324 与底电极 322 每一者可以包含举例而言，例如 TiN 或是 TaN。在存储元件 212 包含 GST（会于以下描述）的实施例中，最好是使用氮化钛因为其和 GST 之间具有良好的结合性，且其是半导体工艺中经常使用的材料，并提供在或 GST 转换的高温下，通常是 600 ~ 700°C 范围，一个良好的扩散势垒层。

[0101] 导电栓塞 332 延伸通过介电层 330 以将顶电极 324 与共同源极线 396 耦接。介电层 340 于共同源极线 396 之上，而位线 120a 于介电层 340 之上。位线 120a 由导电栓塞 342、334、314 及导电覆盖层 305 与第二终端 304 电性耦接。这些介电层 310、320、330 和 340 每一者可以包含举例而言，二氧化硅。替代地也可以使用其它的介电材料。

[0102] 在使用存储元件 212 作为数据储存元件的操作中，于可编程电阻存储元件 212 中的主动区域 213 中的存储材料会被诱发在两个固态相中改变。如图 3 中所示，底电极 322 具有一宽度 321 其比存储元件 212 的宽度还小。在使用存储元件 212 作为数据储存元件的操作中，此宽度差距会使得电流密度集中在存储元件 212 靠近底电极 322 的区域中，导致图 3 中的主动区域 213 具有一“香菇状”的形状。其结果是，此存储元件 212 与电极 322、324 的组态通常被称为一香菇状的组态。替代地，此存储元件 212 与电极 322、324 也可以被安排成其它不同型态的组态。代表性的替代组态可为桥状、柱状、侧墙状以及孔洞状，举例而言，可参见与本案相同申请人于 2008 年 8 月 19 日申请的另一美国专利申请案 12/149,243，在

此引用为参考数据。

[0103] 在图 3 中, 电容 214 是以形成于衬底 300 内的沟道式电容实施, 其允许衬底 300 单位面积中相对较大的电容值。替代地, 也可以使用其它型态的电容。

[0104] 电容 214 的第一节点 215 包含沉积于此衬底 300 内沟道中的掺杂半导体材料, 且与存取晶体管 210 的第一终端 302 直接连接。介电层 306 环绕于沟道中的材料间以将其与衬底 300 分隔。衬底 300 中邻近且位于介电层 306 之下的部分是作为电容 214 的第二节点 216。

[0105] 在使用电容 214 作为存储单元 201 中数据储存元件的操作中, 源极线 296 被浮接, 一电压施加至字线 130a 足以开启存取晶体管 210, 且一合适的电压施加至位线 120a 以自第一节点 215 中加入或移除电荷以改变电容 214 的电压。

[0106] 在图 3 中, 存取晶体管 210 被实施为一水平装置其具有一水平方向的通道区域介于横向分离的第一与第二终端 302、304 之间。在某些替代的实施例中, 存取晶体管 210 可以实施为一垂直装置其具有一垂直方向的通道。垂直装置的范例可参见, 举例而言, 与本案相同申请人所申请的另一美国专利申请案。

[0107] 请再次参阅图 2 的示意图, 此存储单元 201 的操作可以由控制器 134 来控制偏压调整电压及电流源 (请参见图 1 中的方块 136) 的施加达成。此存储单元偏压调整的施加包括易失、非易失及转换模式的操作。此偏压调整可以包括字线 130a、位线 120a 和源极线 296 的电压及 / 或电流的施加。此电压及 / 或电流的施加阶级和时间是根据电容 214 或存储元件 212 作为数据储存元件, 及其进行的操作, 例如读取或写入操作来决定。此电压及 / 或电流的施加阶级和时间可以根据每一实施例实验性地决定。不同的操作模式会于以下更详细地描述。

[0108] 非易失操作

[0109] 图 4A 至图 4C 为使用存储元件 212 作为数据储存元件的存储单元 201 的读取、设置及复位操作的时序图。可以理解的是图 4A 至图 4C 的时序图是简化过的且并未等比例绘示。于使用存储元件 212 作为数据储存元件的操作中, 电容 214 的节点 215 电压会变动因为节点 215 是在通过存储元件 212 的电流路径 280 上。

[0110] 图 4A 显示存储元件 212 的一读取操作的调整偏压 400 时序图。此读取调整偏压 400 包含施加一大于此存储单元 201 的存取晶体管 210 阈值电压 V_{TH} 的电压 $V_{WL-READ}$ 至字线 130a, 且施加一具有脉冲高度 V_{READ} 及脉冲宽度 405 的电压脉冲至位线 120a, 以诱发电流自位线 120a 通过存储元件 212 至源极线 296 (在此范例中其终端为地) 的电流路径 280。此电流不足以使存储元件 212 产生电阻状态变化, 则存储元件 212 的电阻值及因此储存于其中的数据值可以由感应放大器区块 124 将位线 120a 的电流与一合适的参考电流进行比较而决定。

[0111] 图 4B 显示存储元件 212 的一设置 (或编程) 操作的调整偏压 410 时序图。此设置调整偏压 410 包含施加一大于此存储单元 201 的存取晶体管 210 阈值电压 V_{TH} 的电压 V_{WL-SET} 至字线 130a, 且施加一具有脉冲高度 V_{SET} 及脉冲宽度 415 的电压脉冲至位线 120a, 以诱发电流在电流路径 280 流动。此电流足以将至少一部分的主动区域温度提升到高于此相变化材料的转换温度以导致至少一部分的主动区域自非晶态转变为结晶态, 此转变降低此存储元件 212 的电阻, 且设置存储单元 201 至设置状态。

[0112] 图 4C 显示存储元件 212 的一复位 (或擦除) 操作的调整偏压 420 时序图。此复位调整偏压 420 包含施加一大于此存储单元 201 的存取晶体管 210 阈值电压 V_{TH} 的电压 $V_{WL-RESET}$ 至字线 130a, 且施加一具有脉冲高度 V_{RESET} 及脉冲宽度 425 的电压脉冲至位线 120a, 以诱发电流在电流路径 280 流动。此电流足以将存储元件 212 主动区域的温度提升到高于此相变化材料的转换温度及熔化温度, 以将主动区域变成一液体状态。此电流然后可以被停止, 举例而言, 停止施加字线 130a 和位线 120a 的偏压, 导致一相对快速的冷却时间造成主动区域冷却而稳定成一通常为高电阻的非晶态。

[0113] 在图 4A 至图 4C 的例示实施例中, 每一调整偏压包含施加偏压至字线 130a 和位线 120a 而源极线 296 接地, 必须理解的是也可以使用其它替代地调整偏压。更一般的说, 每一操作的调整偏压包含一组或多组脉冲施加至位线 120a 及 / 或字线 130a 及 / 或源极线 296。此脉冲的数目及形状, 包含电压的施加阶级和脉冲宽度可以根据每一调整偏压实施例实验性地决定。

[0114] 易失操作

[0115] 此存储单元 201 也可以使用电容 214 作为数据储存元件来进行与传统的一晶体管及一电容器的动态随机存取存储器类似地操作。于使用电容 214 作为数据储存元件的操作中, 共同源极线 296 是浮接的以提供高电阻路径减少自电容 214 节点 215 的电荷泄漏。此外, 可编程电阻存储元件 212 可以放置在高电阻的复位状态以进一步增加电阻路径。

[0116] 图 5A 至图 5C 为使用电容 214 作为数据储存元件的存储单元 201 的读取、编程及擦除操作的时序图。可以理解的是图 5A 至图 5C 的时序图是简化过的且并未等比例绘示。

[0117] 图 5A 显示电容 214 的一读取操作的调整偏压 500 时序图。此读取调整偏压 500 包含首先预充位线 120a 至一预充电压 V_{PC} 。在此例示实施例中, 位线 120a 上的预充电压 V_{PC} 是小于施加至位线 120a 上编程电容 214 的编程电压 V_{PROG} , 且大于施加至位线 120a 上擦除电容 214 的擦除电压 V_{ERASE} (会于以下讨论)。

[0118] 之后, 施加一大于存取晶体管 210 阈值电压 V_{TH} 的电压 $V_{WL-READ}$ 至字线 130a, 以将电容 214 的第一节点 215 与位线 120a 耦接。其结果是, 电荷由第一节点 215 与位线 120a 分享, 因此导致位线 120a 上的一电压改变。此位线 120a 上的电压改变是根据节点 215 初始电压, 且因此根据储存于电容 214 中的数据值而定。

[0119] 假如此电容 214 是在一擦除状态, 节点 215 的初始电压是小于 V_{PC} , 则位线 120a 上的电压会依循曲线 504 而稍微降低。假如此电容 214 是在一编程状态, 节点 215 的初始电压是高于 V_{PC} , 则位线 120a 上的电压会依循曲线 502 而稍微增加。因此储存于存储单元 201 的电容 214 中的数据值可以由检测位线 120a 上的电压改变来决定, 举例而言, 可以由感应放大器区块 124 将位线 120a 的电压与一合适的参考电压进行比较而决定。

[0120] 因为电荷是由第一节点 215 与位线 120a 所分享, 此读取调整偏压 500 会破坏性地读取储存于电容 214 中的数据值。因此, 于读取操作 500 之后此数据值必须根据所检测到的数据值通过施加一擦除或编程操作 (如下描述) 重新写入。

[0121] 图 5B 显示电容 214 的一编程操作的调整偏压 510 时序图。此编程调整偏压 510 包含施加一具有脉冲高度 V_{PROG} 及脉冲宽度 515 的电压脉冲至位线 120a 及施加一 $V_{WL-PROG}$ 电压至字线 130a。此 $V_{WL-PROG}$ 电压是大于存取晶体管 210 的阈值电压 V_{TH} , 因此将电容 214 的第一节点 215 与位线 120a 耦接以对电容 214 的第一节点 215 进行充电至一编程电压, 且将电

容 214 置于一编程状态。

[0122] 图 5C 显示电容 214 的一擦除操作的调整偏压 520 图。此擦除调整偏压 520 包含施加一具有 V_{ERASE} 电压至位线 120a 及施加一 $V_{WL-ERASE}$ 电压至字线 130a。此 $V_{WL-ERASE}$ 电压是大于存取晶体管 210 的阈值电压 V_{TH} , 因此将电容 214 的第一节点 215 与位线 120a 耦接以对电容 214 的第一节点 215 进行放电 (降低电压) 至一擦除电压, 且将电容 214 置于一擦除状态。

[0123] 更新操作, 无论是编程或是擦除操作, 均需要执行以周期性地更新储存于电容 214 的节点 215 中的电荷以更正电荷泄漏。举例而言, 在一代表性的实施例中, 一更新循环通常会在动态随机存取存储器技术中被执行所以每一电容会在至少每隔 10 到 150 奈秒更新其电容的存储状态。可以根据存储单元电容电荷储存的特性动态地使用较长或较短的更新循环。

[0124] 必须理解的是图 5A 至图 5C 中的调整偏压也可以使用其它替代地方式。更一般的说, 每一操作的调整偏压可以包含一组或多组脉冲施加至位线 120a 及 / 或字线 130a。此脉冲的数目及形状, 包含电压的施加阶级和脉冲宽度可以根据每一调整偏压实施例实验性地决定。

[0125] 如同之前所描述的, 存储单元 201 可以使用电容 214 或可编程电阻存储元件 212 作为数据储存元件来进行操作。电容 214 或存储元件 212 分别为存储单元 201 提供易失和非易失操作模式。电容 214 提供高速 DRAM 操作中所需的快速编程 / 擦除速度及足够的数据保存能力, 而存储元件 212 提供非易失数据储存。其结果是, 存储单元 201 可以提供一集成电路不同功能所需的不同存储表现。此易失和非易失操作模式可于同一存储单元 201 提供不同的操作特性, 例如切换速度、循环承受力、操作电流以及数据保存能力等。

[0126] 自存储元件至电容的转换操作

[0127] 此存储单元 201 也可以自存储元件直接传送所储存的数据至电容 214 而不需要进行读取操作。此直接传送在此称为”恢复操作”。

[0128] 此传输可以在例如, 响应一例如是初始提供电源 (“开机”) 给此集成电路 110 的情况下发生。举例而言, 储存于存储元件 212 中的数据在集成电路 110 没有供电的条件下可以在集成电路操作时直接传送至电容 214。在另一例中, 此传送可以发生在集成电路 110 需要改变于存储器中的结果。

[0129] 图 6 显示一恢复操作 600 的流程图, 其会在此存储单元 201 施加一恢复调整偏压 700, 而图 7 显示一恢复调整偏压 700 的时序图。必须理解的是图 7 的时序图是简化过的且并未等比例绘示。

[0130] 此恢复操作 600 开始于步骤 610, 举例而言, 为了响应一例如是初始事件例如将此集成电路 110 “开机”。

[0131] 在步骤 620, 一恢复调整偏压 700 直接施加至存储单元 201 以直接储存与储存于存储元件 212 中数据值相关的一数据值于电容 214 中。

[0132] 请参阅图 7, 在步骤 620 的恢复调整偏压包含施加一具有小于存取晶体管阈值电压 V_{TH} 的电压 $V_{WL-RESTORE}$ (在此例中为地) 至字线 130a, 且施加一恢复电压 $V_{RESTORE}$ 至共同源极线 296 一段时间 710。因为存储元件 212 在设置状态与复位状态之间具有很大的电阻值差异, 假如存储元件 212 在较低电阻的设置状态时, 在节点 215 的电压会以比存储元件 212 在

较高电阻状态时更快的速度改变。因此，假如存储元件 212 在较低电阻的设置状态时，此电压 $V_{RESTORE}$ 及时间区间 710 足以使节点 215 的电压沿着曲线 702 增加至一编程电压 V_p 指示电容 214 是在编程状态。然而，假如存储元件 212 是在较高电阻的复位状态时，此电压 $V_{RESTORE}$ 及时间区间 710 并不足以使节点 215 的电压显著地增加，且节点 215 的电压在时间 704 后是在一电压 V_E 指示电容 214 是在擦除状态。

[0133] 在时间 710 之后，共同源极线 296 被设置在浮接状态且操作在步骤 630 停止。此存储单元 201 然后继续使用电容 214 作为储存元件来进行上述读取、编程、擦除及恢复的操作。

[0134] 上述所讨论的恢复操作 600 是搭配存储单元 201 作参考。然而，因为恢复操作 600 的恢复调整偏压 700 是通过施加一恢复电压至共同源极线 296 来进行，恢复操作 600 可以当作一区块（或区段）恢复操作来执行因为所有的存储单元皆分享共同源极线 296。

[0135] 图 8 显示本发明图 2 中阵列 112 的第二实施例的示意图。图 8 阵列 112 中的每一存储单元是使用浮动主体存储单元 (FBC) 其使用瞬时电荷储存于形成在绝缘层覆硅 (SOI) 的存取晶体管浮动的通道主体中。此储存的电荷导致一可检测的存取晶体管阈值电压偏移，其使用作为指示储存的数据。关于浮动主体存储单元的额外细节可以参阅，举例而言，Nitayama 等人发表在 International Symposium on VLSI Technology, Systems, and Applications, 2006 年 4 月的”Overview and Future Challenge of Floating Body Cell (FBC) Technology for Embedded Applications”pp. 1-3，在此引为参考数据。以及美国专利号 7208799 和 6661042，两者亦引为参考数据。

[0136] 此浮动通道主体通过形成于晶体管浮动通道主体与其下衬底之间的电容值来取代一单独的电容器。其结果是，一浮动主体存储单元通常也被称为”无电容”存储单元。然而，因为所储存的电荷是使用作为指示所储存的数据值，形成于晶体管浮动通道主体与其下衬底之间的电容值在此以称为一电容。

[0137] 图 8 阵列 112 中的每一个存储单元具有一场效晶体管、一可编程电阻存储元件（在图标中表示为一可变电阻）、以及一使用瞬时电荷储存于晶体管浮动通道主体中的电荷储存电容器。会如以下更仔细的描述，每一存储单元可以使用浮动通道主体作为电容的第一节点来储存一数据值以当作易失存储器操作，而使用可编程电阻存储元件作为一数据储存元件以当作非易失存储器操作。此存储单元也可以于一转换模式下操作，以直接传送一储存于该可编程电阻存储元件中的数据值至电容中，或是反之亦然。

[0138] 可以理解的是，此存储阵列 112 并不局限于图 8 中所示的组态，且其它的替代组态也可以被使用。

[0139] 存储单元 801 是阵列 112 中的代表存储单元，且其包含一晶体管 810、一可编程电阻存储元件 812、以及一电容 814。字线 130a 与存取晶体管 810 的栅极耦接、共同源极线 296 与存取晶体管 810 的源极耦接，且存储元件 282 则安排介于存取晶体管的漏极与位线 120a 之间。

[0140] 此电容 814 具有一第一节点 815 包含存取晶体管 810 浮动通道主体的一部分，此电容 814 具有一第二节点 816 或是”背面栅极 (BG)”于存取晶体管浮动通道主体的下方，此第二节点 816 由一绝缘层与浮动通道主体分隔。此第二节点 816 与一电压源耦接以施加一背面栅极偏压。

[0141] 于以下会更仔细所描述的,存储单元可以根据电容 814 或是可编程电阻存储元件 812 是数据储存元件来作为高速动态存取存储器或是非易失存储器操作。于易失存储器操作时,此存储单元 801 将数据值的电荷储存于存取晶体管 810 浮动通道主体内的节点 815 中,而于非易失存储器操作时,此存储单元 801 将数据值的电阻储存于存储元件 812 中。

[0142] 图 9 显示根据一实施例安排在图 8 的阵列 112 中的存储单元(包含代表存储单元 801)一部份的剖面示意图。图 9 是沿着位线 120 的剖面而得。

[0143] 此存储单元 801 的场效晶体管 810 包含第一及第二终端 902、904,其由一作为电容 814 第一节点 815 的浮动通道主体 901 分隔。第一及第二终端 902、904 包含掺杂半导体材料具有与浮动通道主体 901 相反的导电型态。在此例示实施例中,浮动通道主体 901 包含掺杂 P 型材料,而第一及第二终端 902、904 包含掺杂 N 型材料,此第一终端 902 作为源极区域而第二终端 904 作为漏极区域。

[0144] 浮动通道主体 901 和第一及第二终端 902、904 是在绝缘层 906 之上,此绝缘层 906 可以包含举例而言,二氧化硅。替代地也可以使用其它的介电材料。

[0145] 半导体衬底 900 于绝缘层 906 之下,且与一电压源耦接以施加一背面栅极偏压,会于底下更详细的描述。于浮动通道主体 901 下方的半导体衬底 900 部分是作为电容 814 的第二节点 816。替代地,其它型态的导电材料也可以作为层 900。

[0146] 字线 130a 作为存储单元 801 的场效晶体管 810 的栅极,且沿伸进入与穿出图 9 所示的剖面。字线 130a 是位于浮动通道主体 901 之上,且可以包含举例而言,掺杂多晶硅材料与一硅化物层于此掺杂多晶硅之上。

[0147] 导电覆盖层 903、905 包含硅化物分别位于第一及第二终端 902、904 之上。导电覆盖层 903、905 可以是包含举例而言,具有 Ti、W、Co、Ni 或 Ta 的硅化物。此导电覆盖层 903、905 提供介于第一及第二终端 902、904 与金属栓塞 912、914 之间的一个较低电阻接点。

[0148] 金属栓塞 912、914 延伸通过介电层 910。此金属栓塞 912、914 可以包含举例而言,钨。此金属栓塞 912、914 的其它替代材料也可由 Ti、Mo、Al、Ta、Cu、Pt、Ir、La、Ni、与 Ru 等选取。导电栓塞 912 将共同源极线 296 与导电覆盖层 903 耦接。

[0149] 此存储单元 801 包括一底电极 922 于此导电栓塞 914 之上。此底电极 922 延伸通过介电层 920 与可编程电阻存储元件 812 的底表面连接。可编程电阻存储元件 812 可以包含举例而言,之前所讨论过的图 3 中存储元件 212 的一个或多个材料中选取。

[0150] 此存储单元 801 也包括一顶电极 924 于此可编程电阻存储元件 812 之上。此顶电极 924 与底电极 922 每一者可以包含举例而言,之前所讨论过的图 3 中顶电极 324 与底电极 322 的一个或多个材料中选取。

[0151] 导电栓塞 932 延伸通过介电层 930 以将顶电极 924 与位线 120a 耦接。这些介电层 910、920 和 930 每一者可以包含举例而言,二氧化硅。替代地也可以使用其它的介电材料。

[0152] 在使用存储元件 812 作为存储单元 801 数据储存元件的操作中,于可编程电阻存储元件 812 中的主动区域 813 中的存储材料会被诱发在两个固态相中改变。如图 9 中所示,存储元件 812 及电极 822、824 安排成香菇状组态。替代地,此存储元件 812 与电极 822、824 也可以被安排成其它不同型态的组态,举例而言,之前所讨论过的图 3 中的其它型态。

[0153] 在使用电容 814 作为存储单元 801 中数据储存元件的操作中,可以自浮动通道主

体 901 节点 815 中加入或移除电荷以改变存取晶体管 810 的阈值电压。

[0154] 请再次参阅图 8 的示意图,此存储单元 801 的操作可以由控制器 134 来控制偏压调整电压及电流源(请参见图 1 中的方块 136)的施加达成。此存储单元偏压调整的施加包括易失、非易失及转换模式的操作。此偏压调整可以包括字线 130a、位线 120a 和源极线 296 的电压及 / 或电流的施加。此电压及 / 或电流的施加阶级和时间是根据电容 814 或存储元件 812 作为数据储存元件,及其进行的操作,例如读取或写入操作来决定。此电压及 / 或电流的施加阶级和时间可以根据每一实施例实验性地决定。不同的操作模式会于以下更详细地描述。

[0155] 非易失操作

[0156] 可以使用存储元件 812 作为数据储存元件的存储单元 801 的读取、设置及复位操作以诱发电流沿着自位线 120a 至源极线 296 的电流路径 880 流动,或反之亦然。于非易失操作时,使用存储元件 812 作为数据储存元件,存取晶体管 810 最好是在一低临界的擦除状态(会于底下更仔细的描述)所以电流路径 880 上可以在一给定电压施加至字线 130a 时获得较大的电流。

[0157] 此存储元件 812 可以利用与图 2 所讨论过存储元件 212 的方式及图 4A 至图 4C 的时序图被读取、编程至较低电阻值的设置状态,及复位至较高电阻值状态。更一般的说,每一操作的调整偏压包含一组或多组脉冲施加至位线 120a 及 / 或字线 130a 及 / 或源极线 296 以诱发电流在路径 880 上流动。此脉冲的数目及形状,包含电压的施加阶级和脉冲宽度可以根据每一调整偏压实施例实验性地决定。

[0158] 易失操作

[0159] 此存储单元 801 也可以通过施加合适的电压至源极线 296、位线 120a、字线 130a 及电容 814 的第二节点 816 以改变储存在存取晶体管 810 浮动通道主体 901 内的节点 815 中的电荷数目,而使用电容 814 作为数据储存元件来进行编程和擦除操作。于使用电容 214 作为数据储存元件的操作中,可编程电阻存储元件 812 最好是放置在较低电阻的设置状态以在一给定电压施加至位线 120a 时于存取晶体管的漏极获得较高的电压。较高的电压可以更有效率地编程和擦除电容 814。

[0160] 图 10A 至图 10C 为使用电容 814 作为数据储存元件的存储单元 801 的编程、擦除及读取操作的时序图。可以理解的是图 10A 至图 10C 的时序图是简化过的且并未等比例绘示。

[0161] 在电容 814 的编程操作时,空穴堆积在存取晶体管 810 浮动通道主体以增加节点 815 的电压及设置存取晶体管 810 至一编程临界状态。图 10A 显示电容 814 的一编程操作的调整偏压 1000 时序图。包含施加一具有脉冲宽度 1005 的电压 $V_{BL-PROG}$ 至位线 120a、施加一 $V_{WL-PROG}$ 电压至字线 130a,及将源极线 296 施加地电位,而电容的第二节点 816 被维持在负电压 $-V_p$ 。此编程的调整偏压 1000 由区域化撞击(能带间热空穴编程)产生空穴,其由施加负电压 $-V_p$ 至第二节点 816 而堆积在存取晶体管 810 浮动通道主体的底表面。

[0162] 在电容 814 的擦除操作时,堆积在存取晶体管 810 浮动通道主体的空穴被移除以减少节点 815 的电压及设置存取晶体管 810 至一擦除临界状态。图 10B 显示电容 814 的一擦除操作的调整偏压 1010 时序图。包含施加一具有脉冲宽度 1015 的电压 $V_{BL-ERASE}$ 至位线 120a、施加一 V_{WL} 电压至字线 130a,及将源极线 296 施加地电位,而电容的第二节点 816 被

维持在负电压 $-V_p$ 。此擦除的调整偏压 1010 将堆积在存取晶体管 810 浮动通道主体的空穴搬移至位线 120a。

[0163] 图 10C 显示电容 814 的一读取操作的调整偏压 1030 时序图。包含施加一 $V_{WL-READ}$ 电压至字线 130a、施加一电压 $V_{BL-READ}$ 至位线 120a、及将源极线 296 施加地电位如图 10C 所示,而电容的第二节点 816 被维持在负电压 $-V_p$ 。假如此存取晶体管 810 是在一擦除状态,此电压 $V_{WL-READ}$ 足以开启存取晶体管 810 及诱发一电流在位线 120a 和沿着电流路径 880 流动。然而,若此存取晶体管 810 是在一编程临界状态,此电压 $V_{WL-READ}$ 不足以开启存取晶体管 810。因此,储存在存储单元 801 电容 814 中的数据值可以由感应放大器区块 124 将位线 120a 的电压与一合适的参考电压进行比较而决定。

[0164] 更新操作,无论是编程或是擦除操作,均需要执行以周期性地更新储存于电容 814 中的电荷以更正电荷泄漏。举例而言,在一代表性的实施例中,一更新循环通常会在动态随机存取存储器技术中被执行所以每一电容会在至少每隔 1 到 150 奈秒更新其电容的存储状态。可以根据存储单元电容电荷储存的特性动态地使用较长或较短的更新循环。

[0165] 必须理解的是,图 10A 至图 10C 中的调整偏压也可以使用其它替代地方式。更一般的说,每一操作的调整偏压可以包含一组或多组脉冲施加至位线 120a 及 / 或字线 130a 及 / 或源极线 296 及 / 或节点 816。此脉冲的数目及形状,包含电压的施加阶级和脉冲宽度可以根据每一调整偏压实施例实验性地决定。

[0166] 自存储元件至电容的转换操作

[0167] 此存储单元 801 也可以进行自存储元件 812 直接传送原本储存的数据至电容 814 的恢复操作 1100。

[0168] 图 11 显示一恢复操作 1100 的流程图,其会在此存储单元 801 施加一恢复调整偏压 1200,而图 12 显示一恢复调整偏压 1200 的时序图。必须理解的是图 12 的时序图是简化过的且并未等比例绘示。

[0169] 此恢复操作 1100 开始于步骤 1110,举例而言,为了响应一例如是初始事件例如将此集成电路 110 “开机”。

[0170] 在步骤 1120,一恢复调整偏压 1200 直接施加至存储单元 801 以直接储存与储存于存储元件 812 中数据值相关的一数据值于电容 814 中。

[0171] 请参阅图 12,在步骤 1120 的恢复调整偏压 1200 包含施加一电压 $V_{BL-Prog}$ 至位线 120a、施加一 $V_{WL-Prog}$ 电压至字线 130a、及将源极线 296 施加地电位。而电容的第二节点 816 被维持在负电压 $-V_p$ 。因为存储元件 812 在设置状态与复位状态之间具有很大的电阻值差异,假如存储元件 812 在复位状态时,存取晶体管 810 漏极终端的电压会比假如存储元件 812 是在设置状态时还降低。假如存储元件 812 是在较高电阻的复位状态时,存取晶体管 810 漏极终端的电压并不足以使足够数目的空穴堆积在浮动通道主体,且节点 215 的电压保持在指示晶体管 810 是在擦除临界状态的低电压。

[0172] 假如存储元件 812 是在低电阻的设置状态,存取晶体管 810 漏极终端的电压足以导致空穴堆积在浮动通道主体。此堆积的空穴导致节点 215 的电压增加,且将晶体管 810 设置一编程临界状态,如同图 9A 所讨论过的一般。

[0173] 必须理解的是,图 12 中的恢复调整偏压 1200 也可以使用其它替代地方式。更一般的说,恢复调整偏压可以包含一组或多组脉冲施加至位线 120a 及 / 或字线 130a 及 / 或

源极线 296 及 / 或电容节点 816。此脉冲的数目及形状,包含电压的施加阶级和脉冲宽度可以根据每一调整偏压实施例实验性地决定。

[0174] 自电容至的存储元件转换操作

[0175] 此存储单元 801 也可以进行自电容 814 直接传送原本储存的数据至存储元件 812 的操作。

[0176] 举例而言,储存于电容 814 中的数据在集成电路 110 没有供电的条件下可以在集成电路操作时直接传送至存储元件 812。此将储存于电容 814 中的数据传输给存储元件 812 在此称为一“储存操作”。此传输可以在例如,响应一例如是对此集成电路 110 初始关闭电源(“关机”)给的情况下发生。在另一例中,此传送可以发生在集成电路 110 需要改变于存储器中的结果。

[0177] 图 13 显示此存储单元 801 一储存操作 1300 的流程图,而图 14 显示一储存调整偏压 1400 的时序图。必须理解的是图 14 的时序图是简化过的且并未等比例绘示。

[0178] 此储存操作 1300 开始于步骤 1310,举例而言,为了响应一事件,例如开始将此集成电路 110 “关机”。

[0179] 在步骤 1320,一储存调整偏压 1400 施加至存储单元 801 以直接储存与储存于电容 814 中数据值相关的一数据值于存储元件 812 中。如之前提过的,存储单元 801 于使用电容 814 作为数据储存元件的操作中,可编程电阻存储元件 812 是在一较低电阻的设置状态。

[0180] 请参阅图 14,储存调整偏压 1400 包含施加一 $V_{WL-Read}$ 电压至字线 130a、施加一复位电压 V_{RESET} 其具有脉冲宽度 1410 至位线 120a、及将源极线 296 施加地电位。而电容的第二节点 816 被维持在负电压 $-V_p$ 。

[0181] 假如存取晶体管 810 是在擦除临界状态,此电压 $V_{WL-READ}$ 足以开启存取晶体管 810 及诱发一复位电流在位线 120a 和沿着电流路径 880 流动而通过存储元件 812。此由复位电压 V_{RESET} 所诱发的复位电流足以提升存储元件 812 主动区域的温度高于此相变化材料的转换温度及熔化温度,以将主动区域变成一液体状态。此电流然后可以被停止,举例而言,停止施加字线 130a 和位线 120a 的偏压,导致一相对快速的冷却时间造成主动区域冷却而稳定成一通常为高电阻的非晶态,因此造成存储元件 812 自较低电阻的设置状态转变为较高电阻的复位状态。

[0182] 然而,若此存取晶体管 810 是在一编程临界状态,此电压 $V_{WL-READ}$ 不足以开启存取晶体管 810,则存储元件 812 自维持在较低电阻的设置状态。

[0183] 如上述在存储单元的实施例中包含相变化为基础的存储材料,其包含硫属化物(chalcogenide)或其它材料以作为存储材料。硫属化物包括下列四元素中的任一个:氧(O)、硫(S)、硒(Se)、以及碲(Te),形成元素周期表上第 VI 族的部分。硫属化物包括将一硫属元素与一更为正电性的元素或自由基结合而得。硫属化合物合金包括将硫属化合物与其它物质如过渡金属等结合。一硫属化合物合金通常包括一个以上选自元素周期表第六栏的元素,例如锗(Ge)以及锡(Sn)。通常,硫属化合物合金包括下列元素中一个以上的复合物:锑(Sb)、镓(Ga)、铟(In)、以及银(Ag)。许多以相变化为基础的存储材料已经被描述于技术文件中,包括下列合金:镓/锑、铟/锑、铟/硒、锑/碲、锗/碲、锗/锑/碲、铟/锑/碲、镓/硒/碲、锡/锑/碲、铟/锑/锗、银/铟/锑/碲、锗/锡/锑/碲、锗/锑/硒/碲、以及碲/锗/锑/硫。在锗/锑/碲合金家族中,可以尝试大范围的合金成

分。此成分可以下列特征式表示： $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ ，其中 a 与 b 是代表在所有构成元素中的原子百分比。一位研究员描述了最有用的合金为，在沉积材料中所包含的平均碲浓度远低于 70%，典型地低于 60%，并在一般型态合金中的碲含量范围从最低 23% 至最高 58%，且最佳介于 48% 至 58% 的碲含量。锗的浓度约高于 5%，且其在材料中的平均范围是从最低 8% 至最高 30%，一般是低于 50%。最佳地，锗的浓度范围介于 8% 至 40%。在此成分中所剩下的主要成分则为锑。上述百分比为原子百分比，其为所有组成元素加总为 100%。(Ovshinsky '112 专利，栏 10～11) 由另一研究者所评估的特殊合金包括 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 GeSb_2Te_4 、以及 GeSb_4Te_7 。(Noboru Yamada, "Potential of Ge-Sb-Te Phase-change Optical Disks for High-Data-Rate Recording", SPIE Vol. 3109, pp. 28-37 (1997)) 更一般地，过渡金属如铬 (Cr)、铁 (Fe)、镍 (Ni)、铌 (Nb)、钯 (Pd)、铂 (Pt)、以及上述的混合物或合金，可与锗 / 锑 / 碲结合以形成一相变化合金其包括有可编程的电阻性质。可使用的存储材料的特殊范例，是如 Ovshinsky '112 专利中栏 11-13 所述，其范例在此系列列入参考。

[0184] 在某些实施例中，可在硫属化物及其它相变化材料中掺杂物质以改善使用掺杂硫属化物作为存储元件的导电性、转换温度、熔化温度及其它等性质。代表性的掺杂物质为：氮、硅、氧、二氧化硅、氮化硅、铜、银、金、铝、氧化铝、钽、氧化钽、氮化钽、钛、与氧化钛。可参见美国专利第 6,800,504 号与美国专利申请 US 2005/0029502 号。

[0185] 相变化合金可于第一结构态与第二结构态之间切换，其中第一结构态是指此材料大体上为非晶固相，而第二结构态系指此材料大体上为结晶固相。这些合金至少为双稳定的 (bistable)。此词汇「非晶」是用以指称一相对较无次序的结构，其较之一单晶更无次序性，而带有可检测的特征如比结晶态更高的电阻值。此词汇「结晶」是用以指称一相对较有次序的结构，其较之非晶态更有次序，因此包括有可检测的特征例如比非晶态更低的电阻值。典型地，相变化材料可电切换至完全结晶态与完全非晶态之间所有可检测的不同状态。其它受到非晶态与结晶态的改变而影响的材料特性中包括，原子次序、自由电子密度、以及活化能。此材料可切换成为不同的固态、或可切换成为由两种以上固态所形成的混合物，提供从非晶态至结晶态之间的灰阶部分。此材料中的电性质亦可能随之改变。

[0186] 相变化合金可利用电脉冲由一相态改变至另一相态。就过去的观察，得知时间较短、振幅较大的脉冲，较倾向将相变化材料转为通常的非晶态；而时间长、振幅较低的脉冲，则易将相变化材料转为通常的结晶态。时间短且振幅高的脉冲，能量较高，足以破坏结晶态的键能，同时缩短时间可防止原子重新排列为结晶态。无须大量实验，即可获得适当的脉冲参数，以应用于特定的相变化材料与装置结构。于此揭露者，相变化材料是指 GST，但亦可采用其它种类的相变化材料。适用于 PCRAM 中的材料为 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 。

[0187] 其它可以使用于本发明其它实施例的可编程电阻存储材料包括利用不同晶体变化来决定电阻，或是利用电脉冲来改变电阻状态。举例来说，可使用电阻随机存取存储器 (RRAM) 的金属氧化物材料，如钨氧化物 (WO_x)、氧化镍、五氧化二铌、二氧化铜、五氧化二钽、三氧化二铝、氧化钴、三氧化二铁、二氧化铪、二氧化钛、钛酸锶、锆酸锶、钛酸锶钡。其它实施例则可包括用于磁阻随机存取存储器 (MRAM) 的材料，而磁阻随机存取存储器可以是旋转力矩转移随机存取存储器 (STT MRAM)。举例来说，这些材料可以是以下群组至少一种：钴铁硼、铁、钴、镍、钆、镝、钴铁、镍铁、锰砷、锰铋、锰锑、二氧化铬、氧化锰三氧化二铁、氧化铁五氧化二铁、氧化镍三氧化二铁、氧化镁二铁、氧化铕及铁磁性氧化物钇铁石榴石。

石 (Y₃Fe₅O₁₂)。此可参考美国专利公开号第 2007/0176251 号,其发明名称为”Magnetic Memory Device and Method of Fabricating the Same”,其中的内容乃并入本文作为参考。其它的例子还包括用于可编程金属存储单元 (PMC) 的固态电解质材料,或用于纳米离子存储单元的材料,如银掺杂的锗硫化物解质或铜掺杂的锗硫化物解质。此部分请参考 N. E. Gilbert 等人发表的文章”A macro model of programmable metallization cell devices”, Solid-State Electronics, 49 (2005), 1813–1819, 且其内容乃并入本文作为参考。

[0188] 用以形成硫属化物材料的一例示方法是利用 PVD 溅射或磁控溅射方式,其反应气体为氩气、氮气及 / 或氦气,压力为 1mTorr 至 100mTorr。此沉积步骤一般是于室温下进行。一长宽比为 1 ~ 5 的准直器可用以改良其注入表现。为了改善其注入表现,亦可使用数十至数百伏特的直流偏压。另一方面,亦可同时合并使用直流偏压以及准直器。一个使用化学气相沉积来形成硫属化物的例示方法揭露于美国专利公开号第 2006/0172067 号,其发明名称为”Chemical Vapor Deposition of Chalcogenide Materials”,其中的内容乃并入本文作为参考。而另一个使用化学气相沉积来形成硫属化物的例示方法揭露于 Lee 等人发表的文章”Highly Scalable Phase ChangeMemory with CVD GeSbTe doe sub 50nm Generation”, 2007Symposium onVLSI Technology Digest of Technical Papers, pp. 102–103, 且其内容乃并入本文作为参考。

[0189] 有时需要在真空中或氮气环境中进行一沉积后退火处理,以改良硫属化物材料的结晶态。此退火处理的温度典型地是介于 100°C 至 400°C,而退火时间则少于 30 分钟。

[0190] 虽然本发明系已参照实施例来加以描述,然本发明创作并未受限于其详细描述内容。替换方式及修改样式系已于先前描述中所建议,且其它替换方式及修改样式将为熟习此项技艺的人士所思及。特别是,所有具有实质上相同于本发明的构件结合而达成与本发明实质上相同结果者,皆不脱离本发明的精神范畴。因此,所有此等替换方式及修改样式是意欲落在本发明于随附权利要求范围及其均等物所界定的范畴之中。

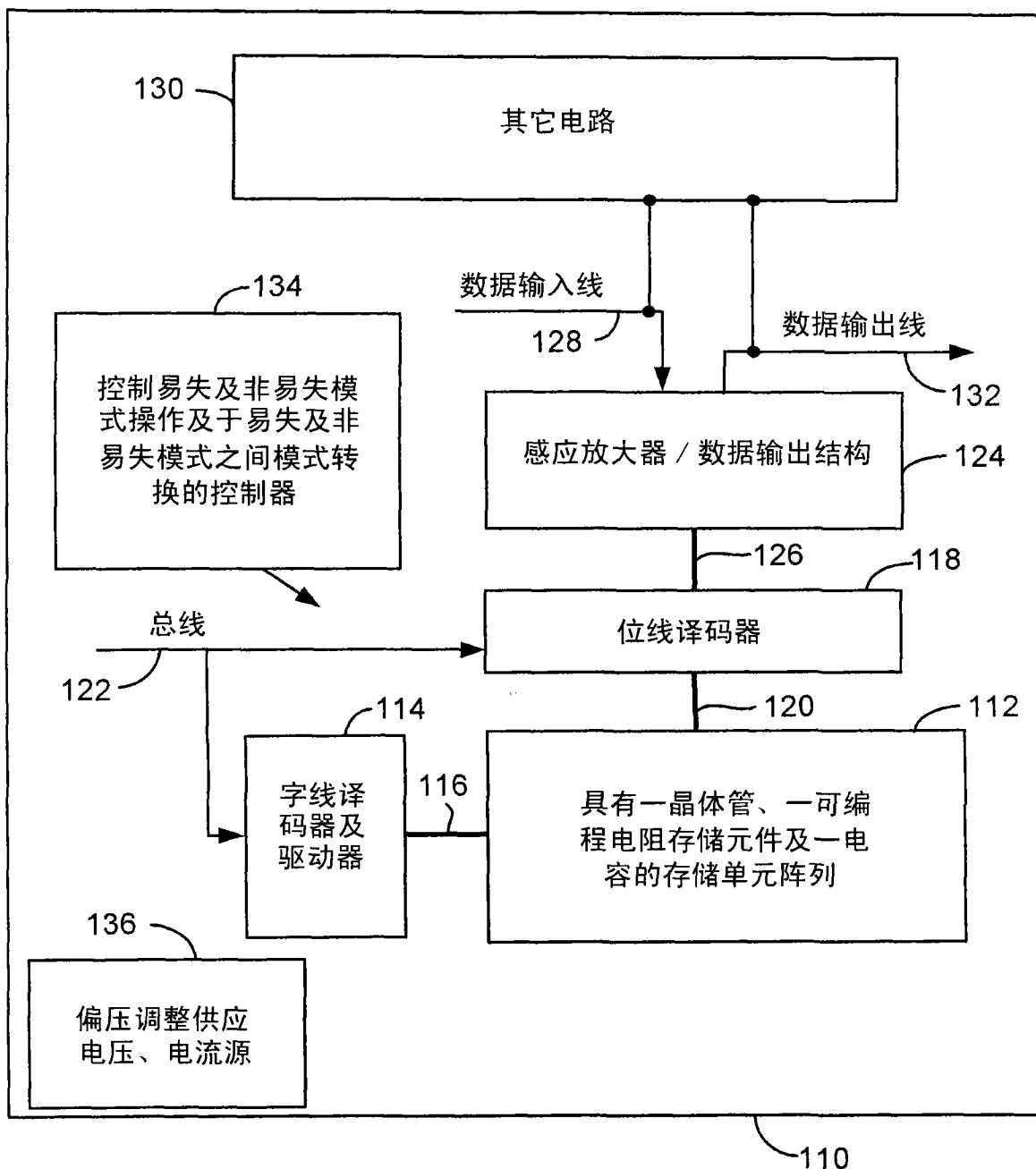


图 1

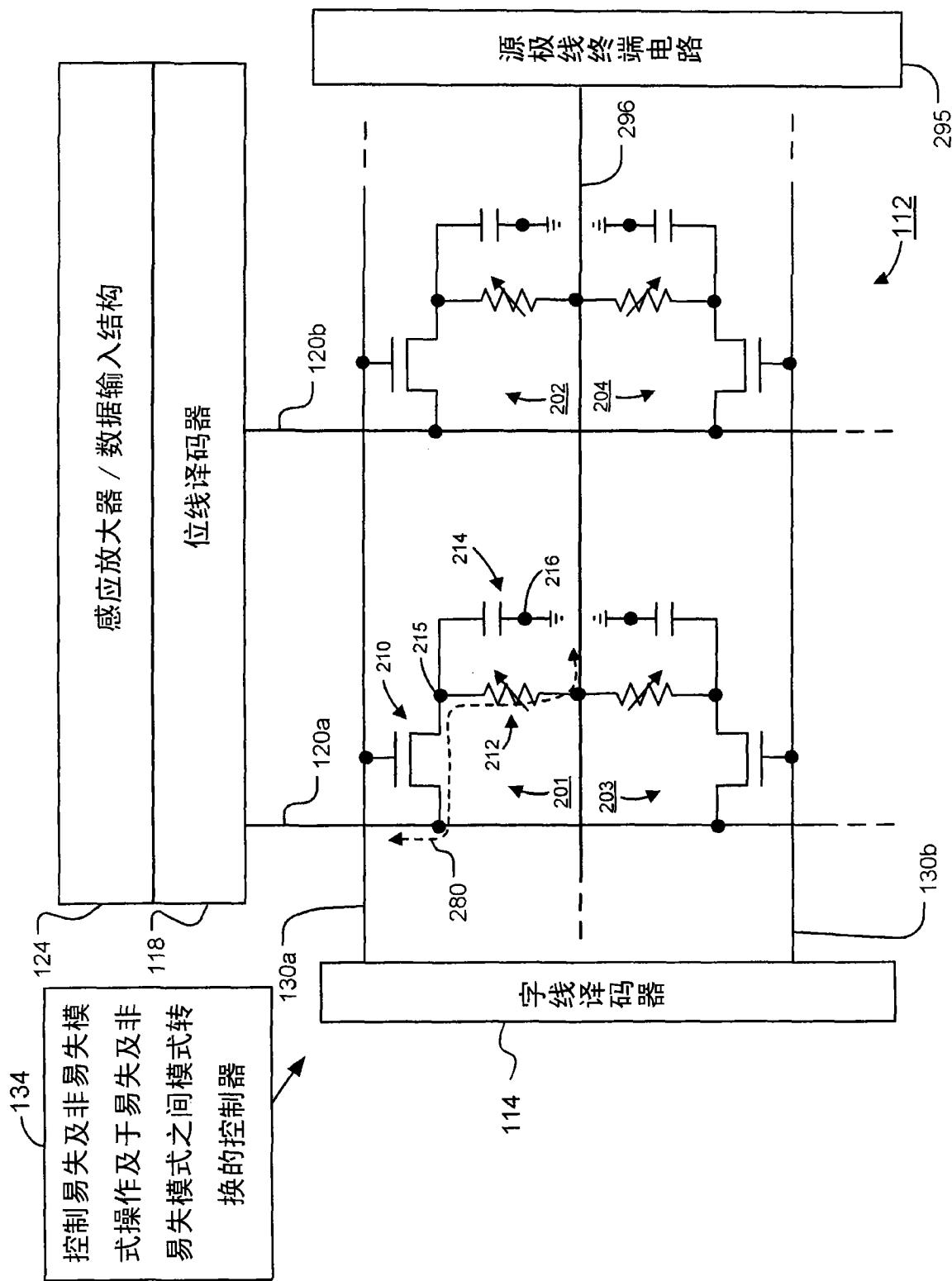


图 2

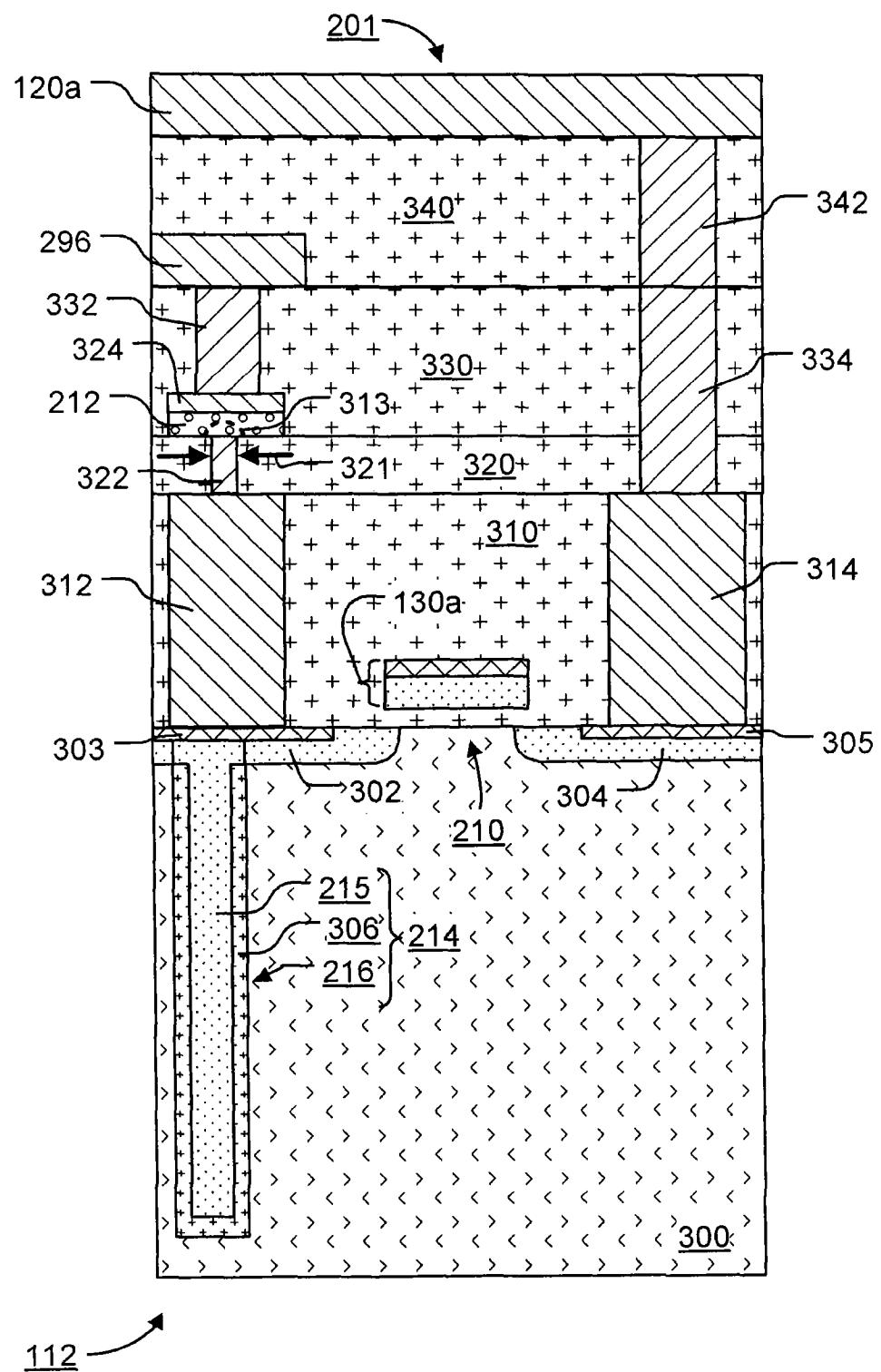


图 3

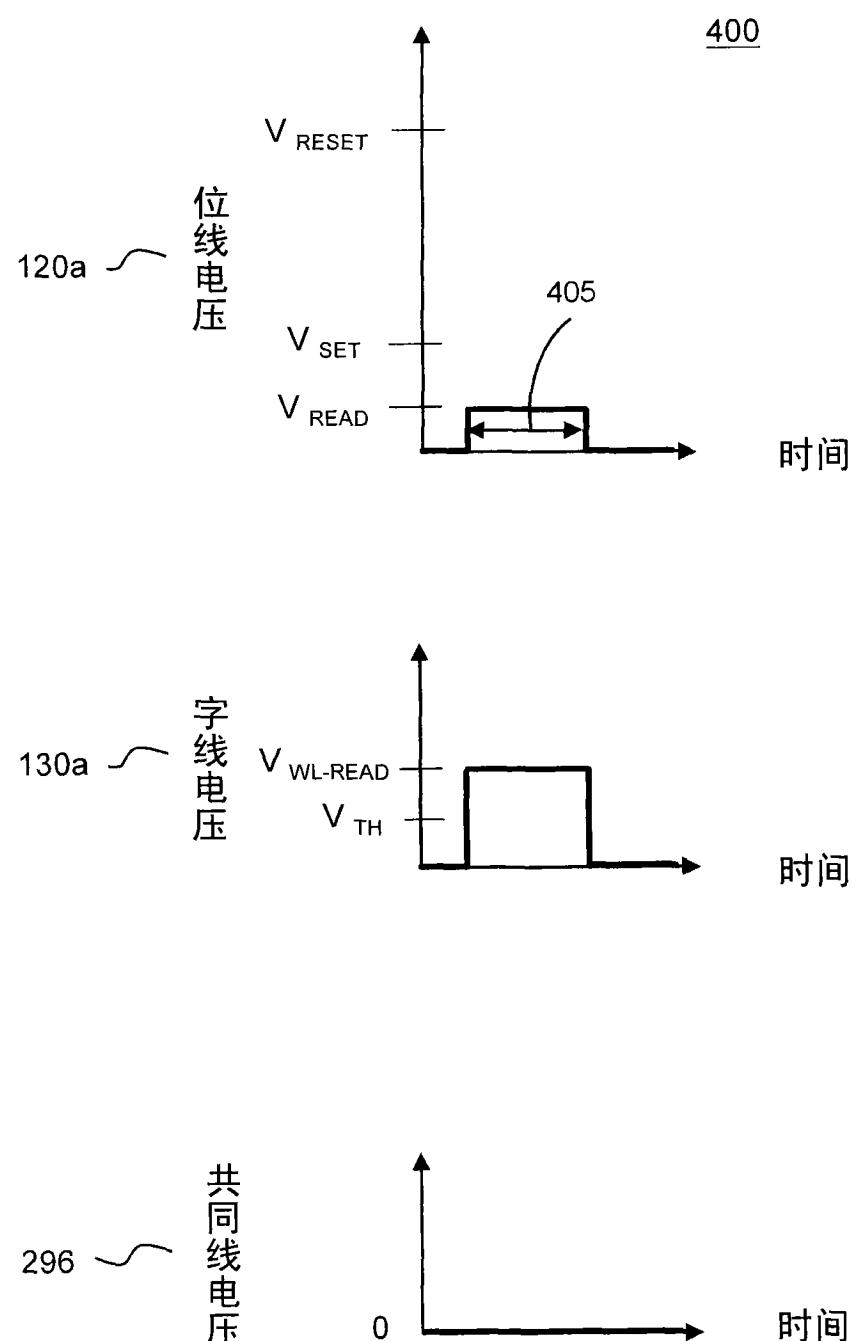


图 4A

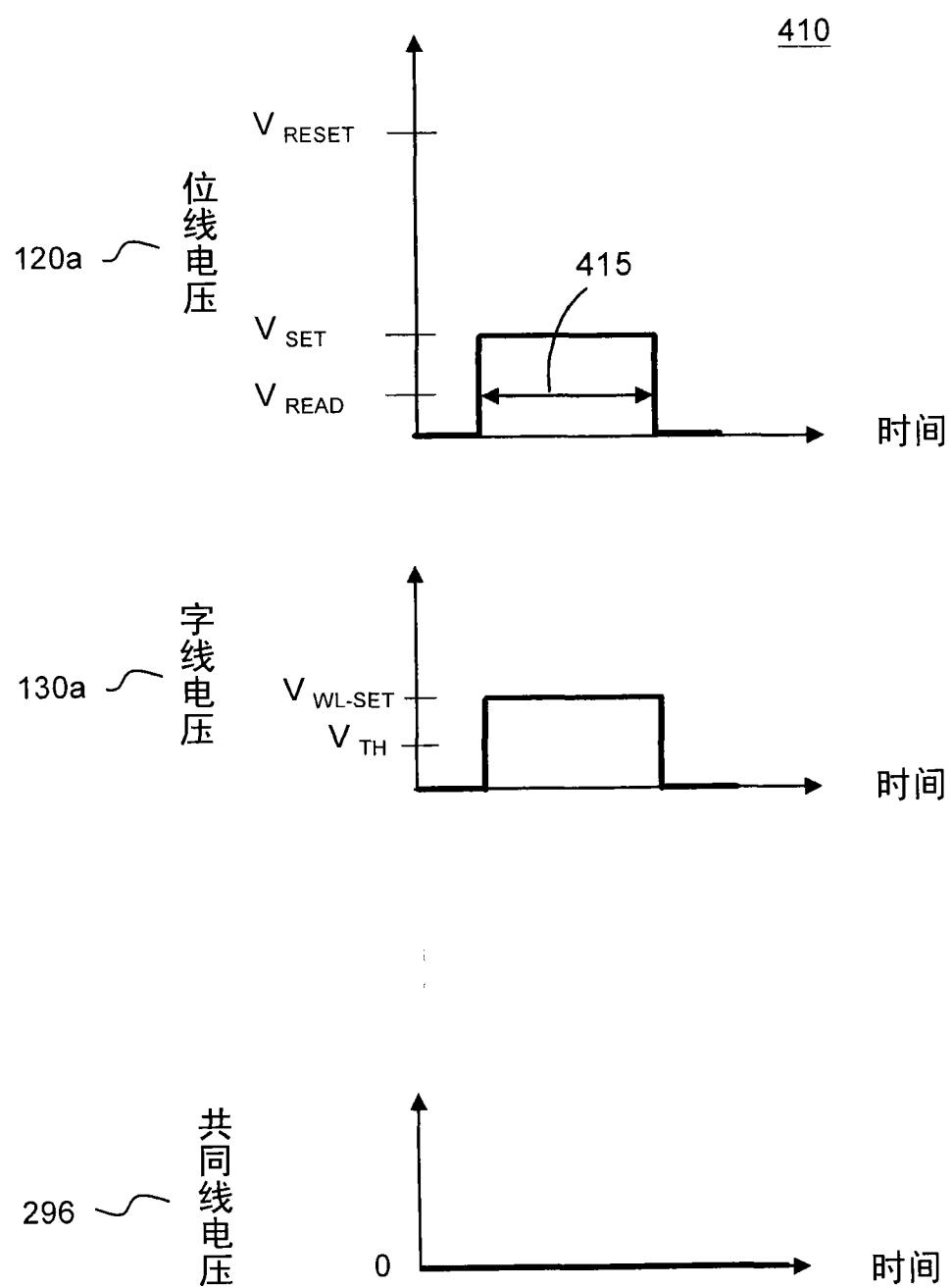


图 4B

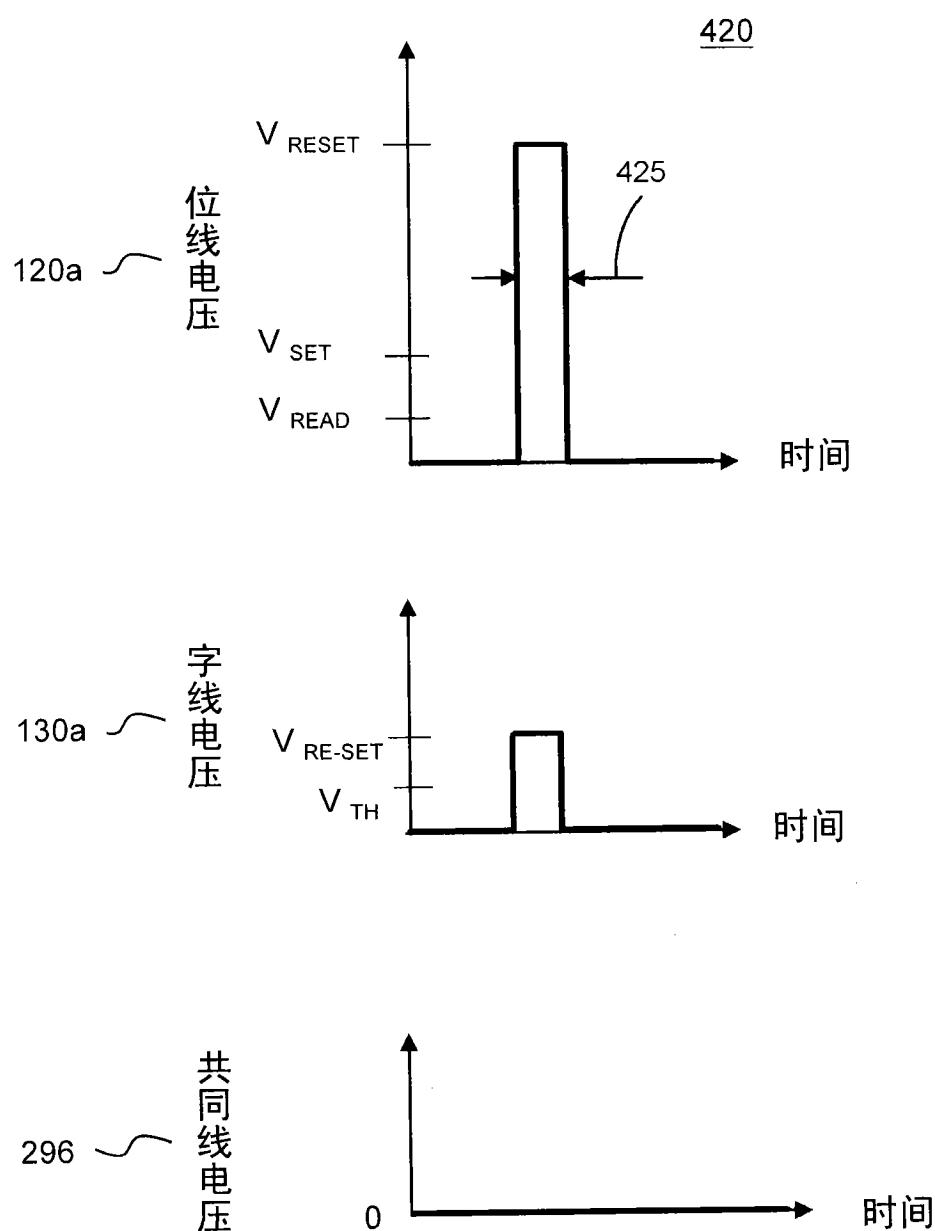


图 4C

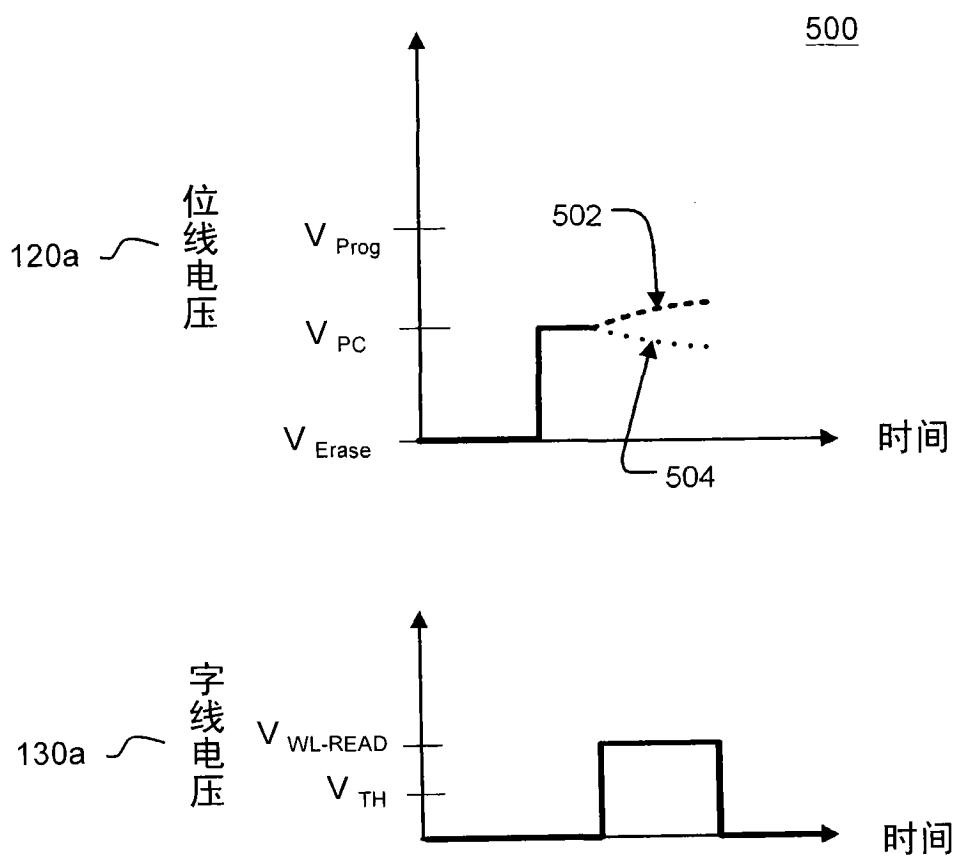
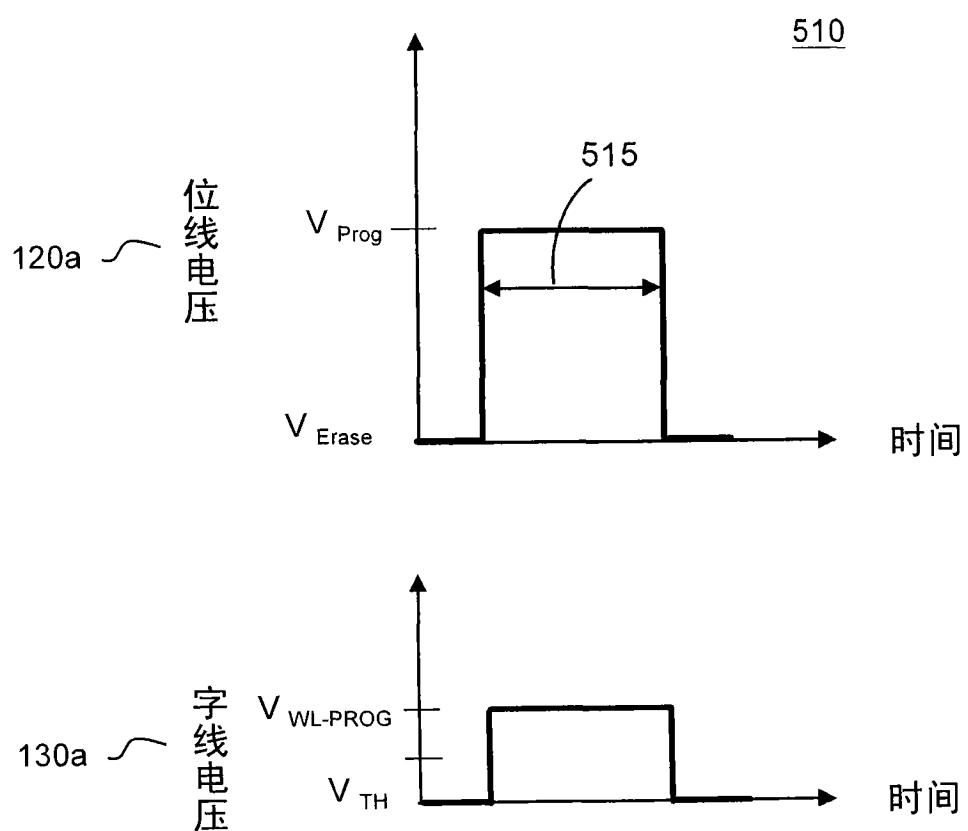


图 5A



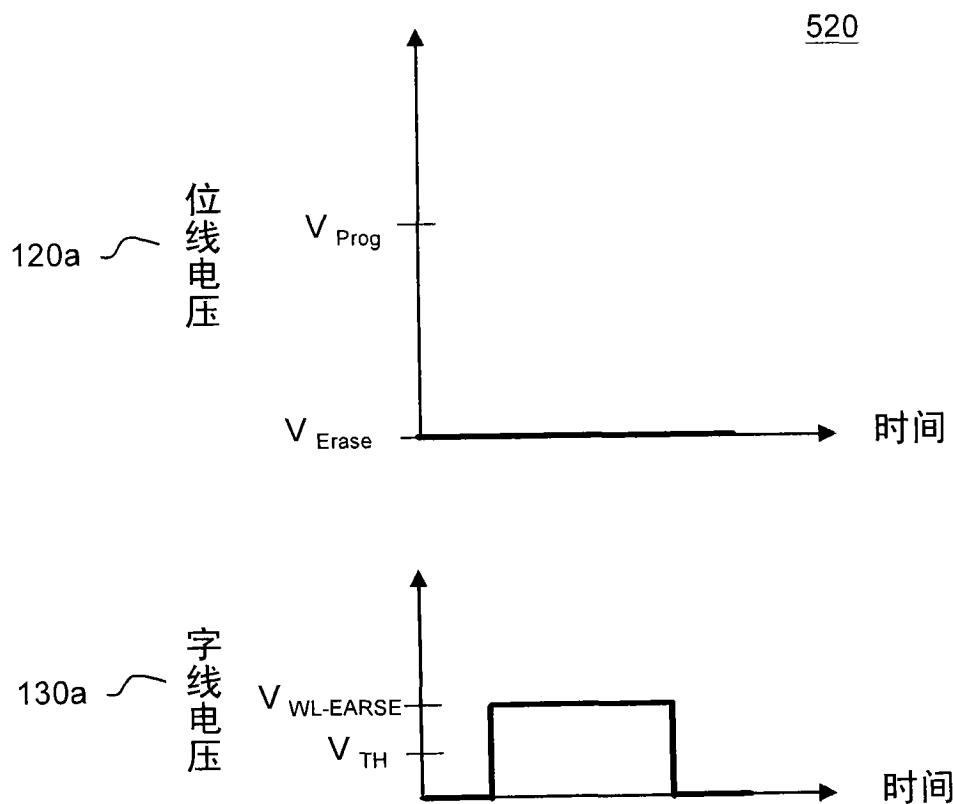


图 5C

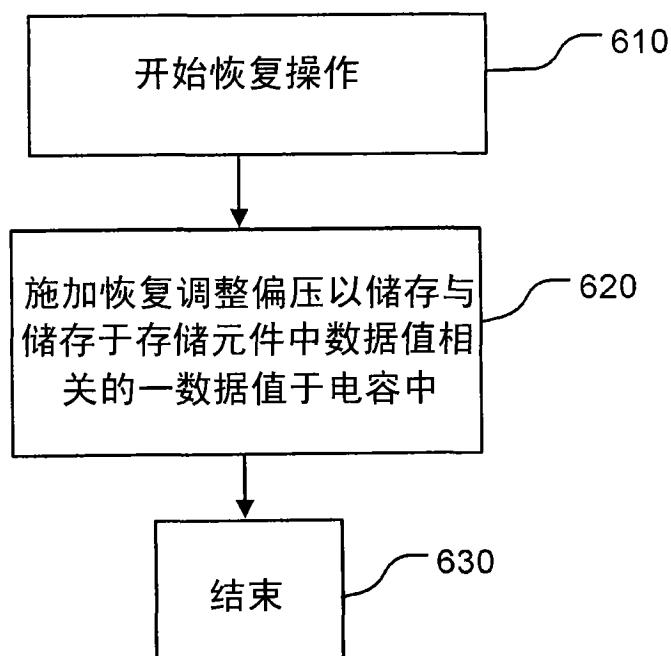


图 6

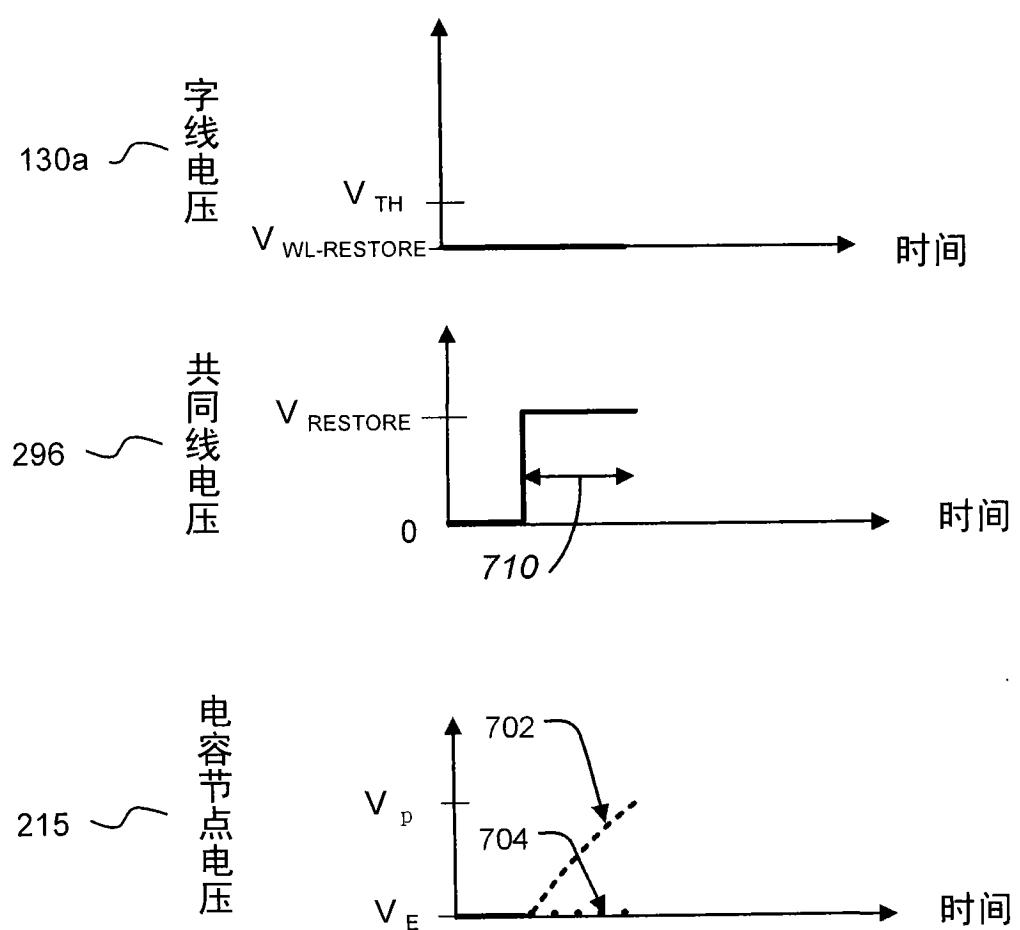


图 7

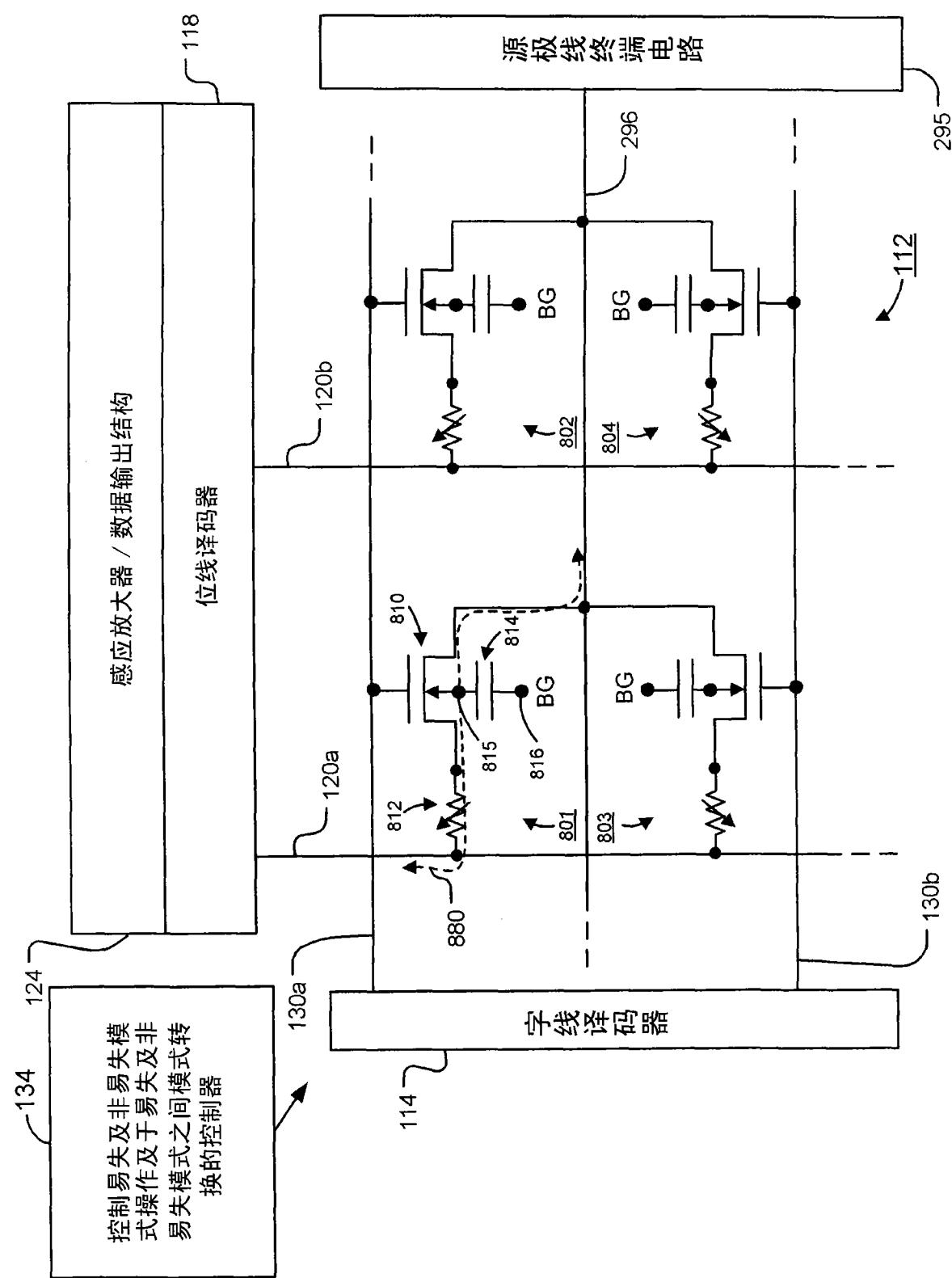


图 8

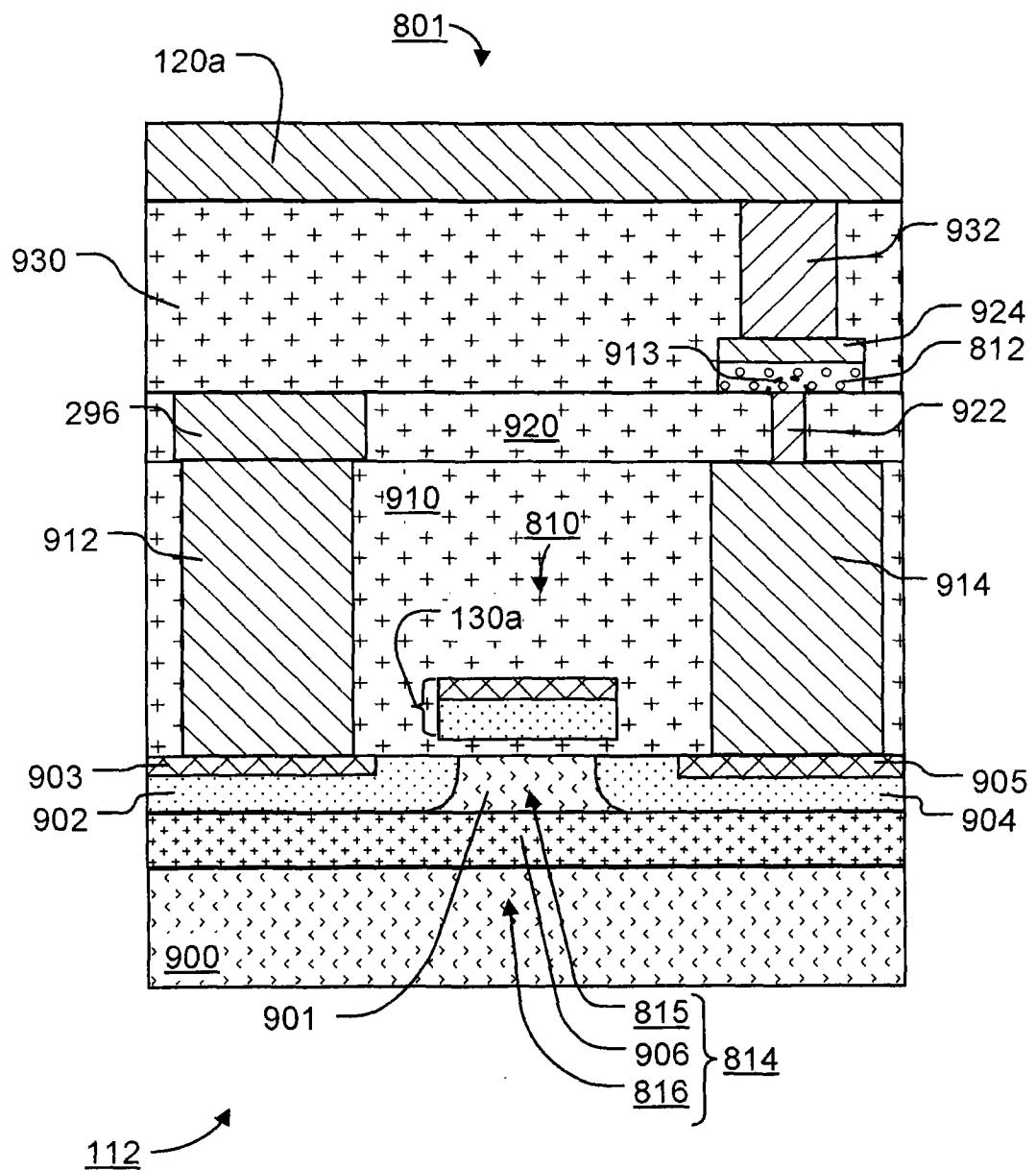


图 9

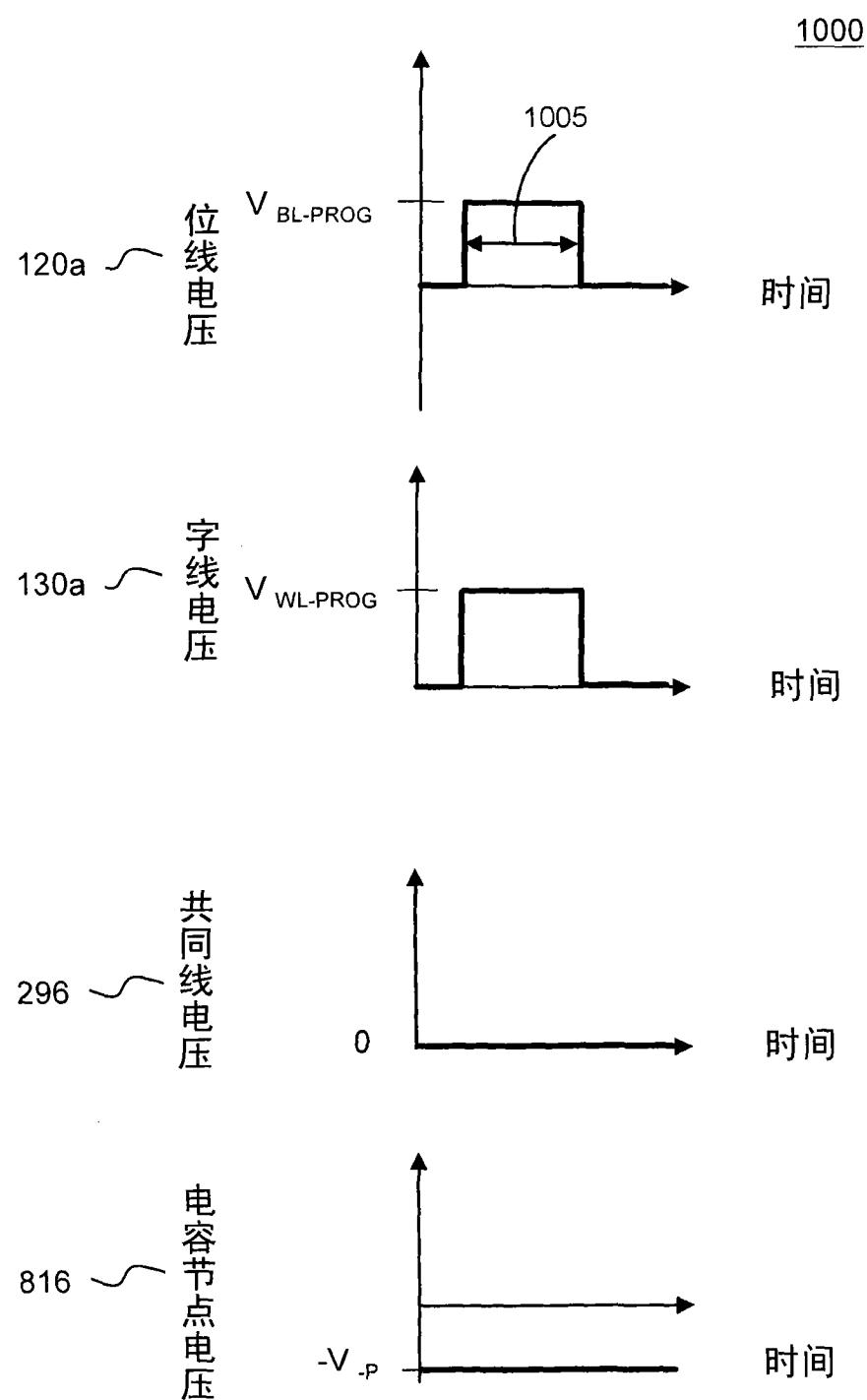


图 10A

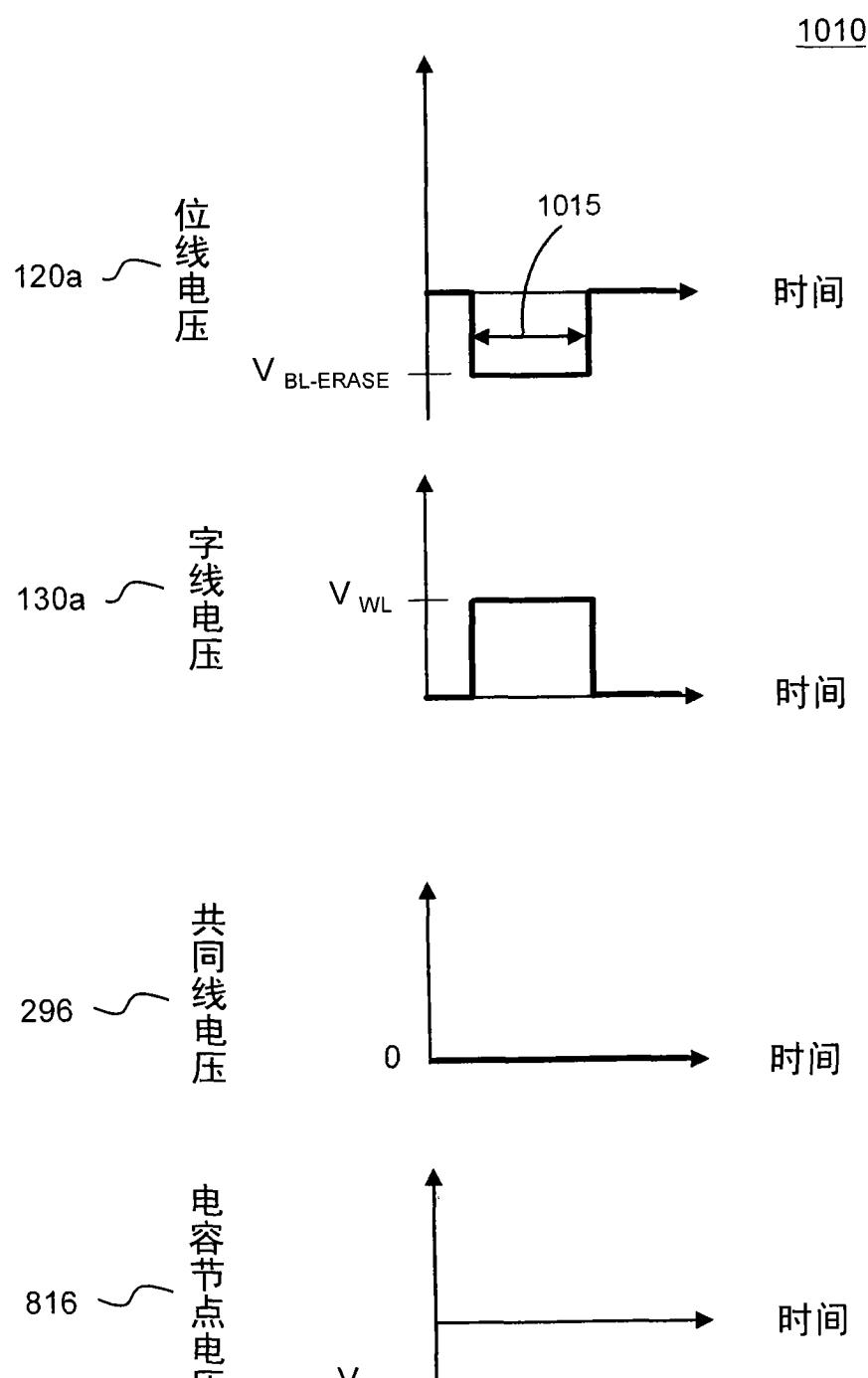


图 10B

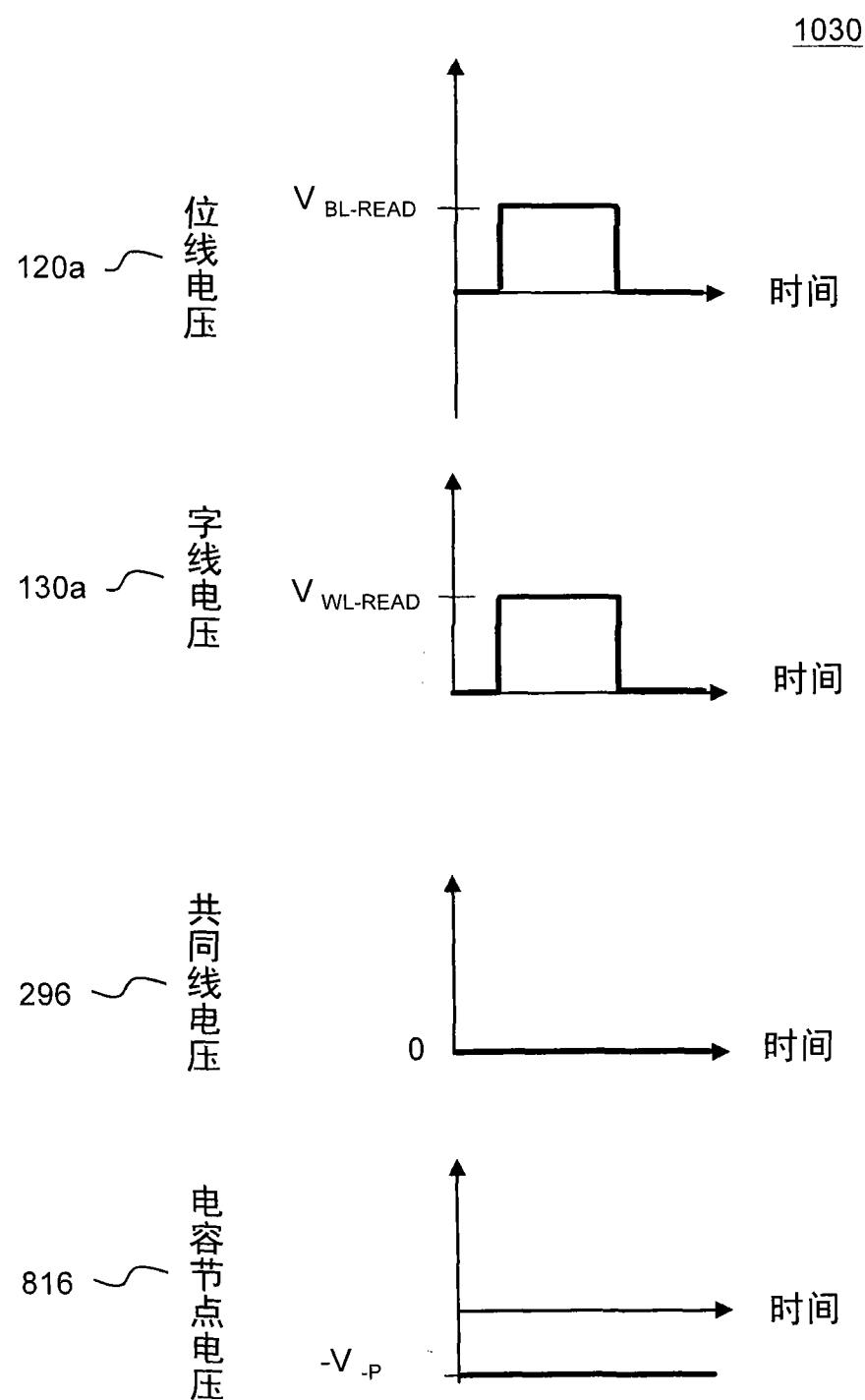


图 10C

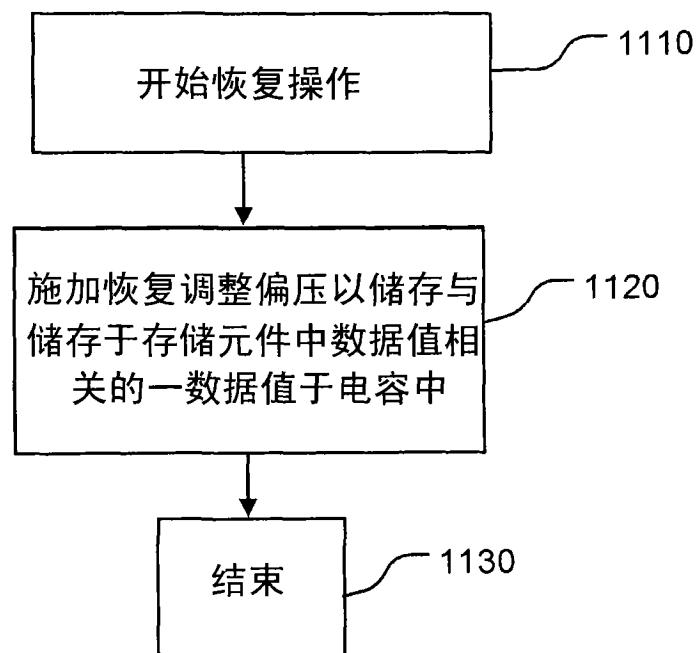


图 11

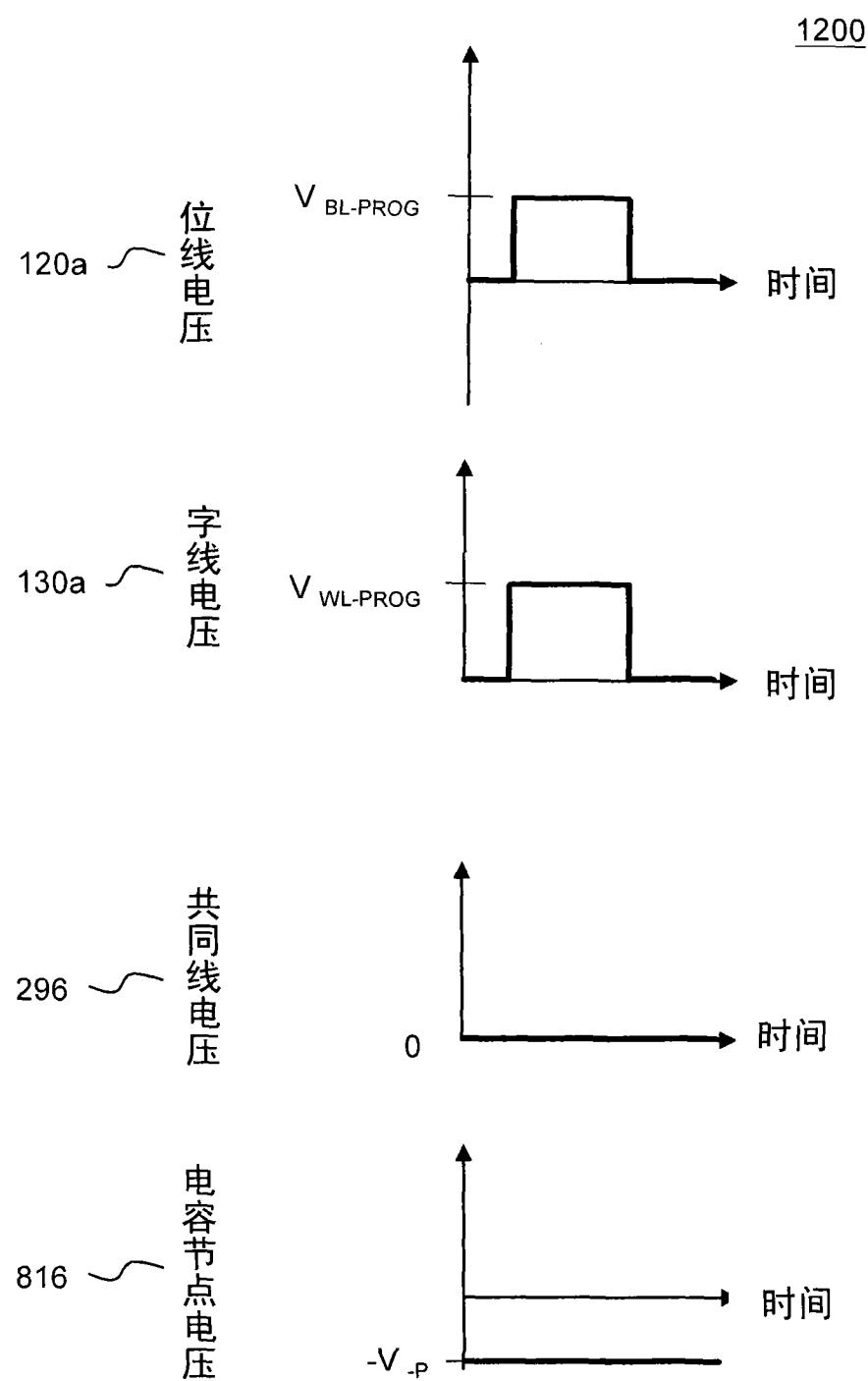


图 12

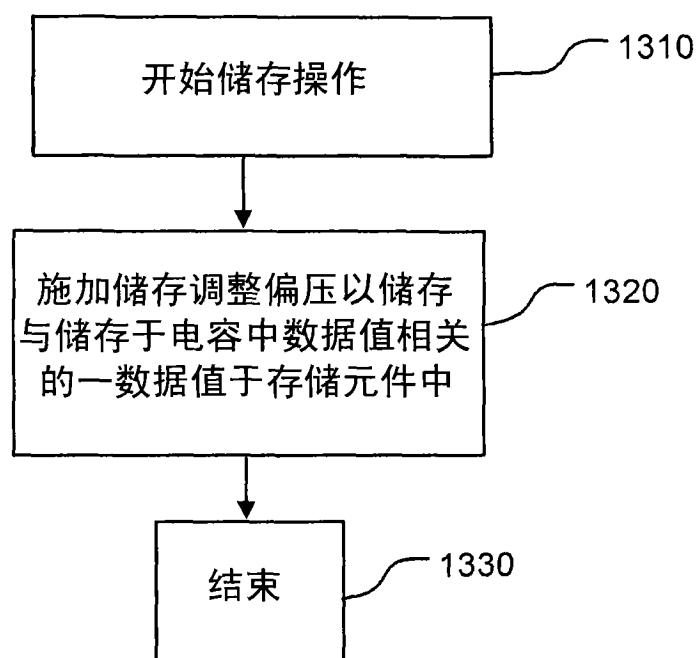


图 13

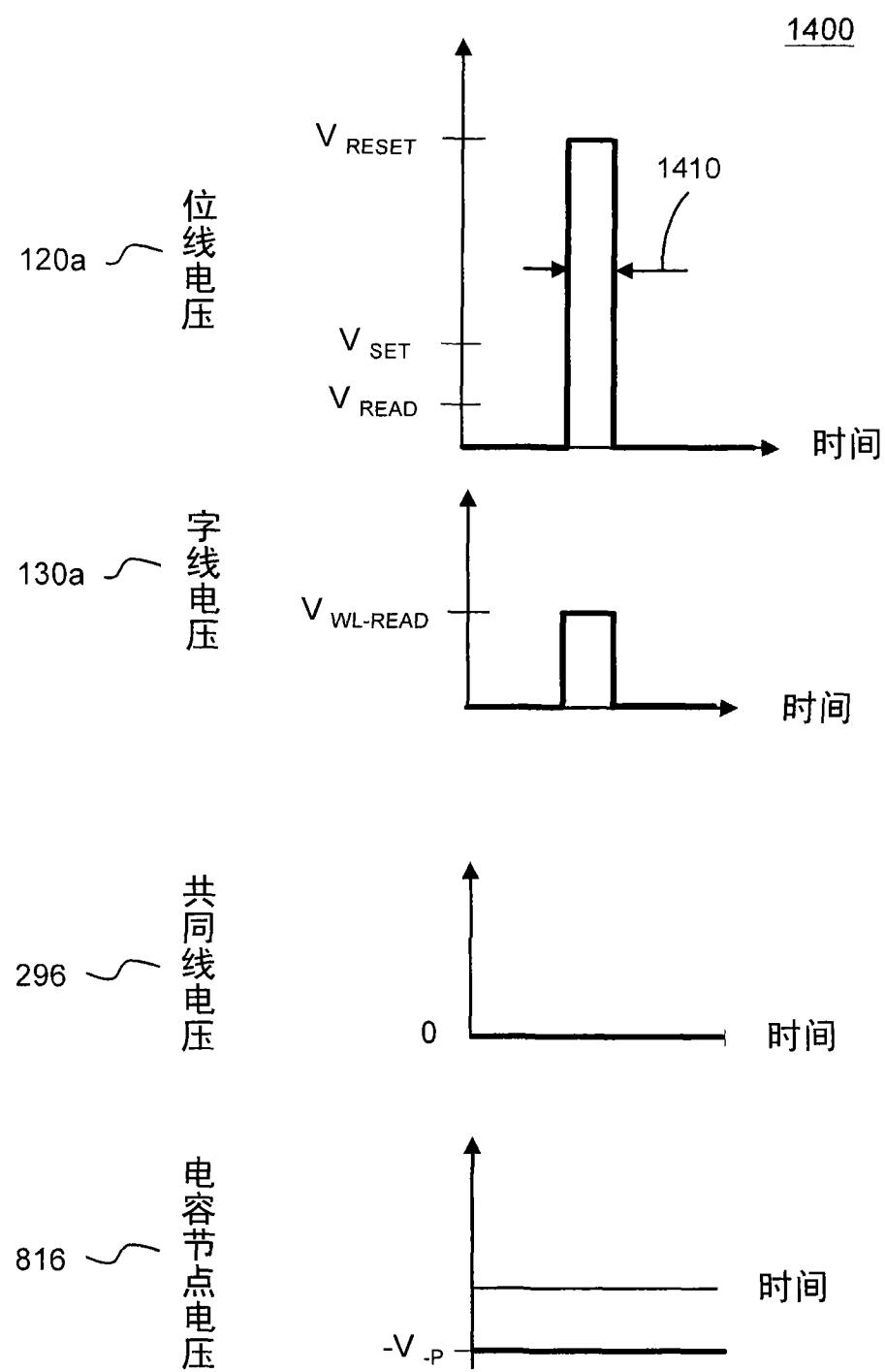


图 14