

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 8 月 30 日 (30.08.2012)



(10) 国际公布号
WO 2012/113247 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2011/082538
- (22) 国际申请日: 2011 年 11 月 21 日 (21.11.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110046360.1 2011 年 2 月 25 日 (25.02.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 徐秋霞 (XU, Qiuxia) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 李永亮 (LI, Yongliang) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(74) 代理人: 中科专利商标代理有限公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: METHOD FOR MANUFACTURING STACKED STRUCTURE OF PMOS DEVICE

(54) 发明名称: PMOS 器件叠层结构的制备方法

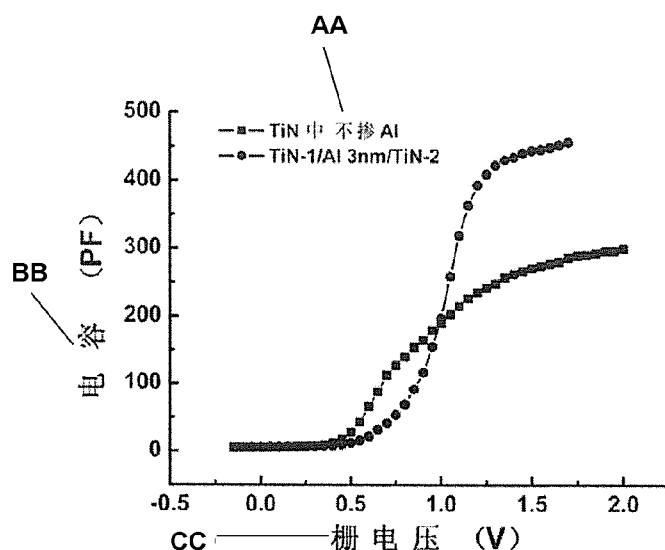


图 1 / Fig. 1

AA TIN IS NOT DOPED WITH AL
BB CAPACITANCE
CC GATE VOLTAGE

(57) Abstract: Provided is a method for manufacturing a stacked structure of a PMOS device, comprising: after completing conventional LOCOS or STI dielectric isolation, growing an ultra-thin interfacial oxide layer or nitrogen oxide layer on a semiconductor substrate through rapid thermal oxidation or a chemical method; depositing a gate dielectric with a high dielectric constant, and then performing rapid thermal annealing; depositing a composite metal gate; depositing a barrier metal layer; depositing a polycrystalline silicon film and a hard mask, and then performing photolithography and etching the hard mask; and after removing photoresist, sequentially etching the polycrystalline silicon film, the barrier metal layer, the metal gate, the gate dielectric with the high dielectric constant, and the interfacial oxide layer to form a stacked structure of the polycrystalline silicon film, the barrier metal layer, the metal gate, and the gate dielectric with the high dielectric constant. Then, the conventional side wall forming, source/drain injection and the rapid thermal annealing are performed, thereby activating source/drain impurities, and adjusting an effective work function of the metal gate of the PMOS device.

[见续页]

WO 2012/113247 A1

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

提供一种 PMOS 器件叠层结构的制备方法, 包括: 在完成常规的 LOCOS 或 STI 介质隔离后, 用快速热氧化或化学法在半导体衬底上生长超薄界面氧化层或氮氧化层; 淀积高介电常数栅介质, 接着快速热退火; 淀积复合金属栅; 淀积势垒金属层; 淀积多晶硅膜和硬掩模, 然后进行光刻和硬掩膜的刻蚀; 去胶后, 依次刻蚀多晶硅膜/势垒金属层/金属栅/高介电常数栅介质/界面氧化层形成多晶硅膜/势垒金属层/金属栅/高介电常数栅介质叠层结构。然后进行常规的侧墙形成、源/漏注入及快速热退火, 在完成源/漏杂质激活的同时, 实现了 PMOS 器件金属栅有效功函数的调节。

PMOS器件叠层结构的制备方法

本申请要求了 2011 年 2 月 25 日提交的、申请号为 201110046360.1、发明名称为“PMOS 器件叠层结构的制备和栅功函数调节方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明属于半导体技术领域，特别是涉及先栅工艺中一种 PMOS 金属栅/高 K 栅介质叠层结构的制备和栅功函数的调节方法，适合于 32/22 纳米及以下技术代高性能纳米互补型金属氧化物半导体（CMOS）器件的应用。

背景技术

随着 CMOS 器件的特征尺寸按 Moore 定律持续缩小，CMOS 集成电路的发展遇到了严峻的挑战。为克服小尺寸器件成指数规律急增的栅漏电流、严重的多晶硅栅耗尽、增大的栅电阻及 PMOS 器件严重的硼穿透等问题，采用高介电常数（K）栅介质/金属栅结构代替传统的 SiO_2/poly （多晶硅）栅结构已成为业界的共识。但是金属栅集成到高 K 栅介质上仍有许多问题急待解决，如热稳定性问题，界面态问题，特别是费米钉扎效应使纳米 CMOS 器件需要的适当低的阈值电压的获得面临很大挑战，尤其是 PMOS 器件，因为 PMOS 器件需要的高的功函数更难达到。

发明内容

本发明的目的在于提出一种用于 PMOS 器件的金属栅/高 K 栅介质叠层结构的制备和栅功函数调节方法。

为实现上述目的，本发明利用物理汽相淀积（PVD）方法，在高 K 介质上面淀积金属栅膜，它由 3 层金属膜组成：先淀积 TiN-1 膜，然后淀积一薄层金属 Al 膜，接着再淀积一层 TiN-2 膜，这样完成整个金属栅的淀积；然后淀积势垒金属层；淀积多晶硅膜和硬掩模，接着进行光刻和硬掩膜的刻蚀；去胶后，依次刻蚀多晶硅膜/势垒金属层/金属栅/高 K 介质/界面氧化层形成多晶硅膜/势垒金属层/金属栅/高 K 栅介质/界面氧化层叠层栅结构。然后进行常规的侧墙形成、源/漏注入及快速热退火，在完成源/漏杂质激活的同时，将金属 Al 离子驱动到高 K 栅介质薄膜与界面氧化层间界面

上,通过界面反应生成 Al-O 偶极子,从而实现了 PMOS 器件金属栅有效功函数的调节。其调节效果与 Al 的淀积厚度、Al 层与 TiN/Hf 基高 K 介质界面的距离,即 TiN-1 的厚度、热处理条件以及 Hf 基高 K 介质中接近高 K 介质/SiO₂ 界面处的状态等因数有关。

本发明提供的用于 PMOS 器件的金属栅/高 K 栅介质叠层结构的制备和栅功函数调节方法,其主要步骤如下:

步骤 1) 在完成常规的 LOCOS 或 STI 介质隔离后,用快速热氧化或化学法在半导体衬底上生长超薄界面氧化层或氮氧化层;

步骤 2) 高介电常数(K)栅介质薄膜的形成,并于 500-1050℃下,4-120 秒热退火;

步骤 3) 淀积金属栅;所述金属栅由 3 层组成,依次为 TiN-1/Al/TiN-2,其中 TiN-1 金属栅厚度为 2-6nm,金属 Al 膜厚度为 2-5nm, TiN-2 金属栅厚度为 10-20nm;

步骤 4) 淀积势垒金属层;

步骤 5) 低压化学汽相淀积多晶硅膜和硬掩模,然后进行光刻和硬掩膜的刻蚀;

步骤 6) 去胶,以硬掩模为掩蔽,依次刻蚀多晶硅膜/势垒金属/金属栅/高 K 栅介质/界面 SiO₂ 形成叠层栅结构;

步骤 7) 形成侧墙 1 和源/漏延伸区低能离子注入和大角度注入;

步骤 8) 形成侧墙 2 和源/漏和离子注入;

步骤 9) 快速热退火:于 600-1050℃下,于 N₂ 退火 2-30 秒;在完成源/漏杂质激活的同时,将金属 Al 离子驱动到高 K 栅介质薄膜与界面氧化层界面上,通过界面反应生成 Al-O 偶极子,实现对 PMOS 器件金属栅有效功函数的调节;

步骤 10) NiSi 硅化物形成;

步骤 11) 接触和金属化:380-430℃ 温度下,在合金炉内于 N₂ 或 (N₂+H₂) 中合金退火 30-60 分。

所述的方法中,步骤 1 之前对完成常规 LOCOS 或 STI 隔离后的器件进行清洗,先采用常规方法清洗,然后用氢氟酸/异丙醇/水混合溶液在室温下浸泡 2-10 分钟,去离子水冲洗,甩干后立即进炉;氢氟酸:异丙醇:水的重量比为 0.2-1.5%:0.01-0.10%:1%。

所述的方法中,步骤 1 中界面氮氧化层可采用先注入氮到 Si 中再快速热氧化形成,或先快速热氧化形成 SiO_x,再用 NO 氮化或等离子氮化形成 SiON; SiO_x 也可用

O₃化学处理形成。

所述的方法中，步骤2中高K栅介质膜为Hf基氧化物，可以是HfAlO、HfAlON、HfSiAlON或HfLaON等，所述高介电常数栅介质膜可通过物理气相淀积、金属有机化学气相沉积或原子层淀积工艺形成。

所述的方法中，步骤3中的金属氮化物TiN栅薄膜和Al薄膜可通过物理气相淀积、金属有机化学气相沉积或原子层淀积工艺形成。

所述的方法中，步骤4中的势垒金属层可以是AlN或Ta₂N₅薄膜，通过物理气相淀积、金属有机化学气相沉积或原子层淀积工艺形成，厚度4-10nm。

所述的方法中，步骤5中的硬掩膜是SiO₂(O)、Si₃N₄(N)或其叠层O/N或O/N/O。硬掩膜采用氟基刻蚀。

所述的方法中，步骤6中多晶硅采用F基加Cl基或HBr加Cl基刻蚀，Ta₂N₅/TiN(Al)/高K栅介质叠层栅结构采用Cl基反应离子刻蚀或感应耦合等离子刻蚀形成，或采用化学湿法腐蚀形成。

所述的方法中，步骤10中的NiSi由溅射8-20nm Ni薄膜后，通过两步退火和其间的选择腐蚀完成，NiSi膜厚15-40nm。

本发明提供的方法，其特点是在TiN等金属栅中淀积掺杂金属Al膜，通过热处理，将金属Al离子驱动到高K栅介质薄膜与界面氧化层界面上，通过界面反应生成Al-O偶极子，实现对PMOS器件金属栅有效功函数的调节。其调节效果与Al的淀积厚度、Al层与TiN/Hf基高K介质界面的距离，即TiN-1的厚度、热处理条件以及Hf基高K介质中接近高K介质/SiO₂界面处的状态等因数有关。优化这些参量，可以获得合适的有效栅功函数，以期获得合适低的阈值电压。本发明对PMOS器件金属栅有效功函数的调节效果好，操作简便可控，成本低，与常规CMOS工艺完全兼容，便于集成电路产业化。

附图说明：

图1是TiN金属栅中掺Al和不掺Al的poly-Si/TiN-1/Al/TiN-2金属栅PMOS电容C-V特性比较。

图2是不同TiN-1薄膜厚度的poly-Si/TiN-1/Al/TiN-2金属栅PMOS电容C-V特性比较。

具体实施方式

本发明提供的用于 PMOS 器件的金属栅/高 K 栅介质叠层结构的制备和栅功函数调节方法，在完成常规的 LOCOS 或 STI 介质隔离后，其主要步骤如下：

步骤 1) 用快速热氧化或化学法在半导体衬底上生长超薄界面氧化层或氮氧化层；

步骤 2) 高介电常数 (K) 栅介质薄膜的形成，并于 500-1000℃ 下，10-120 秒热退火；

步骤 3) 淀积金属栅：采用物理汽相淀积完成，先反应溅射淀积一薄层 TiN-1，接着溅射淀积一薄层金属 Al，然后再反应溅射淀积一层 TiN-2；

步骤 4) 淀积势垒金属层；

步骤 5) 低压化学汽相淀积多晶硅膜和硬掩模，然后进行光刻和硬掩膜的刻蚀；

步骤 6) 去胶，以硬掩膜为掩蔽，依次刻蚀多晶硅膜/势垒金属/金属栅/高 K 栅介质/界面 SiO₂ 形成叠层栅结构；

步骤 7) 形成侧墙 1 和源/漏延伸区低能离子注入和大角度注入；

步骤 8) 形成侧墙 2 和源/漏离子注入；

步骤 9) 快速热退火：于 600-1050℃ 下，于 N₂ 中退火 2-30 秒；在完成源/漏杂质激活的同时，将金属 Al 离子驱动到高 K 栅介质薄膜与界面氧化层间界面上，通过界面反应生成 Al-O 偶极子，实现对 PMOS 器件金属栅有效功函数的调节；

步骤 10) NiSi 硅化物形成；

步骤 11) 接触和金属化：380-430℃ 温度下，在合金炉内于 N₂ 或 (N₂+H₂) 中合金退火 30-60 分。

以下对本发明作进一步的介绍。

步骤 1) 清洗：在器件隔离形成后，进行界面氧化层形成前的清洗，先采用常规方法清洗，然后按重量比氢氟酸:异丙醇:水=0.3-0.8%:0.01-0.08%:1%混合溶液在室温下浸泡 2-10 分，去离子水冲洗，N₂ 中甩干后立即进炉；

步骤 2) 界面层 SiO_x 形成：在 600-800℃ 温度下，在 N₂ 中快速热退火 (RTA) 20-120 秒，生成 6-8 埃的氧化层；

步骤 3) 高介电常数 (K) 栅介质薄膜的形成：采用磁控反应溅射工艺在 N₂/Ar 气氛中交替溅射 Al 靶、Hf 靶和 Si 靶淀积形成 HfSiAlON，溅射工作压强为 5×10^{-3} Torr，溅射功率为 100-500W，淀积形成的 HfSiAlON 高 K 栅介质薄膜厚 10-50 埃；

步骤 4) 超声清洗：采用丙酮、无水乙醇先后各超声清洗 5-10 分钟，去离子水

冲洗，N₂中甩干；

步骤5) 淀积高K介质后快速热退火：片子甩干后立即进炉，温度 500-1000℃，时间 10-120 秒。

步骤6) 金属栅薄膜淀积：由 TiN-1/Al/TiN-2 三层金属组成，其中 TiN-1 和 TiN-2 金属栅薄膜采用磁控反应溅射工艺在 N₂/Ar 气氛中溅射 Ti 靶形成，工作压力 5×10^{-13} 托，N₂ 流量 2-8 sccm，溅射功率为 600-1000w，TiN-1 金属栅厚度为 2-5nm，Ti-N-2 金属栅厚度为 10-20nm。Al 薄膜 2-5nm，采用磁控溅射工艺在 Ar 气氛中溅射 Al 靶形成工作压力 5×10^{-13} 托，Ar 流量 20-24 sccm，溅射功率为 100-500w。

步骤7) 磁控反应溅射淀积势垒金属层 TaN 薄膜，工作压力 5×10^{-13} 托，N₂ 流量 2-8 sccm，溅射功率为 600-1000w，厚度 4-8nm。

步骤8) 低压化学汽相淀积多晶硅膜和 SiO₂ 硬掩膜，然后进行光刻和采用氟基刻蚀硬掩膜。

步骤9) 去胶，以硬掩膜为掩蔽，依次刻蚀多晶硅膜/TaN/TiN (Al) 金属栅/高K栅介质 HfSiAlON/界面 SiO₂ 形成叠层栅结构；

其中多晶硅采用 F 基加 Cl 基或 HBr 加 Cl 基刻蚀，TaN/TiN (Al) 金属栅/高K栅介质 HfSiAlON/界面 SiO₂ 叠层结构采用 Cl 基反应离子刻蚀或感应偶合等离子刻蚀形成，或采用化学湿法腐蚀形成。

步骤10) 常规形成侧墙1和源/漏延伸区低能离子注入和大角度注入；

步骤11) 常规形成侧墙2和源/漏和离子注入；

步骤12) 快速热退火：于 600-1050℃下，于 N₂ 中退火 2-30 秒；在完成源/漏杂质热激活的同时，将金属 Al 离子驱动到高K栅介质薄膜与界面氧化层界面上，通过界面反应生成 Al-O 偶极子，实现对 PMOS 器件金属栅有效功函数的调节；

步骤13) NiSi 硅化物形成：由溅射 8-15nm Ni 薄膜后，通过两步退火和其间的选择腐蚀完成，NiSi 膜厚 15-30nm。

步骤11) 接触和金属化：380-430℃温度下，在合金炉内于 N₂ 或 (N₂+H₂) 中合金退火 30-60 分。

由图1可见，当在 TiN-1 膜和 TiN-2 膜之间加入 3nm Al 膜后，平带电压 (V_{FB}) 向正方向大幅度移动， V_{FB} 的增加量为 0.135V，表明 PMOS 器件的有效栅功函数得到大幅度增加，满足了 PMOS 器件对栅功函数的要求。而且掺 Al 样品的栅介质等效厚度大幅度减薄（电容增大），从 34 埃减薄到 23 埃，这对提高器件驱动能力和增强栅控能

力都十分有利。参数见表 1。

由图 2 可见, 对同样的 Al 薄膜厚度 (3nm), TiN-1 膜的厚度不同, 平带电压向正方向移动的幅度不同, TiN-1 膜的厚度需要优化, 如薄了, 栅漏电会增加, 见图 2 中 TiN-1 为 2nm 样品的 C-V 特性可知。如厚了, 栅功函数调节能力减弱, 见图 2 中 TiN-1 为 4nm 样品的 C-V 特性可知。TiN-1 为 3nm 样品的 C-V 特性较好, 没有漏电, 且平带电压也更大些。表 2 给出了 TiN-1 膜厚度不同的样品的特征参数比较, 其电极结构同为 Poly-Si/TaN/TiN-1/Al 3nm/TiN-2/HfSiAlON/SiO₂。

以上参照本发明的实施例对本发明予以了说明。但是, 这些实施例仅仅是为了说明的目的, 而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围, 本领域技术人员可以做出多种替换和修改, 这些替换和修改都应落在本发明的范围之内。

表 1

栅 电 极 结 构	栅介质厚度(埃)	平带电 压(伏)
Poly-Si/TaN/TiN/HfSiAlON/SiO ₂ (不掺 Al)	34	0.484
Poly-Si/TaN/TiN-1/Al 3nm/TiN-2/HfSiAlON/SiO ₂	23	0.619

表 2

TiN-1 膜厚度 (纳米)	栅介质厚度 (埃)	平带电压 (V)
2	13	0.596
4	23	0.623
3	21	0.684

权 利 要 求

1. 一种 PMOS 器件叠层结构的制备和栅功函数调节方法, 包括如下步骤:

- 1) 在完成常规的 LOCOS 或 STI 介质隔离后, 在半导体衬底上生长界面氧化层或氮氧化层;
- 2) 高介电常数 (K) 栅介质薄膜的形成, 并于 500-1020℃下, 4-120 秒热退火;
- 3) 淀积金属栅, 所述金属栅由三层组成, 依次为 TiN-1/Al/TiN-2;
- 4) 淀积势垒金属层;
- 5) 低压化学汽相淀积多晶硅膜和硬掩模, 然后进行光刻和硬掩膜的刻蚀;
- 6) 去胶, 以硬掩模为掩蔽, 依次刻蚀多晶硅膜/势垒金属/金属栅/高 K 栅介质/界面 SiO₂ 形成叠层栅结构;
- 7) 形成侧墙 1 和源/漏延伸区低能离子注入和大角度注入;
- 8) 形成侧墙 2 和源/漏离子注入;
- 9) 快速热退火: 于 600-1050℃下, 于 N₂ 中退火 2-30 秒; 在完成源/漏杂质激活的同时, 将金属 Al 离子驱动到高 K 栅介质薄膜/界面氧化层界面上, 通过界面反应生成 Al-O 偶极子, 实现对 PMOS 器件金属栅有效功函数的调节;
- 10) NiSi 硅化物形成;
- 11) 接触和金属化: 380-430℃温度下, 在合金炉内于 N₂ 或 (N₂+H₂) 中合金退火 30-60 分。

2、根据权利要求 1 所述的方法, 其中, 步骤 1 之前对完成常规的 LOCOS 或 STI 隔离后的器件进行清洗, 先采用常规方法清洗, 然后用氢氟酸/异丙醇/水混合溶液在室温下浸泡 2-10 分钟, 去离子水冲洗, 甩干后立即进炉; 氢氟酸: 异丙醇: 水的重量比为 0.2-1.5%:0.01-0.10%:1%。

3、根据权利要求 1 所述的方法, 其中, 步骤 1 中是采用快速热氧化或化学法生长界面氧化层或氮氧化层; 界面氮氧化层可采用先注入氮到 Si 中再快速热氧化形成, 或先快速热氧化形成 SiO_x, 再用 NO 氮化或等离子氮化形成 SiON; SiO_x 可用 O₃ 化学处理形成。

4、根据权利要求 1 所述的方法, 其中, 步骤 2 中高 K 栅介质膜是 Hf 基高 K 栅介质, 可以是 HfAlO、HfAlON、HfSiAlON 或 HfLaON, 所述高介电常数栅介质膜通过物理气相淀积、金属有机化学气相沉积或原子层淀积工艺形成。

5、根据权利要求1所述的方法，其中，步骤3中的金属栅中，TiN-1金属栅厚度为2-6nm，金属Al膜厚度为2-5nm，TiN-2金属栅厚度为10-20nm。

6、根据权利要求1所述的方法，其中，步骤3中金属氮化物栅薄膜和Al薄膜采用物理气相淀积、金属有机化学气相沉积或原子层淀积工艺形成。

7、根据权利要求1所述的方法，其中，步骤4中势垒金属层是Ta₂N₅或AlN，厚度4-10nm，采用物理气相淀积、金属有机化学气相沉积或原子层淀积工艺形成。

8、根据权利要求1所述的方法，其中，步骤5中的硬掩膜是SiO₂ (O)、Si₃N₄ (N)或其叠层O/N或O/N/O；硬掩膜采用氟基刻蚀。

9、根据权利要求1所述的方法，其中，步骤6中多晶硅采用F基加Cl基或HBr加Cl基刻蚀，Ta₂N₅/TiN (Al) /高K栅介质/界面SiO₂叠层结构采用Cl基反应离子刻蚀或感应耦合等离子刻蚀形成，或采用化学湿法腐蚀形成。

10、根据权利要求1所述的方法，其中，步骤10中的NiSi由溅射8-20nm Ni薄膜后，通过两步退火和其间的选择腐蚀完成，NiSi膜厚15-40nm。

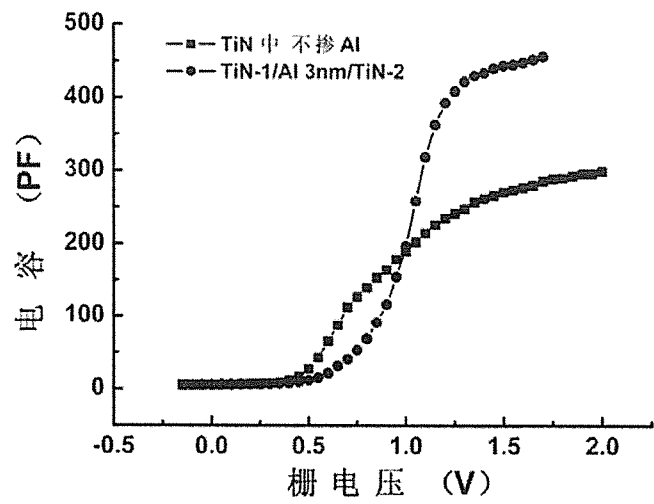


图 1

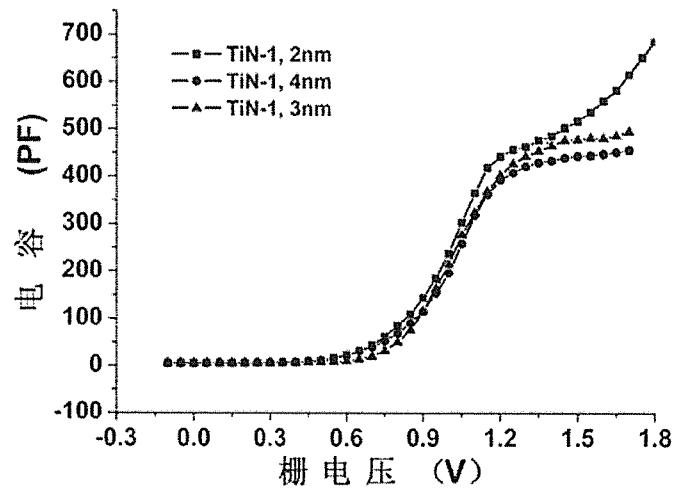


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/082538**A. CLASSIFICATION OF SUBJECT MATTER**

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-, H01L 29/-, H01L 27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI: metal gate, titanium nitride, aluminum, work function, PMOS, laminate

WPI, EPODOC: metal w gate, pmos, nitride, titanium, work w function, aluminum, stack

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101800196 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES), 11 August 2010 (11.08.2010), description, paragraphs 0003-0029	1-10
A	US 2008/0001202 A1 (FREESCALE SEMICONDUCTOR, INC.), 03 January 2008 (03.01.2008), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 January 2012 (20.01.2012)	Date of mailing of the international search report 23 February 2012 (23.02.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer XIE, Chaofang Telephone No.: (86-10) 62411899

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/082538

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101800196 A	11.08.2010	None	
US 2008/0001202 A1	03.01.2008	US 7655550 B2	02.02.2010

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/082538

CONTINUATION: CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-, H01L29/-, H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI:金属栅, 氮化钛, 铝, 功函数, PMOS, 叠层

WPI,EPODOC: metal w gate, pmos, nitride, titanium, work w function, aluminum, stack

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101800196A (中国科学院微电子研究所) 11.8 月 2010 (11.08.2010) 说明书第 0003-0029 段	1-10
A	US2008/0001202A1(FREESCALE SEMICONDUCTOR, INC.)03.1 月 2008 (03.01.2008) 全文	1-10



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

20.1 月 2012(20.01.2012)

国际检索报告邮寄日期

23.2 月 2012 (23.02.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

谢朝方

电话号码: (86-10) **62411899**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/082538

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101800196A	11.08.2010	无	
US2008/0001202A1	03.01.2008	US7655550B2	02.02.2010

续：主题的分类

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i