

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/768

H01L 21/336

H01L 49/00 H01L 21/324

[12] 发明专利说明书

[21] ZL 专利号 94102804.6

[45] 授权公告日 2002 年 1 月 23 日

[11] 授权公告号 CN 1078387C

[22] 申请日 1994.6.10 [24] 颁证日 2002.1.23

[21] 申请号 94102804.6

[30] 优先权

[32] 1993.6.12 [33] JP [31] 166115/1993

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 宫永昭治 大谷久 寺本聪

[56] 参考文献

JP 平 3 - 257818A 1991.11.18 H01L21/20

US5,147,826 1992.9.15 H01L21/324

审查员 韩 锦

[74] 专利代理机构 中国专利代理(香港)有限公司

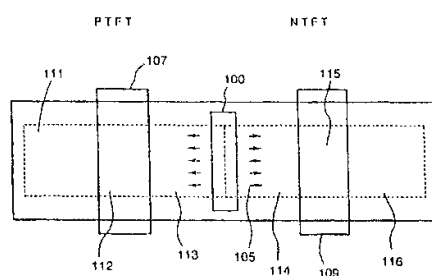
代理人 萧掬昌 马铁良

权利要求书 6 页 说明书 30 页 附图页数 5 页

[54] 发明名称 半导体器件及其制造方法

[57] 摘要

在非晶硅膜中引入一种或多种选自Ⅲ、Ⅳ或Ⅴ族的元素,然后在 600℃或更低的温度下加热晶化。在平行于基片的方向上,晶体在已引入元素的区域生长。在结晶半导体层的一个部位,按以下方式形成半导体器件的有源区,即根据所期望的有源区迁移率,来选取晶体生长方向与器件电流方向之间的关系。



ISSN 1008-4274

权 利 要 求 书

1. 一种半导体器件, 具有包含硅的半导体层作为其有源区, 其特征在于, 所述半导体层具有结晶结构, 并且至少部分地包含一种材料, 所述材料选自下列一组物质: B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb 和 Ta。

2. 如权利要求 1 的半导体器件, 其特征在于, 所述半导体层中所述材料的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

3. 一种半导体器件, 具有含硅的半导体层作为其有源层, 其特征在于, 所述半导体层具有结晶结构, 并且至少部分地包含一种材料, 所述材料选自下列一组物质: In、Sn、Sb、Ge、Tl、Pb、Bi 和 Zn。

4. 如权利要求 3 的半导体器件, 其特征在于, 所述半导体层中所述材料的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

5. 一种半导体器件, 包括:

具有绝缘表面的基片; 和

形成于所述绝缘表面上的至少两个绝缘栅场效应晶体管, 所述晶体管中的每一个至少具有一个结晶沟道区, 该沟道区包含含有一种材料的硅, 这种材料选自下列一组物质: B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta, 其特征在于,

所述晶体管之一具有其结晶沟道区, 其中晶体生长方向与其沟道长度方向一致, 而所述晶体管中的另一个具有结晶沟道区, 其中晶体生长方向与其沟道长度方向不一致。

6. 如权利要求 5 的半导体器件, 其特征在于, 所述另一晶体管的沟道区中晶体生长方向与其沟道长度方向垂直。

7. 如权利要求 5 的半导体器件, 其特征在于, 在每个晶体管内,

电流沿所述沟道长度通过所述沟道区。

8. 如权利要求 5 的半导体器件, 其特征在于, 所述半导体层中所述材料的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

9. 一种半导体器件, 包括:

具有绝缘表面的基片; 和

形成于所述绝缘表面上的至少一个绝缘栅场效应晶体管, 所述晶体管至少具有一个结晶沟道区, 该沟道区包含含有一种材料的硅, 这种材料选自下列一组物质: B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta, 其特征在于,

所述沟道区中的晶体生长方向与其沟道长度方向一致。

10. 如权利要求 9 的半导体器件, 其特征在于, 所述半导体层中所述材料的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

11. 一种半导体器件, 包括:

具有绝缘表面的基片; 和

形成于所述绝缘表面上的至少一个绝缘栅场效应晶体管, 所述晶体管至少具有一个结晶沟道区, 该沟道区包含含有一种材料的硅, 这种材料选自下列一组物质: B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta, 其特征在于,

所述沟道区中的晶体生长方向与其沟道长度方向大致垂直。

12. 如权利要求 11 的半导体器件, 其特征在于, 所述半导体层中所述材料的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

13. 如权利要求 9 或 11 的半导体器件, 其特征在于, 在所述沟道区电流沿所述沟道长度流动。

14. 如权利要求 11 的半导体器件, 其特征在于, 所述晶体管形

成于玻璃基片上。

15. 一种绝缘栅场效应晶体管, 包括:

包含硅的沟道半导体层;

源和漏区, 所述沟道半导体层介于其间;

栅绝缘层, 与所述沟道半导体层邻接并直接接触;

与所述沟道半导体层邻接设置的栅电极, 所述栅绝缘层介于其间;

其特征在于, 所述沟道半导体层具有结晶结构, 并包含选自下列组的元素: : B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta。

16. 如权利要求 15 的半导体器件, 其特征在于, 所述沟道半导体层中所述元素的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

17. 一种绝缘栅场效应晶体管, 包括:

包含硅的沟道半导体层;

源和漏区, 所述沟道半导体层介于其间;

栅绝缘层, 与所述沟道半导体层邻接并直接接触;

与所述沟道半导体层邻接设置的栅电极, 所述栅绝缘层介于其间;

其特征在于, 所述沟道半导体层包含选自下列组的元素: : B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta, 并且包含在平行于其沟道长度方向上延伸的晶体。

18. 如权利要求 17 的半导体器件, 其特征在于, 所述沟道半导体层中所述材料的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

19. 一种绝缘栅场效应晶体管, 包括:

包含硅的沟道半导体层;

源和漏区，所述沟道半导体层介于其间；

栅绝缘层，它与所述沟道半导体层邻接设置并直接接触；

与所述半导体层邻接设置的栅电极，所述栅绝缘层介于其间；

其特征在于，所述沟道半导体层包含选自下列组的元素：： B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta，并且包含在垂直于其沟道长度方向上延伸的晶体。

20. 如权利要求 19 的半导体器件，其特征在于，所述沟道半导体层中所述材料的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

21. 一种半导体器件，包括：

具有绝缘表面的基片；

形成于所述绝缘表面上的 p-沟道型绝缘栅场效应晶体管；

形成于所述绝缘表面上的 n-沟道型绝缘栅场效应晶体管，并以互补结构与所述 p-沟道晶体管连接；

其特征在于，所述晶体管中的每一个都具有含选自下列组的元素的结晶沟道半导体层： B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta，并且

其中所述两个晶体管的所述半导体层包含在平行于其沟道长度方向上延伸的硅晶体。

22. 一种制造半导体器件的方法，其特征在于包括以下步骤：

在一个表面上形成包含硅的非单晶半导体层；

至少在所述半导体层的一个部位引入选自下列组的元素：： B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta；

在所述的引入之后，对所述半导体层加热晶化；

在所述晶化之后，在所述半导体层的部位内形成所述半导体器件的有源区，

其中半导体层的所述部位包含在与所述器件的电流方向平行的方向上延伸的晶体。

23.如权利要求 22 的方法，其特征在于，所述晶体为柱状或针状。

24.如权利要求 22 的方法，其特征在于，所述沟道半导体层中所述元素的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

25.如权利要求 22 的方法，其特征在于还包括下列步骤：
在所述加热晶化之后，利用光照使所述半导体层再结晶。

26.如权利要求 25 的方法，其特征在于，所述晶体为柱状或针状。

27.如权利要求 25 的方法，其特征在于，所述沟道半导体层中所述材料的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

28.如权利要求 25 的方法，其特征在于，所述光由灯发射。

29.如权利要求 25 的方法，其特征在于，所述光是激光。

30.一种制造半导体器件的方法，其特征在于包括以下步骤：
在一个表面上形成非单晶硅半导体层；

在所述半导体层的至少一个部位引入选自下列组的元素：：B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta；

在所述的引入之后，加热晶化所述半导体层；

在所述半导体层的一个部位内，形成所述半导体器件的有源区，

其中半导体层的所述部位包含在与所述器件的电流方向垂直的方向上延伸的晶体。

31.如权利要求 30 的方法，其特征在于，所述晶体为柱状或针

状。

32.如权利要求 30 的方法,其特征在于,所述沟道半导体层中所述材料的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

33.如权利要求 30 的方法,其特征在于,还包括以下步骤:
在所述加热晶化之后,利用光照使所述半导体层再结晶。

34.如权利要求 33 的方法,其特征在于,所述晶体为柱状或针状。

35.如权利要求 33 的方法,其特征在于,所述沟道半导体层中所述材料的浓度范围是 2×10^{17} 至 2×10^{19} 原子/cm³。

36.如权利要求 33 的方法,其特征在于,所述光由灯发射。

37.如权利要求 33 的方法,其特征在于,所述光是激光。

说明书

半导体器件及其制造方法

本发明涉及一种具有设置于绝缘基片如玻璃之上的TFT（薄膜晶体管）的半导体器件，以及制造该半导体器件的方法。

作为具有形成于玻璃等制成的绝缘基片之上的TFT的半导体器件，公知的有有源液晶显示器件、图象传感器等，它们用TFT来驱动象素。

在这些器件中使用的TFT通常是硅薄膜半导体。硅薄膜半导体可大致分为非晶硅半导体（a-Si）型的结晶硅半导体型。由于非晶硅半导体的制造温度较低，因而通常使用较多，它较为易于采用汽相方法来制造，批量生产率较高。然而，由于非晶硅半导体的物理特性，例如电导率等，与结晶硅半导体相比是较差的，因此，为获得高速特性之目的，迫切需要在将来确定一种由结晶硅半导体形成的TFT的制造方法。作为结晶硅半导体，公知的有非单晶硅半导体如多晶硅、微晶硅、含非晶硅的结晶部件、其特性介于结晶特性与非结晶特性之间的半非晶硅等。以下，把具有这些结晶特性的非单晶硅半导体统称为结晶硅。

为获取具有这些结晶特性的硅薄膜半导体，公知的方法有以下几种。

（1）在膜形成之时直接形成结晶膜。

（2）对预先已形成的非晶硅半导体膜施加激光照射能量，以此

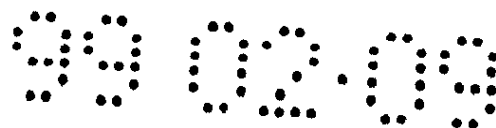


提供结晶特性。

(3) 对预先已形成的非晶硅半导体膜施加热能量，以此提供结晶特性。

然而，在方法(1)中，在基片的整个表面均匀地形成具有优异半导体物理性能的膜，在技术上是困难的。而且，由于膜形成温度较高，即在 600°C 以上，因而存在成本问题，即不能使用便宜的玻璃基片。在方法(2)中，对于目前最为常用的激发物激光的情形，存在的问题是生产率较低，因为激光束照射的面积较小。而且，激光束的稳定性不足以对大面积基片的整个上表面进行均匀处理，因而这种方法看来极为象是下一代的技术。在方法(3)中，与方法(1)和(2)相比，该方法具有可适用于大面积基片的优点。但是，需要 600°C 以上的高温作为加热温度，从采用便宜的玻璃基片这一点来考虑，需要进一步降低加热温度。特别是，流行的液晶显示器趋向于大屏幕，由此也需要采用大规格的玻璃基片。当采用这种大规格的玻璃基片时，则会产生一系列问题，即在制造这种半导体的热处理工序中，基片产生的收缩或变形将导致掩模匹配时精确度降低。特别是，在目前最为常用的7059玻璃的情形下，变形点的温度是 593°C ，因而传统的热结晶方法将使基片大大地变形。此外，除了温度问题之外，由于现行的工艺需要几十个小时的加热时间，以满足结晶的要求，因此还需要缩短加热时间。

本发明解决了上述问题。本发明的目的在于提供一种制造半导体器件的方法及由其制成的半导体器件，该方法通过对非晶硅形成的薄膜进行加热使其结晶来制造由结晶硅形成的薄膜，以降低为结晶所需的温度和处理时间，并使由该方法制成的结晶硅半导体器件



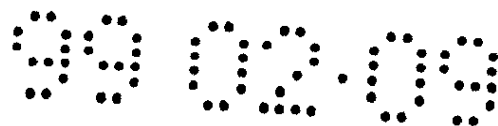
具有不低于传统工艺制成的同类器件的物理特性，使之甚至可用于 TFT 的有源层区。

按照本发明的第一方面，提供了一种半导体器件，该半导体器件具有包含硅的半导体层作为其有源区，其中所述半导体层具有结晶结构，并且至少部分地掺杂一种晶化促进材料，所述材料选自下列物质：B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb 和 Ta。

按照本发明的第二方面，提供了一种半导体器件，该半导体器件具有包含硅的半导体层作为其有源层，其中所述半导体层具有结晶结构，并且至少部分地掺杂一种晶化促进材料，所述材料选自下列物质：In、Sn、Sb、Ge、Tl、Pb、Bi 和 Zn。

按照本发明的第三方面，提供了一种半导体器件，该半导体器件包括：具有绝缘表面的基片；形成于所述绝缘表面上的至少两个绝缘栅场效应晶体管，所述晶体管中的每一个至少包括一个结晶沟道区，该沟道区包含掺杂了一种材料的硅，这种材料选自下列一组物质：B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta，其中所述晶体管之一具有其结晶沟道区，其晶体生长方向与其沟道长度方向一致，而所述晶体管中的另一个具有结晶沟道区，其中晶体生长方向与其沟道长度方向不一致。

按照本发明的第四方面，提供了一种半导体器件，该半导体器件包括：具有绝缘表面的基片；形成于所述绝缘表面上的至少一个绝缘栅场效应晶体管，所述晶体管至少包括结晶沟道区，该沟道区包含掺杂了一种材料的硅，这种材料选自下列一组物质：B、Al、Ga、



In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta，其中所述沟道区中的晶体生长方向与其沟道长度方向一致。

按照本发明的第五方面，提供了一种半导体器件，该半导体器件包括：具有绝缘表面的基片；形成于所述绝缘表面的至少一个绝缘栅场效应晶体管，所述晶体管至少包括结晶沟道区，该区包含掺杂了一种材料的硅，这种材料选自下列一组物质：B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta，其中所述沟道区中的晶体生长方向与其沟道长度方向垂直。

按照本发明的第六方面，提供了一种绝缘栅场效应晶体管，该晶体管包括：包含硅的沟道半导体层；源和漏区，所述沟道半导体层介于其间；栅绝缘层，与所述沟道半导体层邻接并直接接触；与所述沟道半导体层邻接设置的栅电极，所述栅绝缘层介于其间；所述沟道半导体具有结晶结构，并用选自下列组的元素掺杂：：B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta。

按照本发明的第七方面，提供了一种绝缘栅场效应晶体管，该晶体管包括：包含硅的沟道半导体层；源和漏区，所述沟道半导体层介于其间；栅绝缘层，与所述沟道半导体层邻接并直接接触；与所述沟道半导体层邻接设置的栅电极，所述栅绝缘层介于其间；所述沟道半导体用选自下列组的元素掺杂：：B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta，并且包含在平行于或垂直于其沟道长度方向上延伸的晶体。



按照本发明的第八方面，提供了一种半导体器件，该半导体器件包括：具有绝缘表面的基片；形成于所述绝缘表面上的 p-沟道型绝缘栅场效应晶体管；形成于所述绝缘表面上的 n-沟道型绝缘栅场效应晶体管，并以互补结构与所述 p-沟道晶体管连接；其中所述晶体管中的每一个都具有用选自下列组的元素掺杂的结晶沟道半导体层：B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta，其中所述两个晶体管的所述半导体层包含在平行于沟道长度方向上延伸的硅晶体。

按照本发明的第九方面，提供了一种制造半导体器件的方法，包括以下步骤：在一个表面上形成包含硅的非单晶半导体层；至少在所述半导体层的一个部位引入选自下列组的元素：：B、Al、Ga、In、Tl、Sc、Y、镧系元素、C、Ge、Sn、Pb、Ti、Zr、Hf、N、P、As、Sb、Bi、V、Nb、Zn 和 Ta；在所述的引入之后，对所述半导体层加热晶化；在所述晶化之后，在所述半导体层的部位内形成所述半导体器件的有源区，其中半导体层的所述部位包含在与所述器件的电流方向平行或垂直的方向上延伸的晶体。

本发明人已经进行了以下实验，按上述方法，采用 C D V 法或溅射法形成非晶硅半导体膜，通过加热使所形成的膜晶化，并研究了实验结果。

首先，对在玻璃基片上形成的非晶硅膜，通过加热使该膜结晶的机理进行研究。结果，观察到晶体生长开始于玻璃基片与非晶硅之间的界面，随后当其具有一定的厚度时，发展成为垂直于基片前表面的柱状。

可以认为，上述现象是由以下因素导致的，构成晶体生长基础的晶核（构成晶体生长基础的源）存在于玻璃基片与非晶硅膜之间的界



面，并且晶体从晶核开始生长。这种晶核被认为是少许掺杂的金属元素，它存在于基片表面上或玻璃表面的结晶部分上（可以认为，氧化硅的结晶部分存在于玻璃基片的表面之上，如称之为结晶玻璃）。

因此，过去认为通过更积极地引入晶核，可以降低晶化温度，为了证实这种效应，在基片上形成少许其它金属，然后在其上形成非晶硅薄膜。之后，通过加热进行晶化实验。结果，已经证实，在基片上形成几种金属的情形下，晶化温度得以降低，并且估计这里产生的晶体生长以杂质作为晶核。因此，对能降低温度的多种杂质金属的机理做了更详细的研究。

晶化可以分为两个阶段，即初始晶核产生和由晶核开始的晶体生长。对初始晶核产生速度的观察，是通过在给定的温度下，测量细晶粒以点状图形出现的时间。在薄膜构成上述杂质金属的任一情形中均可使该时间缩短，并且证实了当引入晶核时晶化温度得以降低的效应。而且，在改变加热时间的同时，对晶核产生之后的晶粒生长进行研究。

结果，观察到在形成于确定金属膜之上的非晶硅薄膜的晶化中，晶核产生之后的晶体增长速度显著地加快。这是完全出乎预料的。以下将更详细地说明这种机理。

已经查明，在任何情形下，当在含有少许确定种类的金属膜上形成非晶硅薄膜，并随后以上述两种效应通过加热进行晶化时，可以在 580℃ 或更低的温度下约四小时的时间获得足够的结晶特性，这是传统技术不可期望的。

作为具有这种效应的杂质金属有铟、锡、锑、锗、铊、铅、铋和锌。这些杂质金属在族或周期上靠近硅，并且易于与硅一起形成化合物。而且它们是具有较低熔点的普通材料，以下将把它们称为“低熔点材料”。而且，除了这些元素之外，作为实验结果，还有镧系元素具有降低温度的效应。这些元素被用作吸氢合金，并且通常很易于与氢反应。这里，它们被称为“催化金属”。此外，根据本发明人的见解，Ⅲ、Ⅳ和Ⅴ族中具有上述物质特性的材料，原则上可用作上述催化金属。即，可以使用Ⅲ族元素中的 B、Al、Ga、In、Tl、Sc、Y 和镧系元素，Ⅳ族元素中的 C、Ge、Sn、Pb、Ti、Zn 和 Hf，Ⅴ族元素中的 N、P、As、Sb、Bi、V、Nb 和 Ta。最好采用上述铟 (In)、锡 (Sn)、锑 (Sb)、锗 (Ge)、铊 (Tl)、铅 (Pb)、铋 (Bi) 和锌 (Zn)，这样可显著地获取该效应。而且，尽管锌属于Ⅱ族元素，但由于其熔点低，因而也可以用作上述低熔点金属。

下面给出一个实例，说明锡是如何典型地作为低熔点金属材料提供该效应的。当采用等离子 CVD 方法在基片 (Corning 7059) 上形成的非晶硅薄膜未进行任何处理时，亦即其上还未形成由少量锡

构成的薄膜时，通过在氮气氛中进行晶化，如果加热温度为 600°C ，则加热时间需要 10 小时以上。然而，当所采用的基片上形成的非晶硅薄膜之上已经形成少量锡构成的薄膜时，通过加热约一小时即可获得相同的晶化态。此时，晶化的判断是采用 Raman 光谱进行的。仅由此事实即可明白，锡的效应是非常大的。

由上述说明可以看出，当非晶硅薄膜形成在位于基片上的由少量的低熔点金属或少量的催化金属构成的薄膜上时，有可能缩短晶化所需的时间并降低晶化温度。假设这种工艺用于制造 TFT，则以下将更详细地说明。尽管以下将予以说明，即使把低熔点金属的薄膜形成在非晶硅之上，代替在金属上形成非晶硅，也能获得相同的效果，并且这与离子注入的情形相同。因此，以下将把这些工艺统称为“少量低熔点金属添加”和“少量催化金属添加”。在形成非晶硅构成的薄膜时可以添加这些金属。

首先，说明添加低熔点金属的方法。少量低熔点金属的添加可以如下进行，在基片上形成由少量低熔点金属构成的薄膜，然后在其上再形成非晶硅膜，或者先形成非晶硅膜，然后再在其上形成少量低熔点金属的薄膜，两种方法是相同的，这是因为两方法具有同样的温度降低效应，并且膜形成方法可以采用溅射法或汽相淀积法，从而不必限于特定方法。但是，当基片上的薄膜由少量低熔点金属膜构成时，就效果来说，在基片上形成氧化硅薄膜，然后再形成少量低熔点金属薄膜，比在 7059 玻璃基片上直接形成少量低熔点金属薄膜要显著得多。上述现象的原因可以这样解释，在低温下对于晶化以下是非常重要的，即把硅直接与低熔点金属接触，而在 7059 玻璃的情形下，部件中除了硅之外均对硅与低熔点金属之间的接触或反应构成阻碍。

完全相同的添加方法也可用于催化金属。

作为添加少量材料的方法，即使通过离子注入，添加少量材料，以此来代替形成与非晶硅上部或下部接触的薄膜，也可以确认具有基本相同的结果。对于低熔点金属的含量，例如，当锡的添加量为 1×10^{15} 原子/cm³ 或更高时，可以确认温度得以降低。但是，当添加量为 1×10^{21} 原子/cm³ 或更高时，Raman光谱的尖峰形状明显不同于硅样品基片。因此，可以看出，实用的添加量范围在 1×10^{15} 原子/cm³ 至 5×10^{19} 原子/cm³ 之间。从以下因素来看，即对于作为半导体材料特性用于TFT的有源层来说，也有必要把添加量限制在 1×10^{15} 原子/cm³ 至 1×10^{19} 原子/cm³ 之间。

下面，将首先说明当添加少量低熔点金属时的假设晶化机理。

如上所述，当不添加用于降低晶化温度的催化金属时，核随机产生于晶核如基片等的界面，由晶核开始的晶体生长也是随机的。据报导，已获取晶体的相对取向为(110)或(111)，这取决于制造方法，并且观察到晶体生长在整个薄膜上基本上是均匀的。

为了证实这种机理，采用DSC(差分扫描热量计)做了分析。采用等离子CVD法在基片上形成非晶硅薄膜，按如下条件把薄膜置于样品罐中，它安装在基片上，然后使罐内温度按给定速度上升。结果，在700℃左右观察到明确的加热峰，并且也观察到晶化。改变温度上升速度时，这一温度随之自然地漂移。例如，当速度是10℃/分时，晶化开始于700.9℃的温度。接着，分别在三种不同的温度上升速度下进行测量，随后采用Ozawa法观察到初始晶核产生后晶体生长的激活能量。因此，观察到大约3.04 eV的值。结果，根据符合理论的曲线可获得反应速度方程，已经证实，由无规则晶核

的产生和其生长模式可很好地解释晶化机理，并且已经证实了这类模式的性质，即核随机产生于晶核如基片界面等，以及晶体生长于核。

对添加低熔点金属、本实例中是添加少量锡的情形进行与上述完全相同的测量。结果，当温度以 $10^{\circ}\text{C}/\text{分}$ 的速度上升时，晶化开始于 625.5°C ，通过这一系列测量所获得的晶体生长的激活能是 2.3 eV 。因此，这一数字表明晶体生长是容易的。

为何晶化开始温度被降低的原因，可以相当容易地认为是上述的杂质效应的结果。然而，是什么导致温度降低至结晶生长的激活能量？对此，本发明人考虑了以下原因。

非晶硅的晶化速率确定过程通常被认为是硅原子的自扩散。如果这是事实，则使扩散速度加快为好。然而，在由非晶硅开始晶化的情形下，应该认为晶化开始于粘度很高的未稀释溶液，这与晶体的晶化开始于水溶液等不同。因此，由于结晶部分与其外围之间的密度差别很小，所以原子不易运动。在这种情况下，为了保证原子迁移率，这里考虑以下三种方法。

1. 改变非晶膜的粘度，提供硅原子易于运动的环境。
2. 引入大量的缺陷、耗尽等，提供硅原子易于运动的环境。
3. 施加库仑力等，改变晶化的驱动力。

这三种方法不是相互独立的，但是根据添加材料的种类，可以考虑同时使用上述方法中的两种或三种。

在本实例中添加的低熔点金属可认为几乎都适用上述方法 1。而且，对于 III 和 V 族材料，期望形成正的或负的耗尽等，以便满足电中性的原理，因此，它被认为适用上述方法 2。而且，III 和 V 族材料使费米能级漂移，这是由于这些材料引起的能级产生。在此情形中，漂

移量在非晶部分与结晶部分之间是不同的（通常，认为漂移量是按非晶部分中中间间隙的能级的影响来区分的），可以认为产生了由漂移量的差引起的驱动力，由此可使晶化温度降低。作为支持这一机理的结果，这里存在这样一个事实，即当Ⅲ和Ⅴ族材料同时添加时，温度很难降低。

接着，将说明添加催化金属时的晶化机理。

同样在本情形中，采用DSC测量方法对晶体生长的激活能进行测量，结果确认能量降低至 2.1 eV ，并且易于晶化。以下机理被认为是该原因。

如上所述，这些“催化金属”与氢具有很高的反应能力。因此，希望在大量悬挂键产生之前，催化金属与氢结合，而这里所说的氢是已经与硅结合的氢。大量的悬挂键被认为适于上述方法2，以便使原子具有移动性。此外，可以认为，耗尽等的产生是由硅与镧系元素之间的负电性的差引起的，以满足电中性的原理。即使不是这种情况，假设存在这样一种可能性，即随着费米能级的移动而产生驱动力。

接着，通过添加少量上述低熔点金属或催化金属所获得的结晶硅膜的晶体构型将在下面予以说明。由于两种情形所呈现的结晶构型几乎相同，看来它们均易于由硅原子的移动而引起。

在晶化温度或以下，添加的金属（低熔点金属和催化金属）扩散至相当宽的区域。通过SIMS（二次离子质谱测定法）证实了这一事实。结果，即使在扩散区，晶化温度也被降低。而且，业已证实，在直接添加的区域上的晶体构型不同于外围区域。亦即，已经发现，在直接添加区域，晶体生长在与基片垂直的方向，而在其外围的扩散区域，晶体生长在与基片平行的方向。假设这是由晶体的初始晶核产

生的差异所导致的。亦即，应该知道，在直接添加区域，这些掺杂进入晶核，由此晶体以柱状形式生长，而在外围扩散区域，晶核是直接添加部位在纵向的生长，如上所述，而且横向生长必然要发生，因为生长始于晶核。以下，在说明中，把晶体生长区域在横向由用于降低晶化温度的催化金属的直接添加区域向其外围的延伸称为“横向生长”区域。

接着，在使用上述金属，本例中是属于低熔点金属的铟的情形中，对少量添加部位及其附近的横向生长部位的电特性予以说明。对于少量添加部位的电特性，电导率值与膜未添加金属时相同，即与在600℃左右晶化几十小时所获得的膜相同。在如上所述的添加铟的量为 10^{17} 原子/cm³至 10^{18} 原子/cm³的情形下，作为从电导率的温度相关性获取的激活能的结果，未观察到由铟(In)的能级引起的变化。亦即，据此实验可以认为，如果结晶硅膜具有上述密度，则可用作TFT等的有源层。

相反，横向生长部位的电导率比少量直接添加部位要高出一个位数或更高，这对于结晶的硅半导体来说是一个相当高的值。这被认为是由以下因素引起的，即存在于空隙之中、电子通过其在电极之间穿过的晶界被减少或难以存在，这是因为电流的通路方向与晶体的横向生长方向重合。这一事实与透射电子束显微照片的结果相符合，没有矛盾。亦即，可以认为，由于载流子沿着以针状或柱状生长的晶体的晶界运动，因而实现了载流子易于运动的态。横向生长区中的In密度是直接添加区中In密度的 $1/10$ 。这对进一步使用无In影响的结晶硅膜是有用的。

现在，最终考虑上述各种特性。一种在TFT中使用该金属的方

法将予以说明。假设采用T F T驱动像素的有源矩阵式液晶显示器作为T F T应用的领域。

如上所述，对于现行的大屏幕有源矩阵式液晶显示器，抑制玻璃基片的收缩是重要的。采用添加少量用于在低温下晶化的催化金属和工艺，可以在与玻璃的变形点相比相当满意的低温下进行晶化，这是特别优选的。根据本发明，对按传统方式由非晶硅制成部位，在添加少量低熔点金属或催化金属之后，在500至550℃的条件下进行4小时左右的晶化，由此可容易地使该部位由结晶硅置换。自然，必须相应地改进设计规则等。然而，可以认为传统的器件和工艺能足够地适用，并获得较多的优点。

而且，根据本发明，根据各自的特性来采用晶体构型，可以分别制造用于像素的T F T和构成外围电路驱动器的T F T，在把本发明应用于有源式液晶显示器时，尤其具有许多优点。用于像素的T F T无需太多的迁移率，而在减小关闭态电流上需要具有更多的优点。

针对上述原因，把少量的低熔点金属或催化金属添加在将成为像素所用的T F T的区域，由此使晶体在横向生长，结果大量的晶界能形成在沟道方向，从而降低了关闭态电流。相反，从T F T应用于工作场所来看，构成外围电路的驱动器的T F T需要很高的迁移率。因此，在应用本发明的情形下，在靠近构成外围电路的驱动器的T F T的区域，添加少量低熔点金属或催化金属，并使晶体从金属添加部位按一个方向生长。晶体生长方向与沟道中电流通路方向重合，由此制造具有很高迁移率的T F T。

作为参考，图4中示出了采用Ni作为催化金属获取结晶硅膜的例子，其中对晶化后Ni密度做了研究。由图4可见，在晶体生长方

向平行于基片的部位（横向生长），Ni 密度低于直接添加 Ni（等离子处理）的部位。而且，标以“a-Si”的数据是未添加 Ni 的，该值应理解为背景（background）值。同样地，本发明中，可以认为能获得基本趋向与图 4 相同的数据。因此，认为采用晶体生长方向平行于基片的区域是有用的。

如果采用 III 族元素进行硅膜晶化，由于晶化之后 III 族元素仍保留在膜中，可以获得具有 p 型导电性的结晶硅膜。同样，如果采用 V 族元素进行相同处理，可以获得具有 n 型导电性的结晶硅膜。由晶化时引入的添加 II 和 IV 族元素的量，可以控制具有一个导电型的上述结晶硅膜的电导率。而且，通过添加某些提供一种导电型的杂质，可以控制导电型和导电率。

此外，例如，在区域 100 上（图 1A）有选择地引入 III 族元素 In，然后在其上形成非晶硅膜 104，在 550℃ 的条件下加热四小时进行晶化，从区 100 上以平行于基片的方向进行晶体生长。同时，由于铜随晶体生长而扩散，铜元素存在于已经产生晶化的区域。由于密度是 2×10^{17} 至 2×10^{19} 原子/cm³，该区被晶化而且还成为 p 型。根据 In 的引入量或晶化选择扩散区，可以获得 p⁺ 区或 p⁻ 区。然后使用该区形成 TFT。从而获得具有 p⁺ 型或 p⁻ 型沟道形成区的 TFT。而且，当采用 V 族元素 Sb 代替上述 In 时，可以获得具有 n⁺ 型或 n⁻ 型沟道形成区的 TFT。因此，通过把沟道形成区的导电型设定为 p⁻ 型或 n⁻ 型，可以控制 TFT 的阈值电压。

本发明中，使用痕量（trace amount）的如上所述的低熔点金属或催化金属，来促进硅半导体的晶化。晶化产生于这样的区域，其中金属已在平行于基片的方向上以一维方式添加。本发明的特征在于

把这种结晶区用于电子器件。

更特别地，当采用这种区的结晶薄膜硅半导体，来形成绝缘栅场效应晶体管时，移动载流子的方向基本上与硅膜晶体在其沟道形成区生长的方向重合，由此能获得具有高迁移率的T F T。此外，当把二极管和晶体管集成构造时，采用晶体在平行于基片的方向生长的结晶硅膜是有效的。而且，还可把电容器、电阻器等集成在同一基片上。再者，可以使用便宜的玻璃基片来设置这些器件，这是本发明的又一特征。

在采用薄膜硅半导体的半导体器件中，结晶硅膜的晶体在膜平面方向以针状或柱状生长，该膜的晶体生长方向与载流子移动方向基本相同，由此载流子能沿晶界运动，从而能以高迁移率移动载流子。

参考作为本说明书一部分的附图，通过本发明的实施例及说明，一起用于解释本发明的目的、优点和原理。附图中，

图1 A至1 D表示本发明的半导体器件的制造方法；

图2表示本发明的半导体器件的外形略图；

图3 A至3 D表示本发明的半导体器件的制造方法；

图4表示结晶硅膜中金属元素的密度；

图5 A是本发明的薄膜式绝缘栅场效应晶体管的截面示意图；

图5 B和5 C表示本发明实施例中晶体生长方向与源-漏方向之间的关系。

以下将参考附图说明本发明的实施例。

在以下所述的实施例中，展示了一些实例，其中，添加少量Ⅲ族元素I n、Ⅴ族元素S b和Ⅳ族元素S n以便使硅膜结晶。然而即使是这些族中的其它元素或者Z n，也可以用于这些实施例中。而且，

此时，可以调节这些添加的少量元素的量，以使它在硅膜中的密度在晶化之后为 2×10^{17} 至 $2 \times 10^{19} \text{cm}^{-3}$ 。

第一实施例

第一实施例是形成一个电路，其中采用玻璃基片之上的结晶硅膜的 p 沟道 TFT（以下称为“PTFT”）与 n 沟道 TFT（以下称为“NTFT”）结合，以便相互之间互补。本实施例的结构可用于有源液晶显示器中象素电极的开关元件和外围驱动电路、图象传感器和其它集成电路。

图 1 A 至 1 D 是表示本发明实施例的半导体器件的制造方法的截面图。图 1 A 中，采用溅射法在基片（Corning 7059）101 上形成厚 $2000 \text{ \AA}$ 的氧化硅基膜 102。然后在基膜 102 上形成由金属掩模、氧化硅膜等构成的掩膜 103。基膜 102 在区 100 以狭缝形式从掩膜 103 暴露出来。亦即，当从其顶面观看时图 1 A 所显示的状态，基膜 102 以狭缝形式暴露，而膜 102 的其它部位则被掩模 103 所掩盖。

设置掩模 103 之后，采用汽相淀积法在区 100 选择地形成厚 5 至 $200 \text{ \AA}$ 、如 $20 \text{ \AA}$ 的 In 薄膜（未示出）。事实上，形成厚 $20 \text{ \AA}$ 的均匀 In 膜是困难的，而且精确测量厚度也是困难的。然而，根据汽相淀积源中的减少量，可以粗略地计算厚度。进行这种处理，是因为引入了少量的 III 族元素 In ，用以对将在已引入 In 的区上形成非晶硅膜进行晶化。

接着，在图 1 B 中，采用等离子 CVD 法，在氧化硅膜 102 上，形成厚 500 至 $1500 \text{ \AA}$ 、如 $1000 \text{ \AA}$ 的本征（I-型）非晶硅膜 104。然后，在氢还原气氛（最好氢分压是 0.1 至 1 大气压）

或惰性气氛（空气压力）中，对非晶硅膜 104 在 550℃ 的条件下退火四小时使其晶化。此时，在已经有选择地形成了 In 薄膜的区 100 中，结晶硅 104 在垂直于基片 101 的方向上晶化。在区 100 之外的区域，如图 1B 中箭头 105 所示，晶体在区 100 横向（平行于基片的方向）生长。例如，当把 In 引入图 2 中由参考标号 100 所示的区时，晶体一维地生长，如箭头 105 所示。晶体生长为针状或柱状。

之后，为了获得更细的结晶硅膜，在进行了上述的加热退火之后，采用灯光加热促进晶化及进一步退火。这一退火是用 1.2 μm 的红外线进行的。退火时间在五分钟以内。红外线被足够地吸收进入硅，从而获得对硅膜质量良好的改善效果。另一方面，由于红外线很难被吸收进入玻璃基片，所以能量被选择地施于硅，从而提供了显著的效果，而玻璃基片不会被严重加热。作为灯光加热退火所用的光，这里可以使用卤钨灯光（波长为 0.5 μm 至 3.5 μm）等。采用灯光加热退火可以获得细结晶体硅膜。此外，也可以采用激光束代替上述灯光加热来进行退火。灯光加热退火的优点是结晶得以改善，特别是可以显著地减少膜中的缺陷。

当用激光代替灯光时，适用的有 KrF 激发物激光（波长：248nm）或者 XeCl 激发物激光（波长：308 nm）。

作为上述处理的结果，非晶硅膜被晶化，获得了结晶硅膜 104。之后，为了确定有源区而进行布图，有源区中将形成 TFT 的源、漏和沟道区。本实施例中，由于发现在平行于基片的方向上晶体生长范围达 40 μm 以上，所以把各个有源层的长度（源/漏方向上的长度）设定为 40 μm。此时，沟道中央与引入镍的位置之间的距离大致为

20 μm ，通过设定这个距离，可以选择有源层(特别是沟道形成区)中 I_n 的密度。

接着，如图 1 C 所示，采用溅射法在结晶硅膜 1 0 4 上，形成厚 1 0 0 0 $\text{\AA}$ 的氧化硅膜 1 0 6 作为栅绝缘膜。在溅射中，氧化硅作为靶，溅射时基片温度为 2 0 0 至 4 0 0 $^{\circ}\text{C}$ ，例如 3 5 0 $^{\circ}\text{C}$ ，溅射气氛是氧和氩气，其中氩/氧比例为 0 至 0 . 5，例如 0 . 1 或更小。

这种处理之后，再次用上述灯光进行加热退火。这是为了改善包括氧化硅膜的栅绝缘膜 1 0 6 与结晶硅膜 1 0 4 之间的界面特性。自然，通过这次灯光退火，结晶硅膜 1 0 4 的结晶特性也被进一步改善。正如所熟知的，改善绝缘栅场效应晶体管的栅绝缘膜 1 0 6 与沟道形成区之间的界面特性是重要的(图 1 C 中，参考标号 1 1 2 和 1 1 5 代表构成沟道形成区的结晶硅膜部位)，更具体地，是为了尽可能地减少该区中的缺陷和降低其能级。因此，在形成栅绝缘膜 1 0 6 之后完成灯光加热退火可以获得很好的效果。而且，可以用照射激光束代替灯光加热来进行退火。

随后，采用溅射法在栅绝缘膜 1 0 6 上，形成厚 6000 至 8000 $\text{\AA}$ 、例如 6 0 0 0 $\text{\AA}$ 的铝膜(含 0 . 1 至 2 % 的硅)。然后，如图 1 C 所示，通过布图在栅绝缘膜 1 0 6 上形成栅电极 1 0 7 和 1 0 9。而且，对铝电极表面进行阳极氧化，在其上形成氧化层 1 0 8 和 1 1 0。阳极氧化是在含有 1 至 5 % 的酒石酸的乙二醇溶液中进行的。氧化层 1 0 8 和 1 1 0 的厚度为 2 0 0 0 $\text{\AA}$ 。由于氧化层 1 0 8 和 1 1 0 成为偏置栅区的厚度，该偏置栅区是在离子掺杂处理中形成的，以下将要说明，所以由上述阳极氧化处理可以确定偏置栅区的长度。自然，栅电极可由以下材料制成，即主要含硅的材料、具有硅和金属的硅化

物材料、主要含金属的材料或者硅和金属的层叠结构。

接着，采用离子掺杂法（离子注入）把决定一种导电类型的杂质添加在有源区（构成源／漏和沟道）。本掺杂工艺中，以栅电极107及其外围的氧化层108、栅电极109及其外围的氧化层110作为掩模来注入杂质（磷和硼）。作为掺杂气体，这里使用磷化氢（ PH_3 ）和乙硼烷（ B_2H_6 ），对于前者，加速电压是60至90KV，例如80KV，而对于后者，为40至80KV，例如65KV。剂量是 1×10^{15} 至 $8 \times 10^{15} \text{cm}^{-2}$ ，例如，磷是 $2 \times 10^{15} \text{cm}^{-2}$ ，而硼是 5×10^{15} 。掺杂时，用光刻胶覆盖一个区，以便选择地对各个元件掺杂。结果，分别形成了n型杂质区114和116、p型杂质区111和113，由此分别构成了p沟道TFT（PTFT）区和n沟道TFT（NTFT）区。

之后，通过照射激光束进行退火。作为激光束，这里使用KrF激发物激光（波长为248nm，脉冲宽度为20nsec），但也可使用其它类激光。照射激光束的条件是，能量密度为200至400mJ/cm²，例如250mJ/cm²，照射2至10次，例如每个位置照射两次。当照射激光束时，把基片加热至200至450℃左右是有用的。在激光退火处理中，由于在已预先晶化的区中锗已扩散，所以通过照射激光束可使再结晶易于进行，从而可以容易地激活已掺杂p型杂质的杂质区111和113、以及已掺杂n型杂质的杂质区114和116。

作为源／漏区的退火方法，采用上述的灯光加热的退火方法是有效的。由于灯光加热（例如采用1.2μm的红外线）可选择地加热硅，如上所述，所以对本实施例的处理是有效的，因为这里希望玻璃

基片尽可能避免加热。

接下来,采用等离子CVD法,形成厚 $6000\text{ \AA}$ 的氧化硅膜118作为层间绝缘层,然后在氧化硅膜118中形成接触孔,由此形成导电材料的电极/导线117、120和119,导电材料例如是由氮化钛和铝制成的多层膜。最后,在一个大气压的氢气气氛中,在 350°C 下进行30分钟退火,从而制成一个包括互补TFTs的半导体电路(图1D)。

上述电路是由具有互补PTFT和NTFT对的CMOS结构组成的。作为选择,也可以按上述方法同时制造两个TFTs,然后在其中央切开,同时产生相互独立的两个TFTs。

图2是图1D所示半导体器件的俯视外形图。图2中的参考标号与图1A至1D对应。如图2所示,结晶方向、即晶体生长方向由箭头105表示。这个方向代表了源/漏区的外形方向(源区和漏区之间连结线的方向),在本结构中,当TFT工作时,载流子沿着源和漏之间以针状或柱状形成生长的晶体运动,亦即,载流子沿着针状或柱状晶体的晶界外形运动。因此,可以减小载流子运动时所受阻力,从而获得具有高迁移率的TFT。

本实施例中,作为引入In的方法,在非晶硅膜104之下的基膜102上,选择地形成薄膜(由于它极薄,因而很难看出它是一层膜),并且施以从该部位进行晶体生长的方法。另外,在非晶硅膜104形成之后,可以选择地形成In薄膜。亦即,晶体生长可以始于非晶硅膜上面,也可始于其下面。作为引入In的方法,可以采用等离子工艺、In离子注入或者当形成准备晶化的硅膜时添加少量In的方法。

第二实施例

第二实施例展示的例子是，在有源液晶显示器件中，在各个像素中设置 n 沟道 TFTs 作为开关元件。以下，将说明一个像素，但实际上在同一结构中形成有大量的像素（通常有几十万个）。当然，也可使用 p 沟道型而不是 n 沟道型。而且， n 沟道 TFT 也可以不设于液晶显示器件的像素部位，而设于外围电路部位。此外， n 沟道 TFT 可用作图象传感器或其它集成电路。亦即，如果它与薄膜晶体管一起使用，则对其用途无特殊限制。

另外，本实施例中，使用 I_n 作为用于晶化的少量元素，并且已结晶的硅膜成为 p^- 型，由此控制形成的 n 沟道 TFT 的特性。如果用 Sb 代替 I_n ，则沟道形成区能成为 n^- 型。而且，根据引入的少量元素的量、与元素引入位置的距离以及晶化条件（改变扩散程度），可以确定其电导率。

根据本发明制造半导体器件的方法和外形图如图 3 A 至 3 D 所示。本实施例中，采用玻璃基片（厚 1.1 mm ， $300 \times 400\text{ mm}$ ）作为基片 201。首先，采用溅射法，在基片 201 上形成厚 $2000\text{ \AA}$ 的基膜 202（氧化硅）。之后，为了选择地引入 I_n ，用金属掩模、氧化硅膜、光刻胶等构成掩模 203。接着，采用汽相淀积法形成 I_n 薄膜。 I_n 膜厚 5 至 $200\text{ \AA}$ ，例如 $20\text{ \AA}$ 。按此方法，少量的 I_n 选择地引入区 204，用来使硅膜晶化。

接着，如图 3 B 所示，采用 LPCVD 法或等离子 CVD 法，形成厚 $1000\text{ \AA}$ 的非晶硅膜 205。在 400°C 的条件下进行一小时脱氢之后，通过加热退火使非晶硅膜 205 晶化。这个退火处理是在氢还原气氛中（最好是氢分压为 0.1 至 1 个大气压）、 550°C 下

进行四小时。也可以在惰性气氛如氮气等进行加热退火。

在退火处理中，由于In膜是形成在非晶硅膜205之下的部分区域（区204），所以结晶开始于这个区。在区204中，晶化是垂直于基片发生的，而硅膜204的其它部位是平行于基片发生的，如图3B的箭头所示。随后，与第一实施例相同，通过灯光加热进行退火，由此改善硅膜的结晶特性（致密）。

按此方法，可获得结晶硅构成的半导体膜205。接下来，对上述半导体膜205进行布图，形成岛形半导体区（TFE的有源层）。此时，对构成沟道形成区209的部位与引入In的区204之间的距离予以适当设定，以此确定沟道形成区209中In的浓度。亦即，如果这个距离较长，则沟道形成区209中In的浓度可被降低，而如果该距离较短，则沟道形成区中In的浓度可被提高。自然，此时必须是这样一个区，即其中硅膜205被晶化。

此外，在氧气氛中用四乙氧基硅烷（TEOS）原材料，采用等离子CVD法形成由氧化硅构成的栅绝缘膜206（厚700至1200Å，典型地为1000Å）。基片温度为400℃，最好是200至350℃，以便防止玻璃基片收缩或卷曲。然后，与第一实施例相同，通过照射红外线进行1至5分钟的灯光加热以此改善半导体膜205与栅绝缘膜206之间的界面特性。

随后，采用已知的CVD法，形成主要含硅的膜，然后进行布图，以此形成栅电极207。之后，以磷作为n型杂质，通过离子注入进行掺杂，以此按与栅电极对应的自对准方式，形成源区208，沟道形成区209和漏区210。照射KrF激光束，以便改善因离子注入而变坏的硅膜的结晶特性。激光束的能量密度为250至300mJ

Ω/cm^2 。TFT的源/漏的表面电阻是300至800 $\Omega/\square$ 。同样，本处理中，可以用红外线的灯光加热来代替激光束加热。

然后，由氧化硅形成层间绝缘层211，由ITO在层间绝缘层211上形成像素电极。接着在层间绝缘层211中形成接触孔，从而在源/漏区形成铬/铝多层膜，以此形成电极213和214，并且一个电极213还与ITO 212连接。最后在氢气气氛中、200至300℃下进行两小时退火，从而完成硅的氢化。按此方式，构成一个TFT。在本处理过程中同时在其它像素区形成许多TFT。

在本实施例中制备的TFT中，其晶体在载流子流动方向上生长的结晶硅膜被用作构成源区、沟道形成区和漏区的有源层，所以载流子不会横跨晶界，亦即载流子在与晶界平行的方向上运动，由此获得具有高载流子迁移率的TFT。

图5A和5B示出了这种构型。亦即，图5A是TFT的截面示意图，图5B是其中具有源、漏和沟道区的半导体岛217的平面示意图。特别是，图5B示出了晶体生长方向与沟道电流沿其流动的源-漏方向之间的关系。参考标号215表示在一个方向横向延伸的每个硅晶体。参考标号216表示晶体之间的晶界。正如所见，源、漏和沟道区是这样设置的，源-漏方向基本与硅晶体均匀延伸的方向一致。因此，晶界216对电流通过沟道区无不利影响。

第三实施例

第三实施例展示的例子是，在第二实施例的TFT中，在与晶体生长方向垂直的方向上设置源和漏。亦即，是这样一个例子，其中载流子运动的方向垂直于晶体生长的方向，以使载流子运动是横过针状或柱状晶体的晶界。图5C显示这种状态的示意图。亦即，图5C是其中

具有源、漏和沟道区的半导体岛 2 1 7 的平面图。源和漏区之间的方向是按如下方式设置的，即多个硅晶体在垂直于源-漏方向的方向上延伸。参考标号 2 1 6 表示晶界。应该注意，图 5 B 和 5 C 只是用来表示晶体生长方向与源-漏方向之间的关系，而并不是想展示晶体的真实尺寸或形状。

对于这种结构，源和漏之间的电阻可以很高。这是因为载流子的运动必须横过以针状或柱状形式生长的晶体的晶界。为了实现本发明的这种结构，在第二实施例的结构中，需要简单地考虑 T F T 应设定的方向。

采用这种实施例，有可能制造带有泄漏电流较低的像素 T F T s 的有源矩阵式液晶器件。即，在 L C D 器件中，在显示部位制备的用于开关每个像素的 T F T s，不必具有如此高的迁移率，但是必须减小泄漏电流，亦即，减小 T F T 在其关闭状态时的电流。为此，源和漏区的方向是按如下方式设计的，电流越过 T F T 沟道区内形成的晶界。因此，与前述实施例不同，是这样设计的，结晶方向垂直于 TFT 中电流的流动方向。另一方面，采用前述实施例的 T F T 来构成显示器件的外围电路是适宜的，因为它需要 T F T s 具有高迁移率。

第四实施例

第四实施例的主题是，在第二实施例 2 所展示的结构中，设置 T F T 的方向（在实施例中，该方向由源和漏区之间的连结线来确定，即 TFT 的方向由载流子流动方向来确定）由与结晶硅膜的基片表面对应的晶体生长方向和指定的角度来设定，以此选择 T F T 的特性。

如上所述，当载流子在晶体生长的方向上运动时，由于载流子沿晶体的晶界运动，所以可以改善其迁移率。另一方面，当载流子在垂直于晶体

生长方向的方向上运动时，由于载流子必须横跨大量的晶界，所以载体的迁移率下降。

因此，通过在这两种方向之间选择，可以控制载流子迁移率，亦即，通过把限定于晶体生长方向与载流子运动方向之间的角度设定在 0 至 90° 的范围内，换言之，通过设定晶体生长方向与载流子运动方向之间的角度，可以控制源区与漏区之间的电阻。当然，这种结构可用于第一实施例。此时，如图 2 所示的添加少量 I_n 的狭缝状区 100 在 0 至 90° 范围里旋转，并且，在由箭头 105 所示的晶体生长方向与源和漏区的连结线之间限定的角度，可在 0 至 90° 的范围内选择。这样，当该角接近 0° 时，迁移率较大，由此提供一个能减小源和漏之间的电阻的结构。当该角度接近 90° 时，迁移率较小，源和漏之间的电阻，即沟道形成区的电阻较大。

第五实施例

第五实施例展示的例子是，根据图 3 A 至 3 D 所示的第二实施例制造半导体器件的方法中，在基膜 202 的整个上表面形成 I_n 薄膜，以使在垂直于基片的方向上，晶体生长遍及硅膜的整个上表面。按如下方式制造 TFT，即在基膜 202 的整个上表面形成薄膜，而不设置掩模 203，之后在晶化处理以前，象第二实施例所述的那样形成非晶硅膜 205。

本实施例的 TFT 的外形截面图，与图 3 D 并无差别，然而，在形成源和漏区 208 和 210 以及沟道形成区 209 的有源层中，针状或柱状的晶体生长的方向垂直于基片 201。为此，在源区（208 或 210）与漏区（210 或 208）之间运动的载流子要横跨针状或柱状晶体的晶界。因此，所制得的 TFT 的源与漏之间的电阻稍高。

尽管这种 T F T 的迁移率为 $100 \text{ cm}^2 / \text{V s}$ 以下，但其关闭态电流较小，因而，就保持电荷来说，这是液晶显示器的像素所用 T F T 的最佳类型。

然而，由于对本实施例的 T F T 很难控制有源层中 I_n 的密度，所以存在产量和可靠性的问题。采用可以控制 I_n 引入量的方法（如离子注入法），可以消除上述问题。

第六实施例

第六实施例展示的例子是，注入硅离子来进一步促进晶化，而不是注入 III 族或 V 族元素，这些元素是用于通过加热使硅膜晶化的少量元素。以下参考图 1 将说明要根据本实施例的半导体器件的制造方法。在说明中如果没有特别地说明，则在各个制造工艺中的制造条件或膜厚均与第一实施例相同。

首先，在玻璃基片 101 上形成基膜（氧化硅膜），在基膜上还形成掩模 103，以便在暴露区 100 选择地形成用于晶化的催化金属 I_n 的薄膜。然后，除去掩模 103，采用等离子 C V D 法，形成非单晶硅膜，本例中为非晶硅膜 104。接着，采用离子注入法，把 IV 族元素硅注入非晶硅膜 104 的整个上表面。同时，在硅膜 104 与基膜 102 之间的界面附近的基片一侧设定注入范围。离子注入的加速电压是 60 K V，剂量是 $2 \times 10^{15} \text{ cm}^{-2}$ 。结果，基片（包括基膜）与非晶硅膜 104 之间的界面附近被从中央彻底地变为非晶材料，从而能尽可能地清除准备成为晶核的存在物。

采用硅离子是因为对于硅来说，硅离子是一种电中性杂质。硅的剂量可以是 5×10^{14} 至 5×10^{16} 离子 cm^{-2} 。

然后，在 550 °C 的条件下加热四小时使非晶硅膜 104 晶化。

此时，晶体在箭头 1 0 5 所示的平行于基片的方向上从区 1 0 0 开始生长。晶体生长为针状或柱状。当晶体生长时，由于如上所述通过注入硅离子已把结晶部分除去（即使在非晶硅膜中也存在一定程度的结晶部分），这种结晶部分主要存在于基片与非晶硅膜之间的界面上，并成为晶体生长的核，所以，在平行于基片的方向上从区 1 0 0 开始的晶体生长不会受到来自硅膜 1 0 4 与基膜 1 0 2 之间的界面的晶体生长的阻碍，由此能实现具有良好取向的晶体生长，亦即，能实现生长方向均匀排列的晶体生长。

在后续处理中，按第一实施例所述，形成 P T F T 和 N T F T，从而完成互补的 T F T 电路。在本实施例中，在取向良好的结晶硅膜中，当形成 T F T 以致晶体生长方向几乎与载流子运动重合时，载流子沿晶界运动，结果这种结构中，载体运动时几乎不受晶界影响。亦即，可以实现高速运行。

本实施例中，可获得具有改善的结晶特性和高迁移率的 T F T。可以认为，这是因为平行于基片的方向上晶体生长始于引入 III 族元素 I n 的区，由于预先已把阻碍晶体生长、促进在垂直于基片的方向上的晶体生长的结晶部分彻底清除了，所以可使晶体在平行于基片的方向上优先生长。特别有益的，已把基片与硅膜之间的界面附近彻底改变成为非晶材料，而该处存在使晶体在垂直基片的方向上以柱状形式生长的晶核。

第七实施例

第七实施例展示的例子是，在有源液晶显示器件中，外围驱动电路由 T F T s 构成，这些 T F T 是按第一和第二实施例所示制造工艺，通过添加少量 III 族或 V 族元素来晶化的，并且设于象素位置的 TFTs 是

由采用已知非晶硅的TFT构成的。

正如通常所知的，在有源液晶显示器中，构成外围驱动电路部分的TFT具有高迁移率（ $100\text{ cm}^2/\text{Vs}$ 或更高），并且要求TFT允许大量导通态电流流动。然而，设置于象素部分的TFT则要求较小的迁移率（约 $10\text{ cm}^2/\text{Vs}$ ），以便就保持电荷而言防止由关闭态电流和光照引起的误动作。

外围电路部分由第一或第二实施例所述的TFT构成，而象素部分由采用已知非晶硅膜的TFT（a-SiTFT）构成，结果在某种程度上满足了需求。然而，这里仍存在问题，即采用非晶硅膜的TFT，其迁移率为 $1\text{ cm}^2/\text{Vs}$ 或更低。

第八实施例

第八实施例是在第七实施例基础上的进一步改进，其中构成外围电路部分的TFTs是由具有高迁移率 $100\text{ cm}^2/\text{Vs}$ 或更高的半导体层构成的，如第一和第二实施例所述，构成象素部分的TFTs是由第五实施例所展示的TFT构成的。

第五实施例所展示的TFT是按如下方式构成的，即晶体生长是垂直于基片的方向，因而晶界垂直于载体的流动，从而载体越过大量的晶界。这种TFT的迁移率较低，因为载体运动受到晶界的阻碍。然而，由于减小了关闭态电流，所以可提高电荷保持率，从而适用于象素的TFT。

本实施例中，如果进一步提高构成外围电路部分的TFT的迁移率，可在该区进行如第七实施例所展示的中性元素的离子的注入。

第九实施例

第九实施例展示的例子是，在第一或第二实施例中采用IV族元素

Sn 作为少量元素来促进晶化。也可采用 C 、 Ge 和 Pb 而不是 Sn 。本实施例中，采用汽相淀积的方法引入 Sn 作为薄膜，这与第一和第二实施例相同。可在非晶硅膜中注入 Sn 离子，从而把 Sn 直接引入硅膜。

如上所述，根据本发明，当基片上的非晶硅半导体膜用于 TFT，并且该膜具有结晶特性，其中晶体生长方向平行于基片表面时，载流子随 TFT 的运动方向与晶体生长方向相同，由此能提供这样一种结构，其中载流子沿(平行于)晶界运动，晶体以针状或柱状生长，结果可获得具有高迁移率的 TFT。此外，由于可在低温如 600°C 或更低的温度下形成 TFT，所以可采用便宜的玻璃基片作为基片。

此外，可以分别制造这种具有所需迁移率的 TFT。具体地说，

1) 采用其晶体在平行于基片的方向上生长的结晶硅膜制造 TFT，以便使载体沿晶体的晶界运动。

2) 采用其晶体在平行于基片的方向上生长的结晶硅膜制造 TFT，以便使载体跨越晶体的晶界。

3) 在晶体垂直于基片的方向上生长的区域制造 TFT。

4) 部分地引入用于晶化的元素，选择地形成结晶硅膜，用来改变 TFT 的特定部位，使其成为高迁移率 TFT。

特别地，由于远离已引入用于晶化的元素的区的结晶硅膜区具有一维取向，所以使用该区可获得高迁移率 TFT。

为了展示和说明，前面已给出了本发明的优选实施例的说明。但这并不是穷举的或限制本发明于所述的精确形式，根据上述指教或从本发明的实施例中的收获，可以做出改进和变化。所选取和说明的实施例中为了解释本发明的原理及其实际应用，以使本领域的技术人员

能以适宜设想的具体用途的各种实例和各种改进，来应用本发明。本发明的范围将由所附的权利要求书及其等同物来确定。

说明书附图

图 1A

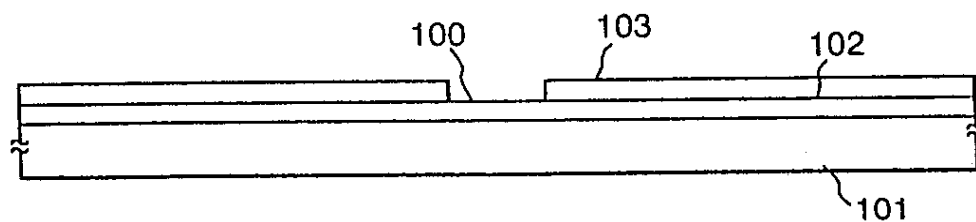


图 1B

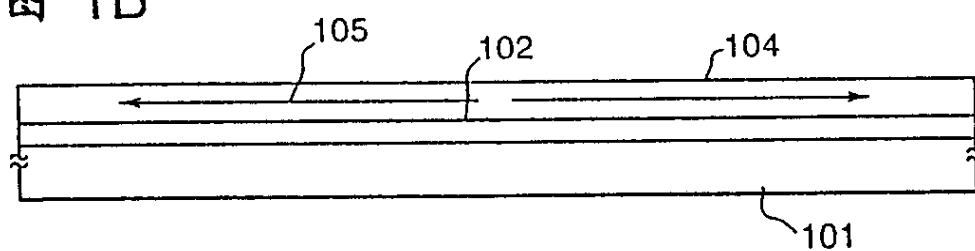


图 1C

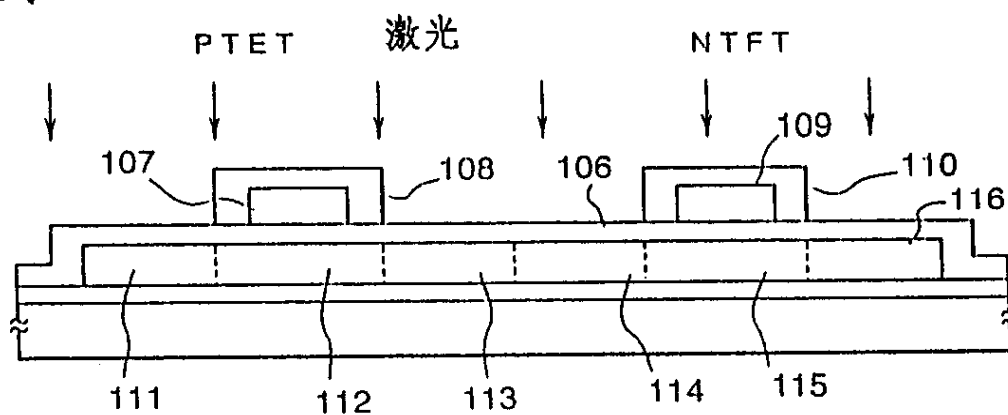


图 1D

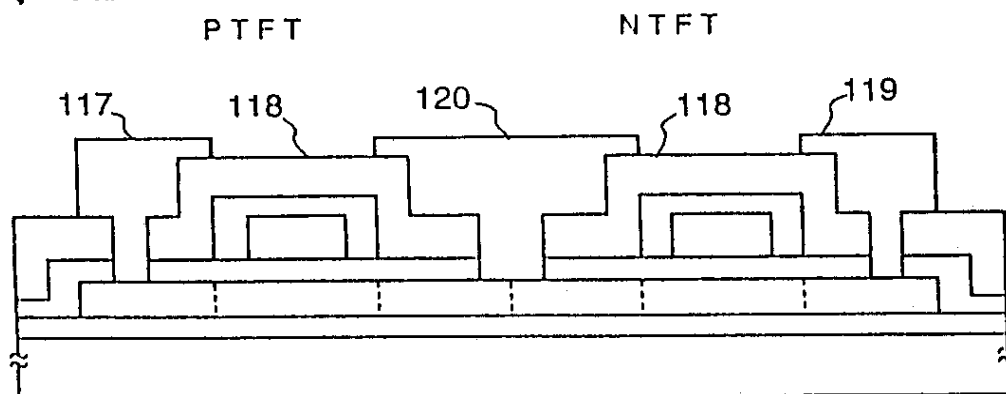


图 2

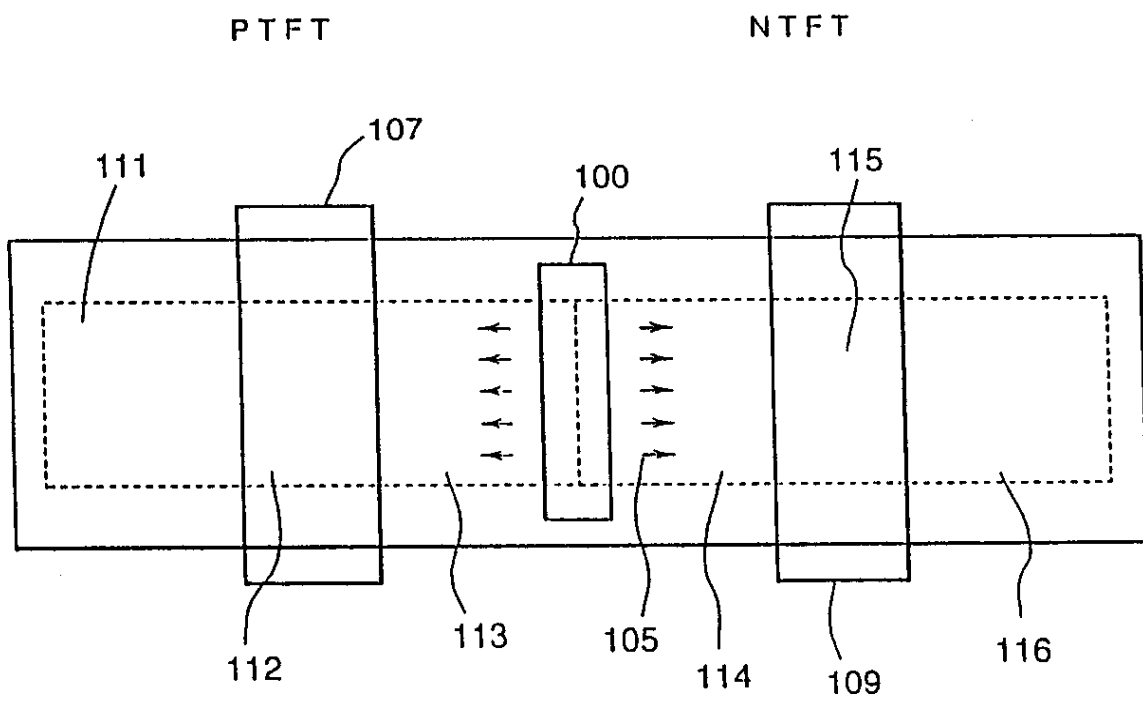


图 3A

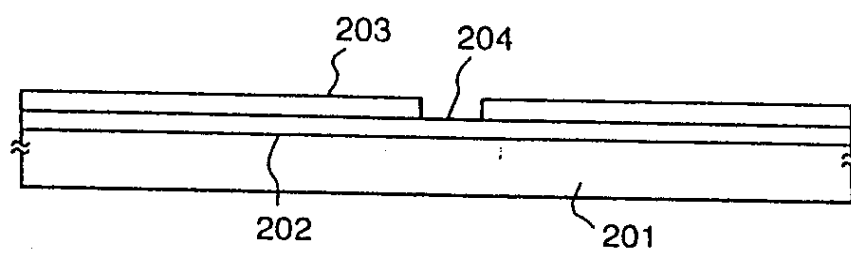


图 3B



图 3C

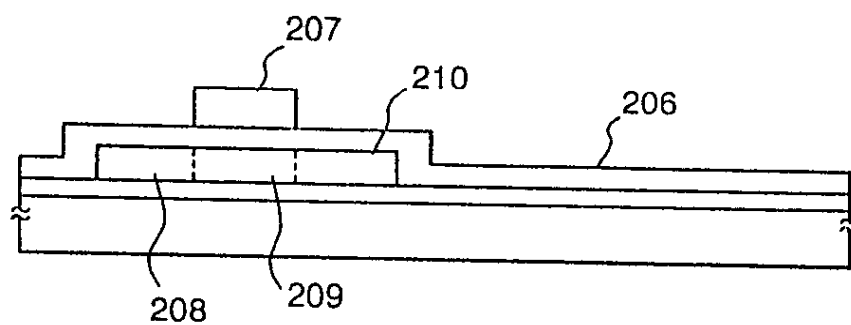


图 3D

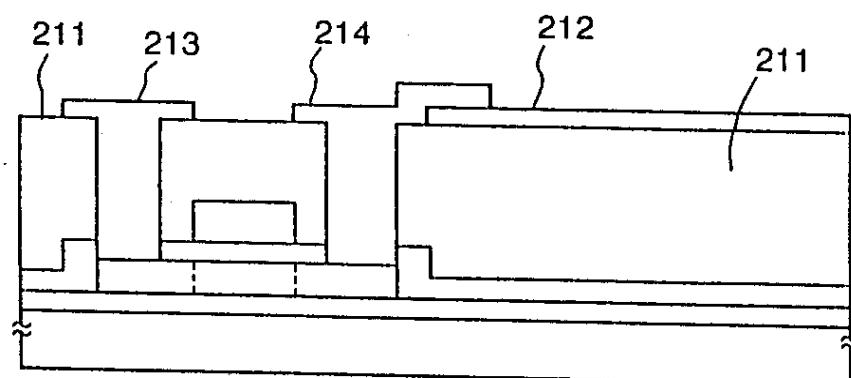


图 4

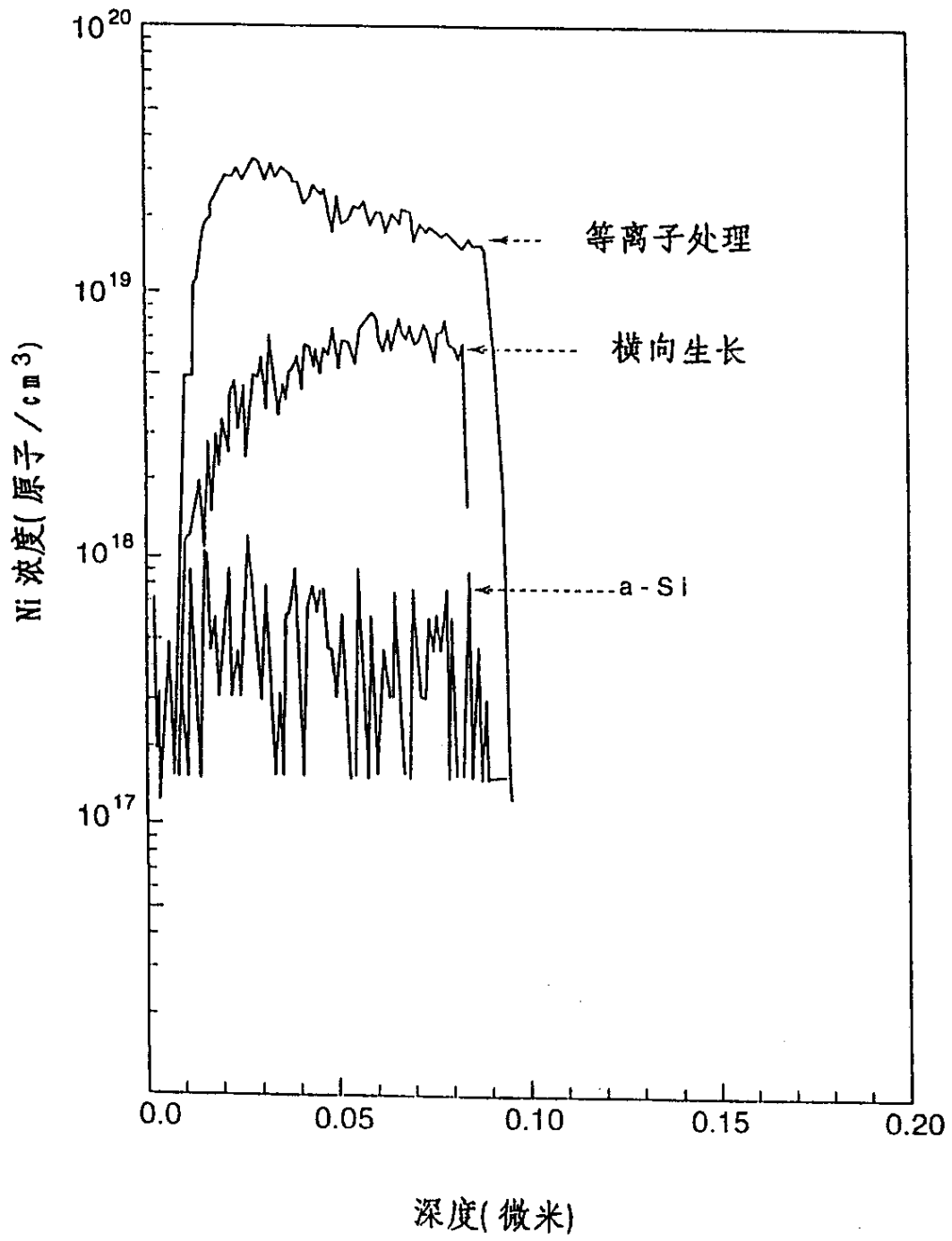


图 5A

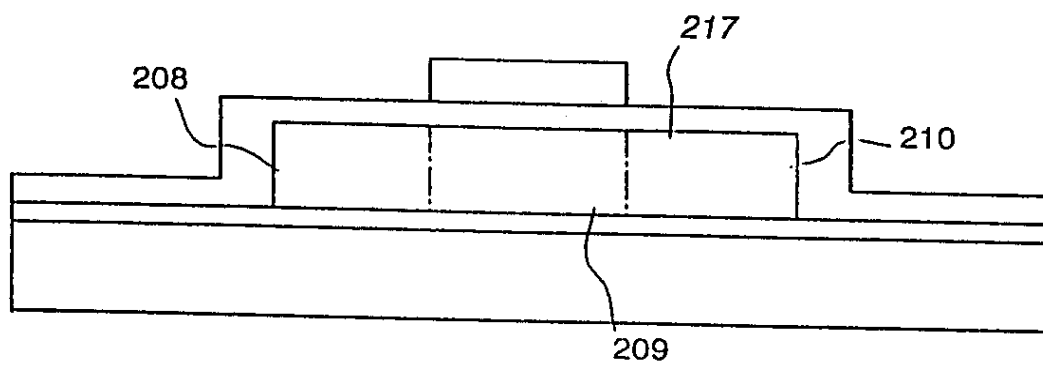


图 5B

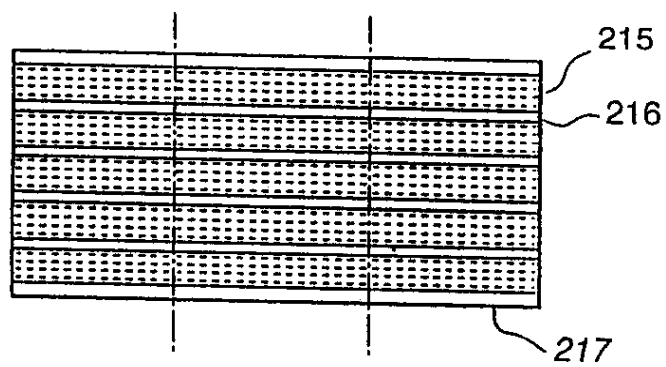


图 5C

