

(43) 国際公開日
2006 年 4 月 27 日 (27.04.2006)

PCT

(10) 国際公開番号
WO 2006/043391 A1

- (51) 国際特許分類:
H02M 1/08 (2006.01) H02M 7/5387 (2006.01)
- (21) 国際出願番号: PCT/JP2005/017309
- (22) 国際出願日: 2005 年 9 月 20 日 (20.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-307987
2004 年 10 月 22 日 (22.10.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 岩淵 昭夫

(IWABUCHI, Akio) [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号サンケン電気株式会社内 Saitama (JP). 古越 隆一 (FURUKOSHI, Ryuichi) [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号サンケン電気株式会社内 Saitama (JP). 京野 羊一 (KYONO, Yoichi) [JP/JP]; 〒3528666 埼玉県新座市北野 3 丁目 6 番 3 号サンケン電気株式会社内 Saitama (JP).

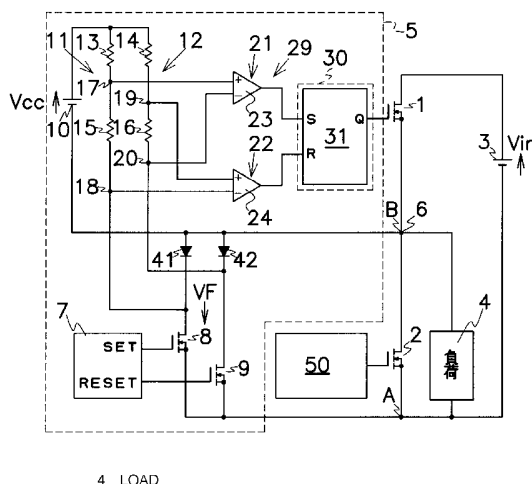
(74) 代理人: 清水 敬一 (SHIMIZU, Keiichi); 〒1530061 東京都目黒区中目黒 3 丁目 1 番 5 号 YK 中目黒ビル 3 階 好和特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ,

/ 続葉有 /

(54) Title: DRIVING DEVICE

(54) 発明の名称: 駆動装置



(57) Abstract: A potential status detecting circuit (29) of a driving device gives a signal to a drive circuit (30) in accordance with differences among the potentials of a connecting point (17) of a first resistance (13) and a third resistance (15), a connecting point (18) of the third resistance (15) and a first controlling MOSFET (8), a connecting point (19) of a second resistance (14) and a fourth resistance (16), and a connecting point (20) of the fourth resistance (16) and a second controlling MOSFET (9). The drive circuit (30) gives a driving signal to a control terminal of a first MOSFET (1), based on potentials of a first series circuit (11) and a second series circuit (12), and supplies a load (4) with power. At this time, when resistance values of the first resistance (13), second resistance (14), third resistance (15) and the fourth resistance (16) are suitably set, even when an abnormal signal or noise is generated due to a rapid potential increase, the potential status detecting circuit (29) detects the potential of each of the connecting points (17-20), surely generates output, and prevents malfunction of the drive circuit (30).

(57) 要約: 第 1 の抵抗(13)と第 3 の抵抗(15)の接続点(17)、第 3 の抵抗(15)と第 1 の制御用 MOSFET (8) との接続点(18)、第 2 の抵抗(14)と第 4 の抵抗(16)との接続点(19)及び第 4 の抵抗(16)と第 2 の制御用 MOSFET (9) との接続点(20)の電位差に応じて、駆動装置の電位状態検出回路(29)は、ドライブ回路(30)に信号を付与し、ドライブ回路(30)は、第 1 の直列回路(11)及び第 2 の直列回路(12)の電位に基づいて第 1 の MOS F

/ 続葉有 /

WO 2006/043391 A1



NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

E T (1)の制御端子に駆動信号を付与して、負荷(4)に電力を供給する。そのとき、第1の抵抗(13)、第2の抵抗(14)、第3の抵抗(15)及び第4の抵抗(16)の抵抗値を適宜に設定すると、急峻な電位上昇により招来する異常信号又はノイズが発生しても、電位状態検出回路(29)は、各接続点(17～20)の電位を検出して確実に出力を発生し、ドライブ回路(30)の誤動作を防止することができる。

明 細 書

駆動装置

技術分野

- [0001] 本発明は、スイッチング素子のオン・オフ動作の誤動作を防止し、確実に動作させる駆動装置に関する。

背景技術

- [0002] 例えば、共振型コンバータ又はモータドライバ等のパワーデバイスの駆動に使用する駆動装置は、図6に示すように、直流電源(3)と、直流電源(3)に直列に接続され且つ交互にオン・オフ制御される第1のMOSFET(1)及び第2のMOSFET(2)と、第1のMOSFET(1)と第2のMOSFET(2)との接続点(6)と直流電源(3)との間に接続された負荷(4)と、第1のMOSFET(1)及び第2のMOSFET(2)の制御端子にそれぞれ接続された第1の制御回路(5)及び第2の制御回路(50)とを備えたハーフブリッジ回路を構成する。第1の制御回路(5)は、制御用直流電源(10)と、制御用直流電源(10)に直列に接続された第1の抵抗(13)及び第1の制御用MOSFET(8)を含む第1の直列回路(11)と、第1の直列回路(11)に対して並列に且つ制御用直流電源(10)に直列に接続された第2の抵抗(14)及び第2の制御用MOSFET(9)を含む第2の直列回路(12)と、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の各制御端子に駆動信号を付与する駆動信号回路(7)と、第1のMOSFET(1)の制御端子に駆動信号を付与するドライブ回路(30)とを備えている。ドライブ回路(30)は、第1の直列回路(11)と第2の直列回路(12)の電位に基づいて第1のMOSFET(1)の制御端子に駆動信号を付与する。制御用直流電源(10)の正側端子は、第1の直列回路(11)及び第2の直列回路(12)に接続され、制御用直流電源(10)の負側端子は、第1のMOSFET(1)と第2のMOSFET(2)との接続点(6)に接続される。第1のMOSFET(1)、第2のMOSFET(2)、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)は、J-FET等の他のFET又はIGBT(絶縁ゲート型バイポーラトランジスタ)でもよい。
- [0003] このハーフブリッジ回路では、ハイサイド側の第1のMOSFET(1)の基準電位は、第1のMOSFET(1)及び第2のMOSFET(2)のオン・オフ動作により接地電位と直流

電源(3)からの入力電圧 V_{in} との間で変動するため、ハイサイド側の第1のMOSFET(1)の駆動回路には、図6に示すレベルシフト回路により構成される第1の制御回路(5)が用いられる。図6の駆動装置の動作波形を示す図7では、直流電源(3)からの入力電圧 V_{in} の負側の電位をA点、制御用直流電源(10)からの入力電圧 V_{cc} の負側の電位をB点として区別して示す。

[0004] ドライブ回路(30)は、例えばRSフリップフロップ(以下、RS-FFとする)(31)と、RS-FF(31)と第1のMOSFET(1)との間に接続された図示しない周知のドライバとにより構成される。RS-FF(31)のセット入力端子(S)は、第1のローパスフィルタ回路(第1のLPF)(34)を介して第1の抵抗(13)と第1の制御用MOSFET(8)との接続点(36)に接続され、RS-FF(31)のリセット入力端子(R)は、第2のローパスフィルタ回路(第2のLPF)(35)を介して第2の抵抗(14)と第2の制御用MOSFET(9)との接続点(37)に接続される。図7の波形図では、ローパスフィルタ回路の閾値を V_{th} とする。

[0005] ローサイド側の第2のMOSFET(2)は、周知のドライバからなる第2の制御回路(50)により駆動され、図7に示すように、第2のMOSFET(2)がオフすると、第1のMOSFET(1)及び第2のMOSFET(2)の両オン防止若しくはゼロボルトスイッチングの実現に設けられた一定のデッドタイムの後に、周知のパルス発生回路からなる駆動信号回路(7)からセット信号が出力され、第1の制御用MOSFET(8)が導通状態となる。第1の制御用MOSFET(8)が導通すると、第1の抵抗(13)により降下する電圧が、第1のLPF(34)を通してRS-FF(31)のセット入力端子(S)に inputs され、第1のMOSFET(1)がオンとなる。駆動信号回路(7)からリセット信号Rが出力されると、第2の制御用MOSFET(9)が導通状態となり、第2の抵抗(14)に電圧降下が生じる。その降下電圧が第2のLPF(35)を通してRS-FF(31)のリセット入力端子(R)に inputs され、第1のMOSFET(1)がオフとなる。第1のMOSFET(1)がオフして、一定のデッドタイムの経過後に、第2の制御回路(50)から第2のMOSFET(2)の制御端子に駆動信号が付与され、第2のMOSFET(2)がオンとなる。前記動作の反復により第1のMOSFET(1)及び第2のMOSFET(2)は、交互にオン・オフ動作を繰り返す。第2の制御回路(50)、駆動信号回路(7)の出力信号のパルス幅及びタイミング等の制御方法並びにデッドタイムの設定法の詳述を省略する。

[0006] 前記ハーフブリッジ回路では、第2のMOSFET(2)をオフ又は第1のMOSFET(1)をオンに切り換えた直後に、ハイサイド側の基準電位が急激に上昇して、大きな電位変動 dV/dt が発生する。このとき、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)のドレイン・ソース間に形成される寄生容量を充電する電流が流れ、この充電電流により第1の抵抗(13)及び第2の抵抗(14)に電圧降下が生じる。このため、正規の信号とは異なる異常信号がRS-FF(31)のセット端子(S)及びリセット端子(R)に付与されて、RS-FF(31)に誤動作が発生する。図6に示す回路では、第1のMOSFET(1)と第2のMOSFET(2)との接続点(6)と、制御用直流電源(10)の負側端子との間に第1のダイオード(41)のアノードを接続し、第1のダイオード(41)のカソードを第1の抵抗(13)と第1の制御用MOSFET(8)との間に接続する。また、第1のMOSFET(1)と第2のMOSFET(2)との接続点(6)と制御用直流電源(10)の負側端子との間に第2のダイオード(42)のアノードを接続し、第2の抵抗(14)と第2の制御用MOSFET(9)との間に第2のダイオード(42)のカソードを接続する。第1のダイオード(41)及び第2のダイオード(42)を介して、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の寄生容量を急速に充電し、ハイサイド側の第1の制御回路(5)に印加される負電位を抑制する。

[0007] しかしながら、急激な電位上昇 dV/dt が発生するとき、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の寄生容量を充電する充電電流により第1の抵抗(13)及び第2の抵抗(14)に電圧降下が発生して、RS-FF(31)の誤動作を防止できない。また、第1のMOSFET(1)、第2のMOSFET(2)、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)のオン・オフ動作によって、ノイズが発生するが、外来ノイズが第1の直列回路(11)又は第2の直列回路(12)を流れる信号に重畳することもある。そこで、図6に示す回路では、接続点(36)及び(37)とRS-FF(31)のセット端子(S)及びリセット端子(R)とにそれぞれ第1のLPF(34)及び第2のLPF(35)を接続し、第1のLPF(34)及び第2のLPF(35)によって第1の抵抗(13)及び第2の抵抗(14)に印加される不測の電圧降下により発生する微小パルス幅のノイズを除去して、RS-FF(31)の誤動作を防止している。下記特許文献1は、電位上昇分 dV/dt 発生時の回路誤動作をパルスフィルタにより防止する回路を開示する。

[0008] しかしながら、図6に示す回路では、電位上昇分 dV/dt の周波数成分が低下する分、第1のLPF(34)及び第2のLPF(35)のカットオフ周波数を低くしなければならない。また、第1のLPF(34)及び第2のLPF(35)は、電位上昇分 dV/dt による不測のノイズのみでなく、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)による正規の信号の高周波成分も除去するので、駆動信号回路(7)から出力する信号のパルス幅を拡張しなければならない。例えば、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)を数mAの定電流回路で構成し、直流電源(3)から400Vの入力電圧 V_{in} が印加されると、信号伝達時の損失は、 $(400V + \text{制御用直流電源}(10) \text{の入力電圧 } V_{cc}) \times \text{数mA} \times \text{パルス幅}$ となり、制御回路として大きな電力損失が発生する。このように、パルス幅の拡張により損失が増大し、電力効率低下及び制御回路の破壊を招来する危険がある。

[0009] これに対し、下記特許文献2は、パルスフィルタの代わりに、2つのノット回路(NOT回路)を介して第1の抵抗と第1の制御用スイッチング素子との間に接続された第1の入力端子及び1つのノット回路を介して第2の抵抗と第2の制御用スイッチング素子との間に接続された第2の入力端子を有する第1のノア回路(NOR回路)と、1つのノット回路を介して第1の抵抗と第1の制御用スイッチング素子との間に接続された第1の入力端子及び2つのノット回路を介して第2の抵抗と第2の制御用スイッチング素子との間に接続された第2の入力端子を有する第2のノア回路とを備えるレベルシフト回路を開示する。特許文献2の回路によれば、第1の抵抗及び第2の抵抗の電圧降下に基づき、2つの抵抗に正規の信号及びマスク用信号をそれぞれ作り、第1の抵抗のマスク用信号で第2の抵抗の正規の信号になり得る異常信号をマスクし、第2の抵抗のマスク用信号で第1の抵抗の正規の信号になり得る異常信号をマスクすることができる。

[0010] 特許文献1:特許3092862号公報(図3)

特許文献2:特開2000-252809公報(図1)

発明の開示

発明が解決しようとする課題

[0011] しかしながら、特許文献2の回路では、急峻にパルスが変化する異常信号が入力さ

れると、第1のノア回路の第1の入力端子及び第2の入力端子への入力信号の入力時間の差又は第2のノア回路の第1の入力端子及び第2の入力端子への入力信号の入力時間の差が短くなるため、例えばノット回路での遅延により第1の入力端子と第2の入力端子との入力信号の入力時間が逆転して、不測の信号がRS-FFに入力される可能性があった。即ち、特許文献2の回路では、異常信号のパルス波形に影響を受ける欠点があった。

よって、本発明は、異常信号による回路の誤動作を防止して、確実に動作を行う駆動装置を提供することを目的とする。

課題を解決するための手段

- [0012] 本発明の駆動装置は、直流電源(3)と、直流電源(3)に直列に接続され且つ交互にオン・オフ制御される第1のスイッチング素子(1)及び第2のスイッチング素子(2)と、第1のスイッチング素子(1)と第2のスイッチング素子(2)との接続点(6)と直流電源(3)との間に接続された負荷(4)と、第1のスイッチング素子(1)及び第2のスイッチング素子(2)の制御端子にそれぞれ接続された第1の制御回路(5)及び第2の制御回路(50)とを備える。第1の制御回路(5)は、制御用直流電源(10)と、制御用直流電源(10)に直列に接続された第1の抵抗(13)及び第1の制御用スイッチング素子(8)を含む第1の直列回路(11)と、第1の直列回路(11)に対して並列に且つ制御用直流電源(10)に直列に接続された第2の抵抗(14)及び第2の制御用スイッチング素子(9)を含む第2の直列回路(12)と、第1の制御用スイッチング素子(8)及び第2の制御用スイッチング素子(9)の各制御端子に駆動信号を付与する駆動信号回路(7)と、第1の直列回路(11)及び第2の直列回路(12)の電位に基づいて第1のスイッチング素子(1)の制御端子に駆動信号を付与するドライブ回路(30)とを備える。第1の直列回路(11)は、第1の抵抗(13)と第1の制御用スイッチング素子(8)との間に接続された第3の抵抗(15)を有し、第2の直列回路(12)は、第2の抵抗(14)と第2の制御用スイッチング素子(9)との間に接続された第4の抵抗(16)を有する。第1の抵抗(13)と第3の抵抗(15)の接続点(17)、第3の抵抗(15)と第1の制御用スイッチング素子(8)との接続点(18)、第2の抵抗(14)と第4の抵抗(16)との接続点(19)及び第4の抵抗(16)と第2の制御用スイッチング素子(9)との接続点(20)の電位差に応じて、電位状態検出回路(29)は、ドライブ回路(30)に信号を

付与する。第1の抵抗(13)、第2の抵抗(14)、第3の抵抗(15)及び第4の抵抗(16)の抵抗値を適宜に設定すると、各接続点(17～20)の急激な電位上昇分 dV/dt によって、各接続点(17～20)の間に電位差が生ずる。従って、急峻な電位上昇により招来する異常信号又はノイズが発生しても、電位状態検出回路(29)は、各接続点(17～20)の電位を検出して確実に出力を発生し、ドライブ回路(30)の誤動作を防止することができる。

発明の効果

- [0013] 本発明によれば、低電力損失で良好に回路の誤動作を防止できる信頼性の高い駆動装置が得られる。

図面の簡単な説明

- [0014] [図1]本発明による駆動装置の第1の実施形態を示す電気回路図
[図2]本発明による駆動装置の第2の実施形態を示す電気回路図
[図3]図1の各部の電圧を示す波形図
[図4]図2の各部の電圧を示す波形図
[図5]第2のMOSFETがオフした際に第2の排他的オア回路から短時間に出力されるノイズを示す波形図
[図6]従来の駆動装置の電気回路図
[図7]図6の各部の電圧を示す波形図

符号の説明

- [0015] (1)・・第1のMOSFET(第1のスイッチング素子)、(2)・・第2のMOSFET(第2のスイッチング素子)、(3)・・直流電源、(4)・・負荷、(5)・・第1の制御回路、(6)・・接続点、(7)・・駆動信号回路、(8)・・第1の制御用MOSFET(第1の制御用スイッチング素子)、(9)・・第2の制御用MOSFET(第2の制御用スイッチング素子)、(10)・・制御用直流電源、(11)・・第1の直列回路、(12)・・第2の直列回路、(13)・・第1の抵抗、(14)・・第2の抵抗、(15)・・第3の抵抗、(16)・・第4の抵抗、(17～20)・・接続点、(21)・・第1の電位状態検出回路、(22)・・第2の電位状態検出回路、(23)・・第1の比較回路、(24)・・第2の比較回路、(25)・・第1の排他的オア回路、(26)・・第2の排他的オア回路、(29)・・電位状態検出回路、(30)・・ドライブ回路、(32,33

)・・フィルタ回路、(50)・・第2の制御回路、
発明を実施するための最良の形態

- [0016] 以下、本発明による駆動装置の実施の形態を図1～図5について説明する。これらの図面では図6及び図7に示す箇所と実質的に同一の部分には同一の符号を付し、その説明を省略する。また、第2の制御回路(50)及び駆動信号回路(7)の動作により発生する周知のパルス信号の出力タイミングの説明を省略する。図1及び図2の駆動装置の動作波形をそれぞれ示す図3及び図4では、直流電源(3)からの入力電圧 V_{in} の負側基準電位をA点で測定し、制御用直流電源(10)からの入力電圧 V_{cc} の負側基準電位をB点で測定する。
- [0017] 図1及び図2に示すように、本発明は、従来と同様に、スイッチング電源、インバータ及びソレノイド等の負荷(4)を駆動するハーフブリッジ型の駆動装置であるが、図6に示す従来の駆動装置とは異なり、第1の直列回路(11)は、第1の抵抗(13)と第1の制御用スイッチング素子である第1の制御用MOSFET(8)との間に接続された第3の抵抗(15)を有し、第2の直列回路(12)は、第2の抵抗(14)と第2のスイッチング素子である第2の制御用MOSFET(9)との間に接続された第4の抵抗(16)を有する。
- [0018] 図1及び図3に示す第1の実施の形態では、電位状態検出回路(29)は、第1の電位状態検出回路(21)と第2の電位状態検出回路(22)とを備え、第1の電位状態検出回路(21)は、第1の抵抗(13)と第3の抵抗(15)との接続点(17)の電位と、第4の抵抗(16)と第2の制御用MOSFET(9)との接続点(20)の電位とを比較する第1の比較回路(コンパレータ)(23)を備える。第2の電位状態検出回路(22)は、第2の抵抗(14)と第4の抵抗(16)との接続点(19)の電位と、第3の抵抗(15)と第1の制御用MOSFET(8)との接続点(18)の電位とを比較する第2の比較回路(コンパレータ)(24)を備える。図1に示すように、第1の比較回路(23)の非反転入力端子は、第1の抵抗(13)と第3の抵抗(15)との接続点(17)に接続され、反転入力端子は、第4の抵抗(16)と第2の制御用MOSFET(9)との接続点(20)に接続される。第2の比較回路(24)の非反転入力端子は、第2の抵抗(14)と第4の抵抗(16)との接続点(19)に接続され、反転入力端子は、第3の抵抗(15)と第1の制御用MOSFET(8)との接続点(18)に接続される。図示しないが、第1の比較回路(23)及び第2の比較回路(24)の反転入力端子は、内部の入力インピーダンス又

は外部の抵抗によりハイサイド側の基準電位を生ずるB点に接続される。

- [0019] 第1の抵抗(13)、第2の抵抗(14)、第3の抵抗(15)及び第4の抵抗(16)の各抵抗値を適宜設定して、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)がオフのとき、第3の抵抗(15)と第1の制御用MOSFET(8)との接続点(18)の電位を、第2の抵抗(14)と第4の抵抗(16)との接続点(19)の電位より低くすると共に、第4の抵抗(16)と第2の制御用MOSFET(9)との接続点(20)の電位を、第1の抵抗(13)と第3の抵抗(15)との接続点(17)の電位より低くする。また、第1の制御用MOSFET(8)のオン時に、第1の抵抗(13)と第3の抵抗(15)との接続点(17)の電位を、第4の抵抗(16)と第2の制御用MOSFET(9)との接続点(20)の電位より低くすると共に、第2の制御用MOSFET(9)のオン時に、第2の抵抗(14)と第4の抵抗(16)との接続点(19)の電位を、第3の抵抗(15)と第1の制御用MOSFET(8)との接続点(18)の電位より低くする。
- [0020] 第1の実施の形態では、第1の抵抗(13)、第3の抵抗(15)及び第1の制御用MOSFET(8)を第1の直列回路(11)に直列に接続するので、第1の制御用MOSFET(8)のオン時に、第2の制御用MOSFET(9)をオフにすると、接続点(17)と接続点(18)とに異なる電位差を与えることができる。同様に、第2の抵抗(14)、第4の抵抗(16)及び第2の制御用MOSFET(9)を第2の直列回路(12)に直列に接続するので、第1の制御用MOSFET(8)のオフ時に、第2の制御用MOSFET(9)をオンすると、接続点(19)と接続点(20)とに異なる電位差を与えることができる。従って、第1の比較回路(23)は、接続点(17)と接続点(20)との電位を比較して、ドライブ回路(30)への出力を発生し、第2の比較回路(24)は、接続点(18)と接続点(19)との電位を比較して、ドライブ回路(30)への出力を発生し、ドライブ回路(30)を確実なタイミングにより動作させることができる。
- [0021] 駆動信号回路(7)は、第1の制御用MOSFET(8)と第2の制御用MOSFET(9)とを交互にオン又はオフに切り換える。図3に示すように、駆動信号回路(7)よりパルス信号が出力されない期間では、第1の比較回路(23)及び第2の比較回路(24)は、共に反転入力端子の電位より非反転入力端子の電位が高くなり、出力は高電圧レベルに維持されるので、第1のスイッチング素子である第1のMOSFET(1)のスイッチング状態は変化しない。例えば、第1の抵抗(13)、第2の抵抗(14)、第3の抵抗(15)及び第4

の抵抗(16)の抵抗値を第1の抵抗(13)=第2の抵抗(14)=第3の抵抗(15)=第4の抵抗(16)= R とし、第1の比較回路(23)及び第2の比較回路(24)の入力インピーダンス又は外部抵抗を $8R$ と仮定すると、駆動信号回路(7)からパルス信号が出力されない期間は、第1の比較回路(23)及び第2の比較回路(24)の非反転入力端子には、制御用直流電源(10)からの入力電圧 $V_{cc} \times 9/10$ の電圧が印加され、反転入力端子には、入力電圧 $V_{cc} \times 8/10$ の電圧が印加されるので、第1の比較回路(23)及び第2の比較回路(24)の出力は何れも高電圧レベルになる。

[0022] また、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の電流値は、第1の抵抗(13)と第3の抵抗(15)との電圧降下の和及び第2の抵抗(14)と第4の抵抗(16)との電圧降下の和がそれぞれ制御用直流電源(10)からの入力電圧 V_{cc} となる値に設定する。駆動信号回路(7)からセット信号 S が出力され、第1の制御用MOSFET(8)が導通状態になると、第1の比較回路(23)の非反転入力端子の電圧は、入力電圧 $V_{cc} \times 1/2$ となり、反転入力端子の入力電圧 $V_{cc} \times 8/10$ より低くなるので、第1の比較回路(23)の出力が低電圧レベルになる。この際、第2の比較回路(24)の反転入力端子の電圧も $0V$ に変化するが、非反転入力端子との大小関係が変化しないので、出力は高電圧レベルに維持され、RS-FF(31)の出力が高電圧レベルになり、第1のMOSFET(1)がオンとなる。

[0023] 同様に、駆動信号回路(7)からリセット信号 R が出力されると、第2の比較回路(24)の入力の大小関係は反転するが、第1の比較回路(23)の大小関係は反転しないので、RS-FF(31)の出力が低電圧レベルになり、第1のMOSFET(1)がオフになる。ハイサイド側の基準電位が変動する急激な電位上昇 dV/dt の発生時に、第1の比較回路(23)及び第2の比較回路(24)の非反転入力端子は、(入力電圧 V_{cc} -順方向降下電圧 V_F) $\times 1/2$ となり、反転入力端子は、ハイサイド側のB点での基準電位に対して順方向降下電圧 V_F だけ低くなり、何れも入力電圧の大小関係に変化はなく、RS-FF(31)に信号が入力されず、 dV/dt の発生時の誤動作を防止できる。

[0024] 次に、図2及び図4に示す第2の実施の形態では、第1の電位状態検出回路(21)は、第1の排他的オア回路(25)により構成され、第1の排他的オア回路(25)は、第1の抵抗(13)と第3の抵抗(15)の接続点(17)に接続された第1の入力端子と、第3の抵抗(15)

と第1の制御用MOSFET(8)との接続点(18)に接続された第2の入力端子とを有する。第2の電位状態検出回路(22)は、第2の排他的オア回路(26)により構成され、第2の排他的オア回路(26)は、第2の抵抗(14)と第4の抵抗(16)との接続点(19)に接続された第1の入力端子と、第4の抵抗(16)と第2の制御用MOSFET(9)との接続点(20)に接続された第2の入力端子を有する。

[0025] 第1の抵抗(13)、第2の抵抗(14)、第3の抵抗(15)及び第4の抵抗(16)の各抵抗値と、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の導通時の電流値とを適宜設定すれば、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)のオフ時に、第1の排他的オア回路(25)及び第2の排他的オア回路(26)の全入力端子に高電圧レベルの電圧を印加できると共に、第1の制御用MOSFET(8)のオン時に、第1の抵抗(13)と第3の抵抗(15)との接続点(17)の電位を第1の排他的オア回路(25)の閾値に対して高電圧レベルとし、第3の抵抗(15)と第1の制御用MOSFET(8)との接続点(18)の電位を第1の排他的オア回路(25)の閾値に対して低電圧レベルにすることができる。また、第2の制御用MOSFET(9)のオン時に、第2の抵抗(14)と第4の抵抗(16)との接続点(19)の電位を第2の排他的オア回路(26)の閾値に対して高電圧レベルとし、第4の抵抗(16)と第2の制御用MOSFET(9)との接続点(20)の電位を第2の排他的オア回路(26)の閾値に対して低電圧レベルとすることができる。更に、第3の抵抗(15)と第1の制御用MOSFET(8)との接続点(18)の電位と、第4の抵抗(16)と第2の制御用MOSFET(9)との接続点(20)の電位とが、ほぼ第1のMOSFET(1)のドレイン側の電位と等しいときは、第1の排他的オア回路(25)及び第2の排他的オア回路(26)の全ての入力端子を低電圧レベルにすることができる。

[0026] 第2の実施の形態では、第1の排他的オア回路(25)は、接続点(17)及び接続点(18)の電位と閾値とを比較して、ドライブ回路(30)への出力を発生し、第2の排他的オア回路(26)は、接続点(19)及び接続点(20)の電位と閾値とを比較して、ドライブ回路(30)への出力を発生するので、ドライブ回路(30)を確実なタイミングにより動作させることができる。

[0027] また、第2の実施の形態では、第1の排他的オア回路(25)及び第2の排他的オア回路(26)とドライブ回路(30)との間にフィルタ回路(32,33)を各々接続する。第2のスイッ

チング素子である第2のMOSFET(2)のオフ時に、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の寄生容量が充電され、接続された第1の抵抗(13)、第2の抵抗(14)、第3の抵抗(15)及び第4の抵抗(16)の電圧レベルは、一旦下がった後に上昇し、第1の排他的オア回路(25)及び第2の排他的オア回路(26)の閾値より高くなる。このとき、図5に示すように、抵抗分割する分だけ、第1の排他的オア回路(25)及び第2の排他的オア回路(26)の各入力電圧波形が閾値を横切るタイミングが僅かにずれるため、第1の排他的オア回路(25)及び第2の排他的オア回路(26)から出力されるひげ信号(ノイズ)(38)をフィルタ回路(32,33)により除去することができる。ひげ信号(38)は、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の寄生容量の充電期間の始期及び終期(立ち下がり及び立ち上がり時)に極めて短時間幅で発生するパルスなので、小容量のコンデンサと抵抗とを組み合わせた積分回路によるフィルタ回路(32,33)でも十分にひげ信号(38)を除去することができ、フィルタ回路(32,33)による正規の信号遅延も極めて小さい。フィルタ回路(32,33)は、従来の dV/dt 期間全部をマスクするLPFに比べてカットオフ周波数を大幅に高くでき、正規の信号のパルス幅への影響が極めて少ない回路により構成できる。

[0028] 更に、第2の実施の形態では、抵抗素子等の定電流素子(27,28)を第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)のソース側に接続し、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)を定電流で駆動する。定電流素子(27,28)により第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)から出力される電流値レベルを一定にして、第1の抵抗(13)、第2の抵抗(14)、第3の抵抗(15)及び第4の抵抗(16)に印加される電圧が安定するので、確実な動作が可能となる。それにより、第1の抵抗(13)、第2の抵抗(14)、第3の抵抗(15)及び第4の抵抗(16)の各抵抗値の設定自由度が広がる。

[0029] 図2の回路は、具体的には、第1の排他的オア回路(25)及び第2の排他的オア回路(26)の閾値を入力電圧 $V_{cc} \times 1/2$ とし、第3の抵抗(15)と第1の抵抗(13)及び第4の抵抗(16)と第2の抵抗(14)の抵抗値の比をそれぞれ4対6に設定し、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)が導通時の第1の抵抗(13)と第3の抵抗(15)との合成抵抗及び第2の抵抗(14)と第4の抵抗(16)との合成抵抗の電圧降下が入

力電圧 $V_{cc} \times 3/5$ となる定電流回路で構成する。図4の波形図では、排他的オア回路の閾値を V_{th} とする。図4に示すように、第1の制御用MOSFET(8)にセット信号Sを付与すると、第1の抵抗(13)及び第3の抵抗(15)に電圧降下が生じ、ハイサイド側の基準電圧に対して第3の抵抗(15)と第1の制御用MOSFET(8)との接続点(18)の電圧は、前記設定により入力電圧 $V_{cc} - \text{入力電圧} V_{cc} \times 3/5 = \text{入力電圧} V_{cc} \times 2/5$ となり、第1の排他的オア回路(25)の第1の入力端子が低電圧レベルになる。これに対し、第1の抵抗(13)と第3の抵抗(15)との接続点(17)の電圧は、第3の抵抗(15)と第1の抵抗(13)との抵抗値の比が4対6であるので、入力電圧 $V_{cc} - \text{入力電圧} V_{cc} \times 3/5 \times 6/10 = \text{入力電圧} V_{cc} \times 16/25$ となり、第1の排他的オア回路(25)の第2の入力端子が高電圧レベルになる。よって、第1の排他的オア回路(25)の出力が反転し、ハイサイド側の第1のMOSFET(1)がオンになる。

[0030] 同様に、第2の制御用MOSFET(9)にリセット信号Rを付与するときも、第2の排他的オア回路(26)の第1の入力端子及び第2の入力端子に低電圧レベル及び高電圧レベルの信号が入力され、ハイサイド側の第1のMOSFET(1)がオフになる。ローサイド側の第2のMOSFET(2)の立ち上がり時に、電位上昇分 dV/dt が発生すると、ハイサイド側の基準電位から順方向降下電圧 V_F 分低い電圧にクランプされるので、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)と第3の抵抗(15)及び第4の抵抗(16)との接続点(18,20)の電圧は低電圧レベルになる。第1の抵抗(13)と第3の抵抗(15)との接続点(17)及び第2の抵抗(14)と第4の抵抗(16)との接続点(19)の電圧は、 $(\text{入力電圧} V_{cc} - \text{順方向降下電圧} V_F) \times 4/10$ となり、第1の排他的オア回路(25)と第2の排他的オア回路(26)の第1の入力端子及び第2の入力端子の両方が低電圧レベルになる。従って、第1の排他的オア回路(25)及び第2の排他的オア回路(26)の出力は反転せず、第1のMOSFET(1)がオンされないので、電位上昇分 dV/dt が発生した際の異常信号をマスクできる。

[0031] 第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の電流値 i は、第3の抵抗(15)=第4の抵抗(16)= $4R$ 、第1の抵抗(13)=第2の抵抗(14)= $6R$ とすると、 $i \times 10R = \text{入力電圧} V_{cc} \times 3/5$ となり、 $i = 3 \times \text{入力電圧} V_{cc} \times 1/50R$ として決定できる。具体例では、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の導通時

の電圧降下を入力電圧 $V_{cc} \times 3/5$ としたが、第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の導通時に、第1の排他的オア回路(25)と第2の排他的オア回路(26)の第1の入力端子及び第2の入力端子の一方のみが低電圧レベルとなり、電位上昇分 dV/dt の発生時に、第1の入力端子及び第2の入力端子の両方が低電圧レベルとなる抵抗比及び電流値であれば同様の効果が得られる。

[0032] 前記のように、第1の電位状態検出回路(21)及び第2の電位状態検出回路(22)は、第1の抵抗(13)と第3の抵抗(15)との接続点(17)、第3の抵抗(15)と第1の制御用MOSFET(8)との接続点(18)、第2の抵抗(14)と第4の抵抗(16)との接続点(19)及び第4の抵抗(16)と第2の制御用MOSFET(9)との接続点(20)の電位差に応じて、ドライブ回路(30)に信号をそれぞれ付与する。第1の電位状態検出回路(21)及び第2の電位状態検出回路(22)は、第1の抵抗(13)、第2の抵抗(14)、第3の抵抗(15)及び第4の抵抗(16)により形成される各分圧点で、電圧を確実に検出できる。第1の抵抗(13)、第2の抵抗(14)、第3の抵抗(15)及び第4の抵抗(16)の抵抗値を適宜に設定することにより、各接続点(17～20)の急激な電位上昇分 dV/dt によって、各接続点(17～20)の間に電位差が生じて、第1の電位状態検出回路(21)及び第2の電位状態検出回路(22)は、各接続点(17～20)の電位を検出して出力を発生し、電位上昇分により急峻に変化するパルスでもドライブ回路(30)の誤動作を防止できる。また、従来のように第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)による正規の信号を除去するLPFを設ける必要がなく、駆動信号回路(7)から第1の制御用MOSFET(8)及び第2の制御用MOSFET(9)の各制御端子に付与する駆動信号のパルス幅を広くしても電力損失も発生しない。

産業上の利用可能性

[0033] 本発明は、高電圧で駆動する負荷を低電圧の信号を入力して制御する駆動装置に効果が顕著である。

請求の範囲

- [1] 直流電源と、該直流電源に直列に接続され且つ交互にオン・オフ制御される第1のスイッチング素子及び第2のスイッチング素子と、前記第1のスイッチング素子と第2のスイッチング素子との接続点と前記直流電源との間に接続された負荷と、前記第1のスイッチング素子及び第2のスイッチング素子の制御端子にそれぞれ接続された第1の制御回路及び第2の制御回路とを備え、

前記第1の制御回路は、制御用直流電源と、該制御用直流電源に直列に接続された第1の抵抗及び第1の制御用スイッチング素子を含む第1の直列回路と、該第1の直列回路に対して並列に且つ前記制御用直流電源に直列に接続された第2の抵抗及び第2の制御用スイッチング素子を含む第2の直列回路と、前記第1の制御用スイッチング素子及び第2の制御用スイッチング素子の各制御端子に駆動信号を付与する駆動信号回路と、前記第1の直列回路及び第2の直列回路の電位に基づいて前記第1のスイッチング素子の制御端子に駆動信号を付与するドライブ回路とを備えた駆動装置において、

前記第1の直列回路は、前記第1の抵抗と第1の制御用スイッチング素子との間に接続された第3の抵抗を有し、

前記第2の直列回路は、前記第2の抵抗と第2の制御用スイッチング素子との間に接続された第4の抵抗を有し、

前記第1の抵抗と第3の抵抗の接続点、前記第3の抵抗と第1の制御用スイッチング素子との接続点、前記第2の抵抗と第4の抵抗との接続点及び前記第4の抵抗と前記第2の制御用スイッチング素子との接続点の電位差に応じて、前記ドライブ回路に信号を付与する電位状態検出回路を設けたことを特徴とする駆動装置。

- [2] 前記電位状態検出回路は、第1の電位状態検出回路及び第2の電位状態検出回路を備え、

前記第1の電位状態検出回路は、前記第1の抵抗と第3の抵抗との接続点の電位と、前記第4の抵抗と前記第2の制御用スイッチング素子との接続点の電位とを比較する第1の比較回路により構成され、

前記第2の電位状態検出回路は、前記第2の抵抗と第4の抵抗との接続点の電位

と、前記第3の抵抗と第1の制御用スイッチング素子との接続点の電位とを比較する第2の比較回路により構成された請求項1に記載の駆動装置。

- [3] 前記電位状態検出回路は、第1の電位状態検出回路及び第2の電位状態検出回路を備え、

前記第1の電位状態検出回路は、前記第1の抵抗と第3の抵抗の接続点に接続された第1の入力端子と、前記第3の抵抗と第1の制御用スイッチング素子との接続点に接続された第2の入力端子とを有する第1の排他的オア回路により構成され、

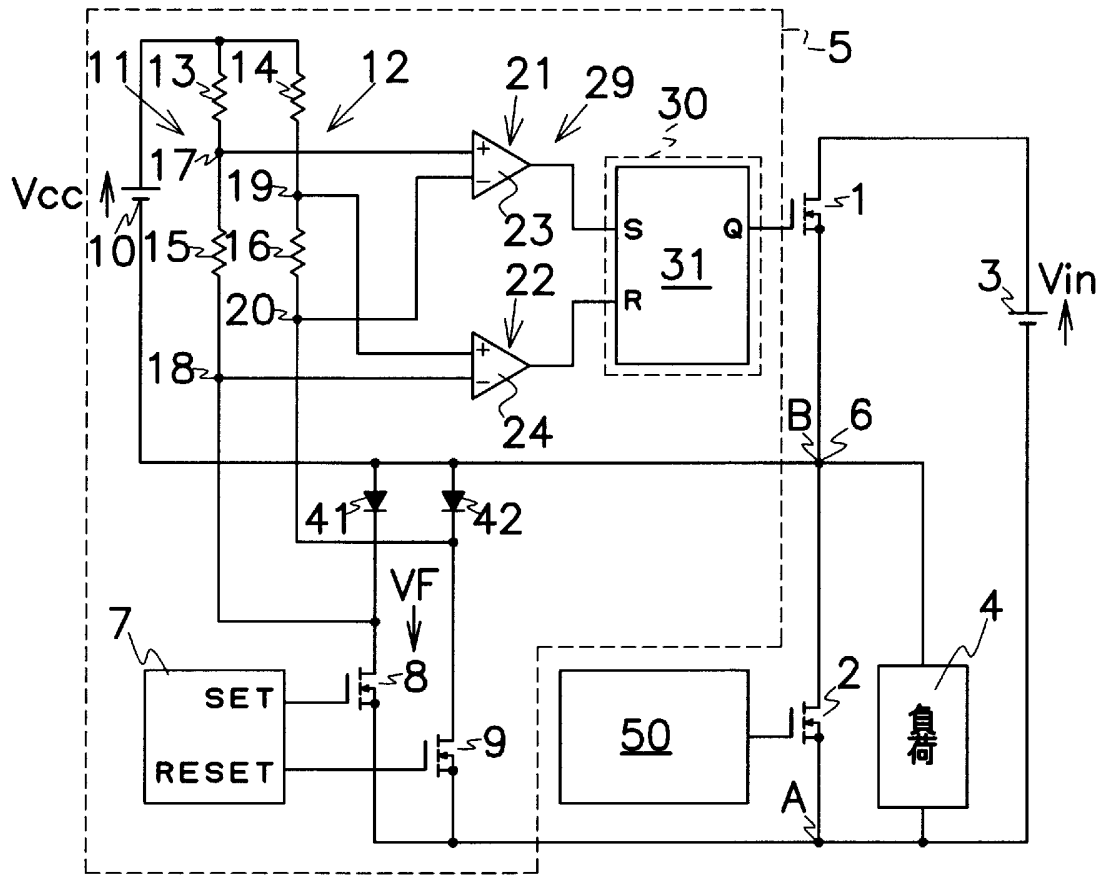
前記第2の電位状態検出回路は、前記第2の抵抗と第4の抵抗との接続点に接続された第1の入力端子と、前記第4の抵抗と前記第2の制御用スイッチング素子との接続点に接続された第2の入力端子を有する第2の排他的オア回路により構成された請求項1に記載の駆動装置。

- [4] 前記第1の排他的オア回路及び第2の排他的オア回路と前記ドライブ回路との間にフィルタ回路を各々接続した請求項3に記載の駆動装置。

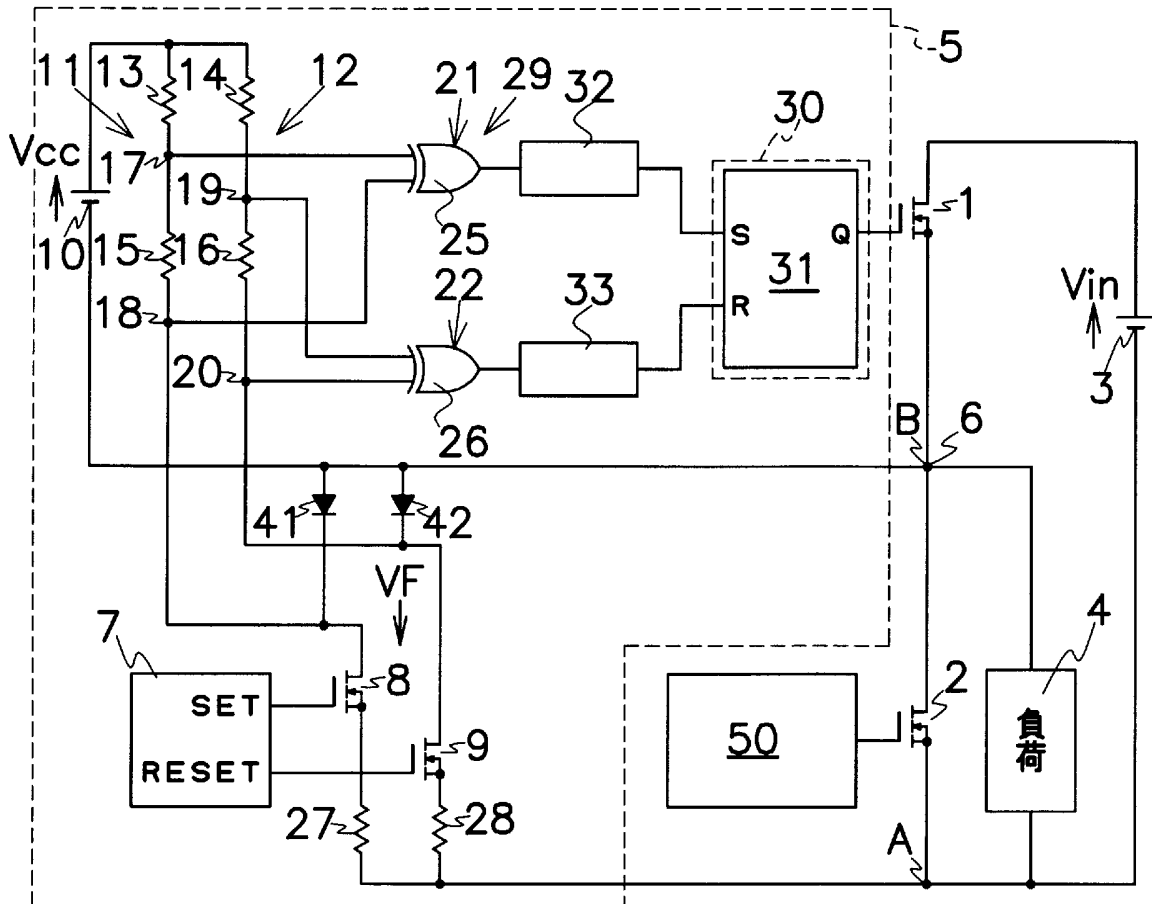
- [5] 前記第1の制御用スイッチング素子及び第2の制御用スイッチング素子を定電流で駆動する請求項1～4の何れか1項に記載の駆動装置。

- [6] 前記駆動信号回路は、前記第1の制御用スイッチング素子と第2の制御用スイッチング素子とを交互にオン又はオフに切り換える請求項1～5の何れか1項に記載の駆動装置。

[図1]

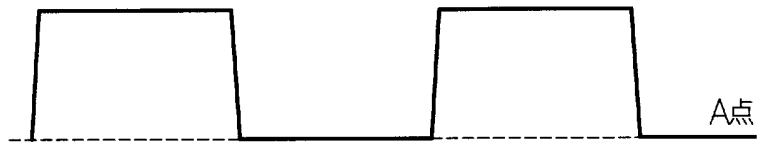


[図2]



[図3]

第2のスイッチング素子(2)
ドレイン・ソース間電圧

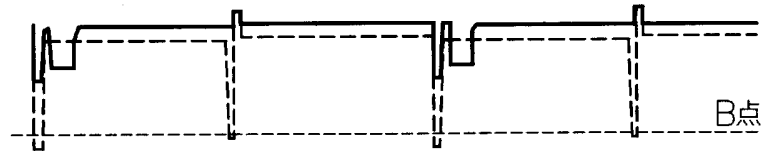


駆動信号回路(7)
セット信号S

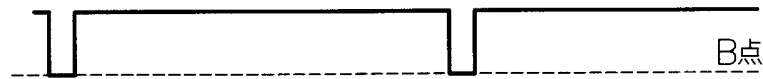


第1の比較回路(23)

+入力端子
(実線)
-入力端子
(破線)



出力端子

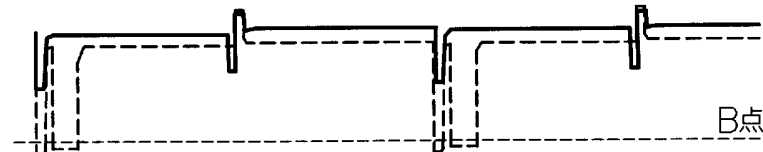


駆動信号回路(7)
リセット信号R



第2の比較回路(24)

+入力端子
(実線)
-入力端子
(破線)



出力端子



第1のスイッチング素子(1)
ゲート・ソース間電圧



第2のスイッチング素子(2)
ゲート・ソース間電圧



[図4]

第2のスイッチング素子(2)
ドレイン・ソース間電圧



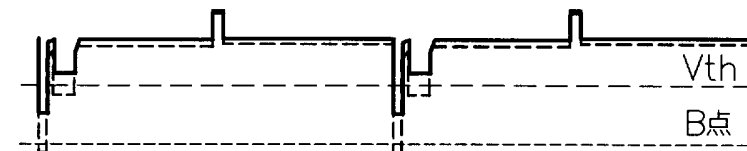
駆動信号回路(7)
セット信号S



第1の排他的オア回路(25)

第1の入力端子
(実線)

第2の入力端子
(破線)



出力端子



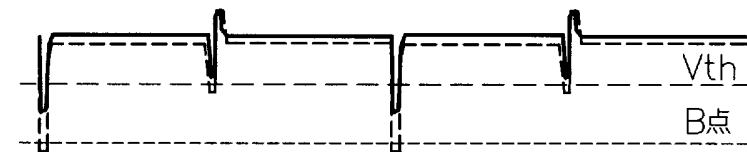
駆動信号回路(7)
リセット信号R



第2の排他的オア回路(26)

第1の入力端子
(実線)

第2の入力端子
(破線)



出力端子



第1のスイッチング素子(1)
ゲート・ソース間電圧



第2のスイッチング素子(2)
ゲート・ソース間電圧

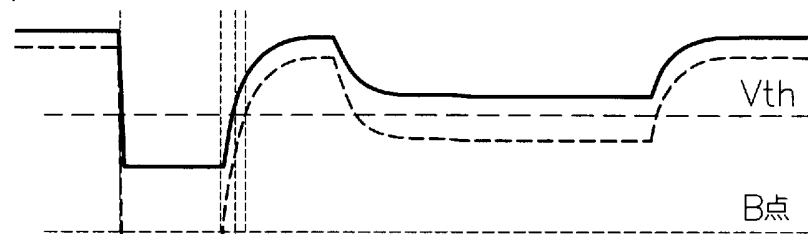


[図5]

第2の排他的オア回路(26)

第1の入力端子
(実線)

第2の入力端子
(破線)



出力端子

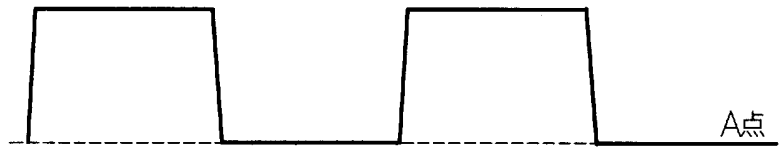


dV/dt期間

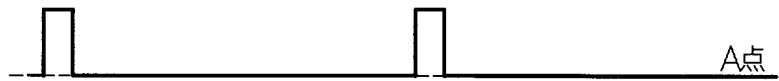
38

[図7]

第2のスイッチング素子(2)
ドレイン・ソース間電圧

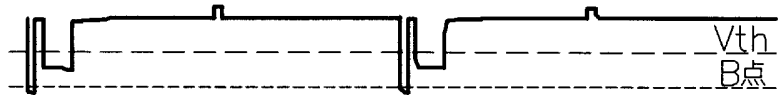


駆動信号回路(7)
セット信号S



第1のLPF(34)

入力端子



出力端子

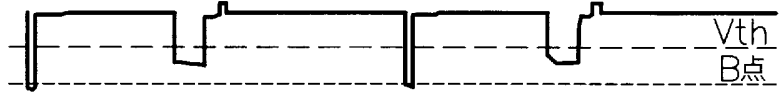


駆動信号回路(7)
リセット信号R



第2のLPF(35)

入力端子



出力端子



第1のスイッチング素子(1)
ゲート・ソース間電圧



第2のスイッチング素子(2)
ゲート・ソース間電圧



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017309

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/08(2006.01), **H02M7/5387**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08(2006.01), **H02M7/5387**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-133927 A (Mitsubishi Electric Corp.),	1, 6
Y	09 May, 2003 (09.05.03),	5
A	Par. Nos. [0013] to [0015]; Fig. 1 & US 6529061 B1 & DE 10222777 A	2-4
Y	JP 2-182014 A (Sumitomo Electric Industries, Ltd.), 16 July, 1990 (16.07.90), Page 1, lower right column, line 15 to page 2, upper left column, line 7; Fig. 2 (Family: none)	5
A	JP 2003-273715 A (Mitsubishi Electric Corp.), 26 September, 2003 (26.09.03), Par. No. [0023]; Fig. 3 (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 December, 2005 (15.12.05)

Date of mailing of the international search report
27 December, 2005 (27.12.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.

H02M1/08 (2006.01), **H02M7/5387** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.

H02M1/08 (2006.01), **H02M7/5387** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2003-133927 A (三菱電機株式会社)	1, 6
Y	09.05.2003, 【0013】 - 【0015】, 図1	5
A	& US 6529061 B1 & DE 10222777 A	2-4
Y	J P 2-182014 A (住友電気工業株式会社) 16.07.1990, 第1頁右下欄第15行-第2頁左上欄第7行, 図2 (ファミリーなし)	5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

15.12.2005

国際調査報告の発送日

27.12.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-273715 A (三菱電機株式会社) 26. 09. 2003, 【0023】, 図3 (ファミリーなし)	1-6