

發明專利說明書 200301903

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92100504 ※IPC分類：G11C16/2, G11C16/22

※申請日期：92.1.10

壹、發明名稱

(中文) 「反及」快閃記憶體與抹除，程式化之方法，及其反向複製之程式化

(英文) NAND FLASH MEMORY AND METHOD OF ERASING,
PROGRAMMING, AND COPY-BACK PROGRAMMING THEREOF

貳、發明人 (共1人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 李濬
(英文) JUNE LEE

住居所地址：(中文) 大韓民國漢城江南區開浦3洞住公公寓 706-1207
(英文) 706-1207, JOOGONG APT., KAEPO 3-DONG,
KANGNAM-KU, SEOUL, REPUBLIC OF KOREA

國籍：(中文) 南韓 (英文) KOREA

參、申請人 (共1人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 韓商三星電子股份有限公司
(英文) SAMSUNG ELECTRONICS CO., LTD.

住居所或營業所地址：(中文) 大韓民國京畿道水原市八達區梅灘洞 416 番地
(英文) 416 MAETAN-DONG, PALDAL-KU, SUWON,
KYUNGGI-DO, REPUBLIC OF KOREA

國籍：(中文) 南韓 (英文) KOREA

代表人：(中文) 尹鍾龍
(英文) JONG-YONG YUN

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 南韓；2002 年 01 月 12 日；2002-01875

2. _____

3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 南韓；2002 年 01 月 12 日；2002-01875

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

此申請案主張 2002 年 1 月 12 日所申請之韓國專利案號 2002-1875 的優先權，其內容在此實際上將全部併入作為參考。

技術領域

本發明是一般是有關於半導體記憶體，且更特別是，有關於在程式化、抹除、以及反向複製程式化的運作模式期間，具有驗證保持於分頁緩衝器中的資料位元之功能的反及快閃記憶體。

先前技術

反及快閃記憶體(一種不變性記憶體)係使用分頁緩衝器，用以在讀取運作期間，將鎖存資料(亦即，分頁資料)指配到選擇的分頁，這稱為分頁緩衝器的「感應運作」，而在程式化運作期間，儲存資料(亦即，程式資料)係來自於外部，這稱為分頁緩衝器的「資料載入運作」。另外，分頁緩衝器會提供防止禁止程式化的單元(cell)或已程式化的單元免於不想要的程式化。當驗證運作正檢查程式化或抹除的記憶體單元是否到達其目標(或想要的)臨界電壓位準時，分頁緩衝器會偵測選擇分頁之記憶體單元的資料位元，並且鎖存那些電壓值。然後，分頁緩衝器會將其資料位元送到通過/失敗檢查電路，以確認那些資料位元為告知成功的程式化或抹除之通過資料位元。

這樣的分頁緩衝器已揭露於稱為「用於不變性半導體記憶體裝置之感應放大器」的美國專利號 5,790,458，稱為「用以防止讀取失敗之具有隨意鎖存分頁緩衝器之積體電路

記憶體裝置」的美國專利號 5,761,132，以及稱為「用於不變性半導體記憶體的部份程式之資料載入電路」的美國專利號 5,712,818。

已知的分頁緩衝器中的一個係顯示於圖 1 中。圖 1 的分頁緩衝器係連接至一對位元線 BLe 及 BLo，包括一對鎖存器 LAT1 及 LAT2 (主要及快取)。NMOS 電晶體 M1~M4 會組成位元線選擇及偏壓電路，這會將位元線中的一條連接至感應節點 SO，並且會使其他的位元線處於浮接狀態。介於位元線 BLe 與感應節點 SO 之間的是會回應控制訊號 BLSHFe 的 NMOS 電晶體 M1。介於位元線 BLo 與感應節點 SO 之間的是會回應控制訊號 BLSHFo 的 NMOS 電晶體 M2。NMOS 電晶體 M3 係連接於位元線 BLe 與控制訊號線 VIRPWR 之間，而 NMOS 電晶體 M4 係介於 BLo 與 VIRPWR 之間。NMOS 電晶體 M3 及 M4 會分別回應控制訊號 VBLE 及 VBL0。電晶體 M1~M4 會組成位元線選擇及偏壓電路，以使位元線中的一條連接至感應節點 SO，並且會使其他的位元線處於浮接狀態。

介於電源供應電壓 VCC 與感應節點 SO 之間的是會回應控制訊號 PLOAD 的 PMOS 電晶體 M5。PMOS 電晶體 M6 係連接於 VCC 與主要鎖存器 LAT1 的主要鎖存節點 nB 之間，其以一訊號 PBRST 控制。在鎖存節點 nB 與接地電壓 VSS 之間的是串接的 NMOS 電晶體 M7 及 M8，會分別回應感應節點 SO 的電壓位準及控制訊號 PBLHCM。PMOS 電晶體 M9 係連接於 VCC 與輸出端點 nWDO 之間，會回應主要鎖存節點 B 的邏輯狀態而導通或關閉。輸出端點 nWDO 會導致顯示於圖 2 中的通過/失敗

檢查電路。輸出端點 nWDO 的邏輯狀態係互補於主要鎖存節點 B 的邏輯狀態。例如，當主要鎖存節點 B 為低位準時，輸出端點 nWDO 係連接至 VCC。否則，當主要鎖存節點 B 設定為高位準時，輸出端點 nWDO 會與 VCC 電性隔離（處於浮接狀態）。

連接於應感應節點 SO 與主要鎖存器 LAT1 的主要鎖存節點 B 之間的 NMOS 電晶體 M10 會回應訊號 BLSLT。介於內部節點 ND1 與主要鎖存節點 B 之間的是會回應訊號 PBDO 的 NMOS 電晶體 M11。連接於 VCC 與快取鎖存器 LAT2 的快取鎖存節點 A 之間的 PMOS 電晶體 M12 會回應訊號 PBSET。連接於快取鎖存節點 A 與感應節點 SO 之間的 NMOS 電晶體 M13 會回應訊號 PDUMP。介於主要鎖存節點 A 與 VSS 之間的是串接的 NMOS 電晶體 M14 及 M15。NMOS 電晶體 M14 及 M15 會分別回應感應節點 SO 的邏輯狀態及訊號 PBLCHC。介於內部節點 ND1 與快取鎖存器 LAT2 的快取鎖存節點 nA (A 的相反節點) 的是 NMOS 電晶體 M16，而在內部節點 ND1 與快取鎖存節點 A 之間，會連接至 NMOS 電晶體 M17。NMOS 電晶體 M16 及 M17 會分別回應互相互補的資料訊號 DLi 及 nDLi。

當將程式資料位元為「1」（如二進位碼）載入到圖 1 的分頁緩衝器電路中時，資料訊號 DLi 邏輯上會設定為高位準，而資料訊號 nDLi 會設定成低位準。內部節點 ND1 係經由會組成分別回應行選擇訊號 YA 及 YB 的行閘極電路之 NMOS 電晶體 M18 及 M19，而連接至資料線 DLi。介於資料線 DLi 與接地電壓之間的 NMOS 電晶體 M20 會回應訊號 DLD。

顯示於圖 1 中的分頁緩衝器可以抹除、程式化、讀取以及反向複製程式化模式來運作。反向複製程式化係有關於將儲存於一分頁中的資料移動到另一分頁之運作，並且已在美國專利號 5,996,041，稱為「具有表示分頁資料之非真狀態的真實之分頁旗標單元的積體電路記憶體裝置及其運作方法」中提出來。

在以圖 1 的分頁緩衝器之程式化中，程式資料位元會載入到鎖存器 LAT2。例如，如果程式資料位元為「1」，則資料訊號 DLi 會變成高位準，而資料訊號 nDLi 會變成低位準。NMOS 電晶體 M16 會導通，而 NMOS 電晶體 M17 會關閉。同時，NMOS 電晶體 M18 及 M19 會藉由行選擇訊號 YA 及 YB 而導通，藉此鎖存節點 nA 會經由 M18 及 M19 而連接至資料線 DLi。對於載入程式資料位元而言，資料線 DLi 會經由 NMOS 電晶體 M20 而連接至接地電壓。因此，「1」的程式資料位元會載入到鎖存節點 A。如果程式資料位元為「0」，則資料訊號 DLi 會變成低位準，而資料訊號 nDLi 會變成高位準。當 NMOS 電晶體 M17 使鎖存節點 A 連接到處於接地電壓的資料線 DLi 時，程式資料位元「0」會載入到鎖存節點 A。經由以上的程序，所有的程式資料位元會依序載入到分頁緩衝器。

在完成將程式資料位元載入到快取鎖存器 LAT2 的運作之後，資料位元會轉移到主要鎖存器 LAT1。首先，主要鎖存器 LAT1 會藉由 NMOS 電晶體 M6 的導通而初始化，並且感應節點 SO 會藉由 PMOS 電晶體 M5 而充電到高位準。然後，

NMOS 電晶體 M13 會導通，而將程式資料位元從 LAT2 轉移到 LAT1。如果「1」的程式資料位元已載入到快取鎖存器 LAT2，當 NMOS 電晶體 M7 及 M8 導通時，其會鎖存在 LAT1 的節點 B。反之，當「0」的程式資料位元載入到快取鎖存器 LAT2 中時，NMOS 電晶體 M7 會關閉，藉此 LAT1 的節點 B 會保持其初始狀態，無論 NMOS 電晶體 M8 的導通是否藉由控制訊號 PBLCHM。

載入到主要鎖存器 LAT1 中的程式資料位元會放入選擇記憶體單元將會程式化的選擇位元線之程式運作中，而其他的非選擇記憶體單元將會禁止程式化。在以保持於主要鎖存器 LAT1 中的資料位元之程式化期間，當作快取的快取鎖存器 LAT2 會將下個程式資料位元帶來此處。

在讀取運作或程式驗證運作期間，主要鎖存器 LAT1 會偵測儲存於屬於選擇分頁之記憶體單元中的資料位元，而在反向複製程式化運作或抹除驗證運作期間，快取鎖存器 LAT2 也會如此做。

在讀取或程式驗證運作中，一旦位元線 BLe 與 BLo 及感應節點 SO 已放電，選擇位元線 (例如，BLe) 在已充電到預定電壓後，會處於浮接狀態。當此發生時，位元線電壓將會降低或保持其先前的位準。當 NMOS 電晶體 M1 導通時，電流會經由 NMOS 電晶體 M5 而送到節點 SO。如果選擇記憶體單元為導通單元，則節點 SO 的電流會流經選擇記憶體單元的通道路徑，並且導致節點 SO 的電壓降低在 NMOS 電晶體 M7 的臨界電壓之下。雖然 NMOS 電晶體 M8 導通，但是鎖

存器 LAT1 不會改變其電壓狀態。如果選擇記憶體單元為關閉單元，則來自於 NMOS 電晶體 M5 的電流會使位於節點 SO 的電壓逐步地增加到超過 NMOS 電晶體 M7 的臨界電壓之較高的位準。在 NMOS 電晶體 M8 導通的時間期間，鎖存節點 B 會連接至接地電壓，以使主要鎖存器 LAT1 的邏輯狀態反向或保持主要鎖存器 LAT1 的邏輯狀態。

在反向複製程式化或抹除驗證運作期間，快取鎖存器 LAT2 會偵測儲存於選擇分頁之記憶體單元中的資料位元，然後將感應的結果轉移到主要鎖存器 LAT1。詳細地說，位元線 BLe 與 BLo 及感應節點 SO 會放電，而選擇位元線 (例如，BLe) 在充電到預定電壓後，會變成浮接。由於 NMOS 電晶體 M1 的導通，電流會會經由 PMOS 電晶體 M5 而送到節點 SO。如果選擇記憶體單元為導通單元，則送到節點 SO 的電流會流經選擇記憶體單元，並且導致節點 SO 的電壓在選擇記憶體單元的臨界電壓之下。雖然 NMOS 電晶體 M15 會藉由控制訊號 PBLCHC 從低位準到高位準的轉態而導通，但是主要鎖存器 LAT1 會保持目前的狀態。如果選擇記憶體單元為關閉單元，則來自於 PMOS 電晶體 M5 的電流會對感應節點 SO 逐步地充電，並且導致節點 SO 的電壓增加到超過 NMOS 電晶體 M14 的臨界電壓。NMOS 電晶體 M15 會導通，以使快取鎖存器 LAT2 的邏輯狀態反向。藉此，快取鎖存器 LAT2 會偵測選擇記憶體單元的狀態，其會轉移到主要鎖存器 LAT1。

程式化或抹除會伴隨驗證運作，以確認已程式化或抹除

的記憶體單元是否處於預定臨界電壓。程式化或抹除選擇分頁的記憶體單元之結果會藉由保持於主要鎖存器 LAT1 中的邏輯狀態，以及顯示於圖 2 中的通過/失敗檢查電路而決定。圖 2 的通過/失敗檢查電路 2 (其為接線 - 或型式) 通常包括多個保險絲 F1~Fk、NMOS 電晶體 M21、反相器 INV5 以及鎖存器 LAT3。保險絲會連接到分頁緩衝器 3 的輸出端點 nWDO，每一個會連接到一群分頁緩衝器。當在其對應的位元線中至少有一個缺陷時，保險絲會燒斷。

分配到每個分頁緩衝器的輸出端點 nWDO 會藉由主要鎖存器 LAT1 (圖 1) 的鎖存節點 A 而設定。例如，如果鎖存節點 A 設定成高位準，PMOS 電晶體 M9 會導通，而使輸出端點 nWDO 變成高位準，並且得知選擇記憶體單元已完全地程式化或抹除。在此情況中，節點 ND2 會保持低位準，而使通過/失敗訊號 PF 變成低位準。如果鎖存節點 A 處於低位準，PMOS 電晶體 M9 會關閉，並且得知選擇記憶體單元尚未完全地程式化或抹除。在此情況中，節點 ND2 的高位準會使通過/失敗訊號 PF 變成高位準。

因為一個保險絲會分配給一群分頁緩衝器或位元線 (因為使用目前的設計技術，將其與每個單一分頁緩衝器結合是不可能的)，所以對應此處之位元線中的一個有缺陷時，放棄多個連接至燒斷的保險絲之分頁緩衝器是不可避免的。關於保險絲結構之這樣的條件需要為較多的拓撲維度、降低佈局效率以及增加冗餘單元陣列的尺寸。

用以驗證程式化或抹除的結果之另一種技術 (免於使用

保險絲的缺點)是「行掃描」，其已在韓國專利擬定公開號 2001-029546，稱為「具有偵測電路的程式化狀態之快閃記憶體裝置及其程式化方法」中提出來。在行掃描的方式中，在偵測出記憶體單元狀態後，分頁緩衝器會儲存選擇分頁之記憶體單元的狀態，然後保持於分頁緩衝器中的資料位元會藉由回應於行位址的增加之位元組或字組的單元，而經由行通過電路(例如，圖 1 的 NMOS 電晶體 M19 及 M20)而循序地轉移到通過/失敗檢查電路。在此期間，對應於缺陷的行之來自於分頁緩衝器中的資料位元是不可存取的，因為缺陷的行會藉由包含其偵測資訊的行位址而以冗餘的行來取代。

然而，在含有顯示於圖 1 中之此種的分頁緩衝器 10 中，行掃描是不可運作的，因為在程式運作期間，快取鎖存器 LAT2 會藉由主要鎖存器 LAT1 而連接至另一分頁的程式資料位元。如上所述，快取鎖存器 LAT2 在載入程式資料位元時，會與資料線 DLi 一起導通，這會導致載入資料位元與驗證資料位元之間的衝突。

發明內容

本發明的具體實施例提供了一種快閃記憶體，其不使用無保險絲，而會增加驗證程式化或抹除記憶體單元之運作的效率。

因此，具體實施例可提供一種快閃記憶體，其具有將通過資料載入到對應於缺陷的行之分頁緩衝器中，而能執行程式化、抹除以及反向複製程式化之運作。

此外，本發明的具體實施例係藉由將通過資料載入到對應於缺陷的行之分頁緩衝器中，而提供了快閃記憶體關於驗證程式化或抹除記憶體單元之運作的增加效率。

實施方式

應該要了解的是，較佳具體實施例的說明只是例子，並且不應該視為限制。在以下詳細的說明中，許多特定的詳述會提及，以提供本發明之全盤的了解。然而，對於熟習此項技術者而言，顯然可知的是，本發明可不以這些特定的詳述來實施。

現在，本發明之實際的具體實施例將配合圖3到10的圖式來做說明。在本發明的實際使用中，雖然顯示於圖1中的分頁緩衝器可用於本發明的具體實施例中，但是可使用其他型式之使用單一分頁緩衝器中之一對主要及快取鎖存器的分頁緩衝器電路。

圖3係顯示根據本發明之一具體實施例之反及快閃記憶體的功能結構。反及快閃記憶體包括主要單元陣列11、冗餘單元陣列12、分頁緩衝器電路13、時脈產生器14、位址計數器15、冗餘電路16、行解碼器17、行開極電路18、資料輸入緩衝器19、第一資料載入電路20、第二資料載入電路21以及通過/失敗檢查電路22。每個單元陣列係由多個反及串所組成，其中的每個會連接到主要位元線及冗餘位元線。每個反及串係由一串選擇電晶體、共同源極線、接地選擇電晶體以及連接於此串選擇電晶體與此接地選擇電晶體之間之一系列的記憶體單元。

分頁緩衝器電路 13 係由經由主要及冗餘位元線而連接至單元陣列的多個分頁緩衝器所構成。每個分頁緩衝器係分配對應於一對位元線(例如,如圖 1 中所顯示)。遍及以下關於本發明之一具體實施例的說明,電路 13 的分頁緩衝器將相關於圖 1 中所顯示的分頁緩衝器。時脈產生器 14 會產生時脈訊號 CLK,用於反及快閃記憶體之運作模式。時脈產生器 14 會致能而產生時脈訊號 CLK,並且會與用以將程式資料載入分頁緩衝器電路 13 中的外部寫入致能訊號 nWEx 之下降轉態同步,包含用以輸出來自於串接的分頁緩衝器電路 13 中的資料之外部讀取致能訊號 nREx 的下降轉態,或者是在反向複製程式化或抹除運作期間,包含用以將通過資料載入在對應缺陷的行之分頁緩衝器上之內部振盪訊號。位址計數器 15 會產生與來自於時脈產生器 14 之時脈訊號 CLK 同步的行位址訊號。

參照圖 4,位址計數器 15 可由反相器 INV21、反或閘 G4 以及多個 D 型正反器 FF0~FF9(每個具有關於輸入資料位元 DI、時脈訊號 CLK、設定訊號 SET、重置訊號 RST 以及輸出 DQ 及 nDQ 之端點)所組成。當控制訊號 FYA 處於低位準(得知目前的行位址為最後一個)時,位址計數器 15 會循序地產生會組成一單元的行位址之行位址訊號 AY0~AY9。如果控制訊號 FYA 為高位準,則不會產生行位址訊號 AY0~AY9,亦即,位址計數器 15 不為導通的狀態。

冗餘電路 16(圖 3)會儲存用來指明主要單元陣列 11 的行之多個(或位元線)之行位址,並且會將位址計數器 15 的

行位址與缺陷的行位址做比較。如果來自於計數器 15 的目前行位址匹配於缺陷的行位址，冗餘電路 16 會使冗餘選擇訊號中的一個致能，以指明缺陷的行。行解碼器 17 及行開極電路 18 會選擇一部份的分頁緩衝器，以使其連接至其對應的資料線 DLi。

資料輸入緩衝器 19 會接收載入到位元組或字組之單元中的分頁緩衝器電路 13 之程式資料位元。第一資料載入電路 20 會將來自於資料輸入緩衝器 19 的程式資料位元轉移到選擇分頁緩衝器的鎖存器(例如，圖 1 的 LAT2)。參照圖 5，第一資料載入電路 20 包括或閘 G2、反及閘 G3、反或閘 G4 以及反相器 INV21 及 INV22。程式資料位元 Di 及冗餘選擇訊號 CRi 會施加到或閘 G2(其輸出會與資料載入致能訊號 DLE 一起施加到反及閘 G3 的輸入)的輸入。反及閘 G3 的輸出會經由反相器 INV22(如同資料訊號 DLi)而轉移到分頁緩衝器電路 13(例如，轉移到圖 1 之 NMOS 電晶體 M16 的閘極)。反或閘 G4 會接收經由反相器 INV21 的訊號 DLE、程式資料位元 Di 以及冗餘選擇訊號 CRi，並且會輸出會轉移到分頁緩衝器電路 13(例如，轉移到 NMOS 電晶體 M17 的閘極)的資料訊號 nDLi。資料載入電路 20 係對應一個資料位元。當程式資料位元載入到分頁緩衝器電路 13 中時，以及在反向複製程式化或抹除運作中的通過資料載入項目期間，資料載入致能訊號 DLE 會致能。

當訊號 DLE 正處於高位準時，資料訊號 DLi 及 nDLi 會藉由程式資料位元 Di 或冗餘選擇訊號 CRi 而做邏輯上的設定。

如果程式資料位元 D_i 為「1」且冗餘選擇訊號 CR_i 為低位準，則資料訊號 DL_i 會變成高位準，而 nDL_i 會變成低位準。如果程式資料位元 D_i 為「0」且冗餘選擇訊號 CR_i 為低位準，則資料訊號 DL_i 會變成低位準，而 nDL_i 會變成高位準。具有冗餘選擇訊號 CR_i 的高位準，資料訊號 DL_i 會保持高位準，無論程式資料位元 D_i ，「0」或「1」之目前的二進位狀態。此會使得快取鎖存器 LAT2 的鎖存節點 A 會連接到資料位元「1」（或通過資料位元），而轉移到主要鎖存器 LAT1。

當程式資料位元載入到分配給主要單元陣列 11 的分頁緩衝器（亦即，「主要分頁緩衝器」）時，第二資料載入電路 21（圖 6）會將目前程式資料位元中的程式資料位元（對應於缺陷的行）載入到分配給冗餘單元陣列 12 的分頁緩衝器（亦即，「冗餘分頁緩衝器」）。參照圖 6，第二資料載入電路 21 包括及閘 G5~G12、反或閘 G13~G16 與 G19、反及閘 G17、G18、與 G20 以及反相器 INV23 及 INV24。當程式化時，送到第二資料載入電路 21 的控制訊號（邏輯上為互相互補的 RDI_{en} 與 nDI_{en} ）會與資料載入致能訊號 DLE 一起致能。控制訊號 nDI_{en} 為低致能訊號。當缺陷的行位址由冗餘電路 16 發現時，施加到閘 G18~G20 的輸入之控制訊號 RED_{en} （亦即，冗餘致能訊號）會變成致能。冗餘資料訊號 RDI 與 $nRDI$ 會共同施加到分頁緩衝器（例如，施加至圖 1 之 NMOS 電晶體的 M16 及 M17 之閘極）。在冗餘致能訊號 RED_{en} 的致能狀態期間，分頁緩衝器中的一個會經由行閘極電路 18，而連接到對應於缺陷的行之資料線。

在使用位元組單元的程式資料之循序地載入運作期間，控制訊號 RDlen 與 nDlen 分別會設定成高及低位準。如果目前的行位址為缺陷的位址，則冗餘選擇訊號 CR0~CR7 (例如 CR0) 會變成致能。同時，冗餘致能訊號 REDen 會從低位準而成為高位準。假設對應於缺陷的行之程式資料位元 (例如，D1) 為「1」，則反及閘 G17 會輸出高位準訊號，而使冗餘資料訊號 RDI 及 nRDI 分別變成高及低位準。如果對應於缺陷的行之程式資料位元 D1 為「0」，則反及閘 G17 會輸出低位準的訊號，而使冗餘資料訊號 RDI 及 nRDI 分別設定成低及高位準。

通過/失敗檢查電路 22 會根據分頁緩衝器電路 13 之主要鎖存器 LAT1 的資料，來判斷記憶體單元是否已完全地程式化或抹除。參照圖 7，所繪示的通過/失敗檢查電路 22 與圖 2 中所顯示的不同之處在於沒有保險絲。沒有用來保護根據通過/失敗驗證結果的行失敗之傳統的保險絲，不會影響在來自於通過/失敗驗證結果的情況之分頁緩衝器中所鎖存的資料位元。那是因為通過資料位元會放入主要鎖存器 LAT1，來取代對應於缺陷的行之程式資料位元，並且可解決由於保險絲配置所造成的拓撲缺點。

在根據本發明的具體實施例之反及快閃記憶體中，因為在程式資料位元放入分頁緩衝器期間，通過資料位元會藉由行位址資訊而載入到對應於缺陷的行之分頁緩衝器，所以在缺陷的行之分頁緩衝器中所鎖存的資料位元不會影響在沒有保險絲的情況中之通過/失敗驗證結果。

在反向複製程式化模式中且在抹除運作後的抹除驗證運作之前，根據本發明的具體實施例之反及快閃記憶體會執行感應運作，並且在程式化運作之前，會將通過資料位元載入到對應於缺陷的行之分頁緩衝器中。之後會更詳細地說明程式化、抹除以及反向複製程式化的運作。

在程式化運作中，參照圖 8，當程式資料位元從外部來源而載入到分頁緩衝器電路 13 中時，通過資料位元會放入對應於回應缺陷的行位址之缺陷的行之分頁緩衝器中，來取代程式資料位元。對應於缺陷的行之程式資料位元會複製到冗餘的分頁緩衝器中。

一旦用於程式模式的指令(例如 80h; 16 進位碼)引入此處，在步驟 S1，包含列及行資訊的初始位址會根據預定的位址鎖存致能週期而送到記憶體中。同時，送到分頁緩衝器電路 13 的鎖存器 LAT2 之快取在載入程式資料位元之前，會藉由低位準致能的控制訊號 PBSET 而初始化。在步驟 S2 中，在位元組/字組之單元中的程式資料位元會回應寫入致能訊號 nWEx 的轉態，而施加到資料輸入緩衝器 19 中。程式資料位元會經由第一資料載入電路 20 而轉移到分頁緩衝器電路 13。在步驟 S3 中，冗餘電路 16 會判斷目前的行位址是否為缺陷的行中的一個。如果目前的行位址不是缺陷的一個，在步驟 S4，施加到資料輸入緩衝器 19 中的程式資料位元會經由第一資料載入電路 20 而載入到其對應的分頁緩衝器中。載入程式資料位元到分頁緩衝器中的程序與上述相同。

如果目前的行位址是缺陷的一個，冗餘電路 16 會使冗餘選擇訊號 CRi 中的一個致能。在步驟 S5，第一資料載入電路 20 會回應致能的冗餘選擇訊號，而將通過資料位元「1」轉移到分頁緩衝器電路 13，同時會隔離對應於缺陷的行之程式資料位元的傳輸。如上所述，程式資料位元會藉由選擇性地致能資料訊號 DLi 及 nDLi，以及使資料線連接到接地電壓，而載入到快取鎖存器 LAT2 中。如果目前的行位址指明缺陷的行，則通過資料位元「1」會分別藉由使資料訊號 DI 及 nDI 變為「1」及「0」，而送到快取鎖存器 LAT2。同時，在步驟 S6，對應於缺陷的行之程式資料位元會經由第二資料載入電路 21，而載入到對應於此處之冗餘分頁緩衝器中。

在步驟 S7 中，會判斷目前的行位址(或目前的程式資料位元)是否為最後一個。如果目前的行位址不是最後一個，則在步驟 S8，位址計數器 15 會產生下個位址，並且程序會返回步驟 S2，以輸入新的程式資料位元。從 S2 到 S8 的步驟會重複，直到目前的行位址(或程式資料位元)到達最後一個。如果目前的行位址是最後一個，則程式資料載入程序會終止。載入到快取鎖存器 LAT2 的程式資料位元會藉由上述的方式而轉移到主要鎖存器 LAT1。在步驟 S9 之回應與程式資料載入的終止一起引入的指令(10h)後，熟知的程式運作會以用於選擇分頁的載入程式資料位元來開始。

在將選擇分頁中的載入資料位元程式化之後，會繼續進行程式驗證運作，以檢查程式資料位元是成功地寫入選擇

分頁中。不缺乏來自於選擇分頁中所偵測的資料，程式驗證運作會以與讀取運作相同的程序，而藉由主要鎖存器 LAT1 來進行。所偵測的資料位元會轉移到通過/失敗檢查電路 22，其會找出已使用以下正常的情況，而程式化之選擇分頁中的記憶體單元。

首先，分配給選擇分頁的位元線在充電到預定電壓之後，會變成浮接。藉此，位元線的電壓會回應選擇記憶體單元的狀態(程式化或抹除)而增加或降低。參照圖 1(NMOS 電晶體 M1 為導通)，PMOS 電晶體 M5 會將電流供應至感應節點 SO。如果其為藉由抹除的導通單元，則送到感應節點 SO 的電流會經由選擇記憶體單元而放電，並且使節點 SO 的電壓低於 NMOS 電晶體 M7 的臨界電壓。主要鎖存器 LAT1 會保持目前的狀態，即使 NMOS 電晶體 M8 為導通。如果選擇記憶體單元為關閉單元(或已程式化足夠)，則流經 PMOS 電晶體 M5 的電流會使感應節點 SO 的電壓逐步地提升。在感應節點 SO 的電壓會增加到超過 NMOS 電晶體 M7 的臨界電壓，以致於當 NMOS 電晶體 M8 導通時，主要鎖存器 LAT1 會保持通過資料位元「1」。

保持在主要鎖存器 LAT1 的資料位元會經由 PMOS 電晶體 M9 而轉移到通過/失敗檢查電路 22。例如，當主要鎖存器 LAT1 將通過資料位元「1」儲存於鎖存節點 B 時，PMOS 電晶體 M9 會關閉，以使節點 ND2 保持在低位準。這會導致通過/失敗訊號 PF 具有低位準，而得知關於目前的載入程式資料位元之成功的程式。另一方面，主要鎖存器 LAT1 保持「0」

會當作鎖存節點B的失敗資料，PMOS電晶體M9會導通，以使節點ND2充電到電源供應電壓，會導致通過/失敗訊號PF為高位準，而得知關於載入資料位元之不足的程式。

在低位準的通過/失敗訊號PF，而得知關於目前的載入程式資料位元之足夠的程式之情況中，載入到快取鎖存器LAT2的下個程式資料位元將會寫入於新選擇的分頁中。並且，在以用於選擇分頁的程式資料而程式化的期間，新的程式資料位元會載入到快取鎖存器LAT2。當通過/失敗訊號PF為高位準，而得知關於目前的載入程式資料位元之不足的程式結果時，程式週期會重複地用於不足地程式化分頁，直到通過/失敗訊號PF變成低位準，或位於預定數目的程式週期中。

甚至沒有用於除了缺陷的行之外的傳統保險絲，保持於對應缺陷的行之分頁緩衝器中的資料位元不會影響通過/失敗驗證結果，因為在程式資料位元的載入運作期間，通過資料位元會藉由偵測的行資訊安置在缺陷的行之分頁緩衝器中。因此，本方案可免於由於傳統的保險絲配置之存在所導致的拓撲缺點，並且可免於冗餘效率的降低。

圖9係顯示根據本發明之具體實施例之反向複製程式化運作的程序。反向複製程式化模式會將分頁的資料儲存到另一分頁，其具有感應、通過資料載入、資料傾倒、程式化以及程式驗證之運作週期。在感應週期期間，快取鎖存器LAT2會以上述的方式，偵測儲存於分頁之記憶體單元中的資料。在藉由快取鎖存器LAT2來完成感應運作之後，感

應資料會寫入另一分頁。在本具體實施例中，在偵測的資料位元寫入另一分頁之前，通過資料位元會載入到對應於缺陷的行之分頁緩衝器中，如圖9中所顯示。

首先，會引入例如85h(16進位碼)的指令訊號，以使反向複製程式化模式開始。如同使程式模式開始之80h的指令訊號，85h的指令訊號不會使快取鎖存器LAT2初始化，其目的是防止寫入至另一分頁之鎖存資料位元的變化。為了部份地重新寫入載入於快取鎖存器LAT2中之資料位元，在步驟S11中，第一位址及程式資料位元會以上述的相同方式，藉由資料輸入緩衝器19及第一資料載入電路20，而傳送到分頁緩衝器電路13。根據本發明的具體實施例，在此期間，對應於缺陷的行之程式資料位元會經由第二載入電路21，而放入冗餘分頁緩衝器中。

接著，會回應步驟S12中所接收到的例如10h(16進位碼)的指令訊號，其會藉由步驟S13中所產生的內部振盪致能訊號，而設定位址計數器15的行位址「0」。步驟S14會判斷來自於位址計數器15的行位址是否是缺陷的行。如果來自於位址計數器15的行位址是缺陷的，則冗餘電路16會使冗餘選擇訊號CRi中的一個致能。第一資料載入電路20會回應致能的冗餘選擇訊號，而輸出資料訊號DLi及nDLi，每一個具有高(如通過資料位元「1」)及低位準。在此期間，接地資料線DLi會藉由行開極電路18，而電性連接到節點ND1。具有那些條件，在步驟S15中，通過資料位元「1」會載入到快取鎖存器LAT2的鎖存節點A。

如果來自於位址計數器 15 的行位址未指明是缺陷的行，則會繼續進行步驟 S16，以判斷目前由位址計數器 15 所送出的行位址是否是最後的。當目前的行位址不是最後時，在步驟 S17 中，位址計數器 15 會使行位址增加「1」。步驟 S14 到 S17 會重複，直到來自於位址計數器 15 的行位址為最後的一個。在反覆的常式後，「1」的通過資料位元會安置在對應於缺陷的行之分頁緩衝器中，當在步驟 S16，有最後行位址時，載入通過資料的運作會完成，然後程式運作會開始。

在圖 9 的程序之後，保持在快取鎖存器 LAT2 的程式資料位元會轉移到主要鎖存器 LAT1，而寫入另一分頁中(以下參考「第二分頁」)。然後，通過/失敗檢查電路 22 會評估第二分頁的程式結果(「通過」或「失敗」)，這實質上與先前的程式驗證運作相同。與程式運作相同，在無保險絲的通過/失敗檢查電路 22 中，反向複製程式驗證運作也會在無保險絲下進行。

如圖 9 中所顯示，部份重新寫入的資料位元會在指令訊號 85h 後的指令訊號 10h 之前，載入到快取鎖存器 LAT2 中。當這發生時，最初由外部的記憶體裝置引進此處的位址會包含列及行資訊，而下個位址只會包含行資訊，這會發生，因為反向複製運作係包含於一個分頁中。

圖 10 係解釋根據本發明的具體實施例之抹除的流程。抹除模式的運作係由抹除、通過資料載入以及抹除驗證的週期所組成。在抹除模式期間，在抹除驗證運作開始確認記

記憶體單元已抹除於無失敗的先前抹除週期中之前，通過資料位元會儲存於對應缺陷的行之分頁緩衝器中。

在抹除後，參照圖 10，在步驟 S21 中，位址計數器 15 會將行位址設定成「0」。下個步驟 S22 會判斷產生自位址計數器 15 的行位址是否是對應於缺陷的行之一個。如果來自於位址計數器 15 的位址是缺陷的，冗餘電路 16 會使冗餘選擇訊號 CRi 中的一個致能。第一資料載入電路 20 會回應致能的冗餘選擇訊號，而輸出資料訊號 DLi 及 nDLi，每一個具有高(如通過資料位元「1」)及低位準。在此期間，接地資料線 DLi 會藉由行開極電路 18，而電性連接到節點 ND1。具有那些條件，在步驟 S23 中，通過資料位元「1」會載入到快取鎖存器 LAT2 的鎖存節點 A。

如果來自於位址計數器 15 的行位址未指明是缺陷的行，則會繼續進行步驟 S24，以判斷目前由位址計數器 15 所送出的行位址是否是最後的一個。如果目前的行位址不是最後的，在步驟 S25 中，位址計數器 15 會使行位址增加「1」。步驟 S22 到 S25 會重複，直到來自於位址計數器 15 的行位址為最後的一個。在從步驟 S22 到步驟 S25 之反覆的常式後，「1」的通過資料位元會儲存於對應於缺陷的行之分頁緩衝器中，當在步驟 S24，偵測到最後行位址時，載入通過資料的運作會完成，然後程式驗證運作會開始。

在上述的資料傳輸過程中，載入到快取鎖存器 LAT2 的資料位元會轉移到主要鎖存器 LAT1，並且通過/失敗檢查電路 22 會輸出來自於轉移的資料位元之通過/失敗訊號 PF

。資料轉移及通過/失敗檢查的那些運作與上述的相同，參考上述的程式驗證運作。與程式模式相同，在無保險絲的通過/失敗檢查電路 22 中，抹除驗證運作也可在無保險絲下進行。並且，通過資料載入及驗證運作會重複，直到以抹除模式，選擇到所有分頁。

藉由使用加速的行掃描方案，如 2001 年 8 月 28 日申請之指配給本發明的讓渡人之韓國專利申請號 2001-52057 且實質上在此會全部併入做為參考，以抹除模式或反向複製程式模式來縮短載入通過資料位元的時間是可行的，這會使內部資料匯流排的寬度延伸到超過資料輸入/輸出寬度。

如上所述，目前的反及快閃記憶體係藉由將通過資料位元載入到對應於缺陷的行之分頁緩衝器中，而使用無保險絲的通過/失敗檢查電路，這可克服由於保險絲配置所造成之較大的電路拓撲及冗餘效率的缺點。在程式模式中，在程式資料載入週期期間，通過資料位元會放入對應於缺陷的行之分頁緩衝器中。在抹除，或反向複製程式化模式中，在感應資料位元從快取鎖存器轉移到主要鎖存器之前，通過資料位元會載入到對應於缺陷的行之分頁緩衝器中。

本發明之具體實施例的特定例子現在會做說明，並且給予本發明如何可具體實施的例子。根據本發明的觀點，會提供在程式化、讀取、反向複製程式化以及抹除的運作模式中，會導通的不變性記憶體，包括配置於列及行的矩陣中之多個記憶體單元的單元陣列。不變性記憶體包括：在運作模式中，用以產生可運作的時脈訊號之時脈產生器；

用以產生回應於時脈訊號的行位址之位址產生器；包括對應於行之多個分頁緩衝器的分頁緩衝器電路，每個分頁緩衝器包括主要及快取鎖存器；用以選擇一部份的分頁緩衝器及用以將選擇分頁緩衝器連接到對應於選擇分頁緩衝器的資料線之行選擇電路；用以將外部的程式資料位元放入選擇分頁緩衝器中的快取鎖存器之資料載入電路；以及回應行位址而控制資料載入電路的方式，藉此，當在程式運作模式期間，行位址中的一個指明缺陷的行時，通過資料位元會載入到連接至缺陷的行之選擇分頁緩衝器中的快取鎖存器中，來取代缺陷的行中之程式資料位元。

控制資料載入電路的方式包括冗餘電路，用以儲存包含於缺陷的行中之位址資訊，以及當行位址指明缺陷的行時，用以使冗餘選擇訊號中的一個致能。

在抹除記憶體單元後的驗證運作開始之前，時脈訊號會調整連續產生的行位址；並且通過資料位元會回應冗餘選擇訊號之致能的一個，而載入到連接至缺陷的行之選擇分頁緩衝器中的快取鎖存器。另一方面，在感應及保持於快取鎖存器中的資料位元轉移到分頁緩衝器中的主要鎖存器之前，時脈訊號會調整連續產生的行位址；並且通過資料位元會回應冗餘選擇訊號之致能的一個，而載入到連接至缺陷的行之選擇分頁緩衝器中的快取鎖存器。在程式化運作模式期間，會回應內部振盪致能訊號，或回應寫入致能訊號的邏輯轉態，而產生時脈訊號。

實際上，控制資料載入電路之一種範例的方式包括：冗

餘單元陣列，包括配置於列及冗餘行之矩陣中的冗餘記憶體單元；冗餘分頁緩衝器，每個係對應於冗餘行，每個冗餘分頁緩衝器包括冗餘主要鎖存器及冗餘快取鎖存器；以及冗餘資料載入電路，用以回應冗餘選擇訊號，而將對應於缺陷的行之程式資料位元放入冗餘分頁緩衝器中的一個之冗餘快取鎖存器中。

不變性記憶體的另外例子更包括通過/失敗檢查電路，用以在程式化、抹除或反向複製程式化運作模式的驗證週期期間，決定分頁緩衝器中之主要鎖存器的資料位元為通過資料位元。通過/失敗檢查電路(如無保險絲的型式)包括：共同連接至分頁緩衝器的PMOS電晶體之內部節點；放電電晶體，用以回應放電控制訊號，而將內部節點連接到接地電壓；以及鎖存器，用以保持內部節點的邏輯狀態，以及用以輸出通過/失敗訊號。

每個分頁緩衝器可包括PMOS電晶體，其會回應儲存於對應此處之分頁緩衝器的主要鎖存器中之資料位元，而將電源供應電壓連接到通過/失敗檢查電路。

將不變性記憶體(其具有配置於列及第一行之矩陣中之記憶體單元的主要單元陣列、配置於列及第二行之矩陣中之冗餘記憶體單元的冗餘單元陣列、以及對應於第一及第二行的分頁緩衝器，每個分頁緩衝器包括主要及快取鎖存器)中的資料程式化之方法可包括，例如：在初始位址輸入後，接收程式資料位元；找出初始位址的行位址是用以選擇第一行中之缺陷的一個之位址；當行位址分配給缺陷

的行時，會將通過資料位元載入到對應缺陷的行之分頁緩衝器中的快取鎖存器；找出行位址為最後一個；當行位址不是最後一個時，使行位址增加1；以及重複先前的步驟，直到行位址到達最後一個。

在程式化模式中，對應於缺陷的行之程式資料位元會載入到對應第二行之分頁緩衝器中的快取鎖存器，而通過資料位元會載入到連接至缺陷的行之分頁緩衝器中的快取鎖存器。如果行位址不是缺陷的行之位址，則程式資料位元會載入到對應第一行的分頁緩衝器中。並且，載入到快取鎖存器的程式資料位元會轉移到主要鎖存器，以將主要及冗餘單元陣列程式化。

將不變性記憶體(其具有配置於列及第一行之矩陣中之記憶體單元的主要單元陣列、配置於列及第二行之矩陣中之冗餘記憶體單元的冗餘單元陣列以及對應於第一及第二行的分頁緩衝器，每個分頁緩衝器包括主要及快取鎖存器)中的資料反向複製程式化之方法可包括，例如：在感應及保持第一行的分頁資料後，會藉由快取鎖存器，而產生行位址「0」；找出行位址是用以選擇第一行中之缺陷的一個之位址；當行位址分配給缺陷的行時，會將通過資料位元載入到對應缺陷的行之分頁緩衝器中的快取鎖存器；判斷行位址是否是最後一個；當行位址不是最後一個時，使行位址增加1；以及重複先前的步驟，直到行位址到達最後一個。

在反向複製程式化模式中，當行位址不是用來選擇缺陷

的行之位址時，也會判斷行位址是最後一個。當行位址是最後一個時，快取鎖存器中的程式資料位元會轉移到主要鎖存器，以將主要及冗餘單元陣列程式化。

將不變性記憶體(其具有配置於列及第一行之矩陣中之記憶體單元的主要單元陣列、配置於列及第二行之矩陣中之冗餘記憶體單元的冗餘單元陣列以及對應於第一及第二行的分頁緩衝器，每個分頁緩衝器包括主要及快取鎖存器)中的資料抹除之方法可包括，例如：在抹除主要及冗餘單元陣列後，藉由快取鎖存器來感應分頁資料；產生行位址「0」；判斷行位址是否是用以選擇第一行中之缺陷的一個之位址；當行位址分配給缺陷的行時，會將通過資料位元載入到對應缺陷的行之分頁緩衝器中的快取鎖存器；判斷行位址是否是最後一個；當行位址位於最後一個之前時，會使行位址增加1；以及重複先前的步驟，直到行位址到達最後一個。

在抹除模式中，當行位址不是用來選擇缺陷的行之位址時，也會找出行位址是最後一個。

雖然為了說明的目的，本發明的較佳具體實施例已揭露，但是熟習此項技術者將了解到的是，在不違反如所附的申請專利範圍所述之本發明的範圍及精神之下，可做各種修飾、增加及取代。

圖式簡單說明

本發明之更完整的了解，及其許多伴隨的優點將藉由參考以下考慮與附圖結合時的詳細說明，而將立即變成顯然

可知(與變成更佳了解相同),其中相似的參考標號係表示相同或相似的組件。

圖1係用於反及快閃記憶體中之傳統的分頁緩衝器之示意圖;

圖2係用於反及快閃記憶體中之傳統的通過/失敗檢查電路之概要方塊圖;

圖3係根據本發明的一具體實施例之反及快閃記憶體的方塊圖;

圖4係可用於圖3的電路中之位址計數器的電路圖;

圖5係可用於圖3的電路中之第一資料載入電路的電路圖;

圖6係可用於圖3的電路中之第二資料載入電路的電路圖;

圖7係可用於圖3的電路中之通過/失敗檢查電路的電路圖;

圖8係可執行於圖3的反及快閃記憶體中之程式化的流程圖;

圖9係可執行於圖3的反及快閃記憶體中之反向複製程式化的流程圖;以及

圖10係可執行於圖3的反及快閃記憶體中之抹除的流程圖。

圖式代表符號說明

- 1 記憶體單元陣列
- 2 通過/失敗檢查電路

- 3 分 頁 緩 衝 器
- 11 主 要 單 元 陣 列
- 12 冗 餘 單 元 陣 列
- 13 分 頁 緩 衝 器 電 路
- 14 時 脈 產 生 器
- 15 位 置 計 數 器
- 16 冗 餘 電 路
- 17 行 解 碼 器
- 18 行 開 極 電 路
- 19 資 料 輸 入 緩 衝 器
- 20 第 一 資 料 載 入 電 路
- 21 第 二 資 料 載 入 電 路
- 22 通 過 / 失 敗 檢 查 電 路

肆、中文發明摘要

本發明揭示一種包括一資料載入電路之反及快閃記憶體，其會將程式資料位元送到具有第一及第二鎖存器的分頁緩衝器中。在用於程式化的資料載入運作期間，該資料載入電路會回應包含於缺陷的行中之行位址的資訊，而將通過資料位元放入對應於缺陷的行之分頁緩衝器中，來取代分配給缺陷的行之程式資料位元。其可提供用於不使用保險絲配置之程式化驗證的通過/失敗檢查電路，而使缺陷的行之資料不會影響程式驗證結果。

伍、英文發明摘要

The disclosure is a NAND flash memory including a data loading circuit providing a program data bit into a page buffer having first and second latches. During a data loading operation for programming, the data loading circuit puts a pass data bit into a page buffer corresponding to a defective column, instead of a program data bit that is assigned to the defective column, responding to information of a column address involved in the defective column. It is available to provide a pass/fail check circuit for program-verifying without employing a fuse arrangement, making data of the defective column not affect a program-verifying result.

拾、申請專利範圍

1. 一種不變性記憶體，包括配置於列及行的一矩陣中之複數個記憶體單元之一單元陣列，在程式化、讀取、反向複製程式化以及抹除的運作模式中會導通，該記憶體包括：

一時脈產生器，用以產生可運作於該等運作模式之一時脈訊號；

一位址產生器，用以回應該時脈訊號而產生行位址；

一分頁緩衝器電路，包括對應於該等行之複數個分頁緩衝器，每一該等分頁緩衝器包括主要及快取鎖存器；

一行選擇電路，用以選擇一部份的分頁緩衝器及用以將該等選擇分頁緩衝器連接到對應於該等選擇分頁緩衝器的資料線；

一資料載入電路，用以將外部的程式資料位元放入該等選擇分頁緩衝器中的快取鎖存器；以及

一控制電路，其結構會回應該等行位址而控制該資料載入電路，其中當在該程式化運作模式期間，該等行位址中的一個指明一缺陷行時，一通過資料位元會載入到連接至一缺陷行之一選擇分頁緩衝器的該快取鎖存器中，來取代該缺陷行中的一程式資料位元。

2. 如申請專利範圍第1項之記憶體，其中該控制電路包括一冗餘電路，用以儲存該缺陷行中的位址資訊，以及當該行位址指明該缺陷行時，用啟動冗餘選擇訊號中

的一個。

3. 如申請專利範圍第2項之記憶體，其中在一驗證運作開始之前及抹除該等記憶體單元後，該時脈訊號會調整連續產生的該等行位址；並且該等通過資料位元會回應該等冗餘選擇訊號之有效的一個，而載入到連接至該缺陷行之該選擇分頁緩衝器中的快取鎖存器。
4. 如申請專利範圍第2項之記憶體，其中在感應及保持於該等快取鎖存器中的資料位元轉移到該等分頁緩衝器中的主要鎖存器之前，該時脈訊號會調整連續產生的該等行位址；並且該等通過資料位元會回應該等冗餘選擇訊號之有效的一個，而載入到連接至該缺陷行之該選擇分頁緩衝器中的快取鎖存器。
5. 如申請專利範圍第3項之記憶體，其中會回應一內部振盪致能訊號而產生該時脈訊號。
6. 如申請專利範圍第2項之記憶體，其中該控制電路包括：
 - 一冗餘單元陣列，包括配置於該等列及冗餘行之一矩陣中的冗餘記憶體單元；
 - 冗餘分頁緩衝器，每個係對應於該等冗餘行，每一該等冗餘分頁緩衝器包括一冗餘主要鎖存器及冗餘快取鎖存器；以及
 - 一冗餘資料載入電路，用以回應該冗餘選擇訊號，而將對應於該缺陷行之該程式資料位元放入該等冗餘分頁緩衝器中的一個之該冗餘快取鎖存器中。
7. 如申請專利範圍第6項之記憶體，進一步包括一通過/

失敗檢查電路，用以在該程式化、抹除或反向複製程式化運作模式的一驗證週期期間，判斷該等分頁緩衝器中之該等主要鎖存器的資料位元是否為通過資料位元。

8. 如申請專利範圍第7項之記憶體，其中每一該等分頁緩衝器包括一PMOS電晶體，用以回應儲存於對應此處之該分頁緩衝器的該主要鎖存器中之一資料位元，而將一電源供應電壓連接到該通過/失敗檢查電路。

9. 如申請專利範圍第8項之記憶體，該通過/失敗檢查電路包括：

一內部節點，會共同連接至該等分頁緩衝器中的該PMOS電晶體；

一放電電晶體，用以回應一放電控制訊號，而將該內部節點連接到一接地電壓；以及

一鎖存器，用以保持該內部節點的一邏輯狀態，以及用以輸出一通過/失敗訊號。

10. 如申請專利範圍第1項之記憶體，其中在該程式化運作模式期間，會回應一寫入致能訊號的邏輯轉態而產生該時脈訊號。

11. 一種將一不變性記憶體中的資料程式化之方法，其具有配置於列及第一行之一矩陣中之記憶體單元的一主要單元陣列、配置於該等列及第二行之一矩陣中之冗餘記憶體單元的一冗餘單元陣列以及對應於該第一及第二行的分頁緩衝器，每一分頁緩衝器包括主要及快

取鎖存器，該方法包括：

在一初始位址輸入後，接收一程式資料位元；

判斷該初始位址中的一行位址是否是用以選擇該第一行中之一缺陷行的一位址；

當該行位址分配給該缺陷行時，會將一通過資料位元載入到對應該缺陷行之該分頁緩衝器中的該快取鎖存器；

判斷該行位址是否為一最後一個；

當該行位址在該最後一個之前時，使該行位址增加 1；以及

重複先前的程序，直到該行位址到達最後一個。

12. 如申請專利範圍第 11 項之方法，其中對應於該缺陷行之一程式資料位元會載入到對應該第二行之該分頁緩衝器中的該快取鎖存器，而該通過資料位元會載入到連接至該缺陷行之該分頁緩衝器中的該快取鎖存器。
13. 如申請專利範圍第 11 項之方法，其中如果該行位址不是該缺陷行中的一位址，則該程式資料位元會載入到對應該第一行的該分頁緩衝器中。
14. 一種方法，其中載入到該快取鎖存器的程式資料位元會轉移到主要鎖存器，以將該等主要及冗餘單元陣列程式化。
15. 一種將一不變性記憶體中的資料反向複製程式化之方法，其具有配置於列及第一行之一矩陣中之記憶體單元的一主要單元陣列、配置於該等列及第二行之一矩

陣中之冗餘記憶體單元的一冗餘單元陣列以及對應於該第一及第二行的分頁緩衝器，每一該等分頁緩衝器包括主要及快取鎖存器，該方法包括：

在感應及保持該第一行的分頁資料後，會藉由該等快取鎖存器，而產生「0」的一行位址；

判斷該行位址是否是用以選擇該等第一行中之一缺陷行的一位址；

當該行位址分配給該缺陷行時，會將一通過資料位元載入到對應該缺陷行之該分頁緩衝器中的該快取鎖存器；

判斷該行位址是否為一最後一個；

當該行位址在該最後一個之前時，使該行位址增加1；以及

重複先前的程序，直到該行位址到達最後一個。

16. 如申請專利範圍第15項之方法，更包括：

當該行位址不是用來選擇該缺陷行的一位址時，會判斷該行位址是最後一個。

17. 如申請專利範圍第15項之方法，其中當該行位址是該最後一個時，該等快取鎖存器中的該等程式資料位元會轉移到該等主要鎖存器，以將該等主要及冗餘單元陣列程式化。

18. 一種將一不變性記憶體中的資料抹除之方法，其具有配置於列及第一行之一矩陣中之記憶體單元的一主要單元陣列、配置於該等列及第二行之一矩陣中之冗餘

記憶體單元的一冗餘單元陣列以及對應於該第一及第二行的分頁緩衝器，每一該等分頁緩衝器包括主要及快取鎖存器，該方法包括：

在抹除該等主要及冗餘單元陣列後，藉由該等快取鎖存器來感應分頁資料；

產生「0」的一行位址；

判斷該行位址是否是用以選擇該第一行中之一缺陷行的一位址；

當該行位址分配給該缺陷行時，會將一通過資料位元載入到對應該缺陷行之該分頁緩衝器中的該快取鎖存器；

判斷該行位址是否為一最後一個；

當該行位址在該最後一個之前時，使該行位址增加1；以及

重複先前的程序，直到該行位址到達最後一個。

19. 如申請專利範圍第18項之方法，進一步包括：

當該行位址不是用來選擇該缺陷行的一位址時，會判斷該行位址是最後一個。



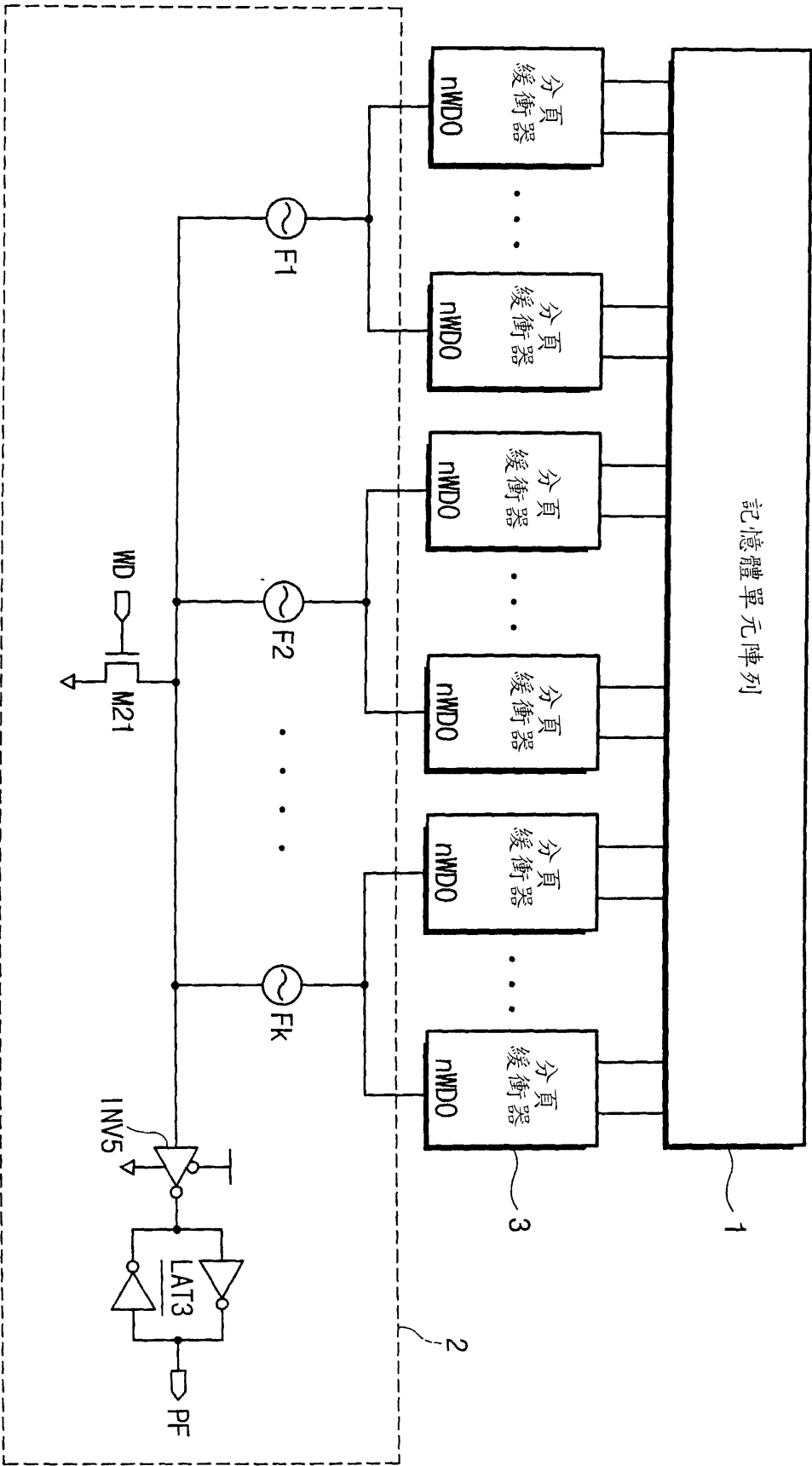


圖 2

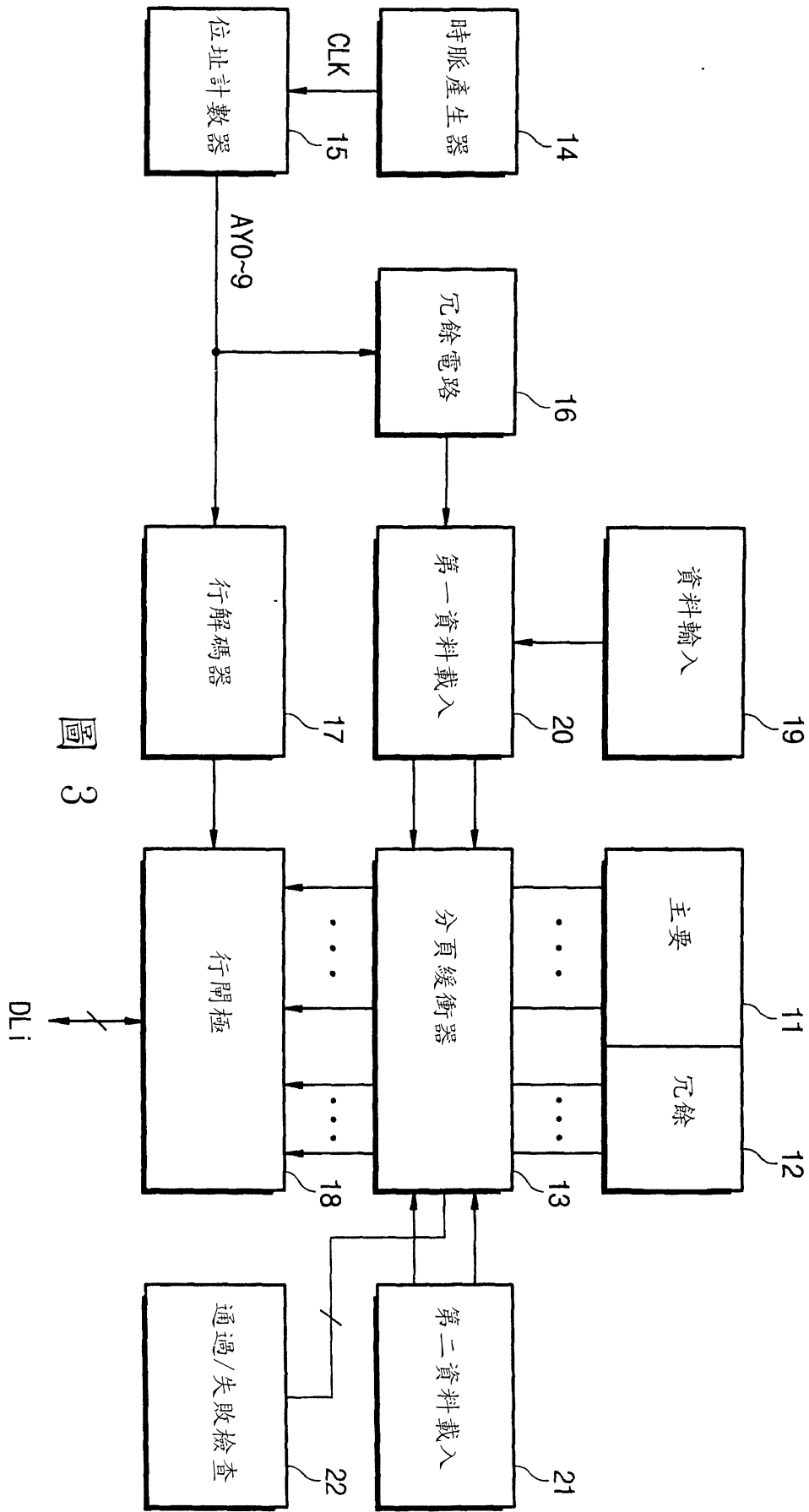


圖 3

15

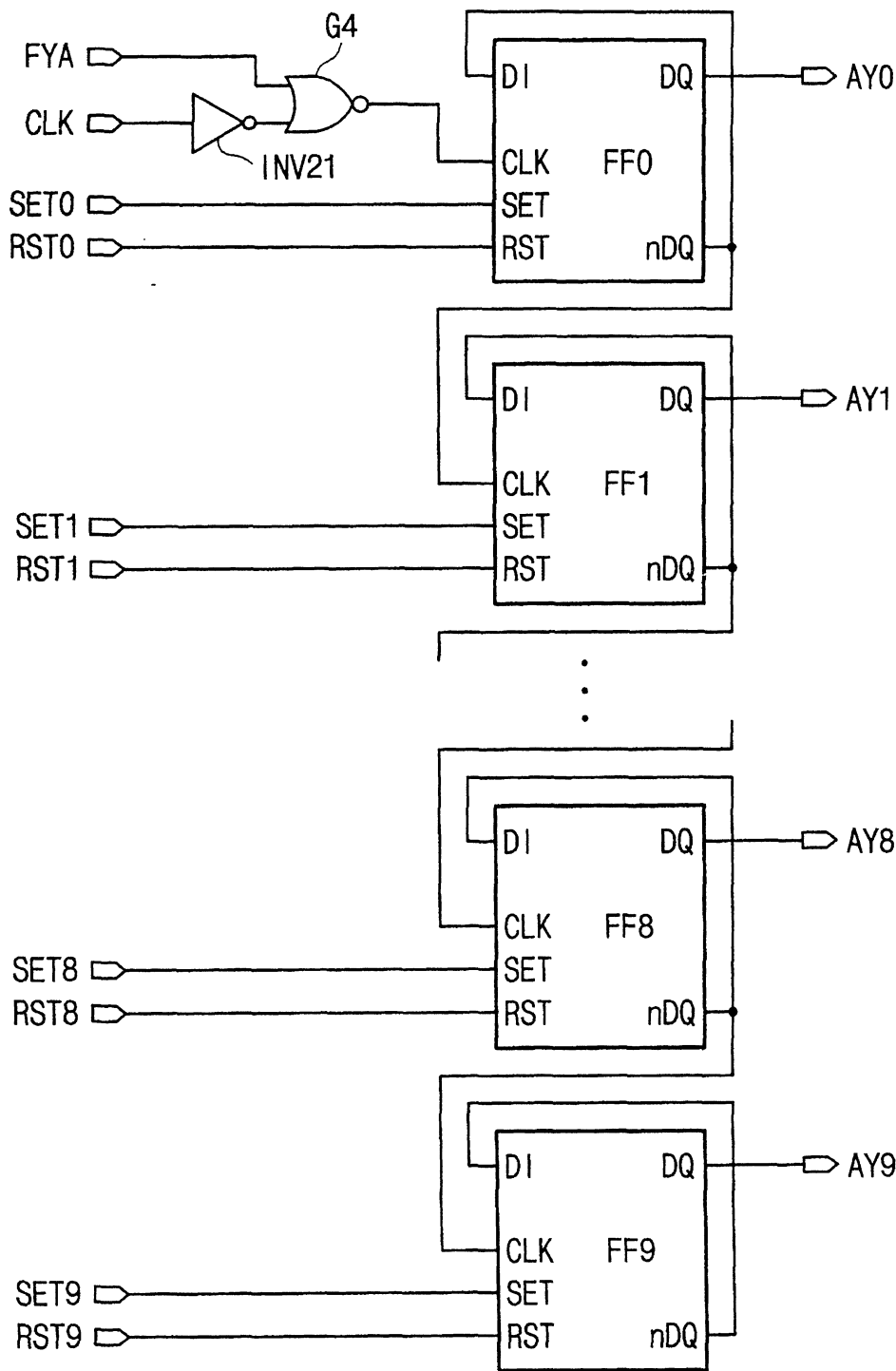


圖 4

20

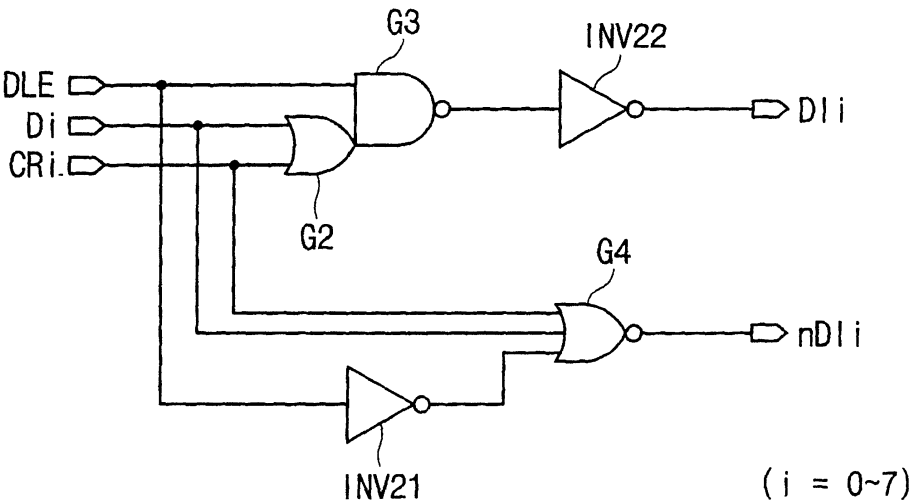
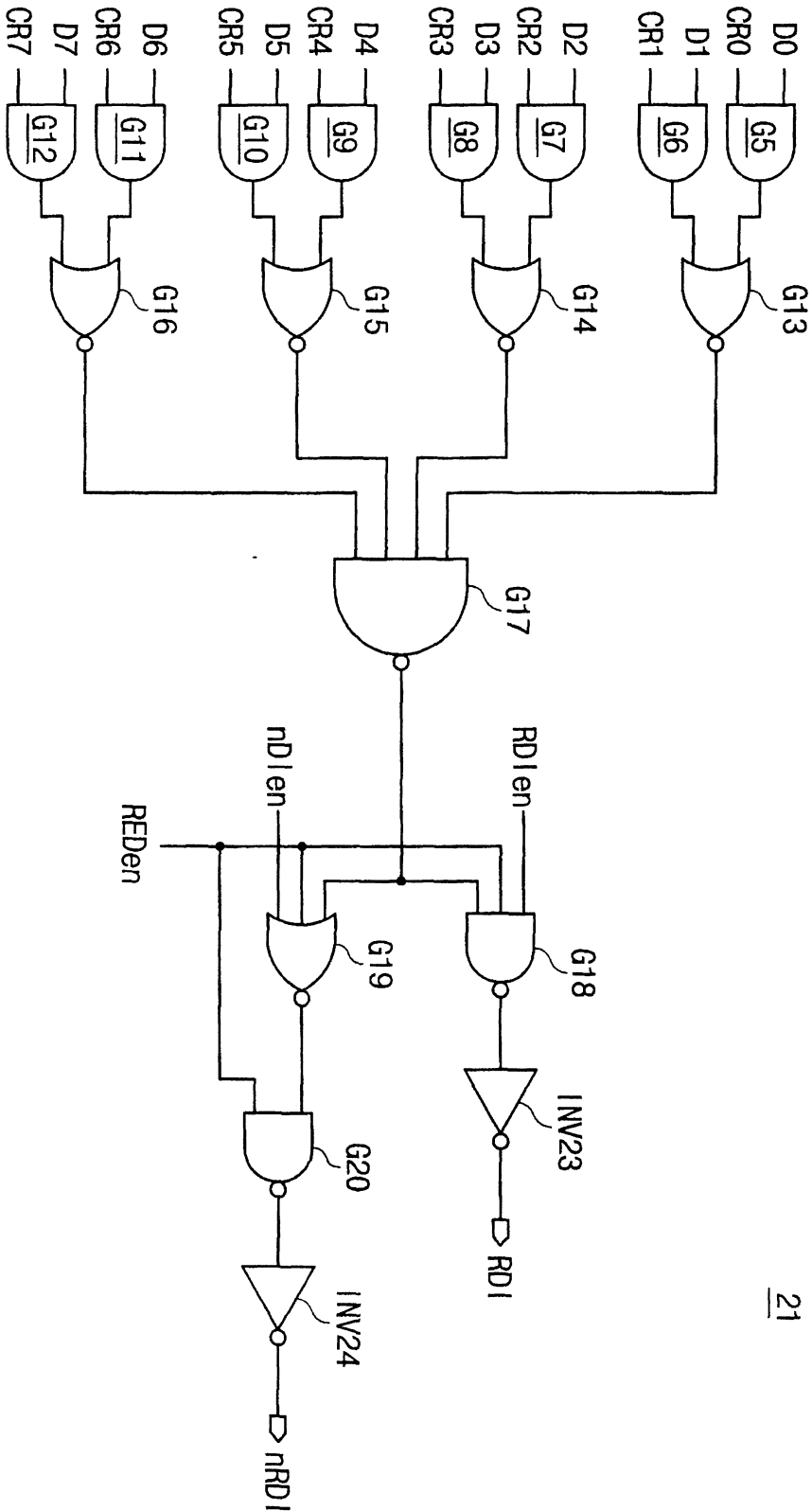


圖 5



21

圖 6



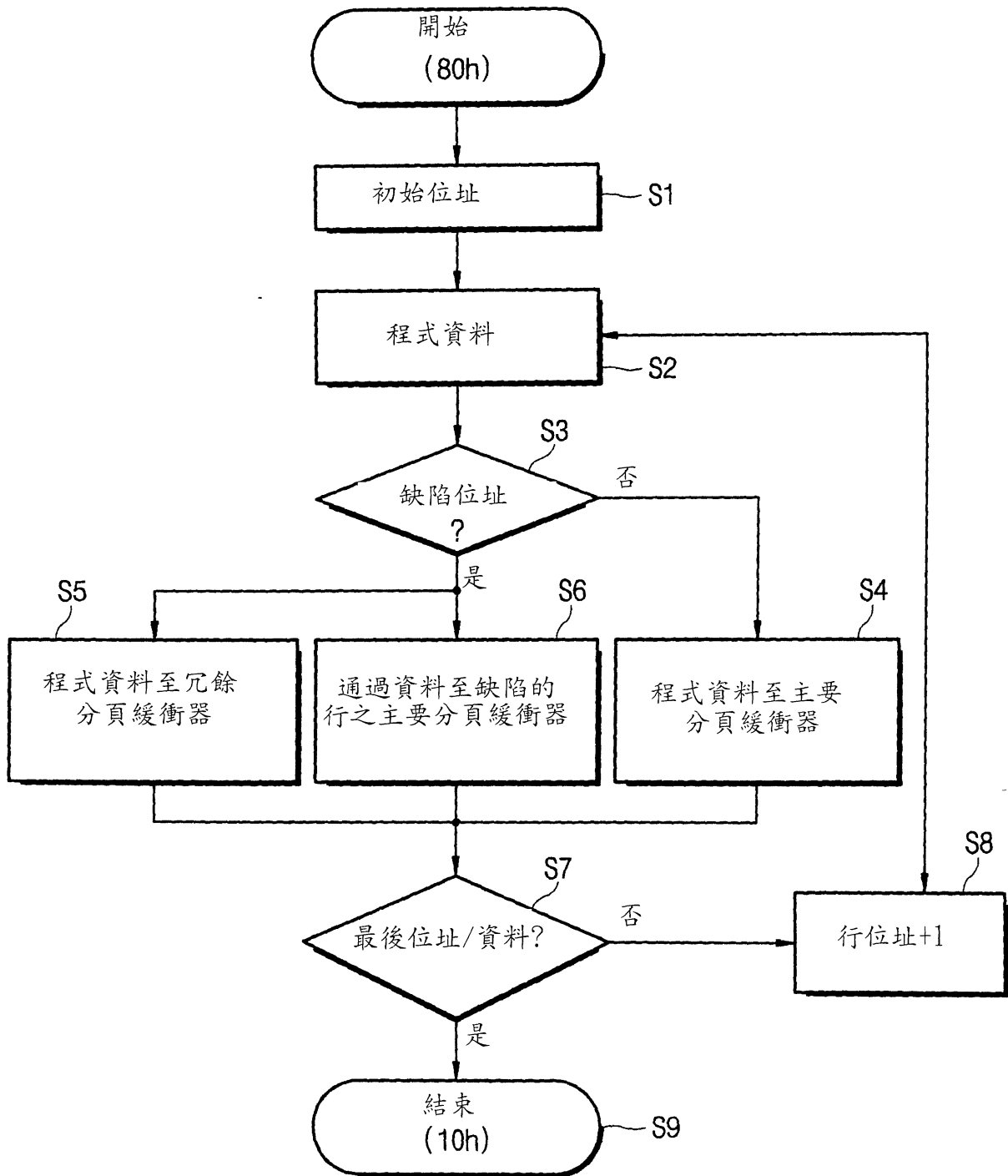


圖 8

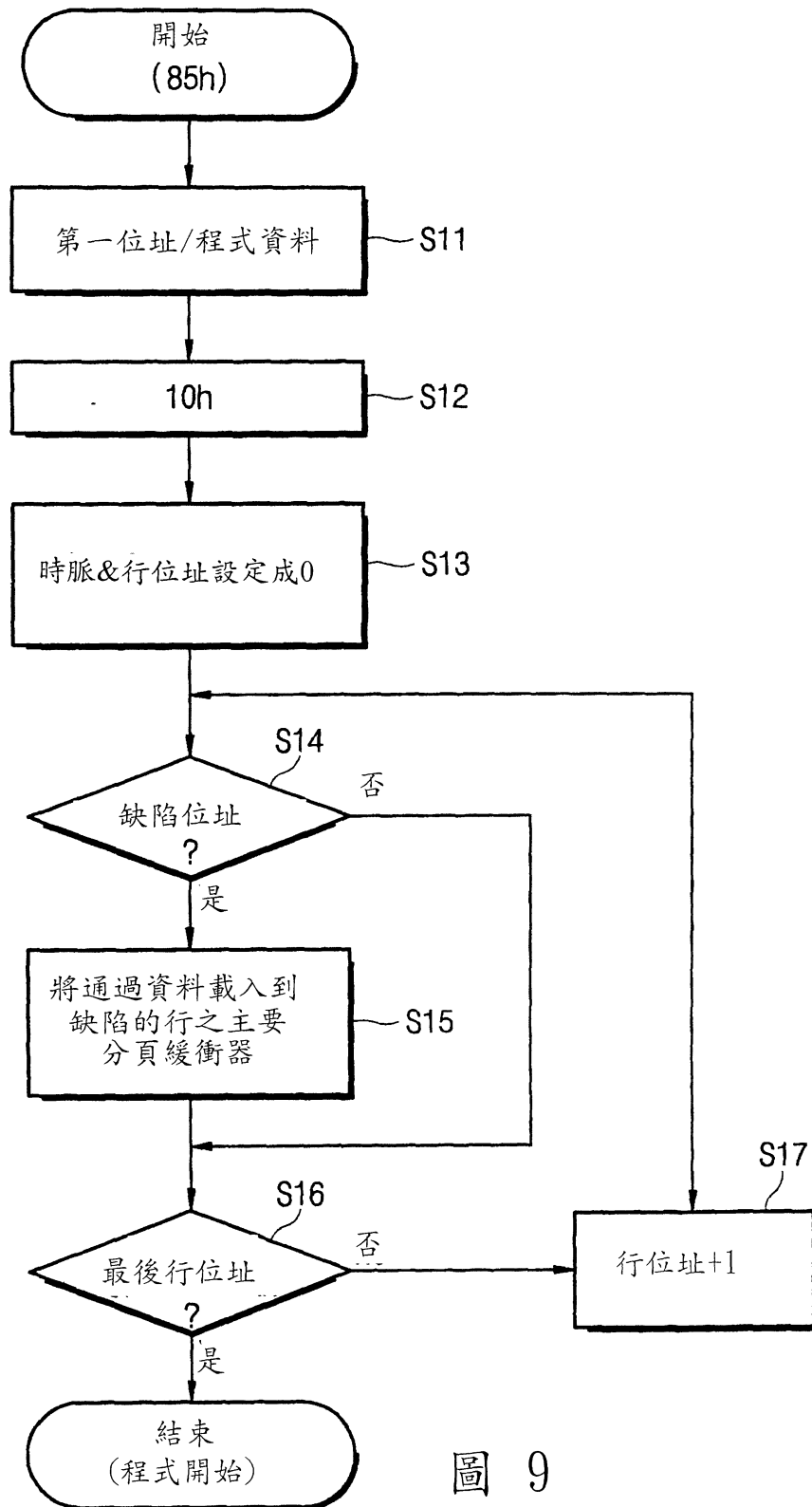


圖 9

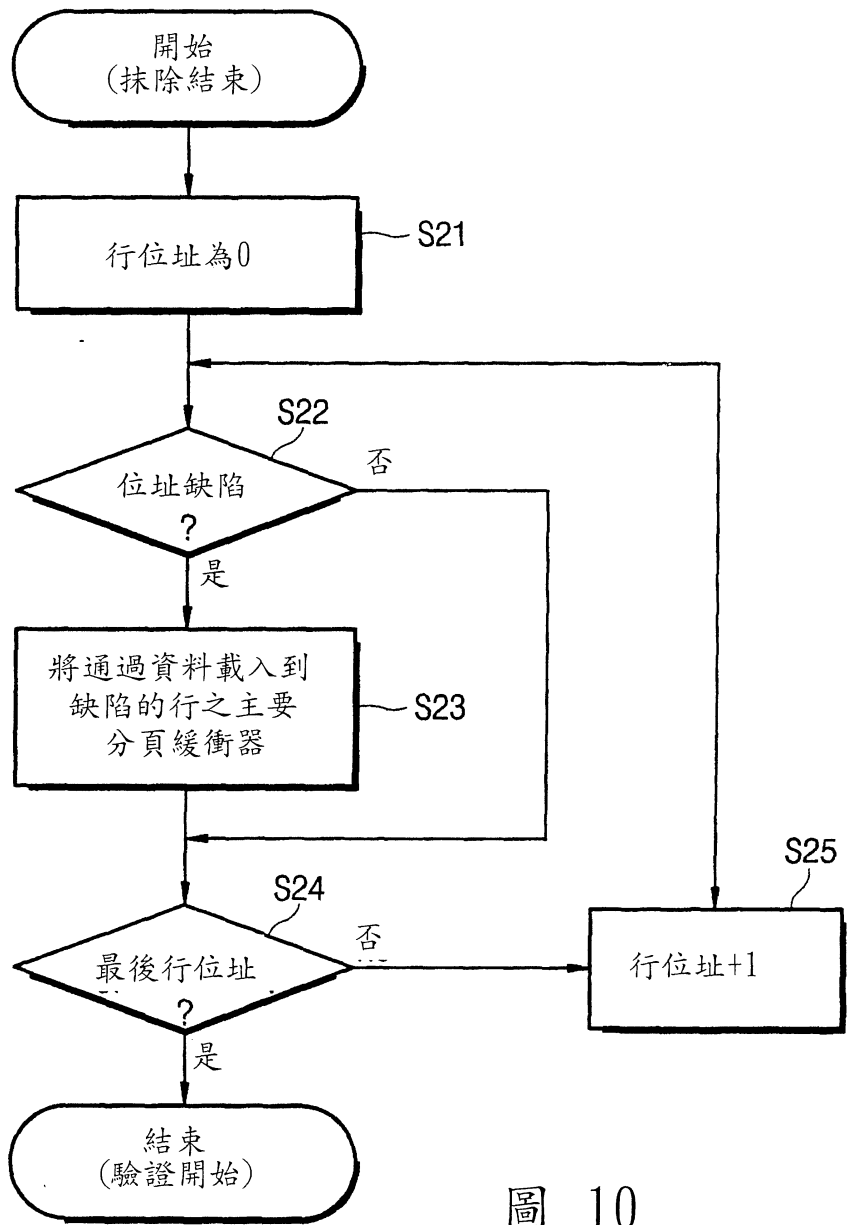


圖 10

陸、(一)、本案指定代表圖為：第 8 圖

(二)、本代表圖之元件代表符號簡單說明：

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：