

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4405024号  
(P4405024)

(45) 発行日 平成22年1月27日(2010.1.27)

(24) 登録日 平成21年11月13日(2009.11.13)

(51) Int.Cl.

H01L 23/12 (2006.01)

F 1

H01L 23/12

E

H01L 23/12

N

H01L 23/12

L

請求項の数 3 (全 12 頁)

(21) 出願番号

特願2000-9208 (P2000-9208)

(22) 出願日

平成12年1月18日 (2000.1.18)

(65) 公開番号

特開2001-203292 (P2001-203292A)

(43) 公開日

平成13年7月27日 (2001.7.27)

審査請求日

平成19年1月11日 (2007.1.11)

(73) 特許権者 503121103

株式会社ルネサステクノロジ

東京都千代田区大手町二丁目6番2号

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100098316

弁理士 野田 久登

(74) 代理人 100109162

弁理士 酒井 將行

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

多層基板と、前記多層基板の上側に設けられた半導体チップと、前記多層基板の下側に設けられた外部接続電極とを備える半導体装置であって、

前記多層基板は、

上面側と下面側とを電気的に接続するための複数のスルーホールを有するコア層と、

前記コア層の上側に設けられた上多層部と、

前記コア層の下側に設けられた下多層部と、

前記半導体チップの電極と電気的に接続するために前記上多層部の上面に設けられた複数のチップ電極用ランドと、

前記チップ電極用ランドと前記外部接続電極とをそれぞれ電気的に接続するための複数の信号線とを備え、

前記上多層部および前記下多層部は、それぞれ複数の構成層からなるとともに、異なる前記構成層に属する前記信号線同士を電気的に接続するためのビアホールを含み、

前記上多層部は、第1導体層と、前記第1導体層の下側に第2導体層とを含み、

前記コア層は、前記コア層の上面に設けられたコア導体層を含み、

前記第1導体層は、前記複数のチップ電極用ランドと、前記複数のチップ電極用ランドに接続する複数の信号線と、前記複数の信号線の外側に形成されており、電源電位もしくは接地電位を付与されるためのプレーンとを含み、

前記第2導体層は信号線を含み、

10

20

前記コア導体層は電源電位もしくは接地電位を付与されるためのプレーンを含み、  
前記第2導体層の信号線は、前記半導体チップの投影領域内に形成されたビアホールと  
、前記第1導体層のプレーンの投影領域内に形成されたスルーホールとにそれぞれ接続さ  
れており、前記第2導体層の信号線の少なくとも一部は前記第1導体層のプレーンと、前  
記コア導体層のプレーンとの間に挟まれている、半導体装置。

【請求項2】

前記第1導体層が、前記上多層部のうち最も上に位置する前記構成層である、請求項1  
に記載の半導体装置。

【請求項3】

前記プレーンと互いに電気的に接続する外部端子用ランドを備え、前記プレーンと前記  
外部端子用ランドとの接続が複数のビアホールを介して並列的になされている、請求項1  
または2に記載の半導体装置。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電源プレーン、グランドプレーンおよび信号線を多層的に配置した多層基板  
を用いた半導体装置に関するものである。

【0002】

【従来の技術】

従来の半導体装置の一例を図9、図10に示す。この半導体装置は、FCBGA(Flip C  
hip Ball Grid Array)基板と呼ばれるものである。ただし、以下、基板部分単体との混  
同を避けるために、このパッケージ全体を「FCBGA基板モジュール」100という。  
この半導体装置は、BGA(Ball Grid Array)基板101と、このBGA基板101と  
電極としてのはんだバンプ105を介してフリップチップ接合された半導体チップ102  
を備えている。BGA基板101は多層構造からなる基板であって、外部と電気的接続を得  
るために裏面に外部接続電極としてのはんだボール106が配列されている。BGA基板  
101と半導体チップ102との間には、両者間の接合の信頼性を向上させるための封  
止材104が充填されている。また、半導体チップ102の上方には、半導体チップ10  
2から発生した熱を外部に放熱するために放熱樹脂108を介在してヒートスプレッダ1  
07が設けられている。放熱樹脂108は、半導体チップ102からヒートスプレッダ1  
07への放熱を促進するためのものである。BGA基板101とヒートスプレッダ107  
との間の所定の間隔を保持し、かつパッケージ全体の強度を持たせるために、半導体チ  
ップ102を取囲むようにリング103が設けられている。 20

【0003】

なお、図9では、内部の構造をわかりやすくするために、ヒートスプレッダ107の一部  
を取り去った状態で図示している。また、図9、図10とも模式図であり、わかりやすく  
するために、寸法比率を誇張し、はんだバンプ105やはんだボール106の個数を、省  
略して表示している。

【0004】

図10の左半分に相当する部分を拡大し、より詳細に示したものを、図11に示す。多層  
基板であるBGA基板101は、たとえば、BTRジンから形成されるコア層8の両面に  
メッキにより形成された銅のプレーン13, 14を有するプレーン層10, 11を備え、  
さらにその両面に均等に積層された複数の層から形成されている。これらの複数の層につ  
いては、便宜上、コア層8より上側の部分を「上多層部」、コア層8より下側の部分を「  
下多層部」と呼ぶものとする。 40

この上多層部および下多層部の中には、信号層9、電源プレーン層10、グランドプレー  
ン層11が一定の順序でほぼ等間隔に挿入されている。これらの挿入された各層を以下、  
「構成層」というものとする。

【0005】

信号層9とは、信号線12の横方向への布設、すなわちいわゆる「引き回し」を行なうこ  
50

とを主目的とする層である。電源プレーン層 10 とは、電源を供給するための導電体のプレーンである電源プレーンを配置することを主目的とする層である。グランドプレーン層 11 とは、接地した導電体のプレーンであるグランドプレーンを配置することを主目的とする層である。

#### 【 0 0 0 6 】

半導体チップ 102 の電極としてのはんだバンプ 105 は、その役割によって、信号用はんだバンプ 105a と非信号用はんだバンプ 105bとの2種類に分類することができる。信号用はんだバンプ 105a は、信号をやりとりするためのはんだバンプ 105 であって、いずれかのはんだボール 106 と電気的に接続されている。非信号用はんだバンプ 105b は、通常、電源プレーン 13 やグランドプレーン 14 に接続されている。

10

#### 【 0 0 0 7 】

信号用はんだバンプ 105a からはんだボール 106 への接続は、上多層部、コア層 8、下多層部を順に経て、行なう必要があるが、同一層内での横方向への布設は、信号線 12 の引き回しによって行なわれ、下の層への接続は、ビアホール 17 によって行われている。

#### 【 0 0 0 8 】

信号線 12 を一つの信号層 9 内に配置する際には、上下の信号線 12 との間のクロストークノイズを防止するために、信号層 9 をプレーン層で挟み込む、いわゆるストリップ構造をとることが原則とされる。したがって、図 11 に示すように、最も上の構成層を第 1 の信号層 9 とした場合、その一つ下の構成層には、プレーン層の 1 種であるグランドプレーン層 11 が配置される。そのさらに下に第 2 の信号層 9 が配置される。さらにその下にはプレーン層の 1 種である電源プレーン層 10 が配置されている。

20

#### 【 0 0 0 9 】

この FCBGA 基板モジュールの例では、はんだバンプ 105 は、半導体チップ 102 の下面のうち、周縁部のみにほぼ帯状に配置されている。そのうち、帯の幅方向に数えた信号用はんだバンプ 105a の列数は 6 ~ 7 である。これらの電極に対するチップ電極用ランドとしての信号用はんだバンプランド 16a の配置もこれと同じである。信号用はんだバンプランド 16a をそれぞれはんだボール 106 に何らかの経路によって接続する必要がある。この接続の様子を図 12 ~ 図 14 を参照して説明する。図 12、図 13 は、信号の流れを記号化して表したものであって、1つの構成層内の複数の信号線 12 は、本来紙面の手前・奥方向に 2 次元的に展開しているため同一断面には表れないものであるが、わかりやすくするために、1つの層内に並列して表示している。図 14 は、図 11、図 12 における最も上の信号層 9 を上方向から見た平面図に相当する模式図である。

30

#### 【 0 0 1 0 】

図 12、図 14 に示すように、1つの信号層 9 ごとに、信号用はんだバンプランド 16a の並びのうち外側から優先的に 2 ~ 3 列ずつを受け持つこととし、その 1 つの信号層 9において半導体チップ 102 の投影領域 102c (図 14 参照) からその外へ向かって信号線 12 によって引き回されている。この信号線 12 は、いずれかのはんだボール 106 に接続されるためには、いずれかのスルーホール 15 を経由する必要がある。しかし、各構成層における配線の配置ピッチが、配線外縁同士の最低確保すべき距離が数十  $\mu\text{m}$  となっているのに比べて、スルーホール 15 の配列ピッチは中心間距離で約 800  $\mu\text{m}$  という、何倍も粗い配置となっている。そのため、引き出された信号線 12 は、図 14 に示すように、その信号層 9 内で、目的とするはんだボール 106 に対応する位置の近傍まで引き回され、そこからビアホール 17 とスルーホール 15 とを介して下の層へと接続されていく。後から引き回される信号線 12 との間で互いに別個のスルーホール 15 を使う必要があることと、配線の混雑を避けるため、先に引き回しの行われた信号線 12 ほど、投影領域 102c から遠くのスルーホール 15 を経由する。

40

#### 【 0 0 1 1 】

一方、その信号層 9 で外へ引き回されなかった信号用はんだバンプ 16a については、図 12 に示すようにその信号層 9 からビアホール 17 を介してより下の信号層 9 へとそれぞ

50

れ接続され、受け持たれるべき信号層9に到達した時点で、信号線12によって横方向への引き回しが行われる。

#### 【0012】

図12、図13に示すように、この例では、上多層部と下多層部とを合わせて、3つの信号層9ですべての信号用バンプからの接続を分担して受け持っている。このとき上述のストリップ構造を維持しなければならないことと、コア層8の上下に向かって上多層部と下多層部とは対称に形成されていることにより、最下層のはんだボール106を備える層を含めて8層の構成層が必要となっている。

#### 【0013】

なお、1つの信号層当り、信号用はんだバンブランド16aの2～3列に相当する分ずつしか信号線12を引き回せないのは、図14に示すように、信号用はんだバンブランド16aの配置自体が密集しているうえ、信号用はんだバンブランド16aの外側には非信号用はんだバンブランド16bが配置されているため、信号線12がこれらと干渉しないよう回避して、限られた面積で信号線12の配置を行なわなければならないためである。

10

#### 【0014】

非信号用はんだバンブランド16bからは、図11に示すように、同一の構成層または他の構成層に存在する電源プレーン13やグランドプレーン14に向けて配線が設けられているが、図12ではその配線の図示を省略している。信号線12はこれらの配線と常に一定以上の距離を保つようにして隙間を縫って引き回す必要がある。

#### 【0015】

20

#### 【発明が解決しようとする課題】

このような半導体装置において、多層基板101の製造工程を省き、製造コストを低減するために、上多層部および下多層部として積み重ねる構成層の数を少なくすることが望まれている。しかし、信号用はんだバンブ105aの配列が変わらない限り、すべての信号用はんだバンブランド16aから信号線12の引き回しを行なうには、この例の場合、3つの信号層9が必要であり、また、クロストークノイズを防止するためにストリップ構造を維持する必要もある。

#### 【0016】

そこで、本発明においては、信号用はんだバンブ105aの配列を従来のままで、多層基板101に必要な構成層の数を少なくした半導体装置を提供することを目的とする。

30

#### 【0017】

#### 【課題を解決するための手段】

上記目的を達成するため、本発明に基づく半導体装置の一つの局面においては、多層基板と、上記多層基板の上側に設けられた半導体チップと、上記多層基板の下側に設けられた外部接続電極とを備える。上記多層基板は、上面側と下面側とを電気的に接続するための複数のスルーホールを有するコア層と、上記コア層の上側に設けられた上多層部と、上記コア層の下側に設けられた下多層部と、上記半導体チップの電極と電気的に接続するため上記上多層部の上面に設けられた複数のチップ電極用ランドと、上記チップ電極用ランドと上記外部接続電極とをそれぞれ電気的に接続するための複数の信号線とを備える。上記上多層部および上記下多層部は、それぞれ複数の構成層からなるとともに、異なる上記構成層に属する上記信号線同士を電気的に接続するためのビアホールを含む。上記複数の構成層は、上記信号線を各同一層内で所望の平面的位置まで引き回すことを主目的とする信号層と、上記信号層を隣接してはさむ導電体のプレーンを配置することを主目的とするプレーン層とを含む。上記上多層部における上記信号層は、第1特定信号層と、上記第1特定信号層の下側に上記プレーン層を介さずに隣接する、第2特定信号層とを含む。上記第1特定信号層において上記半導体チップの投影領域内からその領域外へ引き出される上記信号線は、上記第1特定信号層において引き出される上記信号線すべてのうちの最長のものの距離が最短になるようにそれぞれ選択された上記スルーホールにつながる上記ビアホールまで引き出され、上記スルーホールを介して上記下多層部に接続され、さらに上記下多層部において、上記信号線が接続されるべき上記外部接続電極につながる上記ビアホ

40

50

ールまで引き回されている。上記第2特定信号層において上記半導体チップの投影領域内からその領域外へ引き出される上記信号線は、上方から見たときに上記信号線が接続されるべき上記外部接続電極にほぼ最も近い上記スルーホールにつながる上記ビアホールまで引き出され、上記スルーホールを介して上記下多層部に接続されている。上記第1特定信号層において、上記信号線が配置されている部分以外の領域には導電体のプレーンを配置している。

#### 【0018】

上記構成を採用することにより、第1特定信号層の信号線をそのまま第1特定信号層内で引き回さずに、一定条件下で選択されるスルーホールを経由して、下多層部に接続しているため、従来、余裕のあった下多層部の信号層のスペースを有効活用して信号線の引き回しを行なうことができる、また、第1特定信号層においては、ほぼ最小限の距離を引き回すのみであるため、第2特定信号層との間のクロストークノイズは問題とはならず、第1の信号層9と第2の信号層9との間のプレーン層を省略することができる。その結果、多層基板の層数の低減が可能となる。

10

#### 【0019】

上記発明において好ましくは、上記第1特定信号層が、上記上多層部のうち最も上に位置する上記構成層である。この構成を採用することにより、少ない層数の多層基板においても、さらに層数を低減することができる。

#### 【0020】

上記発明において好ましくは、上記プレーンと互いに電気的に接続する外部端子用ランドを備え、上記プレーンと上記外部端子用ランドとの接続が複数のビアホールを介して並列的になされている。この構成を採用することにより、プレーンに対する電圧の供給を安定して行なうことができ、また、いずれかの接続が不良であっても安定して動作でき、半導体装置全体の信頼性が向上する。

20

#### 【0025】

##### 【発明の実施の形態】

(実施の形態1)

(装置の構造)

図1を参照して、本実施の形態における半導体装置の構造について説明する。接続の様子をより詳細に示したものを、図2～図5に示す。信号用はんだバンブランド16aの配列は図12～図14で示したものと同じ条件である。1つの信号層9当たり、信号用はんだバンブランド16aの並びのうち外側から優先的に2～3列ずつを受け持つという条件も同じである。

30

#### 【0026】

図2に示すように、最も上の信号層9(以下、「第1の信号層9」という。)において、信号線12は、第1の信号層9のまま、目的とするはんだボール106に対応する位置の近傍まで引き回されるのではなく、半導体チップ102の投影領域102cから外に引き回されたのちに、一定条件下で選択されるスルーホール15に対応するビアホール17に接続される。「一定条件下で選択されるスルーホール15」とは、具体的には、各信号線12同士が干渉し合わないように、かつ、第1の信号層9において引き出される前記信号線12すべてのうちの最長のものの距離が最短になるように、それぞれ振り分けられて選択された前記スルーホール15である。

40

#### 【0027】

このような信号線12の振り分けの一例を図5に示す。この例では、スルーホール15の配列ピッチは中心間距離で $800\mu m$ という粗い配列になっているコア層8を採用している。しかし、結果的には、信号線12の引き回しは、半導体チップ102の投影領域102cから $2.1mm$ 以内の範囲で収まっている。

#### 【0028】

このようにしてビアホール17に接続された配線は、そのままビアホール17およびスルーホール15を介して下多層部に至る。図3に示すように、下多層部の信号層9(以下、

50

「第3の信号層9」という。)において、目的とするはんだボール106に対応する位置まで引き回され、そこからビアホール17を介してはんだボール106に接続される。

#### 【0029】

第1の信号層9を上方向から見た平面図を、図4に示す。図2、図4に示すように、第1の信号層9における信号線12の引き回し距離が従来技術における場合(図12、図14)に比べて短くなった分、第1の信号層9のうち信号線12のない部分には、グランドプレーン14が配置されている。したがって、第1の信号層9は、信号層9という側面以外にグランドプレーン層11の側面も備えている。なお、第1の信号層に設けるのは、グランドプレーン14の代りに電源プレーンであってもよい。

#### 【0030】

第1の信号層の下側にプレーン層を介さずに隣接する信号層(以下、「第2の信号層」という。)で受け持つ信号用はんだバンブランド16aについては、従来どおり、第2の信号層9において目的とするはんだボール106に対応する位置まで引き回され、ビアホール17およびスルーホール15を経由して、下多層部へと接続されている。

#### 【0031】

##### (作用・効果)

第1の信号層9の信号線をそのまま第1の信号層9で引き回さずに、一定条件下で選択されるスルーホール15を経由して、下多層部にある第3の信号層9に接続し、目的とするはんだボール106へのアプローチを下多層部の第3の信号層9において行なっている。そのため、従来、余裕のあった第3の信号層9のスペースを有効活用して信号線12の引き回しを行なうことができる。

#### 【0032】

また、第1の信号層9においてスルーホール15に対応する位置まで引き回す間の信号線は、第2の信号層9の信号線12とプレーン層を介さずに重なり合っているが、一定条件下で選択されるスルーホール15を選択していることにより、重なり合う距離は、ほぼ最小限に抑えられているため、この区間ににおけるクロストークノイズは問題とはならない。したがって、第1の信号層9と第2の信号層9との間のプレーン層を省略することができ、多層基板101の層数の低減が可能となる。

#### 【0033】

なお、第3の信号層9においては、図13に示すように、本来、第3の信号層で受け持たれる信号線12があり、第1の信号層9からスルーホール15を経て入ってきた信号線12と共に存することとなるが、第3の信号層9においては、非信号用はんだバンブランド16bからの配線はほぼ存在せず、既に信号線12も広い範囲に分散しているため、配線のスペースには余裕があり、第1の信号層9におけるような不都合はない。

#### 【0034】

本実施の形態における第1の信号層のように一定条件下で選択されるスルーホールを経由して下多層部に導かれる信号層を以下、「第1特定信号層」とし、その下にプレーン層を介さずに隣接する信号層を「第2特定信号層」と呼ぶとする。第1特定信号層は、本実施の形態のように最も上の構成層であることが望ましいが、最も上の構成層である場合に限られない。最も上の構成層以外の構成層を第1特定信号層としてもよく、その場合、第1特定信号層と第2特定信号層とは、プレーン層を介さずに上下に重ねることができ、やはり多層基板の層数を減らすことができる。

#### 【0035】

また、本実施の形態では、第1の信号層から第3の信号層までの3つの信号層9を用いて説明したが、信号層9の数を3としたのは一例に過ぎず、信号層9の数は2以上の他の数であっても本発明は同様に適用可能である。

#### 【0036】

なお、本実施の形態では、スルーホール15の配列ピッチが中心間距離で800μmという粗い配列になっているコア層8を採用していたが、コア層8におけるスルーホール15の配列ピッチをより小さくして、信号用はんだバンブランド16aの配列ピッチと近くな

10

20

30

40

50

れば、半導体チップ102の周縁部のみならず、中央部にも信号用はんだバンプ105aを配置することができ、半導体チップ102のサイズを大幅に縮小することができる。その結果、半導体装置全体の小型化も可能となる。

#### 【0037】

(実施の形態2)

(装置の構造)

図6を参照して、FCBGA基板モジュールにおいて、外部端子用ランド18に対する配線の接続を行なう。すなわち、1つの外部端子用ランド18に対して複数箇所でビアランド27を設けて、電源プレーン13またはグランドプレーン14と接続を行なう。他の構成は、実施の形態1におけるものと同じである。

10

#### 【0038】

(作用・効果)

このように接続することにより、電源プレーン13に対する電源電圧の供給、または、グランドプレーン14に対する接地電圧の供給がより安定して行なうことができ、また、いずれかの接続が不良であったり破損したりしても供給が途絶えることなく、所定の動作を継続することができ、半導体装置全体の信頼性が向上する。

#### 【0039】

(実施の形態3)

(装置の構造)

チップ電極ランドとしてのはんだバンプランド16同士の並ぶ隙間に配線として信号線12を通す場合に、図7を参照して、本来円形であるはんだバンプランド16の一部分を切り欠いた形状とする。すなわち、上側から電気的に接続しようとする導電体を受入れるためのランドとしてのはんだバンプランド16が、上方から見て、はんだバンプランド16の中心から隣接する信号線12に面する側の外縁までの距離が中心から他の外縁までの距離に比べて短い形状となるようにする。他の構成は、実施の形態1におけるものと同じである。

20

#### 【0040】

(作用・効果)

配線の配置にはルールがあり、同一の面内に配線や電極などの導電体を配置する場合には、各配線の外縁から一定距離はあけておかなければならぬとされている。したがって、従来であれば、はんだバンプランド16同士の距離が一定以下に接近している場合、その隙間には配線を設けることができなかつたか、あるいはできたとしてもその本数が制限された。しかし、本実施の形態によれば、はんだバンプランド16の一部分を切り欠いた形状とするため、配線からの必要な距離を確保することができる。その結果、配線の高密度化が図れ、半導体装置全体の小型化が可能となる。

30

#### 【0041】

また、はんだバンプランド16の存在する層の上面に、ソルダレジスト(図示省略)が存在し、はんだバンプ105が接続する箇所だけソルダレジストがなく開口しているような構造の場合、はんだバンプランド16のうちソルダレジストに覆われた部分において切り欠いた形状となるようにすれば、はんだバンプランド16とはんだバンプ105との接触面積には影響しないため、信頼性が低下することはない。

40

#### 【0042】

また、図8を参照して、はんだバンプランド16の代りに、ビアランド27において一部分を切り欠いた形状とすることによれば、各構成層におけるビアホール17や信号線12の配置の高密度化が図れる。

#### 【0043】

なお、今回開示した上記実施の形態はすべての点で例示であつて制限的なものではない。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

#### 【0044】

50

**【発明の効果】**

本発明によれば、第1特定信号層の信号線は、一定条件下で選択されるスルーホールを経由して下多層部に導かれるため、第2特定信号層と第1特定信号層とがプレーン層を介在せずに重なり合っていても、クロストークノイズは問題とならない。また、第1特定信号層のうち信号線のない箇所にはプレーンを設けているため、第1特定信号層と第2特定信号層との間に別個のプレーン層を設けなくても、第2特定信号層はプレーンによって挟み込むストリップ構造とすることができます。このようにして、従来、第1特定信号層と第2特定信号層との間に必要であったプレーン層が不要となった結果、多層基板に必要な層数を減らすことができる。したがって、信号用はんだバンプの配列が従来と同じであっても、より層数の少ない半導体装置を提供することができる。

10

**【図面の簡単な説明】**

**【図1】** 本発明に基づく実施の形態1におけるFCBGA基板モジュールの一部分の断面図である。

**【図2】** 本発明に基づく実施の形態1におけるFCBGA基板モジュールの一部分の断面における信号の流れを表した模式図である。

**【図3】** 本発明に基づく実施の形態1におけるFCBGA基板モジュールの一部分の断面における信号の流れを表した模式図である。

**【図4】** 本発明に基づく実施の形態1におけるFCBGA基板モジュールの一部分の平面図である。

**【図5】** 図4の一部分の拡大図である。

20

**【図6】** 本発明に基づく実施の形態2におけるFCBGA基板モジュールの外部端子用ランド周辺の平面図である。

**【図7】** 本発明に基づく実施の形態3におけるFCBGA基板モジュールのはんだバンブランド周辺の平面図である。

**【図8】** 本発明に基づく実施の形態3におけるFCBGA基板モジュールのはんだバンブランド周辺の平面図である。

**【図9】** 従来技術に基づくFCBGA基板モジュールの斜視図である。

**【図10】** 従来技術に基づくFCBGA基板モジュールの断面図である。

**【図11】** 従来技術に基づくFCBGA基板モジュールの一部分の断面図である。

**【図12】** 従来技術に基づくFCBGA基板モジュールの一部分の断面における信号の流れを表した模式図である。

30

**【図13】** 従来技術に基づくFCBGA基板モジュールの一部分の断面における信号の流れを表した模式図である。

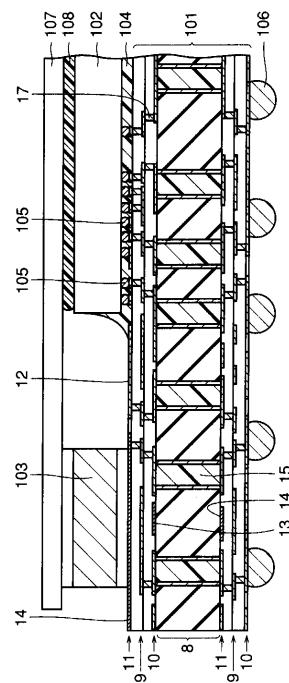
**【図14】** 従来技術に基づくFCBGA基板モジュールの一部分の平面図である。

**【符号の説明】**

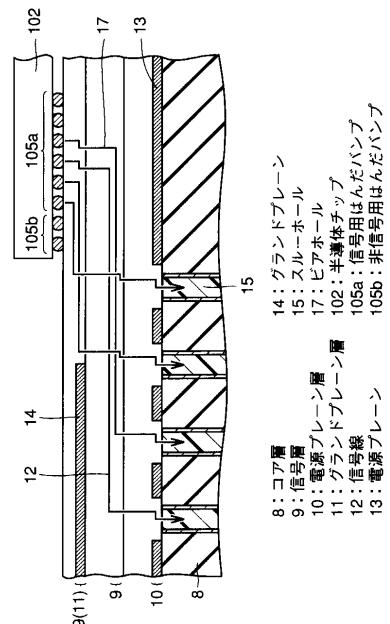
8 コア層、9 信号層、10 電源プレーン層、11 グランドプレーン層、12 信号線、13 電源プレーン、14 グランドプレーン、15 スルーホール、16 はんだバンブランド、16a 信号用はんだバンブランド、16b 非信号用はんだバンブランド、17 ビアホール、18 外部端子用ランド、27 ビアランド、100 FCBGA基板モジュール、101 BGA基板、102 半導体チップ、102c 投影領域、103 リング、104 封止材、105 はんだバンプ、105a 信号用はんだバンプ、105b 非信号用はんだバンプ、106 はんだボール、107 ヒートスプレッダ、108 放熱樹脂。

40

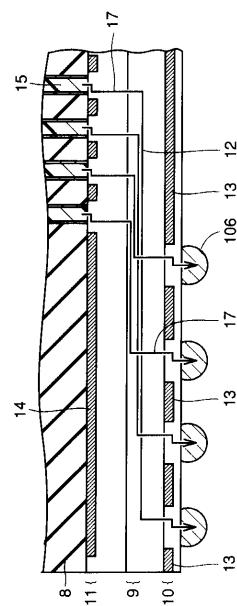
【 义 1 】



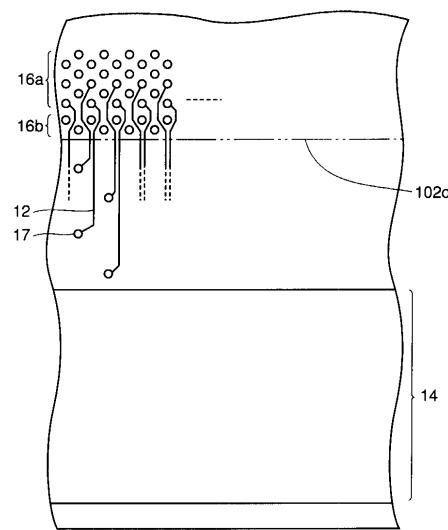
【 図 2 】



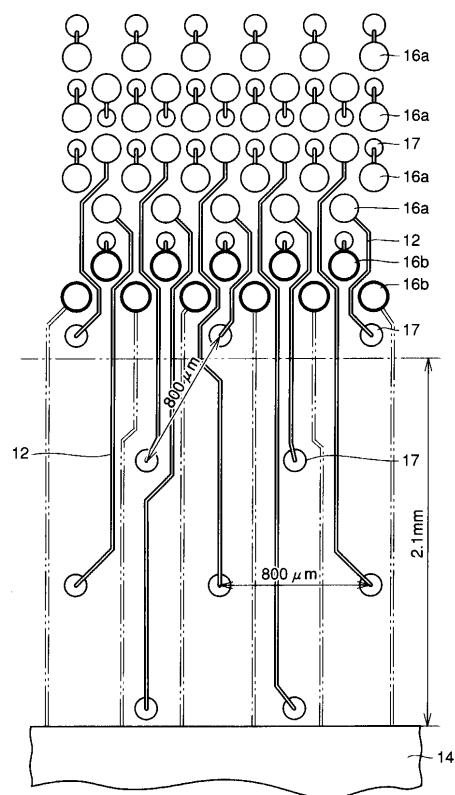
【図3】



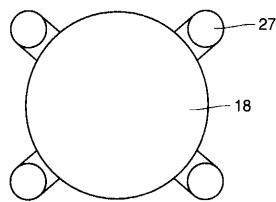
【図4】



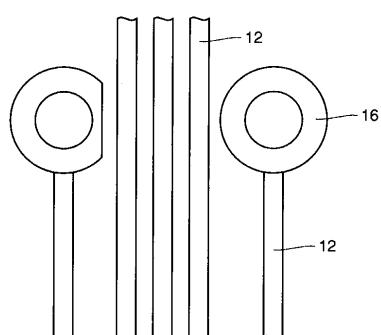
【図5】



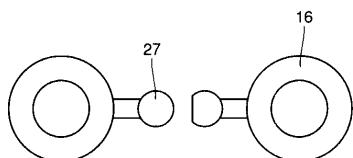
【図6】



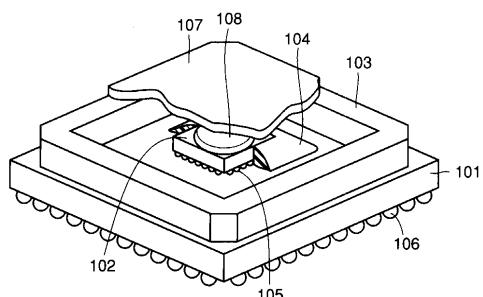
【図7】



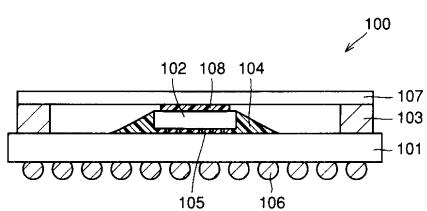
【図8】



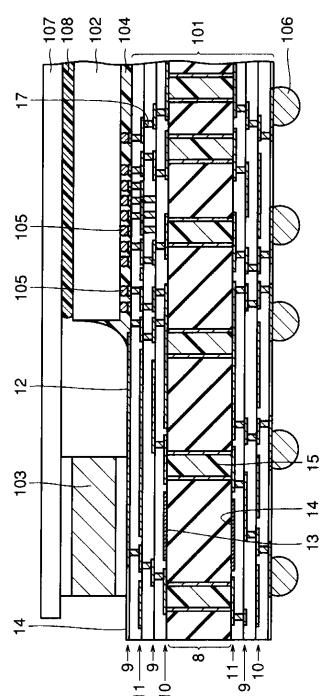
【図9】



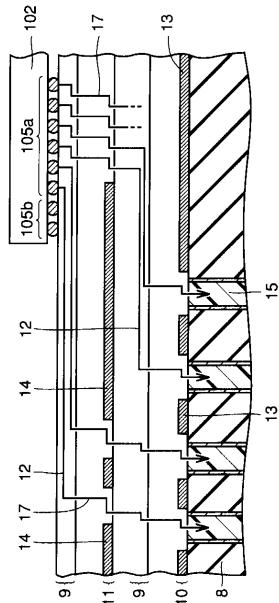
【図10】



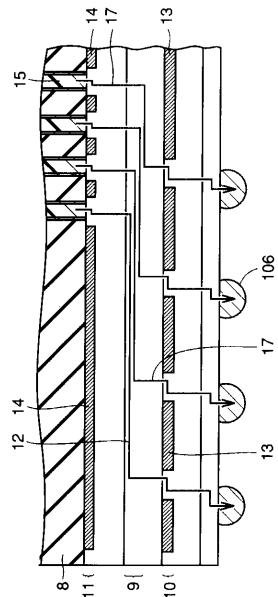
【図11】



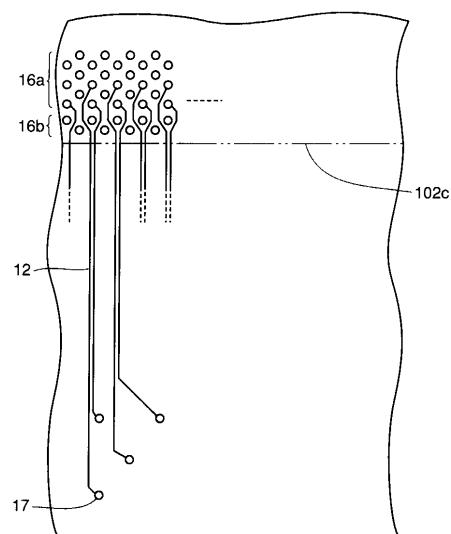
【図 1 2】



【図 1 3】



【図 1 4】



---

フロントページの続き

(72)発明者 松嶋 弘倫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 宮本 靖史

(56)参考文献 特開平11-135676(JP,A)

特開平11-163213(JP,A)

特開平11-074339(JP,A)

特開平09-298365(JP,A)

実開昭61-201365(JP,U)

特開平08-213730(JP,A)

特開平11-126958(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12