

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 10 月 26 日 (26.10.2023)



(10) 国际公布号
WO 2023/201883 A1

(51) 国际专利分类号:
G11C 29/08 (2006.01)

(21) 国际申请号: PCT/CN2022/101614

(22) 国际申请日: 2022 年 6 月 27 日 (27.06.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210406608.9 2022 年 4 月 18 日 (18.04.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 江 汉 (**JIANG, Han**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (**BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.**); 中国北京市朝阳区慧忠路5号 B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN,

(54) **Title:** MEMORY FAILURE TEST METHOD AND APPARATUS, STORAGE MEDIUM, AND ELECTRONIC DEVICE

(54) 发明名称: 存储器失效测试方法及装置、存储介质及电子设备

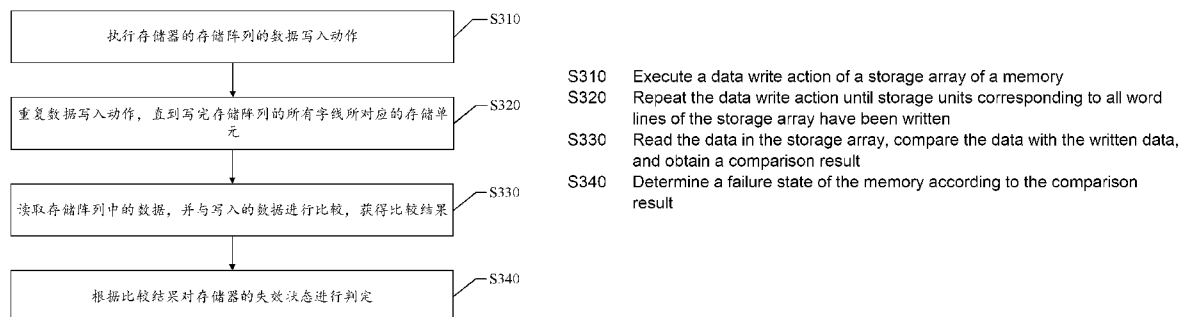


图 3

(57) **Abstract:** A memory failure test method, a memory failure test apparatus, a computer-readable storage medium, and an electronic device, relating to the technical field of integrated circuits. The memory failure test method comprises: executing a data write action of a memory, the data write action comprising: writing preset storage data into a storage unit in a storage array of the memory, and, in two adjacent word lines, writing data, opposite to data of a storage unit corresponding to the former word line, into a storage unit corresponding to the latter word line of the storage array; repeating the data write action until the storage units corresponding to all of the word lines of the storage array have been written; reading the data in the storage array, comparing the data with the written data, and obtaining a comparison result; and determining a failure state of the memory according to the comparison result. Provided is a test method for testing DRAM data reading failure caused by LIO electric leakage.

(57) 摘要: 一种存储器失效测试方法、存储器失效测试装置、计算机可读存储介质及电子设备, 涉及集成电路技术领域。该存储器失效测试方法包括: 执行存储器的数据写入动作; 数据写入动作包括: 在存储器的存储阵列内的存储单元中写入预设存储数据, 相邻的两条字线中, 在存储阵列的后一条字线所对应的存储单元中写入与前一条字线所对应的存储单元的数据相反的数据; 重复数据写入动作, 直到写完存储阵列的所有字线所对应的存储单元; 读取存储阵列中的数据, 并与写入的数据进行比较, 获得比较结果; 根据比较结果对存储器的失效状态进行判定。提供一种测试LIO漏电引起的DRAM资料读取失效的测试方法。

MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

存储器失效测试方法及装置、存储介质及电子设备

相关申请的交叉引用

本申请要求于 2022 年 04 月 18 日提交的申请号为 202210406608.9、名称为“存储器失效测试方法及装置、存储介质及电子设备”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及集成电路技术领域，具体而言，涉及一种存储器失效测试方法、存储器失效测试装置、计算机可读存储介质及电子设备。

背景技术

动态随机存取存储器（Dynamic Random Access Memory，DRAM）是计算机中常用的半导体存储器件，由于具有结构简单，密度高，功耗低，价格低廉等优点，在计算机领域和电子行业中受到了广泛的应用。

对于 DRAM 而言，当输入输出（Input Output，简称 IO）线存在漏电或高阻情况时，就会导致从存储芯片中读取到的数据与原始存储的数据不同，出现存储器失效的情况。

因此，提供一种测试 LIO（Local IO，本地输入输出线）漏电引起的 DRAM 资料读取失效的测试方法，有利于提升存储芯片的良率。

发明内容

根据本公开的第一方面，提供一种存储器失效测试方法，所述方法包括：执行所述存储器的数据写入动作；所述数据写入动作包括：在所述存储器的存储阵列内的存储单元中写入预设存储数据，相邻的两条字线中，在所述存储阵列的后一条字线所对应的存储单元中写入与前一条字线所对应的存储单元的数据相反的数据；重复所述数据写入动作，直到写完所述存储阵列的所有字线所对应的存储单元；读取所述存储阵列中的数据，并与写入的数据进行比较，获得比较结果；根据所述比较结果对所述存储器的失效状态进行判定。

在本公开的一种示例性实施方式中，对于所述存储阵列中任意字线的第一突发长度的存储单元，所述预设存储数据包括一个第一数据和多个第二数据；其中，所述第一数据和所述第二数据是相反的数据。

在本公开的一种示例性实施方式中，所述第一数据在所述第一突发长度的存储单元的任一比特位上。

在本公开的一种示例性实施方式中，改变所述第一数据在所述第一突发长度存储单元上的比特位，获得十六种所述预设存储数据。

在本公开的一种示例性实施方式中，对于所述存储阵列中任意字线的第二突发长度的存储单元，所述预设存储数据包括多个所述第二数据；

对于所述存储阵列中任意所述字线的剩余突发长度的存储单元，所述预设存储数据按照所述第一突发长度和所述第二突发长度的预设存储数据重复排列。

在本公开的一种示例性实施方式中，所述方法还包括：读取所述存储阵列中数据的顺序与写入所述存储阵列中数据的顺序相同。

在本公开的一种示例性实施方式中，读取所述存储阵列中的数据，包括：开启一条字线，顺序读完所述字线所对应的存储单元中的数据之后，关闭所述字线；开启下一条字线，顺序读完所述下一条字线所对应的存储单元中的数据之后，关闭所述下一条字线。

在本公开的一种示例性实施方式中，根据所述比较结果对所述存储器的失效状态进行判定，包括：判断读取的所述存储阵列中的数据与写入所述存储阵列中的数据是否相同；如果不同，则判定所述存储器存在输入输出线漏电或断路。

根据本公开的第二方面，提供一种存储器失效测试装置，所述装置包括：数据写入模块，用于执行存储器的存储阵列的数据写入动作；所述数据写入动作包括：在所述存储器的存储阵列内的存储单元中写入预设存储数据；相邻的两条字线中，在所述存储阵列的后一条字线所对应的存储单元中写入与前一条字线所对应的存储单元的数据相反的数据；重复所述数据写入动作，直到写完所述存储阵列的所有字线所对应的存储单元；数据比较模块，用于读取所述存储阵列中的数据，并与写入的数据进行比较，获得比较结果；判定模块，用于根据所述比较结果对所述存储器的失效状态进行判定。

在本公开的一种示例性实施方式中，对于所述存储阵列中字线的第一突发长度的存储单元，所述预设存储数据包括一个第一数据和多个第二数据；其中，所述第一数据和所述第二数据是相反的数据。

在本公开的一种示例性实施方式中，所述第一数据在所述第一突发长度的存储单元的任一比特位上。

在本公开的一种示例性实施方式中，所述装置还包括：预设存储数据确定模块，用于改变所述第一数据在所述第一突发长度存储单元上的比特位，获得十六种所述预设存储数据。

在本公开的一种示例性实施方式中，对于所述存储阵列中字线的第二突发长度的存储单元，所述预设存储数据包括多个所述第二数据。

在本公开的一种示例性实施方式中，还包括：数据读取模块，用于读取所述存储阵列中数据的顺序与写入所述存储阵列中数据的顺序相同。

在本公开的一种示例性实施方式中，所述数据读取模块，用于开启一条字线，顺序读完所述字线所对应的存储单元中的数据之后，关闭所述字线；开启下一条字线，顺序读完所述下一条字线所对应的存储单元中的数据之后，关闭所述下一条字线。

在本公开的一种示例性实施方式中，所述判定模块，用于判断读取的所述存储阵列中的数据与写入所述存储阵列中数据是否相同；如果不同，则判定所述存储器存在输入输出线漏电或断路。

根据本公开的第三方面，提供一种计算机可读存储介质，其上存储有计算机程序，所述计算机程序被处理器执行时实现上述的存储器失效测试方法。

根据本公开的第四方面，提供一种电子设备，包括：处理器；以及存储器，用于存储所述处理器的可执行指令；其中，所述处理器配置为经由执行所述可执行指令来执行上述的存储器失效测试方法。

附图说明

图 1 示意性示出了根据本公开的示例性实施例的一种存储单元的结构示意图；

图 2 示意性示出了根据本公开的示例性实施例的一种存储阵列的布局示意图；

图 3 示意性示出了根据本公开的示例性实施例的一种存储器失效测试方法的步骤流程图；

图 4 示意性示出了根据本公开的示例性实施例的一种存储阵列的数据写入示意图；

图 5 示意性示出了根据本公开的示例性实施例的预设存储数据写入示意图；

图 6 示意性示出了根据本公开的示例性实施例的存储器的工作时序图一；

图 7 示意性示出了根据本公开的示例性实施例的存储器的工作时序图二；

图 8 示意性示出了根据本公开的示例性实施例的存储器失效测试装置的方框图；

图 9 示意性示出了根据本公开的示例性实施例的一种电子设备的模块示意图。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实

施，且不应被理解为限于在此阐述的范例；相反，提供这些实施方式使得本公开将更加全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中，提供许多具体细节从而给出对本公开的实施方式的充分理解。然而，本领域技术人员将意识到，
5 可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

此外，附图仅为本公开的示意性图解，并非一定是按比例绘制。图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。附图中所示的一些方框图是功能
10 实体，不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

附图中所示的流程图仅是示例性说明，不是必须包括所有的步骤。例如，有的步骤还可以分解，而有的步骤可以合并或部分合并，因此实际执行的顺序有可能根据实际情况改变。另外，下面所有的术语“第一”、“第二”、“第三”仅是为了区分的目的，不应作为本
15 公开内容的限制。

半导体存储器用于计算机、服务器、诸如移动电话等手持设备、打印机和许多其他电子设备和应用。半导体存储器在存储器阵列中包括多个存储单元，每个存储单元存储信息的至少一位。DRAM 为这种半导体存储器的实例。本方案优选地用于 DRAM 中。因此，
20 接下来的实施例描述是参考作为非限制性示例的 DRAM 进行的。

在 DRAM 集成电路设备中，存储单元阵列典型地以行和列布置，使得特定的存储单元可以通过指定其阵列的行和列来寻址。字线将行连接到一组探测单元中数据的位线感应放大器（Sense Amplifier，SA）。然后在读取操作中，选择或者“列选择”感应放大器中的
数据子集用于输出。

参照图 1，DRAM 中的每个存储单元 100 通常包括电容器 110、晶体管 120、字线（Word Line，WL）130 和位线（Bit Line，BL）140，晶体管 120 的栅极与字线 130 相连、晶体管 120 的漏极与位线 140 相连、晶体管 120 的源极与电容器 110 相连，字线 130 上的电压信号能够控制晶体管 120 的打开或关闭，进而通过位线 140 读取存储在电容器 110 中的数据
30 信息，或者通过位线 140 将数据信息写入到电容器 110 中进行存储。存储阵列就是由上述的多个存储单元所组成，存储阵列一般会占用整个 DRAM 器件面积的 50-65%，DRAM 器件的其余面积则主要由外围电路所组成。

参照图 2，示出了本公开实施例提供的一种存储阵列的布局示意图。以 DRAM 存储器中的一个 Bank 为例，多条位线可以划分为 128 个位线组，每个位线组中具有 8 条位线，为了方便下文的描述，将每个位线组中的位线记为 BL0、BL1、BL2……BL7。多条字线可以
35 划分为 8192 个字线组，每个字线组中具有 8 条字线，为了方便下文的描述，将每个字线组中的字线记为 WL0、WL1、WL2……WL7。

多个存储单元 P11~P88 呈矩阵分布，其中，第一列的存储单元均与字线 WL0 连接，第二列的存储单元均与字线 WL1 连接，依次类推，第八列的存储单元均与字线 WL7 连接；第一行的存储单元均与位线 BL0 连接，第二行的存储单元均与位线 BL1 连接，以此类推，
40 第八行的存储单元均与位线 BL7 连接，使得每个存储单元均与一条字线 WL 和一条位线 BL 连接。

在现代集成电路制造工艺中，器件缺陷造成的损失代价极为高昂，例如，当输入输出 IO 线存在漏电或高阻情况时，就会导致从存储器中读取到的数据与原始存储的数据不同。因此，亟需提供一种测试方法来测试存储器是否存在异常情况，以便于提升存储器的良率。

基于此，本公开实施例提供了一种存储器失效测试方法，通过在存储器的存储阵列内

的存储单元中写入预设存储数据，使 LIO 线上有翻转的动作，使得待测存储器的读取环境变得更严格，在读取待测存储器中的数据时，通过数据对比，即可准确判断出待测存储器是否存在异常，可以有效提升存储器的检测准确率，进而提升存储器的良率。以下结合具体实施方式进行详细说明。

参照图 3，示出了本公开实施例的一种存储器失效测试方法的步骤流程图。在一种可行的实施方式中，上述测试方法可以包括：

步骤 S310、执行存储器的存储阵列的数据写入动作；

步骤 S320、重复数据写入动作，直到写完存储阵列的所有字线所对应的存储单元；

步骤 S330、读取存储阵列中的数据，并与写入的数据进行比较，获得比较结果；

步骤 S340、根据比较结果对存储器的失效状态进行判定。

本公开示例性实施方式中，上述存储阵列包括多列存储单元。

在一种可行的实施方式中，可以预先设置具有固定格式的预设存储数据，然后在测试过程中，将该预设存储数据写入到上述存储阵列的每一列存储单元中。

在一些实施例中，可以首先对各个字线连接的各个存储单元进行初始化操作，以激活各个存储单元，然后再进行写入操作，使得与各条字线连接的各个存储单元被写入预设存储数据。

本公开的示例性实施方式中，上述的数据写入动作可以包括：在存储器的存储阵列内的存储单元中写入预设存储数据，在相邻的两条字线中，在存储阵列的后一条字线所对应的存储单元中写入与前一条字线所对应的存储单元中的数据相反的数据。

通过上述的数据写入动作，即存储阵列的后一条字线所对应的存储单元中写入与前一条字线所对应的存储单元相反的数据，例如，第二条字线所对应的存储单元中写入的数据与第一条字线所对应的存储单元写入的数据相反；第三条字线所对应的存储单元中写入的数据与第二条字线所对应的存储单元写入的数据相反等。从而可以使得相邻字线 WL 上的数据相反，即同一条位线 BL 上的数据 01 交替排列，从而可以使与位线 BL 相连的 LIO 线上的数据发生翻转，有利于失效测试。

在实际应用中，预设存储数据可以根据实际情况进行确定，本公开示例性实施方式中，预设存储数据可以有多种，对于存储阵列中字线的第一突发长度（第一 Burst 长度）的存储单元，预设存储数据包括一个第一数据和多个第二数据，并且，第一数据与第二数据是相反的数据。也就是说，第一数据是 1 的时候，第二数据是 0；第一数据是 0 的时候，第二数据是 1。

表 1 示出了第一 Burst 长度的存储单元中写入数据的一种示例。对于第一条字线的第一 Burst 长度的存储单元而言，第一数据是 1，第二数据 0，第一数据 1 位于字线 WL0 和位线 BL0 所在的存储单元中。

表 1

	WL0	WL1	WL2	WL3	WL4	WL5	WL6	WL7
BL0	1	0	1	0	1	0	1	0
BL1	0	1	0	1	0	1	0	1
BL2	0	1	0	1	0	1	0	1
BL3	0	1	0	1	0	1	0	1
BL4	0	1	0	1	0	1	0	1
BL5	0	1	0	1	0	1	0	1
BL6	0	1	0	1	0	1	0	1
BL7	0	1	0	1	0	1	0	1

由于对于存储器的同一个 BANK 存储阵列而言，对于相邻的两条字线中，后一条字线所对应的存储单元中写入的数据，与前一条字线所对应的存储单元中写入的数据相反。也就是说，相邻字线上位于同一条位线上的数据相反。

在实际应用中，对于第一条字线的第一 Burst 长度的存储单元而言，第一数据除过位于字线 WL0 和位线 BL0 所在的存储单元中之外，还可以位于第一 Burst 长度的存储单元的任一比特位上。例如，如表 2 所示的，第一数据 1 位于字线 WL0 和位线 BL1 所在的存储单元中。

表 2

	WL0	WL1	WL2	WL3	WL4	WL5	WL6	WL7
BL0	0	1	0	1	0	1	0	1
BL1	1	0	1	0	1	0	1	0
BL2	0	1	0	1	0	1	0	1
BL3	0	1	0	1	0	1	0	1
BL4	0	1	0	1	0	1	0	1
BL5	0	1	0	1	0	1	0	1
BL6	0	1	0	1	0	1	0	1
BL7	0	1	0	1	0	1	0	1

由于第一数据在第一条字线 WL0 上的位置发生了变化，相应的，后面的字线，即字线 WL1-WL7 上相应的数据也发生了变化，以满足后一条字线所对应的存储单元中写入的数据与前一条字线所对应的存储单元中写入的数据相反的要求。

需要说明的是，对于存储阵列中字线的第一突发长度的存储单元而言，第一数据可以位于 BL0-BL7 中任一比特位上。同时，后面的字线上相应比特位也会发生变化，与前一字线上的同一比特位相反。

本公开实施例提供的存储器失效测试方法，通过在存储阵列内的存储单元中写入预设存储数据，并且将预设存储数据设置为包含一个相反的第二数据的数据结构，使存储阵列的读取环境变得更严格，在读取操作后，通过对比写入的数据与读取的数据，即可准确判断出存储器是否存在异常，可以有效提升存储器的检测准确率，进而提升存储器的良率。

本公开示例性实施方式中，通过在存储阵列相邻的两条字线中，后一条字线所对应的存储单元中写入与前一条字线所对应的存储单元中相反的数据，可以在同一比特位上制造出相反的数据，从而可以使与比特位相连的输入输出线 LIO 上有数据翻转的动作，以为存储阵列提供严格的读取环境，进而提升 LIO 漏电测试的准确性。

为了更好地理解本公开实施例，参照图 4，提供了本公开实施例的一种存储阵列的数据写入示意图。在第一条字线 WL0 的第一 Burst 长度的存储单元中写入“10000000”，在第二条字线 WL1 的第一 Burst 长度的存储单元中写入“01111111”，可以造成 LIO 之间的压差。利用 LIO 共用的特性，在数据读取的过程中，由于读取的是字线里写入的不同资料，使得 LIO 有一个翻转的动作，有助于检测 LIO 之间是否存在漏电或断路问题。

本公开示例性实施方式中，对于具有八个比特位的第一突发长度存储单元而言，由第一数据和第二数据组成的预设存储数据，通过改变第一数据在第一突发长度存储单元上的比特位，可以获得八种预设存储数据；再在第一数据分别为 0 或 1 的情况下，总共可以获得十六种预设存储数据。本公开示例性实施方式不再展开对十六种预设存储数据一一进行列举。

本公开示例性实施方式中，对于存储阵列中任意字线的第二突发长度的存储单元，预设存储数据可以包括多个第二数据，例如，如表 3 所示的第一条字线 WL0 所对应的位线 BL8-BL15，其中的第二数据是数据 0。在实际应用中，根据第一突发长度的预设存储数据中第二数据的取值，第二突发长度的第二数据还可以是数据 1。

5

表 3

	WL0	WL1	WL2	WL3	WL4	WL5	WL6	WL7
BL0	1	0	1	0	1	0	1	0
BL1	0	1	0	1	0	1	0	1
BL2	0	1	0	1	0	1	0	1
BL3	0	1	0	1	0	1	0	1
BL4	0	1	0	1	0	1	0	1
BL5	0	1	0	1	0	1	0	1
BL6	0	1	0	1	0	1	0	1
BL7	0	1	0	1	0	1	0	1
BL8	0	1	0	1	0	1	0	1
BL9	0	1	0	1	0	1	0	1
BL10	0	1	0	1	0	1	0	1
BL11	0	1	0	1	0	1	0	1
BL12	0	1	0	1	0	1	0	1
BL13	0	1	0	1	0	1	0	1
BL14	0	1	0	1	0	1	0	1
BL15	0	1	0	1	0	1	0	1

同样的，对于第二突发长度的存储单元而言，后一条字线所对应的存储单元中写入的数据与前一条字线所对应的存储单元中写入的数据也是相反的。通过在存储阵列中写入如表 3 所示的数据，可以在数据读取的过程中，使 LIO 有翻转的动作，以更严格地检测出 LIO 的漏电问题。

10

本公开示例性实施方式中，对于存储阵列中任意字线的剩余突发长度而言，其存储单元中的预设存储数据可以按照第一突发长度和第二突发长度重复排列。例如，第三突发长度的存储单元的预设存储数据与第一突发长度的存储单元的预设存储数据相同、第四突发长度的存储单元的预设存储数据与第二突发长度的存储单元的预设存储数据相同，如此重复，直至第 127 突发长度的存储单元的预设存储数据与第一突发长度的存储单元的预设存储数据相同、第 128 突发长度的存储单元的预设存储数据与第二突发长度的存储单元的预设存储数据相同。例如，如图 5 所示，第 127 突发长度的存储单元的预设存储数据与第一突发长度的存储单元的预设存储数据相同，均为 10000000；第 128 突发长度的存储单元的预设存储数据与第二突发长度的存储单元的预设存储数据相同，均为 00000000。

15

20

简单总结为：在剩余突发长度的存储单元中，奇数突发长度的存储单元的预设存储数据与第一突发长度的存储单元的预设存储数据相同、偶数突发长度的存储单元的预设存储数据与第二突发长度的存储单元的预设存储数据相同。

为了更好地理解本公开实施例，参照图 6，示出了本公开实施例中待测存储器的工作时序图一。如图 6 所示，当在存储阵列中读取数据 0 时，列选择信号 YS 打开，位线 BL

25

与 LIO 连接, 参考位线 BL/与 LIO/连接, VSS 的源 (source) 端连接位线 BL, 此时 LIO 与 LIO/处于浮动 (floating) 状态 (浮动即 Vary Source 不给 LIO 供电, 因为初始时 YS 不打开, 此时 Vary Source 一直给 LIO 供电), BL 电位的 VSS 会迅速将处于浮动状态的 LIO (Vary) 拉低。经过一段时间后, BL 与 LIO 的电位逐渐靠近 VSS, 但不会到达 VSS。在 YS 列选择信号关闭后, LIO 与 BL 断开, LIO 不处于浮动状态, 并重新与 Vary Source 相连, Vary 电位将 LIO 快速拉升以准备下一次读取或写入操作。

下一步在读 1 时, 若 LIO 存在短路或高阻情况, LIO 电位回拉较慢, 存在 ΔV (如 ΔV_2) 不足的情况, 存储器会存在由于 LIO 与 LIO/压差不足引起的数据误判: 将读 1 误读成 0。

参照图 7, 示出了本公开实施例中待测存储器的工作时序图二。在图 7 中, 当在存储阵列中读取 1 时, 列选择信号 YS 打开, 位线 BL 与 LIO 连接, 参考位线 BL/与 LIO/连接, VSS 的源 (source) 端连接位线 BL/, 此时 LIO 与 LIO/处于浮动 (floating) 状态 (浮动即 Vary Source 不给 LIO/供电, 因为初始时 YS 不打开, 此时 Vary Source 一直给 LIO/供电), BL/电位的 VSS 会迅速将处于浮动状态的 LIO/ (Vary) 拉低, 经过一段时间后, BL/与 LIO/的电位逐渐靠近 VSS, 但不会到达 VSS。在 YS 列选择信号关闭后, LIO/与 BL/断开, LIO/不处于浮动状态, 并重新与 Vary Source 相连, Vary 电位将 LIO/快速拉升以准备下一次读取或写入操作。

下一步在读 0 时, 若 LIO/存在短路或高阻情况, LIO/电位回拉较慢, 存在 ΔV (如 ΔV_2) 不足的情况, 待测存储器存在由于 LIO 与 LIO/压差不足引起的数据误判: 将读 0 误读成 1。

本公开示例性实施方式提供的存储器失效测试方法, 通过在存储阵列相邻的两条字线中, 后一条字线所对应的存储单元中写入与前一条字线所对应的存储单元中相反的数据, 在 LIO 上存储数据翻转, 使存储器的读取环境变得更加严格, 在对存储器进行写入与读取操作后, 通过对比写入与读取的数据, 即可准确判断出存储器是否存在异常, 包括存储器的输入输出线上是否存在漏电或阻值过大的情况, 可以有效提升存储器的检测准确率, 进而提升存储器的良率。

本公开示例性实施方式中, 读取存储阵列中数据的顺序与写入存储阵列中数据的顺序相同。例如, 如果在存储阵列中写入数据的方式是 Y-Page 写入方式, 那么读取数据的方式也就是 Y-Page 读取方式。

其中, 上述的 Y-Page 写入方式包括: 在存储阵列的存储单元中写入数据的时候, 先开启其中一条字线, 将数据全部写入这条字线上对应的所有存储单元后, 关闭这条字线; 然后再开启下一条字线, 将数据全部写入该下一条字线上对应的所有存储单元后, 关闭该条字线……, 以此类推, 直至将数据写入存储阵列的各个字线连接的存储单元中。

通过在写完一个 BANK 上的存储阵列后, 再写下一个 BANK 上的存储阵列, 如此重复, 直到写完所有 BANK 的存储阵列的存储单元。

在本公开的一种示例性实施方式中, 在存储阵列的存储单元中写入测试数据时, 可以遍历存储阵列的各条字线, 对遍历到的每一条目标字线分别执行以下操作:

步骤一、开启目标字线, 将预设存储数据按照比特依次写入与目标字线连接的所有存储单元; 其中, 与目标字线连接的每个存储单元写入预设存储数据中的一个比特, 预设存储数据的比特数与字线连接的存储单元的个数相同。

步骤二、关闭上述目标字线。

在实际应用中, 可以预先根据每条字线上连接的存储单元的个数, 配置上述预设存储数据。例如, 当每条字线上连接的存储单元为 16 个时, 可以配置 16 个预设存储数据; 当每条字线上连接的存储单元为 32 个时, 可以配置 32 个预设存储数据。

本公开示例性实施方式中, 上述的 Y-Page 读取方式可以包括: 开启一条字线, 顺序读

完该字线所对应的存储单元中的数据之后，关闭该条字线；接着开启下一条字线，顺序读完下一条字线所对应的存储单元中的数据之后，关闭下一条字线……，以此类推，直至读取完存储阵列的各个字线连接的存储单元中的数据。

本公开示例性实施方式中，在读取完存储阵列中的数据之后，就可以将读取的数据与之前写入的数据进行比较，以获得比较结果，并且根据比较结果就可以对存储器的失效状态进行判定。

具体的判定过程包括：判断读取的存储阵列中的数据与写入存储阵列中的数据是否相同，如果相同，说明存储器未有异常；如果不同，则可以判定存储器存在输入输出线漏电或断路的风险。

综上，本公开示例性实施方式通过在存储阵列的相邻的两条字线中，后一条字线对应的存储单元中写入与前一条字线所对应的存储单元中相反的数据，并且在第一条字线所对应的存储单元中写入预设存储数据，其中该预设存储数据中含有一个相反的数据，如此可以在 LIO 上提供一个存储数据翻转的条件，使存储器的读取环境变得更加严格，在对存储器进行写入与读取操作后，通过对比写入与读取的数据，即可准确判断出存储器是否存在异常，包括存储器的输入输出线上是否存在漏电或阻值过大的情况，可以有效提升存储器的检测准确率，进而提升存储器的良率。

需要说明的是，尽管在附图中以特定顺序描述了本发明中方法的各个步骤，但是，这并非要求或者暗示必须按照该特定顺序来执行这些步骤，或是必须执行全部所示的步骤才能实现期望的结果。附加的或备选的，可以省略某些步骤，将多个步骤合并为一个步骤执行，以及/或者将一个步骤分解为多个步骤执行等。

此外，在本示例实施例中，还提供了一种存储器失效测试装置。参照图 8，该存储器失效测试装置 700 可以包括：数据写入模块 710、数据读取模块 720、数据比较模块 730、判定模块 740 和预设存储数据确定模块 750，其中：

数据写入模块 710，用于执行存储器的存储阵列的数据写入动作；

所述数据写入动作包括：在所述存储器的存储阵列内的存储单元中写入预设存储数据；相邻的两条字线中，在所述存储阵列的后一条字线所对应的存储单元中写入与前一条字线所对应的存储单元的数据相反的数据；重复所述数据写入动作，直到写完所述存储阵列的所有字线所对应的存储单元；

数据比较模块 730，用于读取所述存储阵列中的数据，并与写入的数据进行比较，获得比较结果；

判定模块 740，用于根据所述比较结果对所述存储器的失效状态进行判定。

在本公开的一种示例性实施方式中，对于存储阵列中字线的第一突发长度的存储单元，预设存储数据包括一个第一数据和多个第二数据；其中，第一数据和第二数据是相反的数据。

在本公开的一种示例性实施方式中，第一数据在第一突发长度的存储单元的任一比特位上。

在本公开的一种示例性实施方式中，预设存储数据确定模块 750，用于改变第一数据在第一突发长度存储单元上的比特位，获得十六种预设存储数据。

在本公开的一种示例性实施方式中，对于存储阵列中字线的第二突发长度的存储单元，预设存储数据包括多个第二数据。

在本公开的一种示例性实施方式中，数据读取模块 720，用于读取存储阵列中数据的顺序与写入存储阵列中数据的顺序相同。

在本公开的一种示例性实施方式中，数据读取模块 720，用于开启一条字线，顺序读完字线所对应的存储单元中的数据之后，关闭字线；开启下一条字线，顺序读完下一条字线所对应的存储单元中的数据之后，关闭下一条字线。

在本公开的一种示例性实施方式中，判定模块 740，用于判断读取的存储阵列中的数据与写入存储阵列中数据是否相同；如果不同，则判定存储器存在输入输出线漏电或断路。

上述中各存储器失效测试装置的虚拟模块的具体细节已经在对应的存储器失效测试方法中进行了详细的描述，因此，此处不再赘述。

应当注意，尽管在上文详细描述中提及了存储器失效测试装置的若干模块或者单元，但是这种划分并非强制性的。实际上，根据本公开的实施方式，上文描述的两个或更多模块或者单元的特征和功能可以在一个模块或者单元中具体化。反之，上文描述的一个模块或者单元的特征和功能可以进一步划分为由多个模块或者单元来具体化。

在本公开的示例性实施例中，还提供了一种能够实现上述方法的电子设备。

所属技术领域的技术人员能够理解，本发明的各个方面可以实现为系统、方法或程序产品。因此，本发明的各个方面可以具体实现为以下形式，即：完全的硬件实施方式、完全的软件实施方式（包括固件、微代码等），或硬件和软件方面结合的实施方式，这里可以统称为“电路”、“模块”或“系统”。

下面参照图 9 来描述根据本发明的这种实施方式的电子设备 800。图 9 显示的电子设备 800 仅仅是一个示例，不对本发明实施例的功能和使用范围带来任何限制。

如图 9 所示，电子设备 800 以通用计算设备的形式表现。电子设备 800 的组件可以包括但不限于：上述至少一个处理单元 810、上述至少一个存储单元 820、连接不同系统组件（包括存储单元 820 和处理单元 810）的总线 830、显示单元 840。

其中，所述存储单元 820 存储有程序代码，所述程序代码可以被所述处理单元 810 执行，使得所述处理单元 810 执行本说明书上述“示例性方法”部分中描述的根据本发明各种示例性实施方式的步骤。例如，所述处理单元 810 可以执行如图 3 中所示的步骤 S310、执行存储器的存储阵列的数据写入动作；步骤 S320、重复数据写入动作，直到写完存储阵列的所有字线所对应的存储单元；步骤 S330、读取存储阵列中的数据，并与写入的数据进行比较，获得比较结果；步骤 S340、根据比较结果对存储器的失效状态进行判定。

存储单元 820 可以包括易失性存储单元形式的可读介质，例如随机存取存储单元（RAM）8201 和/或高速缓存存储单元 8202，还可以进一步包括只读存储单元（ROM）8203。

存储单元 820 还可以包括具有一组（至少一个）程序模块 8205 的程序/实用工具 8204，这样的程序模块 8205 包括但不限于：操作系统、一个或者多个应用程序、其它程序模块以及程序数据，这些示例中的每一个或某种组合中可能包括网络环境的实现。

总线 830 可以为表示几类总线结构中的一种或多种，包括存储单元总线或者存储单元控制器、外围总线、图形加速端口、处理单元或者使用多种总线结构中的任意总线结构的局域总线。

电子设备 800 也可以与一个或多个外部设备 870（例如键盘、指向设备、蓝牙设备等）通信，还可与一个或者多个使得用户能与该电子设备 800 交互的设备通信，和/或与使得该电子设备 800 能与一个或多个其它计算设备进行通信的任何设备（例如路由器、调制解调器等等）通信。这种通信可以通过输入/输出（I/O）接口 850 进行。并且，电子设备 800 还可以通过网络适配器 860 与一个或者多个网络（例如局域网（LAN），广域网（WAN）和/或公共网络，例如因特网）通信。如图所示，网络适配器 860 通过总线 830 与电子设备 800 的其它模块通信。应当明白，尽管图中未示出，可以结合电子设备 800 使用其它硬件和/或软件模块，包括但不限于：微代码、设备驱动器、冗余处理单元、外部磁盘驱动阵列、RAID 系统、磁带驱动器以及数据备份存储系统等。

通过以上的实施方式的描述，本领域的技术人员易于理解，这里描述的示例实施方式可以通过软件实现，也可以通过软件结合必要的硬件的方式来实现。因此，根据本公开实施方式的技术方案可以以软件产品的形式体现出来，该软件产品可以存储在一个非易失性存储介质（可以是 CD-ROM，U 盘，移动硬盘等）中或网络上，包括若干指令以使得一台

计算设备（可以是个人计算机、服务器、终端装置、或者网络设备等）执行根据本公开实施方式的方法。

在本公开的示例性实施例中，还提供了一种计算机可读存储介质，其上存储有能够实现本说明书上述方法的程序产品。在一些可能的实施方式中，本发明的各个方面还可以实现为一种程序产品的形式，其包括程序代码，当所述程序产品在终端设备上运行时，所述程序代码用于使所述终端设备执行本说明书上述“示例性方法”部分中描述的根据本发明各种示例性实施方式的步骤。

根据本发明的实施方式的用于实现上述方法的程序产品，其可以采用便携式紧凑盘只读存储器（CD-ROM）并包括程序代码，并可以在终端设备，例如个人电脑上运行。然而，本发明的程序产品不限于此，在本文件中，可读存储介质可以是任何包含或存储程序的有形介质，该程序可以被指令执行系统、装置或者器件使用或者与其结合使用。

所述程序产品可以采用一个或多个可读介质的任意组合。可读介质可以是可读信号介质或者可读存储介质。可读存储介质例如可以为但不限于电、磁、光、电磁、红外线、或半导体的系统、装置或器件，或者任意以上的组合。可读存储介质的更具体的例子（非穷举的列表）包括：具有一个或多个导线的电连接、便携式盘、硬盘、随机存取存储器（RAM）、只读存储器（ROM）、可擦式可编程只读存储器（EPROM 或闪存）、光纤、便携式紧凑盘只读存储器（CD-ROM）、光存储器件、磁存储器件、或者上述的任意合适的组合。

计算机可读信号介质可以包括在基带中或者作为载波一部分传播的数据信号，其中承载了可读程序代码。这种传播的数据信号可以采用多种形式，包括但不限于电磁信号、光信号或上述的任意合适的组合。可读信号介质还可以是可读存储介质以外的任何可读介质，该可读介质可以发送、传播或者传输用于由指令执行系统、装置或者器件使用或者与其结合使用的程序。

可读介质上包含的程序代码可以用任何适当的介质传输，包括但不限于无线、有线、光缆、RF 等等，或者上述的任意合适的组合。

可以以一种或多种程序设计语言的任意组合来编写用于执行本发明操作的程序代码，所述程序设计语言包括面向对象的程序设计语言—诸如 Java、C++等，还包括常规的过程式程序设计语言—诸如“C”语言或类似的设计语言。程序代码可以完全地在用户计算设备上执行、部分地在用户设备上执行、作为一个独立的软件包执行、部分在用户计算设备上部分在远程计算设备上执行、或者完全在远程计算设备或服务器上执行。在涉及远程计算设备的情形中，远程计算设备可以通过任意种类的网络，包括局域网（LAN）或广域网（WAN），连接到用户计算设备，或者，可以连接到外部计算设备（例如利用因特网服务提供商来通过因特网连接）。

此外，上述附图仅是根据本发明示例性实施例的方法所包括的处理的示意性说明，而不是限制目的。易于理解，上述附图所示的处理并不表明或限制这些处理的时间顺序。另外，也易于理解，这些处理可以是例如在多个模块中同步或异步执行的。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其他实施例。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由权利要求指出。

应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限定。

权利要求

1. 一种存储器失效测试方法，所述方法包括：

执行所述存储器的数据写入动作；

5 所述数据写入动作包括：在所述存储器的存储阵列内的存储单元中写入预设存储数据，相邻的两条字线中，在所述存储阵列的后一条字线所对应的存储单元中写入与前一条字线所对应的存储单元的数据相反的数据；

重复所述数据写入动作，直到写完所述存储阵列的所有字线所对应的存储单元；

读取所述存储阵列中的数据，并与写入的数据进行比较，获得比较结果；

10 根据所述比较结果对所述存储器的失效状态进行判定。

2. 根据权利要求 1 所述的方法，其中，对于所述存储阵列中任意所述字线的第一突发长度的存储单元，所述预设存储数据包括一个第一数据和多个第二数据；

其中，所述第一数据和所述第二数据是相反的数据。

3. 根据权利要求 2 所述的方法，其中，所述第一数据在所述第一突发长度的存储单元
15 的任一比特位上。

4. 根据权利要求 2 或 3 所述的方法，其中，改变所述第一数据在所述第一突发长度存储单元上的比特位，获得十六种所述预设存储数据。

5. 根据权利要求 2 所述的方法，其中，对于所述存储阵列中任意所述字线的第二突发长度的存储单元，所述预设存储数据包括多个所述第二数据；

20 对于所述存储阵列中任意所述字线的剩余突发长度的存储单元，所述预设存储数据按照所述第一突发长度和所述第二突发长度的预设存储数据重复排列。

6. 根据权利要求 1 所述的方法，其中，所述方法还包括：

读取所述存储阵列中数据的顺序与写入所述存储阵列中数据的顺序相同。

7. 根据权利要求 6 所述的方法，其中，读取所述存储阵列中的数据，包括：

25 开启一条字线，顺序读完所述字线所对应的存储单元中的数据之后，关闭所述字线；开启下一条字线，顺序读完所述下一条字线所对应的存储单元中的数据之后，关闭所述下一条字线。

8. 根据权利要求 1 所述的方法，其中，根据所述比较结果对所述存储器的失效状态进行判定，包括：判断读取的所述存储阵列中的数据与写入所述存储阵列中的数据是否相
30 同；

如果不同，则判定所述存储器存在输入输出线漏电或断路。

9. 一种存储器失效测试装置，所述装置包括：

数据写入模块，用于执行存储器的存储阵列的数据写入动作；

35 所述数据写入动作包括：在所述存储器的存储阵列内的存储单元中写入预设存储数据，相邻的两条字线中，在所述存储阵列的后一条字线所对应的存储单元中写入与前一条字线所对应的存储单元的数据相反的数据；重复所述数据写入动作，直到写完所述存储阵列的所有字线所对应的存储单元；

数据比较模块，用于读取所述存储阵列中的数据，并与写入的数据进行比较，获得比较结果；

40 判定模块，用于根据所述比较结果对所述存储器的失效状态进行判定。

10. 根据权利要求 9 所述的装置，其中，对于所述存储阵列中字线的第一突发长度的存储单元，所述预设存储数据包括一个第一数据和多个第二数据；

其中，所述第一数据和所述第二数据是相反的数据。

11. 根据权利要求 10 所述的装置，其中，所述第一数据在所述第一突发长度的存储
45 单元的任一比特位上。

12. 根据权利要求 10 或 11 所述的装置，其中，所述装置还包括：

预设存储数据确定模块，用于改变所述第一数据在所述第一突发长度存储单元上的比特位，获得十六种所述预设存储数据。

5 13. 根据权利要求 10 所述的装置，其中，对于所述存储阵列中字线的第二突发长度的存储单元，所述预设存储数据包括多个所述第二数据。

14. 根据权利要求 9 所述的装置，其中，还包括：

数据读取模块，用于读取所述存储阵列中数据的顺序与写入所述存储阵列中数据的顺序相同。

10 15. 根据权利要求 14 所述的装置，其中，所述数据读取模块，用于开启一条字线，顺序读完所述字线所对应的存储单元中的数据之后，关闭所述字线；开启下一条字线，顺序读完所述下一条字线所对应的存储单元中的数据之后，关闭所述下一条字线。

16. 根据权利要求 9 所述的装置，其中，所述判定模块，用于判断读取的所述存储阵列中的数据与写入所述存储阵列中数据是否相同；如果不同，则判定所述存储器存在输入输出线漏电或断路。

15 17. 一种计算机可读存储介质，其上存储有计算机程序，所述计算机程序被处理器执行时实现权利要求 1-8 中任意一项所述的存储器失效测试方法。

18. 一种电子设备，包括：

处理器；以及

存储器，用于存储所述处理器的可执行指令；

20 其中，所述处理器配置为经由执行所述可执行指令来执行权利要求 1-8 中任意一项所述的存储器失效测试方法。

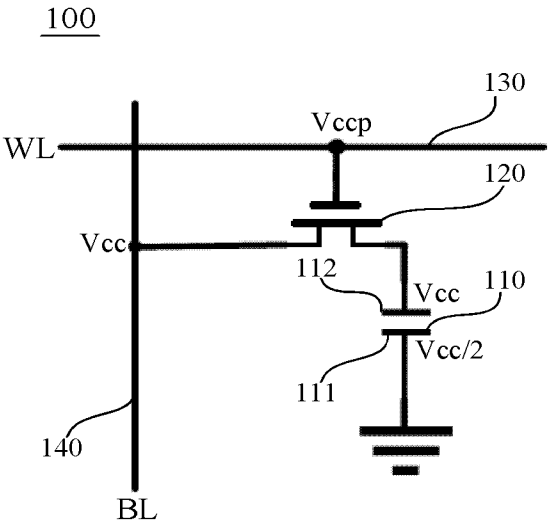


图 1

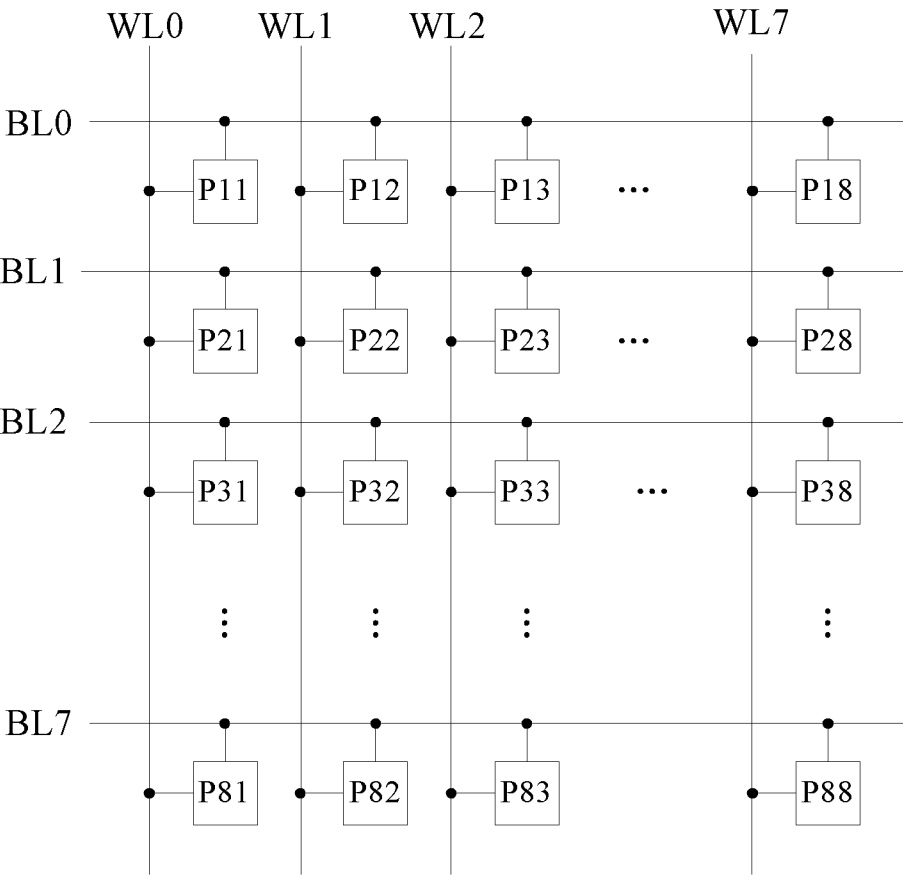


图 2

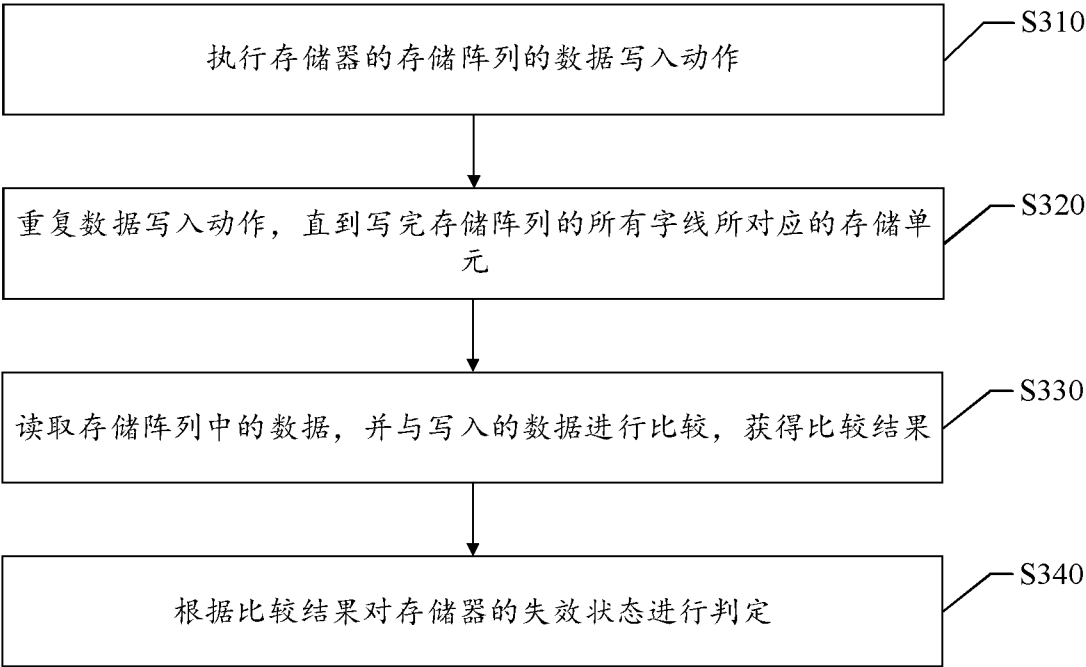


图 3

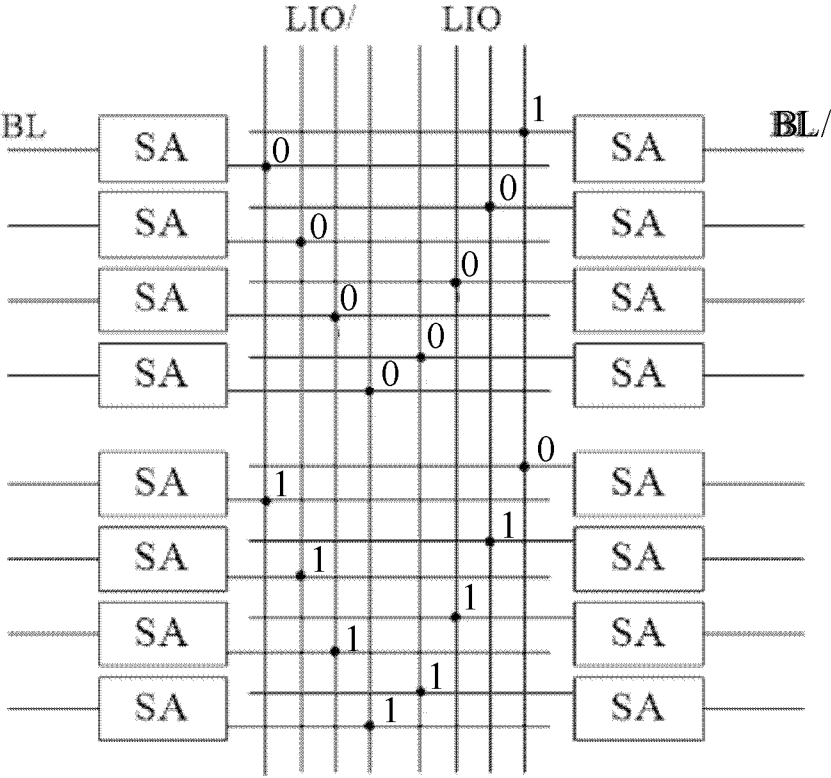


图 4

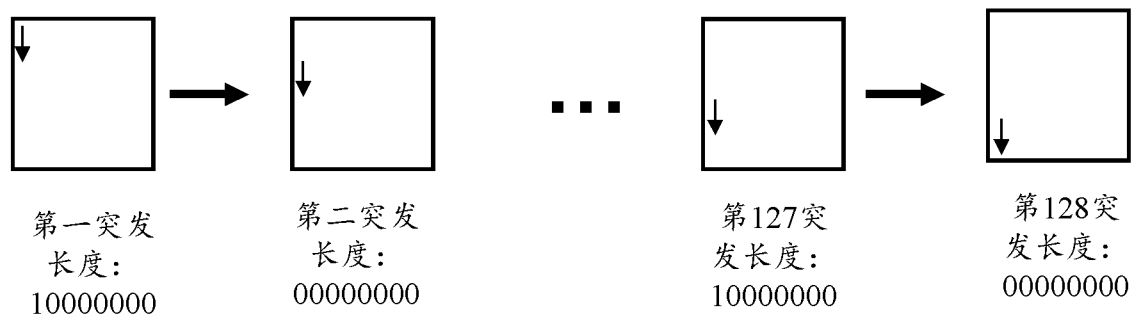


图 5

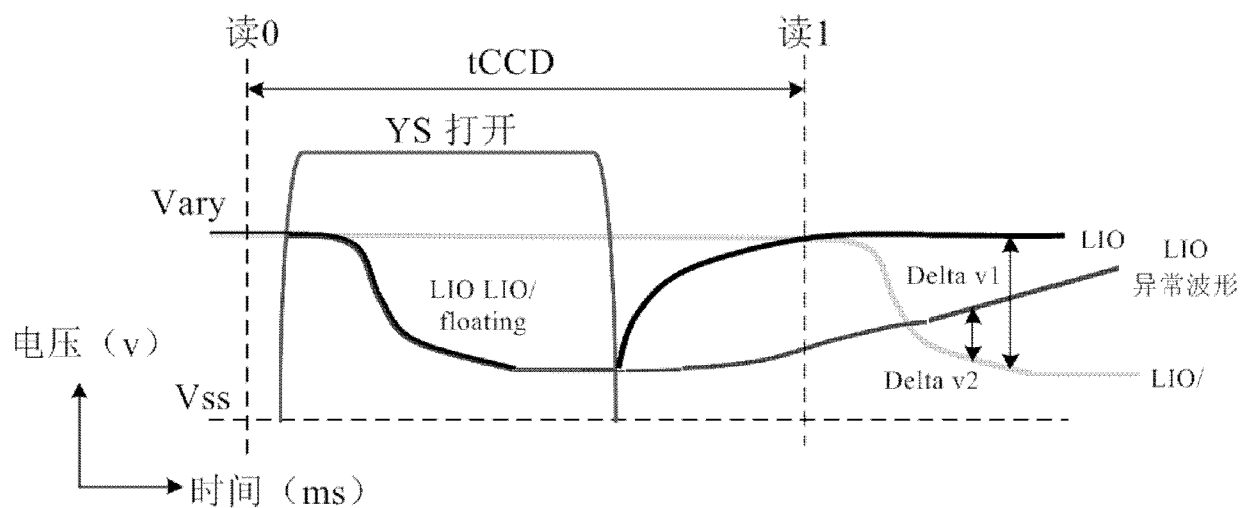


图 6

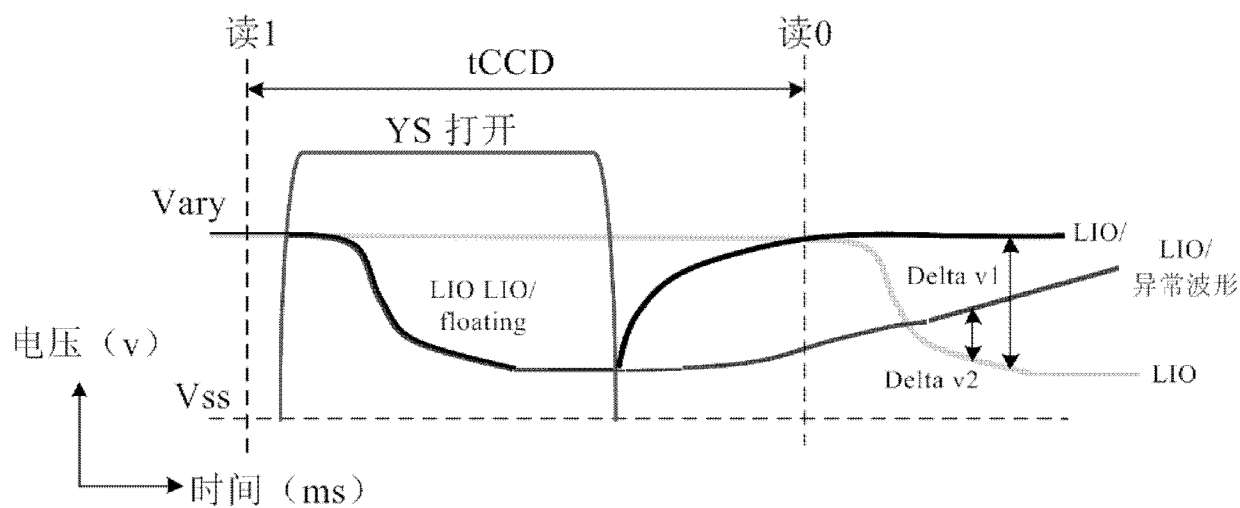


图 7

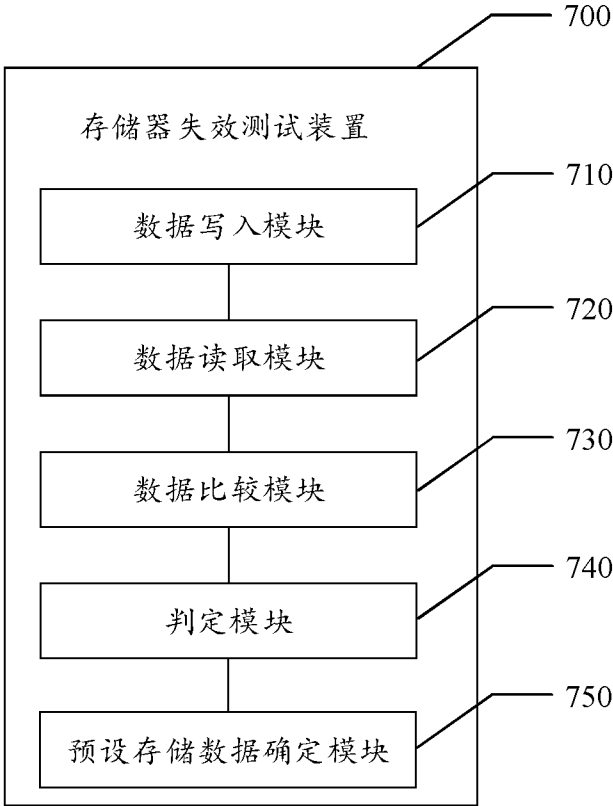


图 8

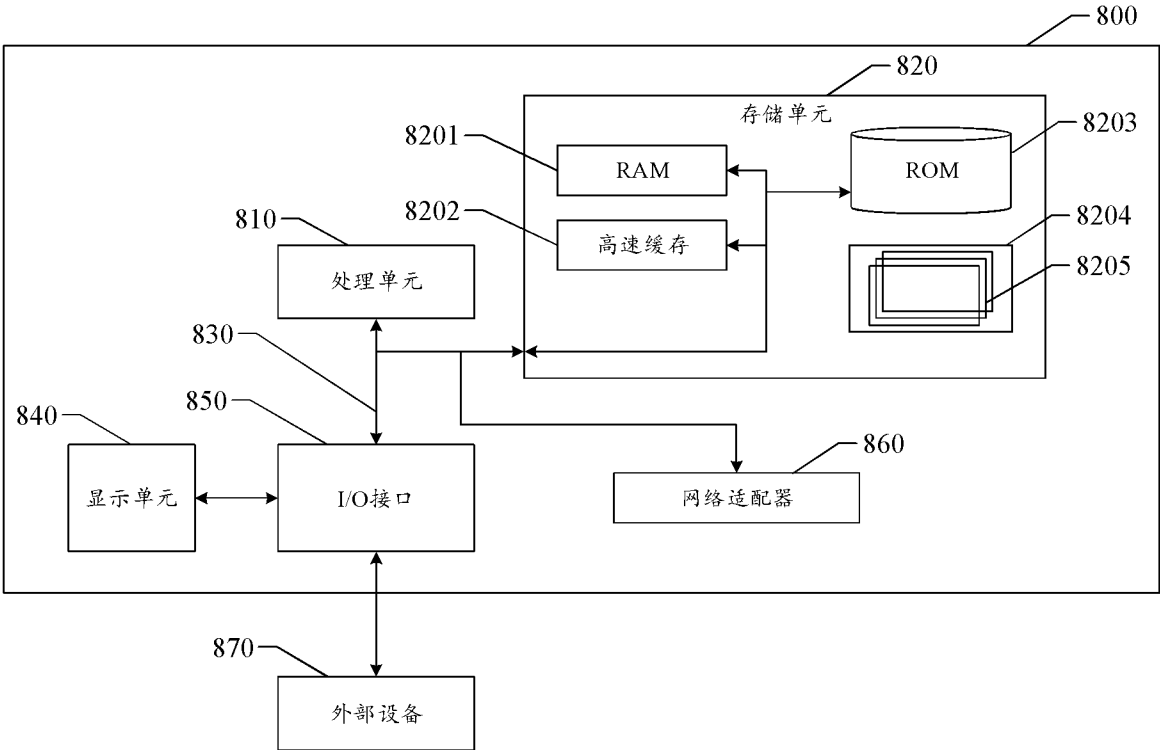


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/101614

A. CLASSIFICATION OF SUBJECT MATTER

G11C 29/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 相反, 相邻, 字, 线, 字线, 失效, 生效, 状态, 比较, 对比, 比对, 匹配, 测试, 故障, 高阻, 漏电, lio, dram, convers+, opposite, adjacent, word, line, word line, failure, status, compar+, match +, test, fault, high resistance, leakage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 112927750 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 08 June 2021 (2021-06-08) description, paragraphs [0051]-[0077]	1-18
A	CN 113035259 A (SHENZHEN BIWIN STORAGE TECHNOLOGY CO., LTD.) 25 June 2021 (2021-06-25) entire document	1-18
A	US 2007195590 A1 (SHARP KABUSHIKI KAISHA) 23 August 2007 (2007-08-23) entire document	1-18
A	US 5457696 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 10 October 1995 (1995-10-10) entire document	1-18
A	US 2011164464 A1 (ELPIDA MEMORY, INC.) 07 July 2011 (2011-07-07) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

15 December 2022

Date of mailing of the international search report

22 December 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/101614

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112927750	A	08 June 2021	None			
CN	113035259	A	25 June 2021	None			
US	2007195590	A1	23 August 2007	JP	2007226884	A	06 September 2007
US	5457696	A	10 October 1995	KR	930005038	A	23 March 1993
				JPH	05182496	A	23 July 1993
US	2011164464	A1	07 July 2011	JP	2011141912	A	21 July 2011

国际检索报告

国际申请号

PCT/CN2022/101614

A. 主题的分类

G11C 29/08 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 相反, 相邻, 字, 线, 字线, 失效, 生效, 状态, 比较, 对比, 比对, 匹配, 测试, 故障, 高阻, 漏电, lio, dram, convers+, opposite, adjacent, word, line, word line, failure, status, compar+, match+, test, fault, high resistance, leakage

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 112927750 A (长鑫存储技术有限公司) 2021年6月8日 (2021 - 06 - 08) 说明书第[0051]-[0077]段	1-18
A	CN 113035259 A (深圳佰维存储科技股份有限公司) 2021年6月25日 (2021 - 06 - 25) 全文	1-18
A	US 2007195590 A1 (SHARP KABUSHIKI KAISHA) 2007年8月23日 (2007 - 08 - 23) 全文	1-18
A	US 5457696 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 1995年10月10日 (1995 - 10 - 10) 全文	1-18
A	US 2011164464 A1 (ELPIDA MEMORY, INC.) 2011年7月7日 (2011 - 07 - 07) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年12月15日

国际检索报告邮寄日期

2022年12月22日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

刘芳

电话号码 (86-10)53961394

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/101614

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112927750	A	2021年6月8日	无			
CN	113035259	A	2021年6月25日	无			
US	2007195590	A1	2007年8月23日	JP	2007226884	A	2007年9月6日
US	5457696	A	1995年10月10日	KR	930005038	A	1993年3月23日
				JPH	05182496	A	1993年7月23日
US	2011164464	A1	2011年7月7日	JP	2011141912	A	2011年7月21日