

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6743827号
(P6743827)

(45) 発行日 令和2年8月19日(2020.8.19)

(24) 登録日 令和2年8月3日(2020.8.3)

(51) Int.Cl.	F I				
G06F 13/362 (2006.01)	G06F	13/362	510E		
G06F 13/36 (2006.01)	G06F	13/36	510		
G06F 13/38 (2006.01)	G06F	13/38	350		

請求項の数 28 (全 35 頁)

(21) 出願番号	特願2017-543075 (P2017-543075)	(73) 特許権者	000002185
(86) (22) 出願日	平成28年9月9日 (2016.9.9)		ソニー株式会社
(86) 国際出願番号	PCT/JP2016/076570		東京都港区港南1丁目7番1号
(87) 国際公開番号	W02017/056917	(74) 代理人	100112955
(87) 国際公開日	平成29年4月6日 (2017.4.6)		弁理士 丸島 敏一
審査請求日	令和1年8月26日 (2019.8.26)	(72) 発明者	高橋 宏雄
(31) 優先権主張番号	特願2015-196191 (P2015-196191)		東京都港区港南1丁目7番1号 ソニー株式会社内
(32) 優先日	平成27年10月1日 (2015.10.1)	(72) 発明者	越坂 直弘
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市岡田四丁目16番1号 ソニーLSIデザイン株式会社内
		(72) 発明者	李 悝薫
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 通信システム、デバイス、マスタデバイス、スレーブデバイス、通信システムの制御方法、および、プログラム

(57) 【特許請求の範囲】

【請求項1】

調停が必要なグループに属し、通信の開始を指示するスタートビットと所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第1アドレスとを順に送信してデータを送受信する第1のスレーブデバイスと、

前記スタートビットと前記所定のパターンデータとを順に受信してから特定の値が先頭ビットに設定された第2アドレスを受信し、データを送受信する第2のスレーブデバイスと、

前記スタートビットと前記所定のパターンデータとを順に送信するマスタデバイスとを具備し、

前記第1のスレーブデバイスは、調停が必要なグループに属し、

前記第2のスレーブデバイスは、調停が不要なグループに属し、

前記マスタデバイスは、当該マスタデバイスと前記第1のスレーブデバイスとを前記先頭ビットに基づいて調停する

通信システム。

【請求項2】

前記第2のスレーブデバイスは、前記スタートビットと前記所定のパターンデータとを順に受信してから確認応答を送信し、再度の通信開始を示すリスタートコンディションを受信し、前記第2アドレスを受信する

請求項1記載の通信システム。

【請求項 3】

前記マスタデバイスと前記第 1 および第 2 のスレーブデバイスとは、I 3 C の通信規格に従って前記データを送受信する
請求項 1 記載の通信システム。

【請求項 4】

前記第 1 のスレーブデバイスは、I 3 C の通信規格における I 3 C セカンダリマスタ要求が可能なデバイスである
請求項 3 記載の通信システム。

【請求項 5】

前記第 1 のスレーブデバイスは、I 3 C の通信規格におけるピアツーピア I 3 C スレーブ要求が可能なデバイスである
請求項 3 記載の通信システム。

10

【請求項 6】

前記第 1 のスレーブデバイスは、I 3 C の通信規格における帯域内割込み可能なデバイスである
請求項 3 記載の通信システム。

【請求項 7】

前記第 1 のスレーブデバイスは、調停が必要なグループに属する旨を示す設定情報を保持し、

前記第 2 のスレーブデバイスは、調停が不要なグループに属する旨を示す前記設定情報を保持し、

20

前記マスタデバイスは、前記設定情報に基づいて前記第 1 のスレーブデバイスに前記第 1 アドレスを割り当てるとともに前記第 2 のスレーブデバイスに前記第 2 アドレスを割り当てる

請求項 3 記載の通信システム。

【請求項 8】

前記第 1 および第 2 のスレーブデバイスは、前記設定情報をバス特性レジスタに保持する

請求項 7 記載の通信システム。

【請求項 9】

30

通信の開始を指示するスタートビットと所定のパターンデータと調停が必要なグループに属するか否かが先頭ビットに設定されたアドレスとを順に送信する通信部と、

スレーブデバイスと他のデバイスとを前記先頭ビットに基づいて調停する調停部とを具備するマスタデバイス。

【請求項 10】

前記通信部は、前記スタートビットと前記所定のパターンデータとを順に送信してから確認応答を受信し、再度の通信開始を示すリスタートコンディションを送信し、前記アドレスを送信する

請求項 9 に記載のマスタデバイス。

【請求項 11】

40

前記通信部は、

先頭ビットに基づく調停において前記所定のパターンデータの先頭ビットと異なる値が前記調停部により検出されたときに帯域内割り込み要求またはセカンダリマスタ要求またはピアツーピアスレーブ要求を含む調停が必要なイベントが発生したと判断して前記所定のパターンデータの送信を停止し、

前記調停部は、2 ビット目以降のアドレスを前記スレーブデバイスから受信してビット単位で調停を行い、

前記通信部は、前記イベントを前記マスタデバイスが受け入れ可能である場合に確認応答を送信後にデータの送受信またはデータの処理を行い、前記イベントを前記マスタデバイスが受け入れ不可能である場合に確認応答を送信せずに通信処理を終了する

50

請求項 10 記載のマスタデバイス。

【請求項 12】

通信の開始を指示するスタートビットと調停が必要なグループに属するか否かが先頭ビットに設定されたアドレスとを順に送信する送信部と、

マスタデバイスとスレーブデバイスとを前記先頭ビットに基づいて調停する調停部とを具備するスレーブデバイス。

【請求項 13】

通信の開始を指示するスタートビットと所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第 1 アドレスとを順に送信してデータを調停が必要なグループに属する第 1 のスレーブデバイスが送受信する第 1 のスレーブ側手順と、

前記スタートビットと前記所定のパターンデータとを順に受信してから特定の値が先頭ビットに設定された第 2 アドレスを第 2 のスレーブデバイスが受信し、データを送受信する第 2 のスレーブ側手順と、

前記スタートビットと前記所定のパターンデータとをマスタデバイスが順に送信するマスタ側手順と

を具備し、

前記第 1 のスレーブデバイスは、調停が必要なグループに属し、

前記第 2 のスレーブデバイスは、調停が不要なグループに属し、

前記マスタ側手順において前記マスタデバイスは、当該マスタデバイスと前記第 1 のスレーブデバイスとを前記先頭ビットに基づいて調停する

通信システムの制御方法。

【請求項 14】

通信の開始を指示するスタートビットと所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第 1 アドレスとを順に送信してデータを調停が必要なグループに属する第 1 のスレーブデバイスが送受信する第 1 のスレーブ側手順と、

前記スタートビットと前記所定のパターンデータとを順に受信してから特定の値が先頭ビットに設定された第 2 アドレスを第 2 のスレーブデバイスが受信し、データを送受信する第 2 のスレーブ側手順と、

前記スタートビットと前記所定のパターンデータとをマスタデバイスが順に送信するマスタ側手順と

を具備し、

前記第 1 のスレーブデバイスは、調停が必要なグループに属し、

前記第 2 のスレーブデバイスは、調停が不要なグループに属し、

前記マスタ側手順において前記マスタデバイスは、当該マスタデバイスと前記第 1 のスレーブデバイスとを前記先頭ビットに基づいて調停する

をコンピュータに実行させるためのプログラム。

【請求項 15】

通信の開始を示すスタートビットと特定の値が先頭ビットに設定された送信元のアドレスを順に送信するスレーブデバイスと、

前記スタートビットと前記特定の値に該当しない値が先頭ビットに設定された送信先のアドレスとを順に送信し、前記スレーブデバイスと他のデバイスとを前記先頭ビットに基づいて調停するマスタデバイスと

を具備し、

前記スレーブデバイスは、調停処理が必要な調停対象スレーブデバイスと調停処理が不要な調停不要スレーブデバイスとを含み、

前記マスタデバイスは、前記調停対象スレーブデバイスに前記アドレスを割り当てるとともに前記調停不要スレーブデバイスに先頭ビットを除くビット列が前記調停対象スレーブデバイスと異なるアドレスを割り当てる

通信システム。

【請求項 16】

10

20

30

40

50

通信の開始を指示するスタートビットと所定のパターンデータとを順に送信してデータを送受信するマスタデバイスと、

帯域内割り込み要求、セカンダリマスタ要求、または、ピアツーピアスレーブ要求が可能な第1のスレーブデバイスとを具備し、

前記第1のスレーブデバイスは、前記スタートビットと前記所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第1アドレスとを順に送信してデータを送受信し、

前記マスタデバイスは、当該マスタデバイスと前記第1のスレーブデバイスとを前記先頭ビットに基づいて調停し、

前記マスタデバイスと前記第1のスレーブデバイスとのうち前記第1アドレスを送信するデバイスは、前記先頭ビットをオープンドレイン回路により送信し、前記第1アドレスの2ビット目以降をプッシュプル回路により送信する

通信システム。

【請求項17】

通信の開始を指示するスタートビットと所定のパターンデータとを順に送信してデータを送受信するマスタデバイスと、

帯域内割り込み要求、セカンダリマスタ要求、または、ピアツーピアスレーブ要求が可能な第1のスレーブデバイスと

前記帯域内割り込み要求、前記セカンダリマスタ要求および前記ピアツーピアスレーブ要求をいずれも行わない第2のスレーブデバイスと

を具備し、

前記第1のスレーブデバイスは、前記スタートビットと前記所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第1アドレスとを順に送信してデータを送受信し、

前記第2のスレーブデバイスは、前記スタートビットと前記所定のパターンデータとを順に受信してから特定の値が先頭ビットに設定された第2アドレスを受信してデータを送受信し、

前記マスタデバイスは、当該マスタデバイスと前記第1のスレーブデバイスとを前記先頭ビットに基づいて調停する

通信システム。

【請求項18】

前記第2のスレーブデバイスは、前記スタートビットと前記所定のパターンデータと順に受信してから確認応答を送信し、再度の通信開始を示すリスタートコンディションを受信後、アドレスを受信し、当該受信したアドレスがマスタから割り当てられた前記第2のスレーブデバイスのアドレスと合致した場合には確認応答を送信後に前記マスタデバイスから送られてきた書き込みデータの受信あるいは前記マスタデバイスへの読み込みデータの送信を行い、

前記第1のスレーブデバイスは、前記帯域内割り込み要求および前記セカンダリマスタ要求および前記ピアツーピアスレーブ要求をいずれも行わない場合には前記スタートビットと前記所定のパターンデータとを順に受信してから確認応答を送信し、前記リスタートコンディションを受信後、アドレスを受信し、当該受信したアドレスが前記マスタデバイスから割り当てられた前記第1のスレーブデバイスのアドレスと合致した場合には確認応答を送信後に前記マスタデバイスから送られてきた書き込みデータの受信あるいは前記マスタデバイスへの読み込みデータの送信を行う

請求項17記載の通信システム。

【請求項19】

前記マスタデバイスと前記第1および第2のスレーブデバイスとは、I3Cの通信規格に従って前記データを送受信する

請求項17記載の通信システム。

10

20

30

40

50

【請求項 20】

前記第 1 のスレーブデバイスは、I 3 C の通信規格における I 3 C セカンダリマスタ要求が可能なデバイスである

請求項 19 記載の通信システム。

【請求項 21】

前記第 1 のスレーブデバイスは、I 3 C の通信規格におけるピアツーピア I 3 C スレーブ要求が可能なデバイスである

請求項 19 記載の通信システム。

【請求項 22】

前記第 1 のスレーブデバイスは、I 3 C の通信規格における帯域内割り込み可能なデバイスである

請求項 19 記載の通信システム。

10

【請求項 23】

前記第 1 のスレーブデバイスは、調停が必要なグループに属する旨を示す設定情報を保持し、

前記第 2 のスレーブデバイスは、調停が不要なグループに属する旨を示す前記設定情報を保持し、

前記マスタデバイスは、前記設定情報に基づいて前記第 1 のスレーブデバイスに前記第 1 アドレスを割り当てるとともに前記第 2 のスレーブデバイスに前記第 2 アドレスを割り当てる

請求項 19 記載の通信システム。

20

【請求項 24】

前記第 1 および第 2 のスレーブデバイスは、前記設定情報をバス特性レジスタに保持する

請求項 23 記載の通信システム。

【請求項 25】

前記調停が必要なグループは、帯域内割り込み要求を行うことができるスレーブデバイスを含むグループである請求項 23 記載の通信システム

【請求項 26】

前記調停が必要なグループは、セカンダリマスタ要求を行うことができるスレーブデバイスを含むグループである請求項 23 記載の通信システム

30

【請求項 27】

前記調停が必要なグループは、ピアツーピアスレーブ要求を行うことができるスレーブデバイスを含むグループである請求項 23 記載の通信システム

【請求項 28】

前記マスタデバイスは、

先頭ビットに基づく調停において前記所定のパターンデータの先頭ビットと異なる値を検出したときに前記帯域内割り込み要求または前記セカンダリマスタ要求または前記ピアツーピアスレーブ要求を含む調停が必要なイベントが発生したと判断して前記所定のパターンデータの送信を停止し、2 ビット目以降のアドレスを他のスレーブデバイスから受信してビット単位で調停を行い、前記イベントを前記マスタデバイスが受け入れ可能である場合に確認応答を送信後にデータの送受信またはデータの処理を行い、前記イベントを前記マスタデバイスが受け入れ不可能である場合に確認応答を送信せずにマスタ側の通信処理を終了する

請求項 16 記載の通信システム。

40

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、通信システム、デバイス、マスタデバイス、スレーブデバイス、通信システムの制御方法、および、当該方法をコンピュータに実行させるためのプログラムに関する

50

。詳しくは、マスタおよびスレーブ間でデータを送受信する通信システム、デバイス、マスタデバイス、スレーブデバイス、通信システムの制御方法、および、当該方法をコンピュータに実行させるためのプログラムに関する。

【背景技術】

【0002】

従来より、同一基板内など、比較的近距離のデバイス間で通信を行う際においては、構成が単純であることから、I2C (Inter-Integrated Circuit) の通信規格が広く用いられている。このI2Cでは、1つのスレーブに対して複数のマスタが信号を送信することができるため、それらの信号の衝突を検知してマスタ同士を調停する必要がある。例えば、I2Cの通信規格において一方のマスタが「1」を送信し、他方のマスタが「0」を送信した際に、「1」を送信した方が制御権を失う調停手順が提案されている（例えば、非特許文献1参照。）。

10

【0003】

また、I2Cを拡張したI3Cの通信規格が提案されている。このI3Cでは、3つの通信方式が用いられる。1つ目の通信方式（以下、「ケース0」と称する）では、調停を可能としつつ、最大112個までのスレーブをマスタに接続することができる。2つ目の通信方式（以下、「ケース1」と称する）では、調停を可能としつつ、ケース0よりも通信速度が向上する代わりに、接続するスレーブ数は最大56個に制限される。3つ目の通信方式（以下、「ケース2」と称する）では、ケース0よりも通信速度が向上し、最大112個のスレーブを接続することができるが、その代わりにデバイス同士を調停することができなくなる。

20

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】"UM10204バスI2Cバス仕様及びユーザマニュアルRev5.0 J"、[online]、2012年10月9日、NXPセミコンダクタズ、[平成27年8月26日検索]、インターネット (http://www.nxp.com/documents/user_manual/UM10204_JA.pdf)

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

上述の従来技術では、I3Cを用いるシステムを最適化することが困難であるという問題がある。例えば、ケース1では、調停を可能としつつ通信速度を向上させることができるものの、接続可能なスレーブ数がケース0よりも少なくなってしまう。また、ケース2では、スレーブ数がケース0と同様のままで通信速度を向上させることができるものの、調停をすることができなくなってしまう。このように、接続可能なスレーブ数や調停の可否のバランスをとってシステムを最適化することが困難であるという問題がある。

【0006】

本技術はこのような状況に鑑みて生み出されたものであり、マスタおよびスレーブ間でデータを送受信するシステムを最適化することを目的とする。

40

【課題を解決するための手段】

【0007】

本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、調停が必要なグループに属し、通信の開始を指示するスタートビットと所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第1のアドレスとを順に送信してデータを送受信する第1のスレーブデバイスと、上記スタートビットと上記所定のパターンデータとを順に送信するマスタデバイスとを具備し、上記マスタデバイスは、当該マスタデバイスと上記第1のスレーブデバイスとを上記先頭ビットに基づいて調停する通信システム、および、その制御方法、並びに、当該方法をコンピュータに実行させるためのプログラムである。これにより、マスタデバイスと第1のスレーブデバイスとが先頭ビットに

50

基づいて調停されるという作用をもたらす。

【0008】

また、この第1の側面において、上記スタートビットと上記所定のパターンデータとを順に受信してから特定の値が先頭ビットに設定された第2アドレスを受信し、データを送受信する第2のスレーブデバイスをさらに具備してもよい。これにより、特定の値が先頭ビットに設定された第2アドレスが受信されるという作用をもたらす。

【0009】

また、この第1の側面において、上記第2のスレーブデバイスは、上記スタートビットと上記所定のパターンデータとを順に受信してから確認応答を送信し、再度の通信開始を示すリスタートコンディションを受信し、上記第2アドレスを受信してもよい。これにより、リスタートコンディション、第2アドレスが受信されるという作用をもたらす。

10

【0010】

また、この第1の側面において、上記マスタデバイスと上記第1および第2のスレーブデバイスとは、I3Cの通信規格に従って上記データを送受信してもよい。これにより、I3Cの通信規格に従って上記データが送受信されるという作用をもたらす。

【0011】

また、この第1の側面において、上記第1のスレーブデバイスは、I3Cの通信規格におけるI3Cセカンダリマスタ要求が可能なデバイスであってもよい。これにより、マスタデバイスとI3Cセカンダリマスタ要求が可能なデバイスとが先頭ビットに基づいて調停されるという作用をもたらす。

20

【0012】

また、この第1の側面において、上記第1のスレーブデバイスは、I3Cの通信規格におけるピアツーピアI3Cスレーブ要求が可能なデバイスであってもよい。これにより、マスタデバイスとピアツーピアI3Cスレーブ要求が可能なデバイスとが先頭ビットに基づいて調停されるという作用をもたらす。

【0013】

また、この第1の側面において、上記第1のスレーブデバイスは、I3Cの通信規格における帯域内割込み可能なデバイスであってもよい。これにより、マスタデバイスと帯域内割込み可能なデバイスとが先頭ビットに基づいて調停されるという作用をもたらす。

【0014】

また、この第1の側面において、上記第1のスレーブデバイスは、調停が必要なグループに属する旨を示す設定情報を保持し、上記第2のスレーブデバイスは、調停が不要なグループに属する旨を示す上記設定情報を保持し、上記マスタデバイスは、上記設定情報に基づいて上記第1のスレーブデバイスに上記第1アドレスを割り当てるとともに上記第2のスレーブデバイスに上記第2アドレスを割り当ててもよい。これにより、設定情報に基づいて第1のスレーブデバイスに上記第1アドレスが割り当てられ、第2のスレーブデバイスに第2アドレスが割り当てられるという作用をもたらす。

30

【0015】

また、この第1の側面において、上記第1および第2のスレーブデバイスは、上記設定情報をバス特性レジスタに保持してもよい。これにより、バス特性レジスタに保持された設定情報に基づいて第1のスレーブデバイスに上記第1アドレスが割り当てられ、第2のスレーブデバイスに第2アドレスが割り当てられるという作用をもたらす。

40

【0016】

また、本技術の第2の側面は、調停が必要なグループに属するか否かが先頭ビットに設定されたアドレスが割り当てられたデバイスである。これにより、デバイスが先頭ビットに基づいて調停されるという作用をもたらす。

【0017】

また、本技術の第3の側面は、通信の開始を指示するスタートビットと所定のパターンデータと調停が必要なグループに属するか否かが先頭ビットに設定されたアドレスとを順に送信する通信部と、スレーブデバイスと他のデバイスとを上記先頭ビットに基づいて調

50

停する調停部とを具備するマスタデバイスである。これにより、マスタデバイスと他のデバイスとが先頭ビットに基づいて調停されるという作用をもたらす。

【0018】

また、この第3の側面において、上記通信部は、上記スタートビットと上記所定のパターンデータとを順に送信してから確認応答を受信し、再度の通信開始を示すリスタートコンディションを送信し、上記アドレスを送信してもよい。これにより、リスタートコンディション、第2アドレスが送信されるという作用をもたらす。

【0019】

また、この第3の側面において上記通信部は、先頭ビットに基づく調停において上記所定のパターンデータの先頭ビットと異なる値が上記調停部により検出されたときに帯域内割り込み要求またはセカンダリマスタ要求またはピアツーピアスレーブ要求を含む調停が必要なイベントが発生したと判断して上記所定のパターンデータの送信を停止し、上記調停部は、2ビット目以降のアドレスを上記スレーブデバイスから受信してビット単位で調停を行い、上記通信部は、上記イベントを上記マスタデバイスが受け入れ可能である場合に確認応答を送信後にデータの送受信またはデータの処理を行い、上記イベントを上記マスタデバイスが受け入れ不可能である場合に確認応答を送信せずに通信処理を終了してもよい。これにより、ビット単位で調停が行われるという作用をもたらす。

【0020】

また、本技術の第4の側面は、通信の開始を指示するスタートビットと調停が必要なグループに属するか否かが先頭ビットに設定されたアドレスとを順に送信する送信部と、マスタデバイスとスレーブデバイスとを上記先頭ビットに基づいて調停する調停部とを具備するスレーブデバイスである。これにより、先頭ビットに基づいてスレーブデバイスと他のデバイスとが調停されるという作用をもたらす。

【0021】

また、本技術の第5の側面は、通信の開始を示すスタートビットと特定の値が先頭ビットに設定された送信元のアドレスを順に送信するスレーブデバイスと、上記スタートビットと上記特定の値に該当しない値が先頭ビットに設定された送信先のアドレスとを順に送信し、上記スレーブデバイスと他のデバイスとを上記先頭ビットに基づいて調停するマスタデバイスとを具備する通信システムである。これにより、スレーブデバイスと他のデバイスとが先頭ビットに基づいてマスタデバイスにより調停されるという作用をもたらす。

【0022】

また、この第5の側面において、上記スレーブデバイスは、調停処理が必要な調停対象スレーブデバイスと調停処理が不要な調停不要スレーブデバイスとを含み、上記マスタデバイスは、上記調停対象デバイスに上記アドレスを割り当てるとともに上記調停不要デバイスに先頭ビットを除くビット列が上記調停対象スレーブデバイスと異なるアドレスを割り当ててもよい。これにより、調停対象デバイスにアドレスが割り当てられ、調停不要デバイスに先頭ビットを除くビット列が調停対象スレーブデバイスと異なるアドレスが割り当てられるという作用をもたらす。

【0023】

また、本技術の第6の側面は、通信の開始を指示するスタートビットと先頭ビットに固定値が設定された送信元のアドレスを順に送信するデバイスである。これにより、スタートビットと先頭ビットに固定値が設定された送信元のアドレスと順に送信するデバイスが調停されるという作用をもたらす。

【0024】

また、本技術の第7の側面は、通信の開始を指示するスタートビットと先頭ビットに固定値が設定された送信先のアドレスとを順に送信する送信部と、スレーブデバイスと他のデバイスとを上記先頭ビットに基づいて調停する調停部とを具備するデバイスである。これにより、先頭ビットに基づいてデバイスが調停されるという作用をもたらす。

【0025】

また、本技術の第8の側面は、通信の開始を指示するスタートビットと所定のパターン

10

20

30

40

50

データとを順に送信してデータを送受信するマスタデバイスと、帯域内割り込み要求、セカンダリマスタ要求、または、ピアツーピアスレーブ要求が可能な第1のスレーブデバイスとを具備し、上記第1のスレーブデバイスは、上記スタートビットと上記所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第1のアドレスとを順に送信してデータを送受信し、上記マスタデバイスは、当該マスタデバイスと上記第1のスレーブデバイスとを上記先頭ビットに基づいて調停する通信システムである。これにより、マスタデバイスと第1のスレーブデバイスとが先頭ビットに基づいて調停されるという作用をもたらす。

【0026】

また、この第8の側面において、上記帯域内割り込み要求、上記セカンダリマスタ要求および上記ピアツーピアスレーブ要求をいずれも行わない第2のスレーブデバイスをさらに具備し、上記第2のスレーブデバイスは、上記スタートビットと上記所定のパターンデータとを順に受信してから特定の値が先頭ビットに設定された第2のアドレスを受信してデータを送受信してもよい。これにより、スタートビットと所定のパターンデータとの後に特定の値が先頭ビットに設定された第2のアドレスが受信されるという作用をもたらす。

10

【0027】

また、この第8の側面において、上記第2のスレーブデバイスは、上記スタートビットと上記所定のパターンデータと順に受信してから確認応答を送信し、再度の通信開始を示すリスタートコンディションを受信後、アドレスを受信し、当該受信したアドレスがマスタから割り当てられた上記第2のスレーブデバイスのアドレスと合致した場合には確認応答を送信後に上記マスタデバイスから送られてきた書き込みデータの受信あるいは上記マスタデバイスへの読み込みデータの送信を行い、上記第1のスレーブデバイスは、上記帯域内割り込み要求および上記セカンダリマスタ要求および上記ピアツーピアスレーブ要求をいずれも行わない場合には上記スタートビットと上記所定のパターンデータとを順に受信してから確認応答を送信し、上記リスタートコンディションを受信後、アドレスを受信し、当該受信したアドレスが上記マスタデバイスから割り当てられた上記第1のスレーブデバイスのアドレスと合致した場合には確認応答を送信後に上記マスタデバイスから送られてきた書き込みデータの受信あるいは上記マスタデバイスへの読み込みデータの送信を行ってもよい。これにより、スタートビットと所定のパターンデータとの後に確認応答が送信されるという作用をもたらす。

20

30

【0028】

また、この第8の側面において、上記マスタデバイスと上記第1および第2のスレーブデバイスとは、I3Cの通信規格に従って上記データを送受信してもよい。これにより、I3Cの通信規格に従ってデータが送受信されるという作用をもたらす。

【0029】

また、この第8の側面において、上記第1のスレーブデバイスは、I3Cの通信規格におけるI3Cセカンダリマスタ要求が可能なデバイスであってもよい。これにより、I3Cセカンダリマスタ要求が可能なデバイスとマスタデバイスとが調停されるという作用をもたらす。

40

【0030】

また、この第8の側面において、上記第1のスレーブデバイスは、I3Cの通信規格におけるピアツーピアI3Cスレーブ要求が可能なデバイスであってもよい。これにより、ピアツーピアI3Cスレーブ要求が可能なデバイスとマスタデバイスとが調停されるという作用をもたらす。

【0031】

また、この第8の側面において、上記第1のスレーブデバイスは、I3Cの通信規格における帯域内割り込み可能なデバイスであってもよい。これにより、帯域内割り込み可能なデバイスとマスタデバイスとが調停されるという作用をもたらす。

【0032】

50

また、この第8の側面において、上記第1のスレーブデバイスは、調停が必要なグループに属する旨を示す設定情報を保持し、上記第2のスレーブデバイスは、調停が不要なグループに属する旨を示す上記設定情報を保持し、上記マスタデバイスは、上記設定情報に基づいて上記第1のスレーブデバイスに上記第1アドレスを割り当てるとともに上記第2のスレーブデバイスに上記第2アドレスを割り当ててもよい。これにより、設定情報に基づいて第1のスレーブデバイスに上記第1アドレスが割り当てられ、第2のスレーブデバイスに第2アドレスが割り当てられるという作用をもたらす。

【0033】

また、この第8の側面において、上記第1および第2のスレーブデバイスは、上記設定情報をバス特性レジスタに保持してもよい。これにより、バス特性レジスタに保持された設定情報に基づいて第1のスレーブデバイスに上記第1アドレスが割り当てられ、第2のスレーブデバイスに第2アドレスが割り当てられるという作用をもたらす。

10

【0034】

また、この第8の側面において、上記調停が必要なグループは、当該スレーブが帯域内割り込み要求を行うことができるスレーブデバイスを含むグループであってもよい。これにより、帯域内割り込み要求を行うことができるスレーブデバイスを含むグループが調停されるという作用をもたらす。

【0035】

また、この第8の側面において、上記調停が必要なグループは、当該スレーブがセカンダリマスタ要求を行うことができるスレーブデバイスを含むグループであってもよい。これにより、セカンダリマスタ要求を行うことができるスレーブデバイスを含むグループが調停されるという作用をもたらす。

20

【0036】

また、この第8の側面において、上記調停が必要なグループは、当該スレーブがピアツーピアスレーブ要求を行うことができるスレーブデバイスを含むグループであってもよい。これにより、ピアツーピアスレーブ要求を行うことができるスレーブデバイスを含むグループが調停されるという作用をもたらす。

【0037】

また、この第8の側面において、上記マスタデバイスは、先頭ビットに基づく調停において上記所定のパターンデータの先頭ビットと異なる値を検出したときに上記帯域内割り込み要求または上記セカンダリマスタ要求または上記ピアツーピアスレーブ要求を含む調停が必要なイベントが発生したと判断して上記所定のパターンデータの送信を停止し、2ビット目以降のアドレスを他のスレーブデバイスから受信してビット単位で調停を行い、上記イベントを上記マスタデバイスが受け入れ可能である場合に確認応答を送信後にデータの送受信またはデータの処理を行い、上記イベントを上記マスタデバイスが受け入れ不可能である場合に確認応答を送信せずにマスタ側の通信処理を終了してもよい。これにより、ビット単位で調停が行われるという作用をもたらす。

30

【発明の効果】

【0038】

本技術によれば、マスタおよびスレーブ間でデータを送受信するシステムを最適化することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

40

【図面の簡単な説明】

【0039】

【図1】本技術の第1の実施の形態における電子機器の一構成例を示すブロック図である。

【図2】本技術の第1の実施の形態におけるプロセッサの一構成例を示すブロック図である。

【図3】本技術の第1の実施の形態におけるディスプレイドライバの一構成例を示すブロック図である。

50

【図 4】本技術の第 1 の実施の形態における通信方式を説明するための図である。

【図 5】本技術の第 1 の実施の形態におけるヘッダタイプを説明するための図である。

【図 6】本技術の第 1 の実施の形態におけるケース 0 乃至 2 でマスタが送信するフレームのデータ構造の一例を示す図である。

【図 7】本技術の第 1 の実施の形態におけるケース 3 でマスタが送信するフレームのデータ構造の一例を示す図である。

【図 8】本技術の第 1 の実施の形態におけるスレーブが送信するフレームのデータ構造の一例を示す図である。

【図 9】本技術の第 1 の実施の形態におけるバス特性レジスタの設定情報の一例を示す図である。

10

【図 10】本技術の第 1 の実施の形態におけるインデックス 0 乃至 3 の詳細の一例を示す図である。

【図 11】本技術の第 1 の実施の形態におけるマスタ/スレーブのデバイスの動作の一例を示すフローチャートである。

【図 12】本技術の第 1 の実施の形態におけるアドレス割当処理の一例を示すフローチャートである。

【図 13】本技術の第 1 の実施の形態におけるマスタ側通信処理の一例を示すフローチャートである。

【図 14】本技術の第 1 の実施の形態におけるケース 3 に対応するマスタ側の通信処理の一例を示すフローチャートである。

20

【図 15】本技術の第 1 の実施の形態におけるスレーブの動作の一例を示すフローチャートである。

【図 16】本技術の第 1 の実施の形態におけるケース 3 に対応するスレーブ側の側通信処理の一例を示すフローチャートである。

【図 17】本技術の第 1 の実施の形態の第 1 の変形例におけるビット特性レジスタの設定情報の一例を示す図である。

【図 18】本技術の第 1 の実施の形態の第 2 の変形例におけるビット特性レジスタの設定情報の一例を示す図である。

【図 19】本技術の第 1 の実施の形態の第 3 の変形例におけるビット特性レジスタの設定情報の一例を示す図である。

30

【図 20】本技術の第 2 の実施の形態における通信方式を説明するための図である。

【図 21】本技術の第 2 の実施の形態におけるケース 4 でマスタが送信するフレームのデータ構造の一例を示す図である。

【図 22】本技術の第 2 の実施の形態におけるマスタ側通信処理の一例を示すフローチャートである。

【図 23】本技術の第 2 の実施の形態におけるケース 4 に対応するマスタ側の通信処理の一例を示すフローチャートである。

【図 24】本技術の第 2 の実施の形態におけるスレーブの動作の一例を示すフローチャートである。

【図 25】本技術の第 2 の実施の形態におけるケース 4 に対応するスレーブ側の側通信処理の一例を示すフローチャートである。

40

【発明を実施するための形態】

【0040】

以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第 1 の実施の形態（先頭ビットにグループ識別子を設定する例）
2. 第 2 の実施の形態（先頭ビットに固定値を設定する例）

【0041】

< 1. 第 1 の実施の形態 >

[電子装置の構成例]

50

図1は、第1の実施の形態における電子装置100の一構成例を示すブロック図である。この電子装置100は、プロセッサ110および140と、ディスプレイドライバ120と、ジャイロセンサ130と、SDA(Serial DATA)線108と、SCL(Serial Clock)線109とを備える。プロセッサ110、プロセッサ140、ディスプレイドライバ120およびジャイロセンサ130は、SDA線108およびSCL線109に接続され、それらの信号線を介して、I3Cの通信規格に従って信号を送受信する。なお、電子装置100にはプロセッサ110、プロセッサ140、ディスプレイドライバ120およびジャイロセンサ130の4つのデバイスが設けられているが、デバイスの個数は4つに限定されない。

【0042】

I3Cの通信規格は、データを伝送するSDA線108と、クロック信号を伝送するSCL線109との2本の信号線を介して通信を行う規格である。この規格において、デバイス(プロセッサ110など)は、マスタまたはスレーブとして動作するデバイスと、スレーブとしてのみ動作するデバイスとに分類される。例えば、プロセッサ110および140は、マスタまたはスレーブとして動作し、ディスプレイドライバ120およびジャイロセンサ130はスレーブとしてのみ動作する。ここで、マスタは、スレーブを制御するデバイスであり、スレーブは、マスタの制御に従って動作するデバイスである。

【0043】

また、I3Cでは1つのマスタに対して複数のスレーブを接続することができる。また、1つのスレーブに対して複数のマスタが信号を送信することができ、この通信を以下、「マルチマスタ通信」と称する。さらに、マスタを介さずにスレーブ同士で通信を行うことができ、この通信は、「ピアツーピア通信」と呼ばれる。また、スレーブは、他のデバイスの通信によりSDA線108が通信中(ビジー)である間に、その通信に割り込んで通信を行うことができ、この割り込みは、「帯域内割り込み(In-Band Interrupt)」と呼ばれる。

【0044】

上述のマルチマスタ通信、帯域内割り込み、および、ピアツーピア通信においては、複数のデバイスが同時に送信した信号がSDA線108において衝突するおそれがある。例えば、マスタが、あるスレーブへ信号を送信している間に、別のスレーブが帯域内割り込みを行ってマスタへ信号を送信すると、マスタからの信号とスレーブからの信号とが衝突してしまう。このため、I3Cにおけるデバイスは、衝突を検出してデバイス同士を調停する機能を有する。

【0045】

なお、プロセッサ110などのデバイスの全てを1つの装置内に配置しているが、この構成に限定されない。例えば、プロセッサ110などを電子装置100内に配置し、ジャイロセンサ130などのセンサを、電子装置100の外部に配置してもよい。なお、プロセッサ110などのデバイスからなるシステムは、特許請求の範囲に記載の通信システムの一例である。

【0046】

[プロセッサの構成例]

図2は、第1の実施の形態におけるプロセッサ110の一構成例を示すブロック図である。このプロセッサ110は、アドレス割当部111、バス特性レジスタ112、通信部113および調停部114を備える。プロセッサ140の構成は、プロセッサ110と同様である。なお、プロセッサ110は、特許請求の範囲に記載のマスタデバイスの一例である。

【0047】

アドレス割当部111は、スレーブのそれぞれに動的アドレスを割り当てるものである。この動的アドレスは、スレーブを識別するための情報であり、スレーブごとに固有のアドレスが割り当てられる。アドレス割当部111は、電子装置100に電源が投入されたときなどに、動的アドレスの割り当て(アサイン)を開始する。割り当ての際にアドレス

10

20

30

40

50

割当部 1 1 1 は、まず、それぞれのデバイスのバス特性レジスタ (B C R : Bus Characteristic Register) からデータを読み出す。ここで、 B C R は、デバイスの役割など、動的アドレスの割り当ての際に必要な設定情報を保持するレジスタであり、読出しのみが可能である。そして、アドレス割当部 1 1 1 は、読み出した設定情報に基づいて、スレーブのそれぞれに動的アドレスを割り当てる。

【 0 0 4 8 】

バス特性レジスタ 1 1 2 は、プロセッサ 1 1 0 の設定情報を保持するものである。通信部 1 1 3 は、 I 3 C に従ってマスタまたはスレーブとして通信を行うものである。この通信部 1 1 3 は、オープンドレイン回路およびプッシュプル回路のいずれかによりデータを出力する。オープンドレイン回路による通信では、回路の特性上、プッシュプル回路を用いる場合と比較して通信速度が低下する。例えば、オープンドレイン回路を用いる場合は、 4 0 0 キロヘルツ (k H z) のクロック信号に同期してデータが伝送される。一方、プッシュプル回路を用いる場合には 1 2 . 5 メガヘルツ (M H z) のクロック信号に同期してデータが伝送される。

10

【 0 0 4 9 】

調停部 1 1 4 は、衝突を検出してデバイス同士の調停を行うものである。この調停部 1 1 4 は、 S D A 線 1 0 8 のレベルを監視し、デバイス (プロセッサ 1 4 0) が送信したビットの値と、 S D A 線 1 0 8 で伝送中のビットの値とが異なる場合に、衝突があると判断する。調停の際には、例えば、「 0 」を送信したデバイスが優先され、「 1 」を送信したデバイスが制御権を失う。

20

【 0 0 5 0 】

[ディスプレイドライバの構成例]

図 3 は、第 1 の実施の形態におけるディスプレイドライバ 1 2 0 の一構成例を示すブロック図である。このディスプレイドライバ 1 2 0 は、バス特性レジスタ 1 2 1、通信部 1 2 2 および調停部 1 2 3 を備える。ジャイロセンサ 1 3 0 の構成は、ディスプレイドライバ 1 2 0 と同様である。

【 0 0 5 1 】

バス特性レジスタ 1 1 2 は、ディスプレイドライバ 1 2 0 の設定情報を保持するものである。通信部 1 2 2 は、 I 3 C に従ってスレーブとして通信を行うものである。調停部 1 2 3 は、衝突を検出してデバイス同士の調停を行うものである。

30

【 0 0 5 2 】

図 4 は、第 1 の実施の形態における通信方式を説明するための図である。 I 3 C では、通信方式として 3 つの方式が規定されている。これらを以下、ケース 0、ケース 1 およびケース 2 と称する。

【 0 0 5 3 】

ケース 0 において、ヘッダタイプはタイプ 0 に設定される。また、ケース 0 では、リザーブドと称する 7 ビットの固定のパターンデータがマスタにより最初に送信される。このパターンデータには、例えば、 1 6 進数で「 7 E 」 (2 進数で「 1 1 1 1 1 1 0 」) の値が設定される。次に、アクセス先のスレーブに割り当てられた 7 ビットの動的アドレスがマスタにより送信される。この 7 ビットの動的アドレスにより、最大で 1 1 2 個のスレーブをマスタに接続することができる。

40

【 0 0 5 4 】

また、上述のタイプ 0 において送信元のデバイスは、オープンドレイン回路によりリザーブドを送信する。オープンドレイン回路を用いる場合は、前述したように通信速度が遅くなるため、デバイスはビット単位で衝突を検出して調停を行うことができる。

【 0 0 5 5 】

次にケース 1 では、ヘッダタイプはタイプ 1 に設定される。また、ケース 1 ではケース 0 と同様にリザーブドがマスタにより最初に送信される。次に、先頭ビット A [6] が「 0 」に固定された 7 ビットの動的アドレスがマスタにより送信される。

【 0 0 5 6 】

50

ここで、ケース1で動的アドレスの先頭ビットが「0」に固定されるのは、デバイスが先頭ビットで衝突を検出するためである。ケース1で帯域内割込み等を行うスレーブは、先頭ビットが「0」の動的アドレスを最初に送信する。一方、マスタは、上述のように先頭ビットが「1」のリザーブドを最初に送信する。このように先頭ビットの値が異なるため、デバイスは、SDA線108のレベルを監視して先頭ビットの送信時に衝突の有無を検出し、調停を行うことができる。しかしながら、先頭ビットを「0」に固定したため、実質的に用いることができるアドレスのサイズは7ビットから6ビットに減少し、スレーブ数は最大112個から最大56個に半減する。

【0057】

前述のタイプ1では、衝突を検出するために先頭ビットが比較的遅いオープンドレイン回路により送信され、衝突が無ければ、2ビット目以降は比較的早いプッシュプル回路により送信される。したがって、ケース1の全体的な通信速度は、ケース0よりも早くなる。

10

【0058】

続いてケース2においてヘッダタイプはタイプ1に設定される。また、ケース2では、リザーブドが送信されず、7ビットの動的アドレスがマスタにより最初に送信される。また、ケース2では、デバイスは調停を行うことができない。デバイスが調停を行わないために、動的アドレスの先頭ビットは固定値に設定されず、スレーブ数はケース0と同様に112個まで接続することができる。さらに、ケース2では、リザーブドが伝送されないため、ケース0および1のいずれよりも通信速度が速くなる。

20

【0059】

まとめると、ケース0を基準として、ケース1ではスレーブ数が少ないが通信速度は速い。また、ケース2では、スレーブ数はケース0と変わらず、通信速度が速いが調停を行うことができない。このように、いずれの方式にも一長一短がある。

【0060】

そこで、電子装置100では、ケース1と通信速度が同等で、調停可能としつつ、スレーブ数をケース1より増加したケース3が新たに実装されている。

【0061】

ケース3ではリザーブドのヘッダタイプはタイプ1に設定される。また、ケース1ではケース0と同様にリザーブドがマスタにより最初に送信される。次に、先頭ビットA[6]をグループ識別子とする7ビットの動的アドレスがマスタにより送信される。

30

【0062】

ここで、グループ識別子は、調停を要するグループにスレーブが属するか否かを示すビットである。I3Cでは、他のデバイスからの信号と衝突が生じうる信号（帯域内割込みなど）をスレーブが送信可能なようにBCRに設定することができ、また、マスタの制御下でのみ信号を送信可能なように設定することもできる。マスタは、BCRの設定を参照して、衝突が生じうる信号を送信可能なスレーブを、調停を要するグループに分類し、そうでないスレーブを調停が不要なグループに分類する。調停を要するグループのグループ識別子は「0」に設定され、調停が不要なグループのグループ識別子は「1」に設定される。

40

【0063】

調停を要するスレーブの動的アドレスの先頭ビット（グループ識別子）は「0」であり、リザーブドの先頭ビット（＝「1」）と値が異なるため、ケース1と同様にデバイスは先頭ビットで衝突を検出し、調停を行うことができる。

【0064】

一方、調停を要しないスレーブの動的アドレスの先頭ビット（グループ識別子）は「1」であり、リザーブドの先頭ビットと同じ値であるが、このスレーブは、動的アドレスを送信することが無いため衝突とは無関係である。

【0065】

上述のようにケース3では、動的アドレスの先頭ビットを固定しなくてよいため、先頭

50

ビットを固定する必要があるケース 1 と比較して、接続可能なスレーブ数が増加する。また、ヘッダタイプがタイプ 1 であるため、通信速度はケース 1 と同様にケース 0 よりも早い。

【 0 0 6 6 】

なお、調停を要するグループ内のスレーブ（ディスプレイドライバ 1 2 0 など）は、特許請求の範囲に記載の第 1 のスレーブデバイスの一例である。調停を要しないグループ内のスレーブは、特許請求の範囲に記載の第 2 のスレーブデバイスの一例である。

【 0 0 6 7 】

電子装置 1 0 0 内のデバイス（プロセッサ 1 1 0 など）のそれぞれは、上述のケース 0 乃至 3 のいずれかを状況に応じて適宜選択し、他のデバイスとの間で通信を行う。

10

【 0 0 6 8 】

図 5 は、第 1 の実施の形態におけるヘッダタイプを説明するための図である。同図における a は、タイプ 0 のヘッダ（リザーブド）を送信する際の S D A 線 1 0 8 および S C L 線 1 0 9 の状態の一例を示す図である。同図における b は、タイプ 1 のヘッダを送信する際の S D A 線 1 0 8 および S C L 線 1 0 9 の状態の一例を示す図である。A [6] 乃至 A [0] は、リザーブドを構成する 7 ビットのそれぞれを示す。リザーブドのうち A [6] が最初に送信され、A [0] が最後に送信される。また、R / W は、データの書込みおよび読出しのいずれかを示すリード・ライトビットである。

【 0 0 6 9 】

通信を開始する際にマスタは、S D A 線 1 0 8 をローレベルにし、S C L 線 1 0 9 をハイレベルにする。この状態はスタートコンディション S と呼ばれる。スタートコンディション S（スタートビット）の次に、マスタは、A [6] 乃至 A [0] および R / W のそれぞれをクロック信号に同期して順に送信する。

20

【 0 0 7 0 】

ここで、タイプ 0 では、全てのビットが通信速度の遅いオープンドレイン回路により送信される。一方、タイプ 1 では、先頭ビット A [6] のみがオープンドレイン回路により送信され、2 ビット目以降は通信速度の早いプッシュプル回路により送信される。また、タイプ 0 では、全ビットの通信速度が遅いが、ビットごとに調停が行われる。一方、タイプ 1 では、先頭ビットでしか調停が行われないが、先頭ビットで衝突が無ければ 2 ビット目以降の通信速度がタイプ 0 より速くなる。なお、タイプ 1 の先頭ビットで衝突が生じると、デバイスは 2 ビット目以降をオープンドレイン回路により送信し、ビットごとに調停を行う。

30

【 0 0 7 1 】

[フレームのデータ構造]

図 6 は、第 1 の実施の形態におけるケース 0 乃至 2 でマスタが送信するフレームのデータ構造の一例を示す図である。ここで、フレームは、動的アドレスと、その動的アドレスのスレーブにより送受信されるデータとを含む信号を意味する。同図における a は、ケース 0 においてマスタが書込みを行う際に送信するフレームの一構成例を示す。同図における b は、ケース 0 においてマスタが読出しを行う際に送信するフレームの一構成例を示す。同図における c は、ケース 1 においてマスタが書込みを行う際に送信するフレームの一構成例を示す。同図における d は、ケース 1 においてマスタが読出しを行う際に送信するフレームの一構成例を示す。同図における e は、ケース 2 においてマスタが書込みを行う際に送信するフレームの一構成例を示す。同図における f は、ケース 2 においてマスタが読出しを行う際に送信するフレームの一構成例を示す。また、同図において白色の矩形はマスタからスレーブへ送信される信号を示し、斜線の矩形は、スレーブからマスタへ送信される信号を示す。

40

【 0 0 7 2 】

ケース 0 においてマスタからスタートコンディション S が最初に送信され、続いて 1 6 進数で「7 E」のリザーブドおよびリード・ライトビット R / W がマスタから送信される。そして、スレーブが受信に成功した場合にはスレーブから A C K（acknowledge）が送

50

信される。ACKの次にマスタによりリスタートコンディションSrが送信され、動的アドレスおよびリード・ライトビットR/Wが順に送信される。そして、スレーブが受信に成功した場合にはスレーブからACKが送信される。そのACKの次にマスタとスレーブとの間でリードデータまたはライトデータが送受信される。データはバイト単位で伝送され、バイトごとにトランジションビットTと呼ばれるパリティが付加される。データの送受信が終了するとマスタによりストップコンディションPまたはリスタートコンディションSrが送信される。

【0073】

次にケース1においてはケース0と同様にスタートコンディションSの次にリザーブドがマスタから送信され、スレーブからACKが送信される。ACKの次にマスタによりリスタートコンディションSrが送信され、先頭ビットA[6]に「0」を設定した動的アドレスとリード・ライトビットR/Wとが順に送信される。そして、スレーブからACKが送信され、マスタとスレーブとの間でリードデータまたはライトデータが送受信される。データの送受信が終了するとマスタによりストップコンディションPまたはリスタートコンディションSrが送信される。

10

【0074】

次にケース2においてはスタートコンディションSの次にマスタから動的アドレスが送信され、スレーブからACKが送信される。ACKの次にマスタとスレーブとの間でリードデータまたはライトデータが送受信される。データの送受信が終了するとマスタによりストップコンディションPまたはリスタートコンディションSrが送信される。

20

【0075】

図7は、第1の実施の形態におけるケース3でマスタが送信するフレームのデータ構造の一例を示す図である。同時におけるaは、ケース3においてマスタが書込みを行う際に送信するフレームの一構成例を示す。同図におけるbは、ケース3においてマスタが読み出しを行う際に送信するフレームの一構成例を示す。

【0076】

ケース3においてはケース0と同様にスタートコンディションSの次にリザーブドがマスタから送信され、スレーブからACKが送信される。ACKの次にマスタによりリスタートコンディションSrが送信され、先頭ビットA[6]をグループ識別子とする動的アドレスとリード・ライトビットR/Wとが順に送信される。グループ識別子には、調停を要する調停対象グループ内のスレーブである場合に「0」が設定され、そうでない調停不要グループ内のスレーブである場合に「1」が設定される。

30

【0077】

そして、スレーブからACKが送信され、マスタとスレーブとの間でリードデータまたはライトデータが送受信される。データの送受信が終了するとマスタによりストップコンディションPまたはリスタートコンディションSrが送信される。

【0078】

動的アドレスの先頭ビットに固定値を設定したケース1と異なり、ケース3では動的アドレスの先頭ビットを固定値にしなくてよいため、ケース1よりも多くのスレーブをマスタに接続することができる。また、調停対象グループの動的アドレスの先頭ビットA[6]には、固定のパターンデータ(リザーブド)の先頭ビットと異なる値が設定されるため、デバイスは先頭ビットにおいて衝突を検出して調停を行うことができる。

40

【0079】

図8は、第1の実施の形態におけるスレーブが送信するフレームのデータ構造の一例を示す図である。同図におけるaは、ケース0においてスレーブが帯域内割込み等により書込みを行う際に送信するフレームの一構成例を示し、同図におけるbは、ケース0においてスレーブが帯域内割込み等により読み出しを行う際に送信するフレームの一構成例を示す。同図におけるcは、ケース1においてスレーブが帯域内割込み等により書込みを行う際に送信するフレームの一構成例を示し、同図におけるdは、ケース1においてスレーブが帯域内割込み等により読み出しを行う際に送信するフレームの一構成例を示す。同図にお

50

る e は、ケース 3 においてスレーブが帯域内割込み等により書込みを行う際に送信するフレームの一構成例を示し、同図における f は、ケース 3 においてスレーブが帯域内割込み等により読出しを行う際に送信するフレームの一構成例を示す。なお、ケース 2 では、スレーブがマスタへ動的アドレスを送信することはない。これは、ケース 2 ではデバイスが調停を行うことができないためである。

【 0 0 8 0 】

ケース 0 で帯域内割込み等が発生する際にスタートコンディション S および動的アドレスがスレーブにより送信され、マスタにより A C K が送信される。A C K の次にリスタートコンディション S r がマスタにより送信され、マスタとスレーブとの間でリードデータまたはライトデータが送受信される。なお、A C K の送信直後にマスタがストップコンディション P を送信してもよい。

10

【 0 0 8 1 】

ケース 1 で帯域内割込み等が発生する際にスタートコンディション S と、先頭ビット A [6] を「 0 」に固定した動的アドレスとがスレーブにより送信され、マスタにより A C K が送信される。A C K の次にリスタートコンディション S r がマスタにより送信され、マスタとスレーブとの間でリードデータまたはライトデータが送受信される。

【 0 0 8 2 】

ケース 3 で帯域内割込み等が発生する際にスタートコンディション S の次にスレーブから、先頭ビット A [6] をグループ識別子とする動的アドレスが送信され、マスタにより A C K が送信される。帯域内割込み等を行うスレーブにはグループ識別子に「 0 」が設定されるため、ケース 1 と同様に衝突の有無がデバイスにより検出される。また、A C K の次にリスタートコンディション S r がマスタにより送信され、マスタとスレーブとの間でリードデータまたはライトデータが送受信される。

20

【 0 0 8 3 】

図 9 は、第 1 の実施の形態におけるバス特性レジスタ 1 1 2 の設定情報の一例を示す図である。このバス特性レジスタ 1 1 2 には、B C R [7] 乃至 B C R [0] が保持される。ここで、B C R [i] (i は 0 乃至 7 の整数) は、i 番目のビットを示す。これらのビットは、スレーブが調停を要するグループに属するか否かを示す設定情報を含む。同図において点線で囲った部分は、I 3 C における規格書をケース 3 の追加に合わせて修正した箇所である。

30

【 0 0 8 4 】

B C R [7] および B C R [6] には、マスタやスレーブなど、システムにおいてデバイスに割り当てられる役割 (デバイスロール) が設定される。デバイスがセカンダリマスタである場合には 2 進数で「 0 1 」が設定され、デバイスがピアツーピア通信を行うスレーブである場合には 2 進数で「 1 0 」が設定される。また、B C R [1] および B C R [6] には、デバイスが帯域内割込みを行うか否かや、クロック周波数に関する設定内容を示すインデックス 0 乃至 3 のいずれかが設定される。

【 0 0 8 5 】

図 1 0 は、第 1 の実施の形態におけるインデックス 0 乃至 3 の詳細の一例を示す図である。同図において点線で囲った部分と太枠の部分は、I 3 C における規格書をケース 3 の追加に合わせて修正した箇所である。インデックス 0 は、帯域内割込み要求を行い、クロック周波数を最大に設定することができることを意味する。インデックス 1 は、帯域内割込み要求を行い、クロック周波数を最大に設定することができないことを意味する。インデックス 2 は、帯域内割込み要求を行わず、クロック周波数を最大に設定することができないことを意味する。インデックス 3 は、帯域内割込み要求を行わず、クロック周波数を最大に設定することができることを意味する。

40

【 0 0 8 6 】

図 9 および図 1 0 の設定情報に基づいて、マスタは、デバイスロールが「 0 1 」または「 1 0 」である場合、あるいは、インデックス 0 またはインデックス 1 である場合にマスタは調停を要するスレーブであると判断してグループ識別子に「 0 」を設定する。

50

【 0 0 8 7 】

〔 デバイスの動作例 〕

図 1 1 は、第 1 の実施の形態におけるマスタ/スレーブのデバイス（プロセッサ 1 1 0 など）の動作の一例を示すフローチャートである。この動作は、例えば、電子装置 1 0 0 に電源が投入されたときに開始する。デバイスはバス特性レジスタなどをスレーブのそれぞれから読み出し（ステップ S 9 1 1 ）、動的アドレスを割り当てるためのアドレス割当処理を実行する（ステップ S 9 2 0 ）。

【 0 0 8 8 】

そして、デバイスは、他のデバイスにより生成されたスタートコンディションを検出したか否かを判断する（ステップ 9 1 2 ）。スタートコンディションを検出していない場合に（ステップ S 9 1 2 : N o ）デバイスは、通信のための所定のイベントが発生したか否かを判断する（ステップ S 9 1 3 ）。イベントが発生した場合に（ステップ S 9 1 3 : Y e s ）、デバイスは、マスタ側通信処理を実行する（ステップ S 9 3 0 ）。イベントが発生しない場合（ステップ S 9 1 3 : N o ）またはステップ S 9 3 0 の後にデバイスは、ステップ S 9 1 2 以降の処理を繰り返す。

10

【 0 0 8 9 】

また、スタートコンディションを検出した場合に（ステップ S 9 1 2 : Y e s ）マスタは、クロック信号の生成を開始し（ステップ S 9 1 4 ）、動的アドレスを受信して、衝突の際に調停を行う（ステップ S 9 1 5 ）。そして、マスタは、受信したアドレスが、自身に割り当てられたものであるか否かを判断する（ステップ S 9 1 6 ）。自身のアドレスを受信した場合に（ステップ S 9 1 6 : Y e s ）デバイスは、ACK の送信、データ送受信や受信したデータの処理を行う（ステップ S 9 1 7 ）。自身のアドレスを受信していない場合に（ステップ S 9 1 6 : N o ）、または、ステップ S 9 1 7 の後にデバイスは、ステップ S 9 1 2 以降の処理を繰り返す。

20

【 0 0 9 0 】

図 1 2 は、第 1 の実施の形態におけるケース 3 アドレス割当処理の一例を示すフローチャートである。デバイスは、現在の通信方式がケース 3 であるか否かを判断する（ステップ S 9 2 1 ）。ケース 3 でない場合に（ステップ S 9 2 1 : N o ）、デバイスはマスタとして、ケース 0 乃至 2 のいずれかに対応する動的アドレスの割当処理を実行し（ステップ S 9 2 2 ）、アドレス割当処理を終了する。

30

【 0 0 9 1 】

ケース 3 である場合に（ステップ S 9 2 1 : Y e s ）デバイスはマスタとして、割り当て対象のスレーブを選択し、そのスレーブが調停を要するグループ内のスレーブであるか否かを B C R に基づいて判断する（ステップ S 9 2 3 ）。調停を要するグループ内のスレーブである場合に（ステップ S 9 2 3 : Y e s ）、デバイスは、先頭ビット A [6] に「 0 」を設定した動的アドレスを割り当てる（ステップ S 9 2 4 ）。一方、調停を要するグループ内のスレーブでない場合に（ステップ S 9 2 3 : N o ）、デバイスは、先頭ビット A [6] に「 1 」を設定した動的アドレスを割り当てる（ステップ S 9 2 6 ）。ステップ S 9 2 5 または S 9 2 6 の後にデバイスは、全てのスレーブへのアドレスの割り当てが終了したか否かを判断する（ステップ S 9 2 7 ）。割り当てが終了していない場合に（ステップ S 9 2 7 : N o ）、デバイスはステップ S 9 2 3 以降の処理を繰り返し、割り当てが終了した場合に（ステップ S 9 2 7 : Y e s ）、アドレス割当処理を終了する。

40

【 0 0 9 2 】

図 1 3 は、第 1 の実施の形態におけるマスタ側通信処理の一例を示すフローチャートである。デバイスは、現在の通信方式がケース 3 であるか否かを判断する（ステップ S 9 3 1 ）。ケース 3 である場合に（ステップ S 9 3 1 : Y e s ）、デバイスはケース 3 に対応する通信処理を実行する（ステップ S 9 4 0 ）。一方、ケース 3 でない場合に（ステップ S 9 3 1 : N o ）、デバイスはケース 0 乃至 2 のいずれかに対応する通信処理を実行する（ステップ S 9 3 2 ）。ステップ S 9 4 0 または S 9 3 2 の後にデバイスは、マスタ側通信処理を終了する。

50

【 0 0 9 3 】

図 1 4 は、第 1 の実施の形態におけるケース 3 に対応するマスタ側の通信処理の一例を示すフローチャートである。デバイスはマスタとして、クロック信号の生成を開始し（ステップ S 9 4 1）、スタートコンディションを生成する（ステップ S 9 4 2）。そして、デバイスは、パターンデータ（リザーブド）の先頭ビット A [6]（= 1）を送信し（ステップ S 9 4 3）、そのビットで衝突が生じたか否かを判断する（ステップ S 9 4 4）。パターンデータの先頭ビットは「1」であるため、スレーブにより「0」の先頭ビットの動的アドレスが送信されると、マスタは衝突が生じたと判断することができる。この先頭ビットの送信には、通信速度の遅いオープンドレイン回路が用いられる。

【 0 0 9 4 】

衝突が生じると（ステップ S 9 4 4 : Y e s）、マスタは制御権を失って S D A 線 1 0 8 への送信を停止し、2 ビット目以降のアドレスを他のスレーブから受信し、ビット単位で調停を行う（ステップ S 9 4 5）。ここで、アドレスの伝送には通信速度の遅いオープンドレイン回路が用いられる。

【 0 0 9 5 】

デバイスは、受信した信号に基づいて、マルチマスタ通信、ピアツーピア通信、および、帯域内割込みのいずれが発生したかを解析する（ステップ S 9 4 6）。また、デバイスは、マスタとして帯域内割込みを受け入れ可能であるか否かを判断する（ステップ S 9 4 7）。受け入れ可能である場合には（ステップ S 9 4 7 : Y e s）、マスタは、A C K を送信し、データの送受信や受信したデータの処理を行う（ステップ S 9 4 8）。これらのデータは、プッシュプル回路により送信される。一方、受け入れ不可能である場合に（ステップ S 9 4 7 : N o）、マスタは、N A C K を送信する（ステップ S 9 4 8）。

【 0 0 9 6 】

また、衝突が生じていない場合に（ステップ S 9 4 4 : N o）デバイスは、パターンデータ（リザーブド）の 2 ビット目以降と、アクセス先の動的アドレスとを送信する（ステップ S 9 5 1）。これらのデータの送信には、通信速度の比較的早いプッシュプル回路が用いられる。そして、デバイスは、データの送受信や受信したデータの処理を実行する（ステップ S 9 5 2）。ステップ S 9 4 8、S 9 4 9 または S 9 5 2 の後に、デバイスは、ストップコンディションを生成して（ステップ S 9 5 1）、ケース 3 マスタ側通信処理を終了する。

【 0 0 9 7 】

図 1 5 は、第 1 の実施の形態におけるスレーブ（ディスプレイドライバ 1 2 0 など）の動作の一例を示すフローチャートである。この動作は、例えば、電子装置 1 0 0 に電源が投入されたときに開始する。スレーブは、マスタにより割り当てられた動的アドレスを保持し（ステップ S 9 6 1）、現在の通信方式がケース 3 であるか否かを判断する（ステップ S 9 6 2）。ケース 3 である場合に（ステップ S 9 6 2 : Y e s）、スレーブは、ケース 3 スレーブ側通信処理を実行し（ステップ S 9 7 0）、ステップ S 9 6 2 以降を繰り返す。一方、ケース 3 でない場合に（ステップ S 9 6 2 : N o）、スレーブは、ケース 0 乃至 2 のいずれかに対応する通信処理を実行し（ステップ S 9 6 3）、ステップ S 9 6 2 以降を繰り返す。

【 0 0 9 8 】

図 1 6 は、第 1 の実施の形態におけるケース 3 に対応するスレーブ側の通信処理の一例を示すフローチャートである。デバイスは、帯域内割込みやピアツーピア通信のための所定のイベントが発生したか否かを判断する（ステップ S 9 7 1）。

【 0 0 9 9 】

帯域内割込み等のためのイベントが発生した場合に（ステップ S 9 7 1 : Y e s）、スレーブは、スタートコンディションを生成する（ステップ S 9 7 2）。そして、スレーブは、自身の動的アドレスを送信し、衝突の際に調停を行う（ステップ S 9 7 3）。スレーブは、A C K を受信したか否かを判断する（ステップ S 9 7 4）。A C K を受信した場合に（ステップ S 9 7 4 : Y e s）、スレーブは、データの送受信や受信したデータの処理

10

20

30

40

50

を行い(ステップS975)、ストップコンディションを生成する(ステップS976)。ACKを受信していない場合(ステップS974:No)、または、ステップS976の後にスレーブは、ケース3スレーブ側通信処理を終了する。

【0100】

また、帯域内割込み等のためのイベントが発生していない場合に(ステップS971:No)スレーブは、他のデバイスにより生成されたスタートコンディションを検出したか否かを判断する(ステップS977)。スタートコンディションを検出した場合に(ステップS977:Yes)、スレーブは、固定パターンおよび動的アドレスを受信して、衝突の際に調停を行う(ステップS978)。そして、デバイスは、受信したアドレスが自身のものであるか否かを判断する(ステップS979)。自身のアドレスを受信した場合に(ステップS979:Yes)デバイスは、データ送受信や受信したデータの処理を行う(ステップS980)。スタートコンディションを検出しない場合(ステップS977:No)、自身のアドレスを受信していない場合(ステップS979:No)、または、ステップS980の後にスレーブは、通信処理を終了する。

10

【0101】

このように、本技術の第1の実施の形態によれば、パターンデータの先頭ビットとは異なる値を先頭ビットに設定したアドレスを、割込み等を行うスレーブに割り当てたため、パターンデータとアドレスとの各先頭ビットで衝突の有無を検出することができる。これにより、衝突を検出したデバイスは、衝突した信号を送信したデバイス同士を調停することができる。また、アドレスの先頭ビットが固定値でないため、先頭ビットを固定値とするケース1よりも多くのスレーブを接続することができる。

20

【0102】

[第1の変形例]

上述の第1の実施の形態では、マスタは、ケース3の追加に合わせてBCRのインデックス0乃至3の詳細を修正していたが、代わりにBCRの他の個所を修正することもできる。例えば、BCRにおいて予約済のデバイスロールを用いることができる。この第1の実施の形態の第1の変形例における電子装置100は、BCRにおいて予約済のデバイスロールを修正した点において第1の実施の形態と異なる。

【0103】

図17は、第1の実施の形態の第1の変形例におけるバス特性レジスタ112の設定情報の一例を示す図である。同図において点線で囲った部分は、I3Cにおける規格書をケース3の追加に合わせて修正した箇所である。

30

【0104】

BCR[6]およびBCR[7]において「11」には予約済が設定されていたが、第1の変形例では、帯域内割込み、セカンダリマスタ要求、および、ピアツーピアスレーブ要求のいずれも要求しないスレーブに修正される。

【0105】

第1の変形例のマスタは、ケース3においてBCR[7]およびBCR[6]に「11」が設定されたスレーブを「調停を要しないスレーブ」と判断し、それ以外のスレーブを「調停を要するスレーブ」と判断する。

40

【0106】

このように本技術の第1の変形例における第1の変形例によれば、予約済のデバイスロールのみを調停を要しないスレーブに修正するため、インデックス0乃至3を修正する場合と比較して修正個所を少なくすることができる。

【0107】

[第2の変形例]

上述の第1の実施の形態では、マスタは、ケース3の追加に合わせてBCRのインデックス0乃至3の詳細を修正していたが、代わりにBCRの他の個所を修正することもできる。例えば、BCRにおいて予約済のデバイスロールを用いることができる。この第1の実施の形態の第2の変形例における電子装置100は、BCRにおいて予約済のデバイス

50

ルールを修正した点において第1の実施の形態と異なる。

【0108】

図18は、第1の実施の形態の第2の変形例におけるバス特性レジスタ112の設定情報の一例を示す図である。同図において点線で囲った部分は、I3Cにおける規格書をケース3の追加に合わせて修正した箇所である。

【0109】

BCR[6]およびBCR[7]において「11」には予約済が設定されていたが、第2の変形例では、帯域内割込みを要求するスレーブに修正される。

【0110】

第2の変形例のマスタは、ケース3においてBCR[7]およびBCR[6]に「01」(セカンダリマスタ)、「10」(ピアツーピアスレーブ)、または、「11」(帯域内割込みをするスレーブ)が設定されたスレーブを「調停を要するスレーブ」と判断する。一方、CR[6]およびBCR[7]に「00」が設定されたスレーブを「調停を要しないスレーブ」と判断する。このように、変形例1では予約済のデバイスルール(「11」)に調停を要しないスレーブが割り当てられたのに対し、変形例2では、「11」に調停を要するスレーブが割り当てられる。また、変形例1では、「00」に調停を要するスレーブが割り当てられたのに対し、変形例2では、「00」に調停を要しないスレーブが割り当てられる。

【0111】

このように本技術の第1の変形例における第2の変形例によれば、予約済のデバイスルールのみを調停を要するスレーブに修正するため、インデックス0乃至3を修正する場合と比較して修正箇所を少なくすることができる。

【0112】

[第3の変形例]

上述の第1の実施の形態では、マスタは、ケース3の追加に合わせてBCRのインデックス0乃至3の詳細を修正していたが、代わりにBCRの他の箇所を修正することもできる。例えば、BCRにおいてデバイスルールに割り当てるビットを2ビットから3ビットに増加して、空いた箇所を利用することができる。この第1の実施の形態の第3の変形例における電子装置100は、BCRにおいてデバイスルールに割り当てるビットを増加した点において第1の実施の形態と異なる。

【0113】

図19は、第1の実施の形態の第3の変形例におけるバス特性レジスタ112の設定情報の一例を示す図である。同図において太線および点線で囲った部分は、I3Cにおける規格書をケース3の追加に合わせて修正した箇所である。

【0114】

デバイスルールに割り当てるビットは、BCR[6]およびBCR[7]から、BCR[5]乃至BCR[7]に修正される。この修正に合わせて、修正前のBCR[5]乃至[2]に設定されていた情報をBCR[4]乃至[1]に移動するように修正が行われる。また、BCR[0]は、最大SCLクロック周波数を設定可能であるか否かが設定される。

【0115】

BCR[5]乃至BCR[7]において2進数で「000」は、デバイスがI2Cスレーブであることを示し、「100」はI2Cセカンダリマスタであることを示す。また、「010」は、デバイスがピアツーピアI3Cスレーブであることを示し、「001」は帯域内割込みスレーブであることを示す。これら以外には予約済が設定される。

【0116】

第3の変形例のマスタは、ケース3においてBCR[5]乃至BCR[7]に「100」、「100」または「010」が設定されたスレーブを「調停を要するスレーブ」と判断する。一方、「000」が設定されたスレーブを「調停を要しないスレーブ」と判断する。

【 0 1 1 7 】

このように本技術の第 1 の変形例における第 3 の変形例によれば、デバイスロールに割り当てるビット数を増加したため、予約済の領域を増加して、将来のデバイスロールの拡張に対応することができる。

【 0 1 1 8 】

< 2 . 第 2 の実施の形態 >

上述の第 1 の実施の形態では、割込み等を行うスレーブに固定パターンと先頭ビットの異なるアドレスを割り当てることにより、ケース 0 よりも通信速度を速くして、デバイス数を増加していた。しかし、デバイス数の増加よりも、ケース 0 よりも通信速度を速くし、かつ、調停を可能とすることが要求されるシステムも想定される。第 2 の実施の形態の電子装置 1 0 0 は、ケース 0 よりも通信速度を速くし、かつ、調停を可能とした点において第 1 の実施の形態と異なる。

10

【 0 1 1 9 】

図 2 0 は、第 2 の実施の形態における通信方式を説明するための図である。この第 2 の実施の形態では、ケース 0 乃至 3 に加えて、ケース 4 が追加される。

【 0 1 2 0 】

ケース 4 ではヘッダタイプはタイプ 1 に設定される。また、ケース 4 では、ケース 2 と同様にリザーブドの固定パターンが送信されず、スタートコンディションの次に、7 ビットの動的アドレスがマスタにより送信される。ただし、動的アドレスの先頭ビットにはアービトレーションビットが設定される。このアービトレーションビットには、マスタ側において「 1 」の固定値が設定され、スレーブ側において「 0 」の固定値が設定される。

20

【 0 1 2 1 】

ケース 4 では先頭ビットに固定値が設定されるため、実質的に用いることができるアドレスのサイズは 7 ビットから 6 ビットに減少し、スレーブ数は最大 1 1 2 個から最大 5 6 個に半減する。一方、マスタ側とスレーブ側とで異なる固定値を先頭ビットに設定するため、デバイスは先頭ビットにおいて衝突を検出し、調停を行うことができる。また、ケース 4 ではリザーブドを送信する必要がないため、リザーブドの送信が必要なケース 0、ケース 1 またはケース 3 と比較して通信速度が速くなる。

【 0 1 2 2 】

このように、ケース 4 では、ケース 0 と比較して最大スレーブ数が半減した代わりに調停を可能としつつ、通信速度を速くすることができる。

30

【 0 1 2 3 】

図 2 1 は、第 2 の実施の形態におけるケース 4 でマスタが送信するフレームのデータ構造の一例を示す図である。ケース 4 においてはスタートコンディション S の次にマスタから動的アドレスが送信され、スレーブから A C K が送信される。この動的アドレスの先頭ビット（アービトレーションビット）には、「 1 」が設定される。一方、スレーブが送信する動的アドレスの先頭ビットには「 0 」が設定される。

【 0 1 2 4 】

また、第 2 の実施の形態のマスタは、ケース 4 においてケース 1 と同様の手順で動的アドレスを割り当てる。すなわち、スレーブの動的アドレスの先頭ビットは、「 0 」に固定される。

40

【 0 1 2 5 】

ただし、帯域内割込み等を行わない調停不要スレーブが接続されていると、2 つのマスタ / スレーブの一方が、そのスレーブにアクセスする際に、他方のマスタ / スレーブが、自身に対するアクセスと誤って判断する場合がある。例えば、調停不要スレーブのアドレスとマスタ / スレーブのアドレスとにおいて先頭ビットのみが異なり、下位 6 ビットは同じ場合を想定する。この構成で、マスタ / スレーブは、制御権を失った際に、先頭ビット（アービトレーションビット）を「 1 」から「 0 」にするため、調停不要スレーブへ送信されたアドレスを自身のアドレスと誤って判断してしまう。

【 0 1 2 6 】

50

このような誤動作を防止するために、第2の実施の形態のマスタは、調停不要スレーブについて、帯域内割込み等を行う調停対象スレーブの動的アドレスと下位6ビットが異なるアドレスを割り当てることが望ましい。

【0127】

図22は、第2の実施の形態におけるマスタ側通信処理の一例を示すフローチャートである。この第2の実施の形態の通信処理は、ステップS933およびS955をさらに実行する点において第1の実施の形態と異なる。

【0128】

現在の通信方式がケース3でない場合に(ステップS931:No)、デバイスはケース4であるか否かを判断する(ステップS933)。ケース4である場合に(ステップS933:Yes)、デバイスは、ケース4に対応するマスタ側の通信処理を実行し(ステップS955)、マスタ側通信処理を終了する。一方、ケース4でない場合に(ステップS933:No)、デバイスは、ステップS932を実行する。

10

【0129】

図23は、第2の実施の形態におけるケース4に対応するマスタ側の通信処理の一例を示すフローチャートである。このケース4の通信処理は、ステップS949の代わりにステップS956を実行する点以外は、ケース3の通信処理と同様である。

【0130】

先頭ビットA[6]で衝突が生じていない場合に(ステップS944:No)デバイスは、アドレスの2ビット目以降をプッシュプル回路で送信し(ステップS956)、ステップS950以降を実行する。

20

【0131】

図24は、第2の実施の形態におけるスレーブ側通信処理の一例を示すフローチャートである。この第2の実施の形態のスレーブ側通信処理は、ステップS964およびS985をさらに実行する点において第1の実施の形態と異なる。

【0132】

現在の通信方式がケース3でない場合に(ステップS931:No)、デバイスはケース4であるか否かを判断する(ステップS964)。ケース4である場合に(ステップS964:Yes)、デバイスは、ケース4に対応するスレーブ側の通信処理を実行し(ステップS985)、ステップS962以降を繰り返す。一方、ケース4でない場合に(ステップS964:No)、デバイスは、ステップS963を実行する。

30

【0133】

図25は、第2の実施の形態におけるケース4に対応するスレーブ側の通信処理の一例を示すフローチャートである。このケース4の通信処理は、ステップS973およびS978の代わりにステップS986およびS987を実行する点以外は、ケース3の通信処理と同様である。割込み等のためのイベントが発生した場合に(ステップS971:Yes)、スレーブは、スタートコンディションを生成する(ステップS972)。そして、スレーブは、先頭ビット(アービトレーションビット)A[6]を「0」に設定したアドレスを送信し、衝突の際に調停を行って(ステップS986)、ステップS974以降を実行する。

40

【0134】

また、スタートコンディションを検出した場合に(ステップS977)、スレーブは、動的アドレスを送信し、衝突の際に調停を行って(ステップS987)、ステップS979以降を実行する。

【0135】

このように、本技術の第2の実施の形態によれば、マスタおよびスレーブは、スタートコンディションの次に互いに異なる固定値を先頭ビットに設定した動的アドレスを送信するため、先頭ビットで衝突を検出して調停を行うことができる。また、パターンデータを送信するケース0等と比較して通信速度を速くすることができる。

【0136】

50

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

【0137】

また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、CD (Compact Disc)、MD (MiniDisc)、DVD (Digital Versatile Disc)、メモ리카ード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

10

【0138】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【0139】

なお、本技術は以下のような構成もとることができる。

(1) 調停が必要なグループに属し、通信の開始を指示するスタートビットと所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第1のアドレスとを順に送信してデータを送受信する第1のスレーブデバイスと、

20

前記スタートビットと前記所定のパターンデータとを順に送信するマスタデバイスとを具備し、

前記マスタデバイスは、当該マスタデバイスと前記第1のスレーブデバイスとを前記先頭ビットに基づいて調停する通信システム。

(2) 前記スタートビットと前記所定のパターンデータとを順に受信してから特定の値が先頭ビットに設定された第2アドレスを受信し、データを送受信する第2のスレーブデバイスをさらに具備する

前記(1)記載の通信システム。

30

(3) 前記第2のスレーブデバイスは、前記スタートビットと前記所定のパターンデータとを順に受信してから確認応答を送信し、再度の通信開始を示すリスタートコンディションを受信し、前記第2アドレスを受信する

前記(2)記載の通信システム。

(4) 前記マスタデバイスと前記第1および第2のスレーブデバイスとは、I3Cの通信規格に従って前記データを送受信する

前記(2)記載の通信システム。

(5) 前記第1のスレーブデバイスは、I3Cの通信規格におけるI3Cセカンダリマスタ要求が可能なデバイスである

前記(4)記載の通信システム。

40

(6) 前記第1のスレーブデバイスは、I3Cの通信規格におけるピアツーピアI3Cスレーブ要求が可能なデバイスである

前記(4)記載の通信システム。

(7) 前記第1のスレーブデバイスは、I3Cの通信規格における帯域内割込み可能なデバイスである

前記(4)記載の通信システム。

(8) 前記第1のスレーブデバイスは、調停が必要なグループに属する旨を示す設定情報を保持し、

前記第2のスレーブデバイスは、調停が不要なグループに属する旨を示す前記設定情報を保持し、

50

前記マスタデバイスは、前記設定情報に基づいて前記第1のスレーブデバイスに前記第1アドレスを割り当てるとともに前記第2のスレーブデバイスに前記第2アドレスを割り当てる

前記(4)から(7)のいずれかに記載の通信システム。

(9)前記第1および第2のスレーブデバイスは、前記設定情報をバス特性レジスタに保持する

前記(8)記載の通信システム。

(10)調停が必要なグループに属するか否かが先頭ビットに設定されたアドレスが割り当てられたデバイス。

(11)通信の開始を指示するスタートビットと所定のパターンデータと調停が必要なグループに属するか否かが先頭ビットに設定されたアドレスとを順に送信する通信部と、スレーブデバイスと他のデバイスとを前記先頭ビットに基づいて調停する調停部とを具備するマスタデバイス。

10

(12)前記通信部は、前記スタートビットと前記所定のパターンデータとを順に送信してから確認応答を受信し、再度の通信開始を示すリスタートコンディションを送信し、前記アドレスを送信する

前記(11)に記載のマスタデバイス。

(13)前記通信部は、

先頭ビットに基づく調停において前記所定のパターンデータの先頭ビットと異なる値が前記調停部により検出されたときに帯域内割り込み要求またはセカンダリマスタ要求またはピアツーピアスレーブ要求を含む調停が必要なイベントが発生したと判断して前記所定のパターンデータの送信を停止し、

20

前記調停部は、2ビット目以降のアドレスを前記スレーブデバイスから受信してビット単位で調停を行い、

前記通信部は、前記イベントを前記マスタデバイスが受け入れ可能である場合に確認応答を送信後にデータの送受信またはデータの処理を行い、前記イベントを前記マスタデバイスが受け入れ不可能である場合に確認応答を送信せずに通信処理を終了する

請求項11記載のマスタデバイス。

(14)通信の開始を指示するスタートビットと調停が必要なグループに属するか否かが先頭ビットに設定されたアドレスとを順に送信する送信部と、

30

マスタデバイスとスレーブデバイスとを前記先頭ビットに基づいて調停する調停部とを具備するスレーブデバイス。

(15)通信の開始を指示するスタートビットと所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第1のアドレスとを順に送信してデータを調停が必要なグループに属する第1のスレーブデバイスが送受信する第1のスレーブ側手順と、

前記スタートビットと前記所定のパターンデータとをマスタデバイスが順に送信するマスタ側手順と

を具備し、

前記マスタ側手順において前記マスタデバイスは、当該マスタデバイスと前記第1のスレーブデバイスとを前記先頭ビットに基づいて調停する

40

通信システムの制御方法。

(16)通信の開始を指示するスタートビットと所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第1のアドレスとを順に送信してデータを調停が必要なグループに属する第1のスレーブデバイスが送受信する第1のスレーブ側手順と、

前記スタートビットと前記所定のパターンデータとをマスタデバイスが順に送信するマスタ側手順と

を具備し、

前記マスタ側手順において前記マスタデバイスは、当該マスタデバイスと前記第1のスレーブデバイスとを前記先頭ビットに基づいて調停する

をコンピュータに実行させるためのプログラム。

50

(17) 通信の開始を示すスタートビットと特定の値が先頭ビットに設定された送信元のアドレスを順に送信するスレーブデバイスと、

前記スタートビットと前記特定の値に該当しない値が先頭ビットに設定された送信先のアドレスとを順に送信し、前記スレーブデバイスと他のデバイスとを前記先頭ビットに基づいて調停するマスタデバイスと

を具備する通信システム。

(18) 前記スレーブデバイスは、調停処理が必要な調停対象スレーブデバイスと調停処理が不要な調停不要スレーブデバイスとを含み、

前記マスタデバイスは、前記調停対象デバイスに前記アドレスを割り当てるとともに前記調停不要デバイスに先頭ビットを除くビット列が前記調停対象スレーブデバイスと異なるアドレスを割り当てる

前記(17)記載の通信システム。

(19) 通信の開始を指示するスタートビットと先頭ビットに固定値が設定された送信元のアドレスを順に送信するデバイス。

(20) 通信の開始を指示するスタートビットと先頭ビットに固定値が設定された送信先のアドレスとを順に送信する送信部と、

スレーブデバイスと他のデバイスとを前記先頭ビットに基づいて調停する調停部とを具備するデバイス。

(21) 通信の開始を示すスタートビットと特定の値が先頭ビットに設定された送信元のアドレスとを順にスレーブデバイスが送信するスレーブ側手順と、

前記スタートビットと前記特定の値に該当しない値が先頭ビットに設定された送信先のアドレスとを順に送信し、前記スレーブデバイスと他のデバイスとを前記先頭ビットに基づいてマスタデバイスが調停するマスタ側手順と

を具備する通信システムの制御方法。

(22) 通信の開始を示すスタートビットと特定の値が先頭ビットに設定された送信元のアドレスとを順にスレーブデバイスが送信するスレーブ側手順と、

前記スタートビットと前記特定の値に該当しない値が先頭ビットに設定された送信先のアドレスとを順に送信し、前記スレーブデバイスと他のデバイスとを前記先頭ビットに基づいてマスタデバイスが調停するマスタ側手順と

をコンピュータに実行させるためのプログラム。

(23) 通信の開始を指示するスタートビットと所定のパターンデータとを順に送信してデータを送受信するマスタデバイスと、

帯域内割り込み要求、セカンダリマスタ要求、または、ピアツーピアスレーブ要求が可能な第1のスレーブデバイスと

を具備し、

前記第1のスレーブデバイスは、前記スタートビットと前記所定のパターンデータの先頭ビットと異なる値が先頭ビットに設定された第1のアドレスとを順に送信してデータを送受信し、

前記マスタデバイスは、当該マスタデバイスと前記第1のスレーブデバイスとを前記先頭ビットに基づいて調停する

通信システム。

(24) 前記帯域内割り込み要求、前記セカンダリマスタ要求および前記ピアツーピアスレーブ要求をいずれも行わない第2のスレーブデバイスをさらに具備し、

前記第2のスレーブデバイスは、前記スタートビットと前記所定のパターンデータとを順に受信してから特定の値が先頭ビットに設定された第2のアドレスを受信してデータを送受信する

前記(23)記載の通信システム。

(25) 前記第2のスレーブデバイスは、前記スタートビットと前記所定のパターンデータと順に受信してから確認応答を送信し、再度の通信開始を示すリスタートコンディションを受信後、アドレスを受信し、当該受信したアドレスがマスタから割り当てられた前記

10

20

30

40

50

第2のスレーブデバイスのアドレスと合致した場合には確認応答を送信後に前記マスタデバイスから送られてきた書き込みデータの受信あるいは前記マスタデバイスへの読み込みデータの送信を行い、

前記第1のスレーブデバイスは、前記帯域内割り込み要求および前記セカンダリマスタ要求および前記ピアツーピアスレーブ要求をいずれも行わない場合には前記スタートビットと前記所定のパターンデータとを順に受信してから確認応答を送信し、前記リスタートコンディションを受信後、アドレスを受信し、当該受信したアドレスが前記マスタデバイスから割り当てられた前記第1のスレーブデバイスのアドレスと合致した場合には確認応答を送信後に前記マスタデバイスから送られてきた書き込みデータの受信あるいは前記マスタデバイスへの読み込みデータの送信を行う

10

前記(23)記載の通信システム。

(26)前記マスタデバイスと前記第1および第2のスレーブデバイスとは、I3Cの通信規格に従って前記データを送受信する

前記(23)から(25)のいずれかに記載の通信システム。

(27)前記第1のスレーブデバイスは、I3Cの通信規格におけるI3Cセカンダリマスタ要求が可能なデバイスである

前記(26)記載の通信システム。

(28)前記第1のスレーブデバイスは、I3Cの通信規格におけるピアツーピアI3Cスレーブ要求が可能なデバイスである

前記(26)記載の通信システム。

20

(29)前記第1のスレーブデバイスは、I3Cの通信規格における帯域内割り込み可能なデバイスである

前記(26)記載の通信システム。

(30)前記第1のスレーブデバイスは、調停が必要なグループに属する旨を示す設定情報を保持し、

前記第2のスレーブデバイスは、調停が不要なグループに属する旨を示す前記設定情報を保持し、

前記マスタデバイスは、前記設定情報に基づいて前記第1のスレーブデバイスに前記第1アドレスを割り当てるとともに前記第2のスレーブデバイスに前記第2アドレスを割り当てる

30

前記(26)から(29)のいずれかに記載の通信システム。

(31)前記第1および第2のスレーブデバイスは、前記設定情報をバス特性レジスタに保持する

前記(30)記載の通信システム。

(32)前記調停が必要なグループは、当該スレーブが帯域内割り込み要求を行うことができるスレーブデバイスを含むグループである前記(30)から(31)のいずれかに記載の通信システム

(33)前記調停が必要なグループは、当該スレーブがセカンダリマスタ要求を行うことができるスレーブデバイスを含むグループである前記(30)から(31)のいずれかに記載の通信システム

40

(34)前記調停が必要なグループは、当該スレーブがピアツーピアスレーブ要求を行うことができるスレーブデバイスを含むグループである前記(30)から(31)のいずれかに記載の通信システム

(35)前記マスタデバイスは、

先頭ビットに基づく調停において前記所定のパターンデータの先頭ビットと異なる値を検出したときに前記帯域内割り込み要求または前記セカンダリマスタ要求または前記ピアツーピアスレーブ要求を含む調停が必要なイベントが発生したと判断して前記所定のパターンデータの送信を停止し、2ビット目以降のアドレスを他のスレーブデバイスから受信してビット単位で調停を行い、前記イベントを前記マスタデバイスが受け入れ可能である場合に確認応答を送信後にデータの送受信またはデータの処理を行い、前記イベントを前

50

記マスタデバイスが受け入れ不可能である場合に確認応答を送信せずにマスタ側の通信処理を終了する

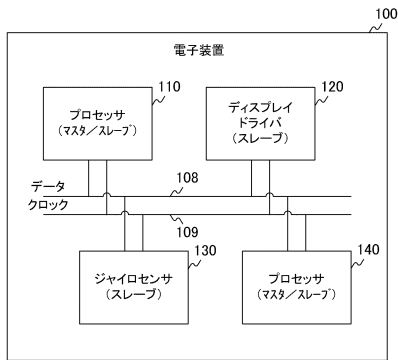
前記(23)から(34)のいずれかに記載の通信システム。

【符号の説明】

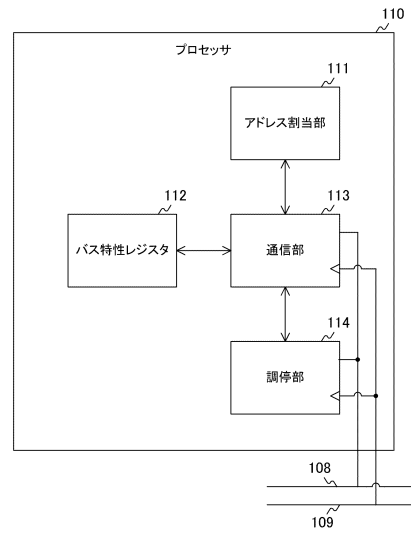
【0140】

- 100 電子装置
- 108 SDA線
- 109 SLC線
- 110、140 プロセッサ
- 111 アドレス割当部
- 112、121 バス特性レジスタ
- 113、122 通信部
- 114、123 調停部
- 120 ディスプレイドライバ
- 130 ジャイロセンサ

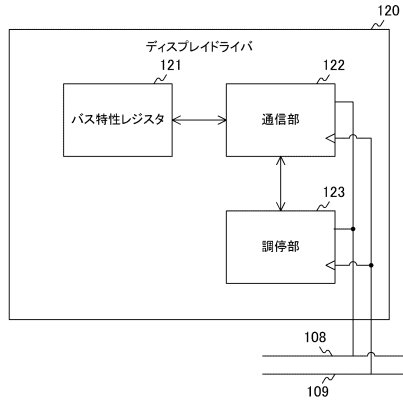
【図1】



【図2】



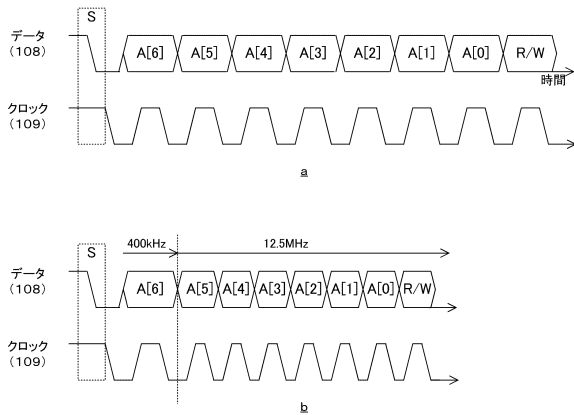
【図3】



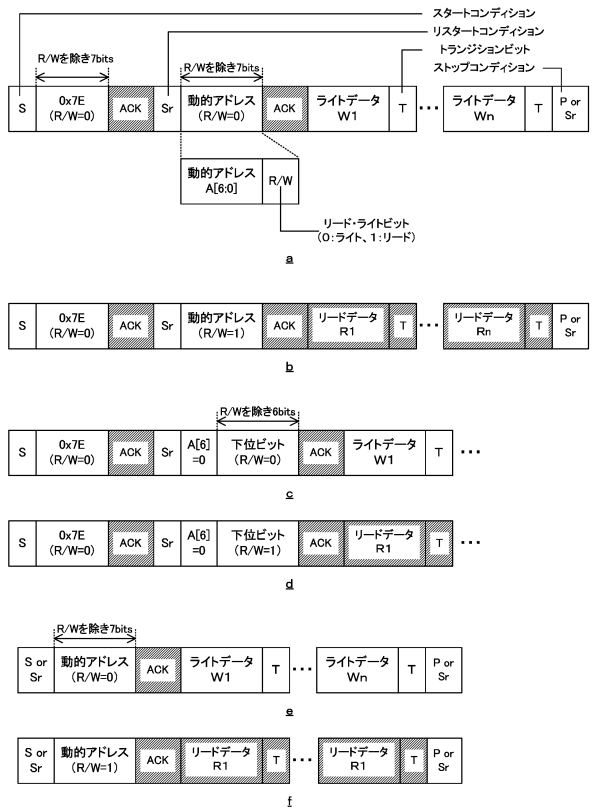
【図4】

通信方式	ヘッダタイプ	先頭のA[6:0]	2番目のA[6:0]	調停可否	スレーブ最大接続数	通信速度
ケース0	タイプ0	リザーブド(0x7E)	動的アドレス	可	112個(0x08~0x77)	低速
ケース1	タイプ1	リザーブド(0x7E)	動的アドレスただし、A[6]=1b0固定	可	56個(0x08~0x3F)	中速
ケース2	タイプ0	動的アドレス(7bits)		不可	112個(0x08~0x77)	高速
ケース3	タイプ1	リザーブド(0x7E)	動的アドレスただし、A[6]:グループ識別子	可	112個(0x08~0x77)	中速

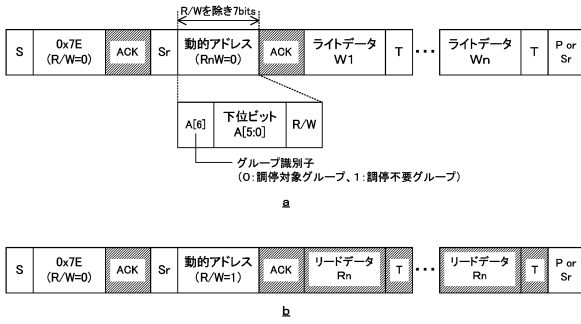
【図5】



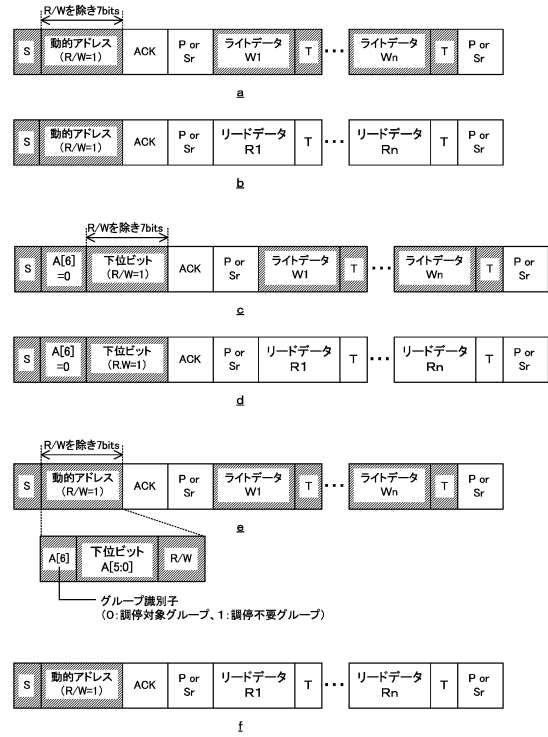
【図6】



【図7】



【図8】



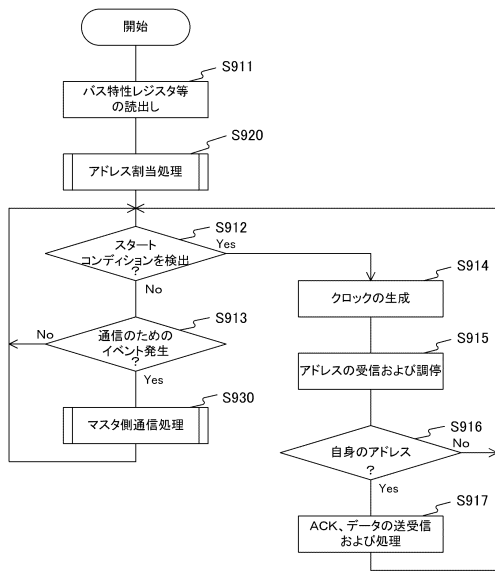
【図9】

ビット	名称	説明
BCR[7]	デバイスロール(1)	2b00: I3Cスレーブ 2b01: I3Cセカンダリマスタ 2b10: ピアツーピアI3Cスレーブ 2b11: 予約済
BCR[6]	デバイスロール(0)	
BCR[5]	SDRのみ/ SDR又はHDR可	0: SDRのみ 1: SDR又はHDR可
BCR[4]	ブリッジ識別子	0: ブリッジデバイスでない 1: ブリッジデバイスである
BCR[3]	オフライン可	0: デバイスは常にI3Cコマンドに応答する 1: デバイスは周期的にI3Cコマンドに応答しない
BCR[2]	追加レジスタインジケータ	将来、追加レジスタバイトを示すために予約済
BCR[1]	I3Cスレーブ(1)	2b00: インデックス0 2b01: インデックス1 2b10: インデックス2 2b11: インデックス3(予約済)
BCR[0]	I3Cスレーブ(0)	

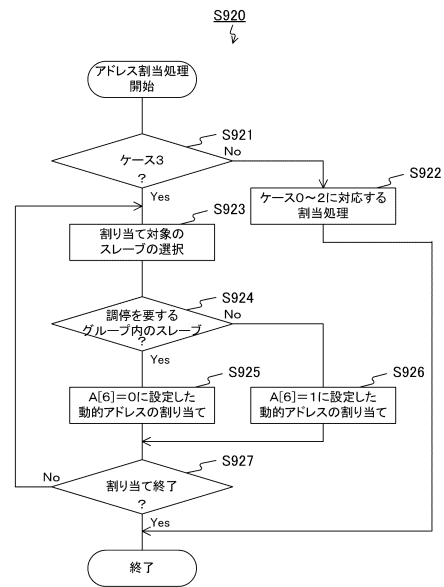
【図10】

インデックス詳細	I3Cスレーブ インデックス0	I3Cスレーブ インデックス1	I3Cスレーブ インデックス2	I3Cスレーブ インデックス3
バンド内割込み要求	Yes	Yes	No	No
最大SCLクロック 周波数可	Yes	No	No	Yes
最大SCLクロック周波数 許容	Yes	Yes	Yes	Yes
HDR出口パターン検知	Yes	Yes	Yes	Yes

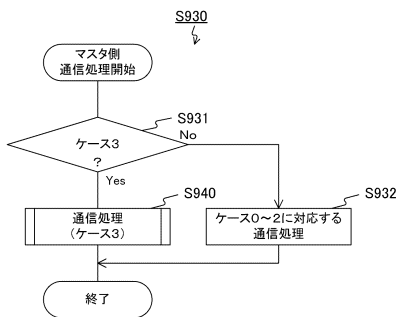
【図11】



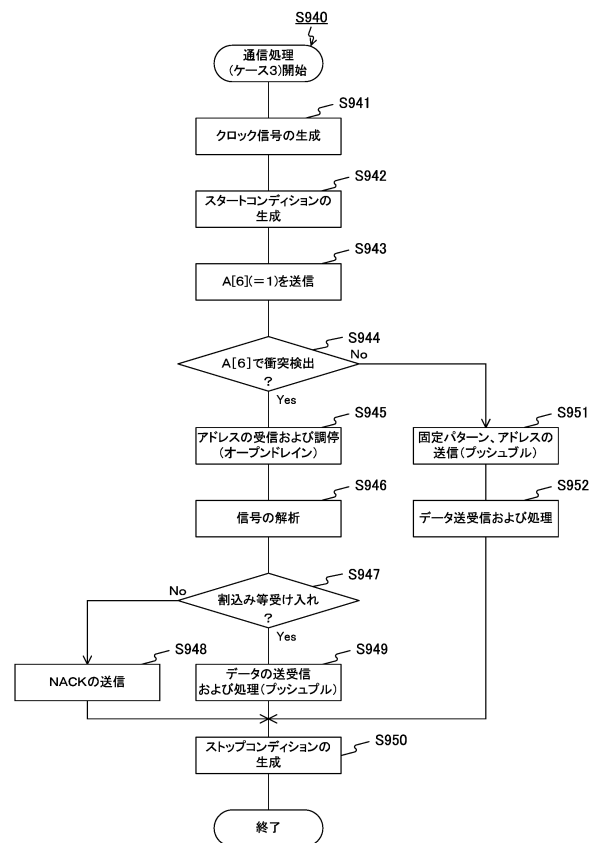
【図12】



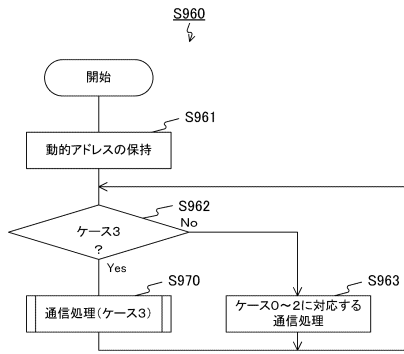
【図13】



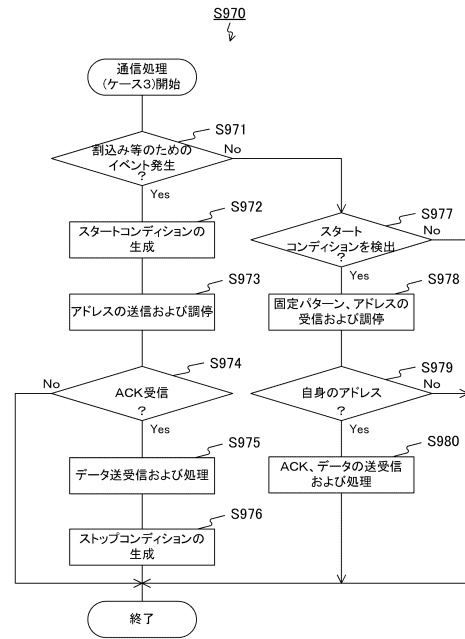
【図14】



【図15】



【図16】



【図17】

ビット	名称	説明
BCR[7]	デバイスロール(1)	2b00: I2Cスレーブ 2b01: I2Cセカンダリマスタ
BCR[6]	デバイスロール(0)	2b10: ピアツーピアI3Cスレーブ 2b11: 帯域内割り込み等を行わないスレーブ
BCR[5]	SDRのみ/ SDR又はHDR可	0: SDRのみ 1: SDR又はHDR可
BCR[4]	ブリッジ識別子	0: ブリッジデバイスでない 1: ブリッジデバイスである
BCR[3]	オフライン可	0: デバイスは常にI3Cコマンドにตอบสนองする 1: デバイスは周期的にI3Cコマンドにตอบสนองしない
BCR[2]	追加レジスタインジケータ	将来、追加レジスタバイトを示すために予約済
BCR[1]	I3CスレーブI2のみ(1)	2b00: インデックス0 2b01: インデックス1 2b10: インデックス2
BCR[0]	I3CスレーブI2のみ(0)	2b11: インデックス3(予約済)

【図18】

ビット	名称	説明
BCR[7]	デバイスロール(1)	2b00: I2Cスレーブ 2b01: I2Cセカンダリマスタ
BCR[6]	デバイスロール(0)	2b10: ピアツーピアI3Cスレーブ 2b11: 帯域内割り込みをするスレーブ
BCR[5]	SDRのみ/ SDR又はHDR可	0: SDRのみ 1: SDR又はHDR可
BCR[4]	ブリッジ識別子	0: ブリッジデバイスでない 1: ブリッジデバイスである
BCR[3]	オフライン可	0: デバイスは常にI3Cコマンドにตอบสนองする 1: デバイスは周期的にI3Cコマンドにตอบสนองしない
BCR[2]	追加レジスタインジケータ	将来、追加レジスタバイトを示すために予約済
BCR[1]	I3CスレーブI2のみ(1)	2b00: インデックス0 2b01: インデックス1 2b10: インデックス2
BCR[0]	I3CスレーブI2のみ(0)	2b11: インデックス3(予約済)

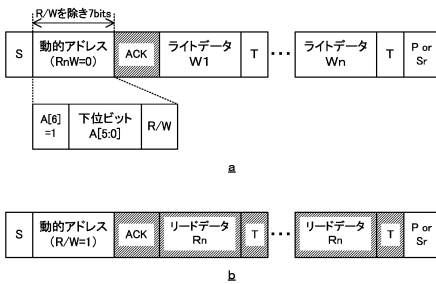
【図19】

ビット	名称	説明
BCR[7]	デバイスロール(2)	3'b000: I2Cスレーブ 3'b100: I2Cセカンダリマスタ 3'b010: ピアツーピアI3Cスレーブ 3'b001: 帯域内割込みスレーブ その他: 予約済
BCR[6]	デバイスロール(1)	
BCR[5]	デバイスロール(0)	
BCR[4]	SDRのみ/ SDR又はHDR可	0: SDRのみ 1: SDR又はHDR可
BCR[3]	ブリッジ識別子	0: ブリッジデバイスでない 1: ブリッジデバイスである
BCR[2]	オフライン可	0: デバイスは常にI3Cコマンドに 応答する 1: デバイスは周期的にI3Cコマンドに 応答しない
BCR[1]	追加レジスタインジケータ	将来、追加レジスタバイトを示すために 予約済
BCR[0]	最大SCLKクロック周波数可	0: Yes 1: No

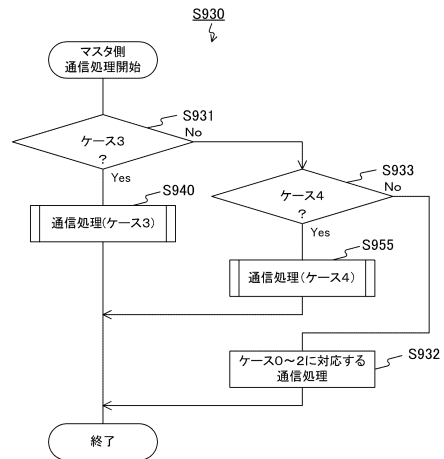
【図20】

通信方式	ヘッダ タイプ	先頭のA[6:0]	2番目のA[6:0]	調停可否	スレーブ 最大接続数	通信速度
ケース0	タイプ0	リザーブド(0x7E)	動的アドレス	可	112個 (0x08~0x77)	低速
ケース1	タイプ1	リザーブド(0x7E)	動的アドレス ただし、 A[6]=1b0固定	可	56個 (0x08~0x3F)	中速
ケース2	タイプ0	動的アドレス (7bits)	/	不可	112個 (0x08~0x77)	高速
ケース3	タイプ1	リザーブド(0x7E)	動的アドレス ただし、 A[6]: グループ識別子	可	112個 (0x08~0x77)	中速
ケース4	タイプ1	A[6]=固定 A[5:0]=動的アドレス	/	可	56個 (0x08~0x3F)	非常に高速

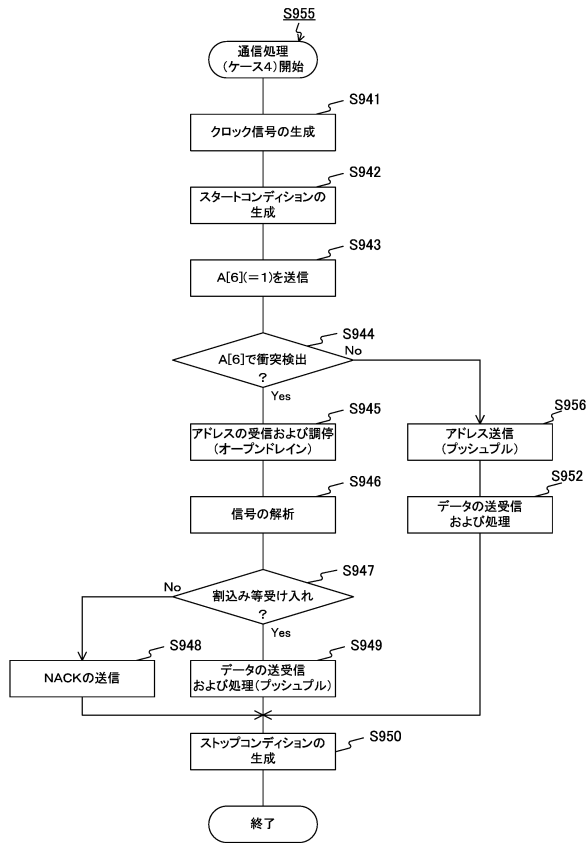
【図21】



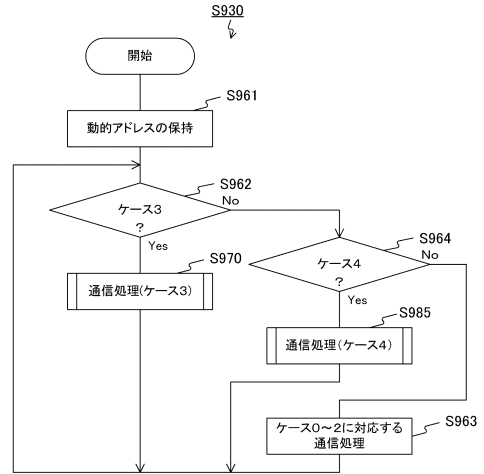
【図22】



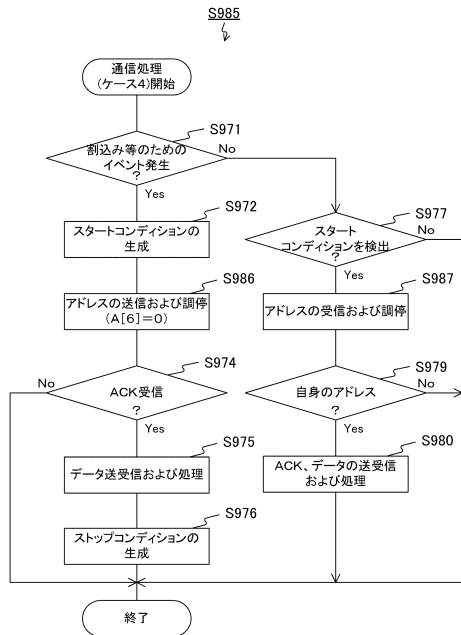
【図23】



【図24】



【図25】



フロントページの続き

審査官 松平 英

(56)参考文献 特開2014-186500(JP,A)
特開2012-034254(JP,A)
特開平06-332812(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/00

G06F13/10~13/14

G06F13/20~13/42