

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6140860号  
(P6140860)

(45) 発行日 平成29年5月31日(2017.5.31)

(24) 登録日 平成29年5月12日(2017.5.12)

(51) Int.Cl.		F I			
<b>HO3K 19/0175 (2006.01)</b>		HO3K	19/00	101F	
<b>HO4L 25/02 (2006.01)</b>		HO3K	19/00	101Q	
		HO4L	25/02	S	

請求項の数 13 外国語出願 (全 25 頁)

<p>(21) 出願番号 特願2016-57155 (P2016-57155)</p> <p>(22) 出願日 平成28年3月22日 (2016.3.22)</p> <p>(62) 分割の表示 特願2014-518871 (P2014-518871) の分割</p> <p>原出願日 平成24年6月22日 (2012.6.22)</p> <p>(65) 公開番号 特開2016-181897 (P2016-181897A)</p> <p>(43) 公開日 平成28年10月13日 (2016.10.13)</p> <p>審査請求日 平成28年4月20日 (2016.4.20)</p> <p>(31) 優先権主張番号 13/174,630</p> <p>(32) 優先日 平成23年6月30日 (2011.6.30)</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 315014202</p> <p>ラティス セミコンダクタ コーポレーション</p> <p>Lattice Semiconductor Corporation</p> <p>アメリカ合衆国 オレゴン州 97204</p> <p>ポートランド サウスウェスト フィフスアヴェニュー 111 スイート 700</p> <p>111 SW 5th Avenue, Suite 700, Portland, Oregon 97204, the United States of America</p>
---	---

最終頁に続く

(54) 【発明の名称】 シングルエンド構成可能マルチモードドライバ

(57) 【特許請求の範囲】

【請求項 1】

通信インターフェイスを構成するための方法であって、  
構成可能ドライバ装置を含む第1のデバイスと、受信器装置を含む第2のデバイスとの間のインターフェイスについてのパラメータを決定する段階と、

前記決定されたパラメータに基づいて前記第1のデバイスの構成可能ドライバ装置の終端抵抗を独立して構成する段階と、

前記第1のデバイスへの供給電圧を修正することなく、前記決定されたパラメータに基づいて前記第1のデバイスの構成可能ドライバ装置の電圧振幅を独立して構成する段階と、

前記構成可能ドライバ装置に対する入力信号の周波数が閾値よりも小さいか否かを判定し、小さい場合に、入力信号を該入力信号よりも短い持続時間を有する信号パルスに変換する段階と、を含む方法。

【請求項 2】

前記構成可能ドライバ装置の電圧振幅の前記構成が、前記構成可能ドライバ装置の出力ノードの動作速度に対して最小限の作用しか発生させないことを特徴とする、請求項1に記載の方法。

【請求項 3】

前記受信器装置の終端抵抗を構成する段階を更に含む、請求項1に記載の方法。

【請求項 4】

前記構成可能ドライバ装置の終端抵抗及び電圧振幅を構成する段階が、終端抵抗、電圧振幅、又はその両方それぞれを前記受信器装置の終端抵抗又は電圧振幅とは異なる値に設定する段階を含む、請求項1に記載の方法。

【請求項5】

前記構成可能ドライバ装置へのバイアス電圧を設定する段階を更に含み、該設定段階が、前記第1のデバイスの構成可能ドライバ装置内の電流源を調節する段階を含む、請求項1に記載の方法。

【請求項6】

前記終端抵抗及び振幅電圧が、同時に構成されることを特徴とする、請求項1に記載の方法。

10

【請求項7】

装置であって、

第1の端子が供給電圧と結合された第1のトランジスタと、

第1の端部が前記第1のトランジスタの第2の端子と結合され、第2の端部が第1のノードと結合される第1の抵抗器と、

第1の端子が接地と結合された第2のトランジスタと、

第1の端部が前記第2のトランジスタの第2の端子と結合され、第2の端部が前記第1のノードと結合される第2の抵抗器と、

第1の端子が接地と結合された第3のトランジスタと、

第1の端部が前記第3のトランジスタの第2の端子と結合され、第2の端部が前記第1のノードと結合される第3の抵抗器と、

20

前記第1のノードと結合され、前記第1のノードへの電流レベルを設定するように構成可能な電流源と、

を備え、前記第1のトランジスタのゲート及び前記第2のトランジスタのゲートが、入力信号を受け取ることになり、前記第1のノードが、受信器と通信するため通信チャネルと結合されることになり、前記装置の電圧振幅及び終端抵抗が、前記装置の第1、第2、第3のトランジスタをスイッチングすることによって構成可能である、ことを特徴とする装置。

【請求項8】

前記第1のトランジスタ、前記第2のトランジスタ、及び前記電流源をオンにスイッチングして、前記第3のトランジスタをオフにスイッチングすることによって高電圧状態が構成され、電圧値は、 $R_1$ と $R_3$ との比及び前記電流源からの電流によって定められることを特徴とする、請求項7に記載の装置。

30

【請求項9】

前記第1のトランジスタ、前記第2のトランジスタ、及び前記電流源をオフにスイッチングして、前記第3のトランジスタをオンにスイッチングすることによって低電圧状態が構成されることを特徴とする、請求項8に記載の装置。

【請求項10】

前記高電圧状態における終端抵抗が $R_1$ 及び $R_3$ の等価並列抵抗によって設定され、前記低電圧状態における終端抵抗が $R_2$ の抵抗によって設定されることを特徴とする、請求項9に記載の装置。

40

【請求項11】

装置であって、

第1の端子が供給電圧と結合され、ゲートがバイアス電圧を受けることになり第1のトランジスタと、

前記第1のトランジスタの第2の端子と結合された電流源と、

第1の端部が前記第1のトランジスタの第2の端子と結合された第1の可変抵抗器と、

第1の端子が接地と結合された第2のトランジスタと、

第1の端部が前記第2のトランジスタの第2の端子と結合され、第2の端部が第1のノードと結合される第2の可変抵抗器と、

50

第1の端子が前記第1の可変抵抗器の第2の端部と結合され、第2の端子が前記第1のノードと結合される第3のトランジスタと、  
を備え、前記第2のトランジスタのゲート及び前記第3のトランジスタのゲートが入力信号を受け取ることになり、前記第1のノードが、受信器への信号送信のため通信チャンネルと結合されることになり、前記装置の電圧振幅及び終端抵抗が、前記第1の可変抵抗器の抵抗及び前記第2の可変抵抗器の抵抗の調節によって構成可能である、ことを特徴とする装置。

【請求項12】

前記装置の電圧振幅が、前記バイアス電圧によって更に定められることを特徴とする、請求項11に記載の装置。

10

【請求項13】

前記電流源が、前記第1のトランジスタに対するオーバードライブ電圧を調節するように構成可能であることを特徴とする、請求項11に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、一般的に、電子デバイスの分野に関し、より具体的にはシングルエンド構成可能マルチモードドライバに関する。

【背景技術】

【0002】

デバイス又は要素間の信号の通信では、信号を駆動するのにドライバ回路又はドライバ装置が用いられる。例えば、高速メモリアンターフェイス及び同様のプロセスにおいて信号を駆動するのにドライバが必要とされる可能性がある。

20

【0003】

ドライバ回路には、数多くの異なる従来の回路技術を用いることができる。これらの技術は、複雑さ及び構造において、終端抵抗を持った又は持たない電圧モードドライバ、差動ドライバ、及び電流モードドライバを含むことができる。

【0004】

しかしながら、このような従来技術には大きな制限がある。差動構造が選択された場合、このような回路は、多くの場合、大きな電力消費量を生じ、又は2倍の速度を必要とする。更に、従来の回路構造は、一般に、異なる環境に対する反応が制限され、従って、特定の用途に対して問題を生じるインピーダンス及び電圧振幅をもたらす可能性がある。

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の実施形態は、一般的に、シングルエンド構成可能マルチモードドライバに関する。

【課題を解決するための手段】

【0006】

本発明の第1の態様において、シングルエンドドライバ装置の1つの実施形態は、入力信号を受け取る入力と、入力信号から発生させた駆動信号を通信チャンネル上に送信する出力と、ドライバ装置の終端抵抗を独立して構成する機構と、装置への供給電圧を修正することなく、駆動信号の電圧振幅を独立して構成する機構と、を含む。

40

【0007】

本発明の第2の態様において、システムは、通信チャンネルと、駆動信号を供給するために通信チャンネルと結合されたシングルエンドドライバ装置とを含み、送信ドライバ装置が、ドライバ装置の終端抵抗を独立して構成する機構と、ドライバ装置に対する供給電圧を修正することなく、駆動信号の電圧振幅を独立して構成する機構と、を含み、駆動信号を受信するために通信チャンネルと結合された受信装置が設けられている。

【0008】

50

本発明の第3の態様において、信号通信のためのシステム1つの実施形態は、第1のシングルエンドドライバ装置及び第1の受信器装置を含む第1のデバイスと、通信チャネルを介して第1のデバイスと結合され、第2のシングルエンドドライバ装置及び第2の受信器装置を有する第2のデバイスと、を含む。第1のドライバ装置及び第2のドライバ装置の終端抵抗及び電圧振幅は、独立して構成可能であり、第1のデバイスの第1のドライバ装置の電圧振幅及び終端抵抗は、第2のドライバ装置の電圧振幅及び終端抵抗と異なるように構成することができる。

【0009】

本発明の第4の態様において、通信インターフェイスを構成するための方法は、構成可能ドライバ装置を含む第1のデバイスと、受信装置を含む第2のデバイスとの間のインターフェイスについてのパラメータを決定する段階と、決定されたパラメータに基づいて第1のデバイスのドライバ装置の終端抵抗を独立して構成する段階と、第1のデバイスへの供給電圧を修正することなく、決定されたパラメータに基づいて第1のデバイスのドライバ装置の電圧振幅を独立して構成する段階と、を含む。

10

【0010】

本発明の実施形態は、同じ参照番号が同じ要素を示す添付図面の図において限定ではなく例証として示される。

【図面の簡単な説明】

【0011】

【図1】I/Oリンクの要素の1つの実施形態の例図である。

20

【図2】シングルエンド電圧モードドライバの例図である。

【図3】送信側と受信側とに終端が設けられたシングルエンド電圧モードドライバの例図である。

【図4】ドライバシステム構造の要素の例図である。

【図5】電圧モード差動ドライバの例図である。

【図6】電流モード論理ドライバの例図である。

【図7】シングルエンド電流モードドライバの例図である。

【図8A】構成可能シングルエンドドライバ構造の1つの実施形態の例図である。

【図8B】電流源を有する構成可能シングルエンドドライバの1つの実施形態の例図である。

30

【図9】構成可能シングルエンド電圧モードドライバの1つの実施形態の例図である。

【図10】構成可能シングルエンド電圧モードドライバの1つの実施形態の例図である。

【図11】構成可能シングルエンド混在モードドライバの1つの実施形態の例図である。

【図12】構成可能シングルエンド混在モードドライバの1つの実施形態の例図である。

【図13】構成可能ドライバへのバイアス電圧を発生させるフィードバック回路の1つの実施形態の例図である。

【図14A】構成可能ドライバ回路を用いてバイアス電圧における電圧振幅を導出する装置の1つの実施形態の例図である。

【図14B】構成可能ドライバ回路の複製物を用いてバイアス電圧における電圧振幅を導出する装置の1つの実施形態の例図である。

40

【図15】構成可能ドライバにおけるインピーダンスの検出及び調節のための装置の1つの実施形態の例図である。

【図16】特定のドライバのインピーダンス特性の例図である。

【図17】ドライバの実施形態における速度対電力の相反関係の例図である。

【図18A】ドライバに向けたパルス制御機構の1つの実施形態の例図である。

【図18B】ドライバのパルス制御機構の実施形態によって発生させた信号の例図である。

【図19】デバイス間のインターフェイス用のドライバ装置の1つの実施形態の例図である。

【図20】信号を第1のデバイスから第2のデバイスに駆動するための処理の実施形態を

50

例示するフローチャートである。

【発明を実施するための形態】

【0012】

本発明の実施形態は、一般的に、シングルエンド構成可能マルチモードドライバに関する。

【0013】

幾つかの実施形態において、方法、装置、又はシステムは、シングルエンド構成可能マルチモードドライバを提供する。幾つかの実施形態では、装置又はシステムは、例えばDRAM（ダイナミックランダムアクセスメモリ）インターフェイスを含む、高速有線インターフェイス用のドライバのような信号伝送を行うドライバを提供する。幾つかの実施形態では、ドライバは、電圧振幅特性及び終端抵抗に対して構成可能とすることができる。幾つかの実施形態では、ドライバは、マルチモードのモードであり、この場合「マルチモード」とは、複数の異なる速度での動作を意味する。

10

【0014】

利用することができるドライバに対する数多くの回路技術が存在する。しかしながら、既存のドライバ構造は、通常、以下の問題の1つ又はそれ以上を示す。

【0015】

(1) 過度な電力消費

【0016】

(2) 動作速度を2倍にすることが必要な差動構造

20

【0017】

(3) 終端抵抗に対して構成不能

【0018】

(4) 電圧振幅に対して構成不能

【0019】

(5) 供給電圧と電圧振幅との間の緊密な関係

【0020】

(6) 大きな減結合キャパシタを有する電圧レギュレータ要件

【0021】

(7) データレートの制限

30

【0022】

幾つかの実施形態では、装置は、入力信号を受信する入力と、入力信号から発生させた駆動信号を通信チャンネル上に送信する出力と、ドライバ装置の終端抵抗を構成する機構と、駆動信号の電圧振幅を構成する機構とを含む。

【0023】

幾つかの実施形態では、システムは、通信チャンネルと、駆動信号を供給するために通信チャンネルと結合されたドライバ装置と、ドライバ装置の終端抵抗を構成する機構及び駆動信号の電圧振幅を構成する機構を含む送信装置と、駆動信号を受信するために通信チャンネルと結合された受信装置とを含む。

【0024】

40

図1は、I/Oリンクの要素の1つの実施形態を例示している。この例図では、2つのデバイスを電氣的に接続する単一チャンネルI/Oリンクの機能ブロックが提供される。図示のように、並列データ105がシリアライザ110によって並直列変換され、並直列変換された出力は、チャンネル135を介した送信のためドライバ130によって受け取られる。シリアライザ110及びドライバ130は、位相ロックループ(PLL)回路115によって生成されるクロック信号125によりクロック制御することができ、位相ロックループ(PLL)回路115は、基準クロック信号120を用いてクロック信号125を発生させる。チャンネル135を介して送信された並直列変換されたデータは、信号等化器140によって受信され、該信号等化器140は、均等化したデータ信号をクロック及びデータ復元要素145に供給する。クロック及びデータ復元要素は、復元したデータをデ

50

シリアライザ 155 に供給し、復元したクロック信号 150 を等化器 140 及びデシリアライザ 155 に供給する。デシリアライザ 155 は、データを直並列変換し、並列データ出力 160 を生成する。

【0025】

動作時には、I/Oリンク 100 の総電力消費量の大部分がドライバ 130 によって消費される。幾つかの実施形態では、ドライバ 130 は、電力消費量を制御するように構成することができる構成可能マルチモードドライバである。

【0026】

図 2 は、シングルエンド電圧モードドライバを例示している。この例図では、シングルエンドの（差動ではなく）ドライバ 200 は、例えば最大 1 Gbps（ギガビット毎秒）の速度における送信を提供することができる。この例図では、ドライバ 200 は、信号をチャンネル（CHAN）270 を介して受信器（RX）250 に駆動するように動作し、ドライバ 200 のチャンネル接続部は、第 1 のキャパシタ（C1）によって接地と結合され、受信器 280 のチャンネル接続部は、第 2 のキャパシタ（C2）282 によって接地と結合される。ドライバ 200 は、スイッチとして用いられる、トランジスタ M11 210、M21 216、M12 220、M22 226...M1N 230、M2N 236 を含み、これらのトランジスタによって制御される抵抗器 R11 212 から R2N 234 のスイッチング可能な組み合わせを用いて終端の変更が提供される。

10

【0027】

特定の技術に優るドライバ 200 の利点は、一般的にこのドライバが動的電力しか消費しない点である。しかしながら、高いデータレート（レート > 2 Gbps 等の）では、信号反射及び電源バウンスに起因して、信号インテグリティ性能が急速に悪化する可能性があり、これによって速度及び BER（ビットエラーレート）が制限される。従って、高速では、信号反射及び電源バウンスに対処するために一般的に 2 つの技法が用いられる。反射を軽減するために、受信器端部と送信器端部の両方において終端抵抗器を用いることができる。電源バウンス効果を軽減するために、差動回路構造が用いられる。しかしながら、これらの構造又は方法の両方が大きな電力損失を有し、このことについて以下でより詳細に説明する。

20

【0028】

図 3 は、送信側と受信側に終端抵抗が設けられたシングルエンド電圧モードドライバを例示している。この例図では、ドライバ 300 は、チャンネル（CHAN）370 を介して受信器（RX）380 と結合され、ドライバ 300 へのチャンネル接続部は、第 1 のキャパシタ（C1）362 によって接地と結合され、受信器 380 のチャンネル接続部は、第 2 のキャパシタ（C2）382 によって接地と結合される。ドライバ 300 は、電圧 VDDQ と第 1 の抵抗器（R1）312 の第 1 の端部との間でスイッチとして動作する第 1 のトランジスタ（M1）310 を含み、R2 314 の第 2 の端部は CHAN 370 と結合される。ドライバ 300 は更に、接地と第 2 の抵抗器（R2）314 の第 1 の端部との間でスイッチとして動作する第 2 のトランジスタ（M2）316 を含み、R2 314 の第 2 の端部は、R1 312 の第 2 の端部及び CHAN 370 と結合される。

30

【0029】

動作時には、ドライバ 300 の動的電流の使用に加えて、ドライバ 300 はまた、ハイ状態で VDDQ / 2R（この場合、R は R1 及び R<sub>t</sub> の抵抗である）とほぼ等しい静電流を引き込む。例えば、VDDQ = 1.2 V 及び 2R = 100 オームの場合、静電流はおよそ 12 mA であり、この電流は、装置内に多くのこのようなチャンネルが存在する可能性があるモバイルアプリケーションにおいては極めて高い。ロー状態では、ドライバは、基本的にいかなる電流も引き込むことにはならない。

40

【0030】

図 4 は、ドライバシステム構造の要素の例図である。この例図では、電力を低減するために、低電源電圧を利用することができる。しかしながら、この電圧供給は、チップの外部のスイッチングレギュレータから生成される。動作時には、ドライバが、オンチップレ

50

ギューレータから導出される低電圧振幅及びシングルエンド構造を適正に機能させることを可能にする点で問題がある。この例図では、電源は、標準の $V_{DD}$ ではない $V_s / 2$ であり、振幅は $V_s / 4$ である。従って、出力振幅は、外部電源に依存することになる。

#### 【0031】

この例図では、スルーレート制御430は、ゲート電圧 $V_{sr}$ を調節することによるPMOS（P型金属酸化物半導体）デバイスの抵抗の制御を含む、インピーダンス制御420によって達成される。プリエンファシス410は、同じユニットドライバを複製し、各ドライバを通じて過去及び現在のサンプルを入力することによって達成される。

#### 【0032】

この例図では、ドライバの出力抵抗は、ゼロと $PVDD$ との間にプリドライバ（Pre Driver）振幅を有することによって制御される。 $PVDD$ は、NMOS（N型金属酸化物半導体）デバイスの抵抗に基づいて（NMOSの $V_{gs}$ に依存して）設定される。NMOSトランジスタは、最終段においてトライオード領域（抵抗性領域）内でしか動作しない。それとは対照的に、幾つかの実施形態では、デバイスは、トランジスタに依存してトライオードモードと電流源モードの両方で動作する。

#### 【0033】

図5は、電圧モード差動ドライバを例示している。差動構造は、電源バウンス及び共通モードノイズを軽減するのに用いることができる。図5は、1つの実施可能な電圧モード差動ドライバの実施構成を例示している。この例図では、ドライバ500は、第1の差動構造510と第2の差動構造520とを含む。第1の差動構造510は、第1のチャンネル（CHAN - 1）570を介して受信器（RX）580と結合され、第2の差動構造520は、第2のチャンネル（CHAN - 2）572を介して受信器580と結合される。差動構造の各々のチャンネル接続部は、第1のキャパシタ（C1）562及び564を介して接地と結合され、受信器580への2つの入力の各々は、第2のキャパシタ（C2）582及び584によって接地と結合される。差動構造の各々は、電圧 $VDDQ$ と第1の抵抗器（R1）512又は522の第1の端部との間のスイッチとして第1のトランジスタ（M1）510又は520を含み、第1の抵抗器512又は522の第2の端部は、チャンネル570又は572と結合される。差動構造の各々は更に、接地と第2の抵抗器（R2）514又は524の第1の端部との間のスイッチとして第2のトランジスタ（M2）516又は526を含み、第2の抵抗器514又は524の第2の端部は、チャンネル570又は572と結合される。

#### 【0034】

この構造では、電源から引き込まれた正味電流は、ビット状態に関係なく一定であり、これによって電源バウンスが軽減される。静電流は、 $VDDQ / 4R$ （この場合、例えば $R1 = R2 = R_t = R$ である）によって与えられ、 $R = 50$ オーム及び $VDD = 1.2V$ において6mAの電流引き込みが可能になる。図5に例示した装置は、同等のシングルエンド構造の電力の半分しか消費しないが（同じ電圧振幅において）、ドライバは、ピン当たりの同じ帯域効率を維持するために、シングルエンド構造の速度の2倍で動作することが必要とされる。高速では、多くの用途においてチャンネル要件が過度の制約条件を課す可能性がある。加えて、電圧振幅は、容易には構成又はプログラミングされず、従って、電力損をデータ速度と容易には適合させることができない。

#### 【0035】

図6は、電流モード論理（CML）ドライバを例示している。この例図では、電流源（I）640は、第1のトランジスタ（M1）610及び第2のトランジスタ（M2）620の第1の端部と結合され、M1 610の第2の端部は、第1のチャンネル（CHAN - 1）670及び抵抗器（R）612の第1の端部と結合され、R 612の第2の端部は接地と結合され、M2 620の第2の端部は、第2のチャンネル（CHAN - 2）672及び抵抗器（R）622の第1の端部と結合され、R 622の第2の端部は接地と結合される。受信器（RX）680の第1の端部はCHAN - 1 670及び終端抵抗器（ $2 * R_t$ ）682の第1の端部と結合され、RX 680の第2の端部は、CHAN - 2 672

10

20

30

40

50

及び終端抵抗器 682 の第 2 の端部と結合される。

【0036】

電流モード論理ドライバは、電流によって振幅を修正する柔軟性を与えることができ、従って、このようなドライバが一般的に用いられる。しかしながら、ドライバ 600 等の CML ドライバは、出力の状態とは関係なく静電流を引き込む。この理由から、CML ドライバは、一般的に、データがバーストで送信される用途には適さない。

【0037】

図 7 は、シングルエンド電流モードドライバを例示している。この例図では、トランジスタ (M1) 710 の第 1 の端部は電圧源  $V_{DD}$  と結合され、M1 710 の第 2 の端部は、チャンネル (CHAN) 770 及び抵抗器 (R) 712 の第 1 の端部と結合され、R 712 の第 2 の端部は接地と結合される。受信器 (RX) 780 の第 1 の端部は、CHAN 770 及び終端抵抗器 (Rt) 782 の第 1 の端部と結合され、Rt 782 の第 2 の端部は接地と結合される。しかしながら、ドライバ 700 等のシングルエンド電流モードドライバは、一般的に、同様の電圧振幅において図 6 に例示したドライバ 600 等の差動ドライバの 2 倍の電流を消費し、従って、著しい制限がある。

10

【0038】

幾つかの実施形態では、ドライバは、従来のドライバと比較して動作の改善を可能にする要素を含む。幾つかの実施形態では、ドライバは、電力消費量を低減し、ピン当たりの改善された帯域効率を与える要素を含み、これによってドライバの有効振幅 (又は電流) が低減され、ドライバで利用可能な電流のうちより多くの部分が、取り付けられた負荷に提供される。

20

【0039】

図 8 A は、構成可能シングルエンドドライバ構造の 1 つの実施形態を例示している。この例図では、ドライバ 800 (本明細書では I 型ドライバと呼ぶ場合がある) は、終端抵抗 (Rt) 882 を含む受信器装置とチャンネル (CHAN) 870 を介して結合される。ドライバ 800 は、電圧  $V_{DD}$  と第 1 の抵抗器 (R1) 812 の第 1 の端部との間でスイッチとして機能する第 1 のトランジスタ (M1) を含み、R1 812 の第 2 の端部は、CHAN 870 の送信器側と結合される。ドライバ 800 は更に、接地と第 2 の抵抗器 (R2) 814 との間でスイッチとして機能する第 2 のトランジスタ (M2) 816 を含み、R2 814 の第 2 の端部は CHAN 870 と結合される。幾つかの実施形態では、ドライバは更に、接地と第 3 の抵抗器 (R3) 824 との間でスイッチとして機能する第 3 のトランジスタ (M3) 826 を含み、R3 824 の第 2 の端部は CHAN 870 と結合される。

30

【0040】

幾つかの実施形態では、トランジスタ M1 810 及び M3 826 はスイッチとして動作し、これによって M1 / R1 の直列接続部と M3 / R3 の直列接続部との間の電圧分割を利用して、ドライバ出力における電圧振幅を設定することができる。電源とは無関係に設定できる (抵抗値を調節することによって) 電圧振幅を与えることによって、特定のインターフェイスに適するように出力電圧、従って電力損を最小限に抑えることができる。幾つかの実施形態では、図 8 A に提示した構造は、バイアス電圧を必要とせずに動作し、起動時間が重要な用途において利用することができる。幾つかの実施形態では、ドライバ 800 は、シングルエンド電流モードドライバと比較して改善された電力損効率を与えるのに用いることができる。

40

【0041】

図 8 A には、本明細書でストリングとも呼ばれるドライバ回路の枝路を、単線のストリングとして例示しているが、このようなストリングの各々は、複数の並列ストリングを表すものとして行うことができる。幾つかの実施形態では、トランジスタ及び抵抗器からなる複数のストリングによって、ドライバ装置 800 のプログラマビリティ及び構成可能性を与えることができ、ドライバ 800 は、正しい出力インピーダンス又は電流能力を提供するストリングのみを含む。幾つかの実施形態では、複数のストリングを利用して、システム

50



内のPVT（プロセス、電圧、温度）の変化を追跡することができる。例えば、図8Aでは、M1 810及びR1 812は、数多くのこのようなストリングの等価物を表している。幾つかの実施形態では、ドライバ800に対して選択されるストリング数は、ドライバに必要とされる構成可能性に依存する。更に、M3 826/R3 824ストリング及びM2 816/R2 814ストリングについても同じことが当てはまる。幾つかの実施形態では、この概念は、図8Bから図12に例示したような他の回路構造内に含まれるストリングについても当てはまる。

#### 【0042】

幾つかの実施形態では、ドライバ800は、大きな $V_t$ （閾値電圧）のトランジスタを用いて動作することができ、従って、ドライバの構造をDRAM型のプロセスに適するものにする。I型ドライバ800は、ドライバインピーダンス（ $Z_0$ ）と出力電圧振幅（ $V_{driver\ out}$ ）とを独立して適合させる自由度を与える。これらのパラメータは、M1及びM3が理想的なスイッチであるように単純化された場合、次式で表すことができる。

$$Z_0 = R_1 // R_3 \quad [1]$$

$$V_{driver\ out} = (R_3 // R_t) / (R_3 // R_t + R_1) \quad [2]$$

ここで $//$ は並列の抵抗器を表し、 $R_t$ はチャネルの特性インピーダンスと一致すると仮定する。

#### 【0043】

幾つかの実施形態では、必要とされる $Z_0$ と $V_{driver\ out}$ と電力損とを同時に満たすように、 $R_1$ 及び $R_3$ に調節を加えることができ、これによって回路構造を様々な用途に適合させることが可能になる。

#### 【0044】

図8Bは、電流源を有する構成可能シングルエンドドライバ構造の1つの実施形態を例示している。この例図では、ドライバ801（I型ドライバの別の変化形である）は、図8Aに関して上記で説明した要素に加えて、構成可能電流源820（ここでは電流源トランジスタM4が電流源である）を更に含み、電流源は、CHAN870の送信器側と結合される。電流源820は電流源トランジスタM4として例示されており、この図には電流源のミラー要素は例示されていない。幾つかの実施形態では、電流源820は、必要に応じて追加の出力電流を供給することができる。幾つかの実施形態では、ドライバ801の電流源820は、必要な電流を供給するようプログラミング可能である。

#### 【0045】

幾つかの実施形態では、ドライバ801における高電圧は、第1のトランジスタ810、第2のトランジスタ816、及び電流源トランジスタ820をオンにスイッチングし、第3のトランジスタ826をオフにスイッチングすることによって得ることができ、ここで高電圧値は、 $R_1$  812と $R_3$  824との比及び電流源820からの電流によって定義される。幾つかの実施形態では、ドライバ801における低電圧は、第1のトランジスタ810、第2のトランジスタ814、及び電流源トランジスタ820をオフにスイッチングし、第3のトランジスタ826をオンにスイッチングすることによって得ることができる。幾つかの実施形態では、高電圧状態における終端の値は、 $R_1$ 及び $R_3$ の等価並列抵抗によって設定され、それに対して低電圧状態における終端は、 $R_2$ によって設定される。

#### 【0046】

幾つかの実施形態では、図8Aに関して上記で説明したように、 $R_1$  812、 $R_2$  814、及び $R_3$  824の等価抵抗は、例示しているユニットの複数の並列ストリングを用いることから導出することができ、従って、並列ストリングのうちの1つ又はそれ以上を有効にすることによって、 $R_1$ 、 $R_2$ 、及び $R_3$ を効果的に変更することができる。1つの実施例では、M1 810及び $R_1$  812からなるストリングは、抵抗及びトランジスタからなる複数の並列ストリングの等価物とすることができ、この場合、図8Bは、複数のストリングの等価表現を提示している。このことはまた、M2 816及び $R_2$

10

20

30

40

50

814を含むストリング並びにM3 826及びR3 824を含むストリング等、例示している他のストリングにも当てはまる。幾つかの実施形態では、複数のストリングのうちの一つ又はそれ以上の有効化を利用して、終端抵抗に対するプログラマビリティを与えることができる。

【0047】

図9は、構成可能シングルエンド電圧モードドライバの1つの実施形態を例示している。この例図では、ドライバ900（本明細書ではII型ドライバと呼ぶ場合がある）は電圧モードドライバである。幾つかの実施形態では、ドライバ900の第1のトランジスタ（M1）910は、トランジスタ942の端子と結合されたソースフォロワとして機能し、トランジスタ942の第2の端子はバイアス電圧Vbias1と結合され、第2のトランジスタ（M2）916はスイッチとして機能し、M2 916のゲートは、電圧Vinを受けけるインバータ944と結合される。例示するように、M1 910の第1の端子は電圧VDDと結合され、M1 910の第2の端子は、第1の変抵抗器（R1）912の第1の端部及びブリーダ電流源（Ib）940と結合される。R1 912の第2の端部は、チャンネル（CHAN）970及び第2の変抵抗器（R2）914の第1の端部と結合される。R2 914の第2の端部はM2 916の第1の端子と結合され、M2 916の第2の端子は接地と結合される。CHAN970の受信器端部と結合されるのは、終端抵抗を表す第3の変抵抗器（R3）982である。

10

【0048】

この構造では、M1 910への入力、出力がハイである時にVbias1にバイアスされ、オフ状態で接地に引かれる。幾つかの実施形態では、Vbias1の値を調整することによって、ドライバ900の出力振幅を最小必要値に制御することができ、従って、対応する電力損を低減することができる。例えば、R3 982において300mVの振幅が必要とされる場合には、M1 910によって6mAの電流が供給され、これは、典型的なシングルエンド方式（この例では1.2VのVDDにおいて電流は12mAになる）の電流及び結果として生じる電力消費量の半分である。このシステムでは、ドライバ900の出力インピーダンスは、R1と、M1 910のソースにおいて見られる小さい/大きな信号インピーダンスとの合計である。幾つかの実施形態では、小さい/大きな信号インピーダンスにおける変動の作用は、M1 910のソースインピーダンスに対して大きなR1 912の値を利用することによって軽減することができる。幾つかの実施形態では、ブリーダ電流源Ib 940は、M1のバイアス点を調節する点で追加の柔軟性を与える。幾つかの実施形態では、Ib電流は、総電流のうちの一部であり、ゼロ状態ではM2及びR2のみが接地に導通し、従って、ドライバ900は、実質的にいかなる静電流も有さない。

20

30

【0049】

図10は、構成可能シングルエンド電圧モードドライバの1つの実施形態を例示している。図10は、II型電圧モードドライバの修正形態1000を例示している。幾つかの実施形態では、第1のトランジスタ（バイアス電圧Vbias1を受けけるM1）1010の第1の端子は電圧VDDと結合され、M1 1010の第2の端子は、第1の変抵抗器（R1）1012の第1の端部及びブリーダ電流源（Ib）1040と結合される。第2のトランジスタ（入力信号Vinを受けけるM2）の第1の端子は、第2の変抵抗器（R2）1014の第1の端部と結合される。R1 1012の第2の端部は第3のトランジスタ（入力信号Vinを受けけるM3）1042の第1の端子と結合され、M3 1042の第2の端子は、チャンネル（CHAN）の第1の端部及びR2 1014の第1の端部と結合される。CHAN1070の第2の端部と結合されるのは、第3の変抵抗器（R3）1082である。

40

【0050】

この実施構成では、スイッチM3 1042はM1 1010と直列である。幾つかの実施形態では、例示しているII型ドライバの機能は、I型ドライバの機能を含むことができる。幾つかの実施形態では、図10に例示した構造は、受信器側に終端抵抗を含まな

50

いドライバにも好適となるであろう。この状況では、ブリーダ電流源  $I_b$  1040 を利用して、トランジスタ  $M1$  1010 が、適切なオーバードライブ電圧によって常に作動状態にあるのを確実にすることができる。

#### 【0051】

幾つかの実施形態では、ドライバ1000の電圧振幅及び終端抵抗は、第1の可変抵抗器1012及び第2の可変抵抗器1014の抵抗調節によって構成可能である。幾つかの実施形態では、電圧振幅は更に、バイアス電圧  $V_{bias1}$  によって定義される。幾つかの実施形態では、トランジスタ  $M3$  1042及び  $M2$  1016は、相補的に動作する。例えば、 $M3$  がオンであるときには、 $M2$  は理想的にはオフであり、その逆もまた同様である。

10

#### 【0052】

図11は、構成可能シングルエンド混在モードドライバの1つの実施形態の例図である。この例図では、「III型」電圧モード電流モード混在ドライバが提供される。幾つかの実施形態では、ドライバ1100は、電圧  $V_{DD}$  と結合された第1の端子と、第1の可変抵抗器 ( $R1$ ) 1122の第1の端部、第2の可変抵抗器 ( $R2$ ) 1114の第1の端部、及びチャンネル ( $CHAN$ ) 1170の第1の送信器端部と結合された第2の端子と、を有する第1のトランジスタ ( $M1$ ) 1110を含む。幾つかの実施形態では、 $R2$  1114の第2の端部は、第2のトランジスタ ( $M2$ ) 1116の第1の端子と結合され、 $M2$  1116の第2の端子は接地と結合される。幾つかの実施形態では、第3のトランジスタ ( $M3$ ) 1120は、 $V_{DD}$  と結合された第1の端子と、 $R1$  1122の第2の端部及びブリーダ電流源 ( $I_b$ ) 1140と結合された第2の端子とを含み、 $M3$  1120のゲートは、インバータ1142と結合される。

20

#### 【0053】

幾つかの実施形態では、 $M1$  1110は、オン状態の間にスイッチング電流源として機能する。更に  $M3$  への入力は、供給電圧が基準電圧 ( $V_{REF}$ ) に調整されたインバータ1142によって振幅調整され、これによって、ドライバ1100の出力における電圧振幅が制御される。幾つかの実施形態では、 $M3$  の足が十分な振幅及び終端制御を提供する場合には、 $M1$  1110はドライバ回路から取り除くことができる。幾つかの実施形態では、 $M1$  1110は、理想的ではないチャンネル効果を補償するのに遷移中に必要とされる電流を供給するディエンファシスタップとして利用することができる。幾つかの実施形態では、適切なディエンファシスタップを有する追加の数のストリング ( $M1$  1110等の) を含めることによって、タップの数を拡大することができる (この図にはこのような追加の数のストリングを例示していない)。幾つかの実施形態では、振幅が接地を基準とせず、 $V_{DD}$  を基準とするように例示した構造を逆にすることができる。

30

#### 【0054】

図12は、構成可能シングルエンド混在モードドライバの1つの実施形態を例示している。この例図では、II型とIII型の混在モードドライバ1200の修正形態の1つの実施形態が提供される。幾つかの実施形態では、ドライバ1200は、第1の可変抵抗器 ( $R1$ ) 1212の第1の端部と結合された第1の端子を有する第1のトランジスタ ( $M1$ ) 1211 (バイアス電圧  $V_{bias1}$  を受ける) を含む。 $R1$  1212の第2の端部は、チャンネル ( $CHAN$ ) 1270の送信器端部及び第2の調節可能抵抗器 ( $R2$ ) 1214の第1の端部と結合される。 $R2$  1214の第2の端部は第2のトランジスタ ( $M2$ ) 1216の第1の端子と結合され、 $M2$  1216の第2の端子は接地と結合される。 $M1$  1211の第2の端子は、第3のトランジスタ ( $M3$ ) 1210の第1の端子と結合され、 $M3$  1210の第2の端子は、電圧  $V_{DD}$  と結合される。第4のトランジスタ ( $M4$ ) 1220 (電圧  $V_{bias2}$  を受ける) は、電圧  $V_{DD}$  と結合された第1の端子と、第5のトランジスタ ( $M5$ ) 1221の第1の端子と結合された第2の端子とを含み、 $M5$  1221の第2の端子は  $CHAN$  1270の第1の端部と結合される。 $CHAN$  1270の第2の端部は、調節可能終端抵抗 ( $R3$ ) 1282と結合される。幾つかの実施形態では、 $M4$  1220は電流源として動作し、 $M1$  1211はソースフォロワと

40

50

して動作し、M3 1210及びM5 1221はスイッチとして動作する。

【0055】

幾つかの実施形態では、図8Aから図12に例示したドライバのうちの1つのようなドライバは、以下の利点をもたらすことができる。

【0056】

(1)ドライバによって供給される全ての電流(漏れ電流以外)が負荷に供給され、これによって電力損が低減される。

【0057】

(2)システム要件に基づいて、電力損を低減するように電圧振幅を構成又はプログラミングすることができる。

10

【0058】

(3)システム要件に基づいて、終端抵抗を構成又はプログラミングすることができる。

【0059】

(4)電圧振幅を供給電圧の値から減結合することができる。

【0060】

(5)特にDRAMプロセスにおいて、大きな閾値電圧を有するトランジスタを用いてドライバを実装することができる。

【0061】

幾つかの実施形態では、図8Aから図12に提示したドライバ回路に関する特定の追加の課題は、以下の事柄に関する。

20

【0062】

(1)バイアス電圧の発生

【0063】

(2)PVT(処理、電圧、温度)変動に伴うバイアス電圧の追跡

【0064】

(3)インピーダンスの制御

【0065】

図13は、構成可能ドライバに対するバイアス電圧を発生させるフィードバック回路の1つの実施形態の例図である。幾つかの実施形態では、バイアス電圧発生器1300は、バイアス電圧を制御するために、出力における実際のドライバ電圧( $V_{driverout}$ )と必要とされる電圧振幅( $V_{swing}$ )との比較を可能にする。幾つかの実施形態では、発生器回路1300は、 $V_{driveout}$ 及び $V_{swing}$ を比較入力として受け取る誤差/基準発生器1344を含む。幾つかの実施形態では、誤差/基準発生器は更に、基準発生器の出力の制御において柔軟性を与える特定のプログラミング可能ビットの入力を受け取る。発生器回路1300では、 $V_{driveout}$ と $V_{swing}$ との間の誤差電圧は、増幅器1340への第1の入力として $V_{ref}$ 値を発生させるデジタル-アナログコンバータ1342に供給され、増幅器の出力は、キャパシタC1320の第1の端子及びトランジスタ(M8)1310のゲートに結合され、M8の第1の端子は電圧 $V_{DD}$ と結合され、M8 1310の第2の端子は、ドライバにおけるバイアス入力 $V_{bias1}$ への出力ノードと結合され、ノードは、増幅器1340の第2の入力及び抵抗器Rbg1314の第1の端部に結合され、Rbgの第2の端部は接地と結合される。幾つかの実施形態では、電圧は、電源電圧 $V_{DD}$ を基準とすることができ、これに加えて接地電位も基準とする。

30

40

【0066】

幾つかの実施形態では、特定のバイアス電圧( $V_{bias1}$ )におけるドライバのDC電圧振幅を導出する方法又は装置を提供することができる。第1の実施構成では、実際のドライバを用いて $V_{driverout}$ を導出し、それに対して第2の実施構成では、複製ドライバ回路がその代わりに用いられる。特定のリンク実施構成に応じて、2つの方式の何れかを採用することができる。

50

## 【 0 0 6 7 】

図 1 4 A は、構成可能ドライバ回路を用いてバイアス電圧における電圧振幅を導出する装置の 1 つの実施形態の例図である。幾つかの実施形態では、バイアス電圧入力  $V_{bias1}$  は、ドライバ 1 4 0 0 の第 1 のトランジスタ (  $M1$  ) 1 4 1 0 のゲートに供給され、 $M1$  の第 1 の端子は電圧  $V_{DD}$  と結合され、 $M1$  の第 2 の端子は、第 1 の抵抗器 (  $R1$  ) 1 4 1 2 の第 1 の端部及びブリーダ電流源 (  $Ib$  ) 1 4 3 0 と結合される。 $R1$  1 4 1 2 の第 2 の端部はトランジスタ (  $M3$  ) 1 4 1 6 の第 1 の端子と結合され、 $M3$  のゲートは  $V_{DD}$  と結合され、 $M3$  の第 2 の端子は、出力  $V_{driverout}$  へのノード及びチャネル (  $CHAN$  ) 1 4 4 0 の第 1 の端部と結合される。 $CHAN$  1 4 4 0 の第 2 の端部は抵抗 (  $R3$  ) 1 4 4 2 と結合される。このような回路では、出力の電圧振幅は、入力バイアス電圧  $V_{bias1}$  との関連で評価することができる。

10

## 【 0 0 6 8 】

図 1 4 B は、構成可能ドライバ回路の複製物を用いてバイアス電圧における電圧振幅を導出する装置の 1 つの実施形態の例図である。幾つかの実施形態では、バイアス電圧入力  $V_{bias1}$  は、ドライバ複製回路 1 4 5 0 の第 1 のトランジスタ (  $M1$  ) 1 4 6 0 のゲートに供給され、 $M1$  の第 1 の端子は電圧  $V_{DD}$  と結合され、 $M1$  の第 2 の端子は、第 1 の抵抗器 (  $R1$  ) 1 4 6 2 の第 1 の端部及びブリーダ電流源 1 4 8 0 と結合される。 $R1$  1 4 6 2 の第 2 の端部はトランジスタ (  $M3$  ) 1 4 6 6 の第 1 の端子と結合され、 $M3$  のゲートは  $V_{DD}$  と結合され、 $M3$  の第 2 の端子は、 $V_{driverout}$  へのノード及び抵抗 (  $R3$  ) 1 4 9 2 に結合される。

20

## 【 0 0 6 9 】

幾つかの実施形態では、バイアス電圧を発生させるフィードバック機構を図 1 3 及び図 1 4 A に例示した回路の要素等の電圧振幅を導出する機構と組み合わせることができ、出力振幅を特定の指定  $V_{swing}$  値に制御するフィードバック構造を与えるように組み合わせることができる。

## 【 0 0 7 0 】

図 1 5 は、構成可能ドライバにおけるインピーダンスの検出及び調節のための装置の 1 つの実施形態を例示している。図 8 A ~ 図 1 2 に例示したドライバのようなドライバでは、効果的な動作のために、インピーダンスの検出及び調節が極めて重要である。図 1 5 は、出力インピーダンス ( 抵抗 ) の正確な調節を与える機構の 1 つの実施形態を例示している。幾つかの実施形態では、バイアス電圧入力  $V_{bias1}$  は、ドライバ 1 5 0 0 の第 1 のトランジスタ (  $M1$  ) 1 5 1 0 のゲートに供給され、 $M1$  の第 1 の端子は電圧  $V_{DD}$  と結合され、 $M1$  の第 2 の端子は、第 1 の可変抵抗器 (  $R1$  ) 1 5 1 2 の第 1 の端部及びブリーダ電流源 (  $Ib$  ) 1 5 4 0 と結合される。 $R1$  1 5 1 2 の第 2 の端部はトランジスタ (  $M3$  ) 1 5 1 6 の第 1 の端子と結合され、 $M3$  のゲートは  $V_{DD}$  と結合され、 $M3$  の第 2 の端子は、 $V_{out}$  へのノードと結合される。幾つかの実施形態では、 $V_{out}$  ノードは、アナログ - デジタル検出器 1 5 0 4 の形態である電圧検出器と、可変終端抵抗 (  $R3$  ) 1 5 8 2 と、トランジスタ 1 5 7 2 と結合されたトランジスタ 1 5 7 0 を含む電流ミラー回路に結合され、トランジスタ 1 5 7 2 は、電流源 (  $I$  ) 1 5 6 0 からの電流を受ける。

30

## 【 0 0 7 1 】

幾つかの実施形態では、図 1 5 の電圧検出器は、インピーダンス調節の較正プロセスを助けることができる低周波数のアナログ - デジタルコンバータである。幾つかの実施形態では、較正手順は、 $V_{bias1}$ 、 $Ib$ 、及び  $R1$  に対して正しい較正済み値を設定し、これによって正しい振幅電圧及びインピーダンスを同時に得るように連携して行うことができる。

40

## 【 0 0 7 2 】

図 1 6 は、特定のドライバのインピーダンス特性の例図である。この例図では、ドライバのインピーダンス特性 1 6 0 0 は、ドライバのトランジスタ及び抵抗器によって与えられるインピーダンスの線形抵抗に依存して変化し、増大する線形抵抗が、直線状 ( 5 0 オーム ) の線 1 6 5 0 により近い関係を与え、トランジスタの作用と共に非線形性が増大す

50

ることを示している。図示のように、ブリーダ電流源 1 b を用いて微調整を行うことができる。

【 0 0 7 3 】

例えば、図 1 5 に例示したドライバ 1 5 0 0 における高い線形性のためには、抵抗 R 1 1 5 1 2 は、M 1 のインピーダンスよりもかなり大きくなければならず、その逆もまた同様である。必要とされるインピーダンスを与えるために R 1 1 5 1 2 だけに依存することにより、M 1 1 5 1 0 において高い電力損が生じる。幾つかの実施形態では、R 1 と M 1 との間の適切なインピーダンス分割が求められている。幾つかの実施形態では、ドライバの電流特性は、図に示しているもの等の振幅要件によって設定される。幾つかの実施形態では、ブリーダ電流源 1 b 1 5 4 0 は、トランジスタ M 1 のインピーダンスの調整において更なる柔軟性を与え、このドライバ設計において更なる自由度を与える。

10

【 0 0 7 4 】

図 1 7 は、ドライバの 1 つの実施形態における速度と電力のトレードオフ関係の例図である。動作周波数と電力損のグラフに示すように、終端抵抗 1 7 2 0 を有さないドライバは、周波数が増大するにつれて益々高い電力損が必要となる。しかしながら、終端抵抗 1 7 4 0 を有するドライバは、周波数に関係なくほぼ少量の電力損しか必要としない。幾つかの実施形態では、I 型、II 型、及び III 型のドライバとして上記に提示したドライバ（又はこのような型の混成形）は、一般的に、ハイ状態で電力を消費し、ロー状態で電力を消費しない（漏れ電流を除き）。

【 0 0 7 5 】

しかしながら、低速では、終端を有する CMOS ベースのドライバは、終端なしの同等物よりも低速で多くの電力を消費する傾向があるので、このようなドライバは低速動作において導電性が低くなる可能性がある点で問題がある。

20

【 0 0 7 6 】

図 1 8 A は、ドライバ用のパルス制御機構の 1 つの実施形態の例図である。幾つかの実施形態では、低速における電力損問題を軽減するために、低速動作に対するパルス制御機構が設けられる。幾つかの実施形態では、ドライバ 8 0 0 は、パルス制御機構 1 8 5 0 と結合される。この例図では、ドライバ 8 0 0 は、図 8 に関して上記で説明した I 型ドライバである。幾つかの実施形態では、パルス制御機構 1 8 5 0 は、低速データ（ある特定の閾値を下回る周波数で送信されるデータ等）を受け取り、低速データは、遅延要素 1 8 5 2 及び NAND ゲート 1 8 5 6 の第 1 の入力に入力される。遅延要素 1 8 5 2 によって生成された遅延データ信号は、インバータ 1 8 5 4 によって受け取られ、該インバータ 1 8 5 4 は、NAND ゲート要素 1 8 5 8 に対し第 2 の入力を供給する。幾つかの実施形態では、パルス制御機構 1 8 5 0 は、速度モード信号を受け取り且つ変動のない高速データ入力又はパルス制御機構 1 8 5 0 によるパルス制御を受けた低速データ入力の何れかを受け取るマルチプレクサ 1 8 5 8 を含む。

30

【 0 0 7 7 】

幾つかの実施形態では、パルス制御機構 1 8 5 0 は、ハイ遷移が検出されるように動作し、ある特定の遅延（この機構の遅延要素 1 8 5 2、他の要素の特性に基づく）を用いて出力がローに引き下げられ、受信器がハイビットを検出するのに十分なパルスを供給する。全入力ビット信号よりもかなり小さい幅のパルス（入力ビット信号よりも短いデューティサイクル）を有することによって、終端がある場合の低速において電力損を大幅に低減することができる。高速動作時には、マルチプレクサ 1 8 5 8 は、高速データにおけるハイ状態とロー状態の両方において全幅の均等なパルスを供給するバイパス経路を提供する。幾つかの実施形態では、パルス制御機構を用いる目的で、ハイ状態動作中の電流ドレイン及び受信器の感度に基づいて低速データレートと高速データレートとの間の遷移点を決定することができる。

40

【 0 0 7 8 】

図 1 8 B は、ドライバのパルス制御機構の 1 つの実施形態によって発生した信号の例図である。全幅のビット信号を供給する低速データ 1 8 6 0 は、ドライバによる過度の電力

50

損を生じる可能性がある。図 18A に例示したパルス制御機構 1850 等のパルス制御機構は、全幅のビット信号の前に信号パルスをローに戻すように動作し、これによって、例示した低速出力データ 1870 を利用してドライバ回路内の電力消費量を削減できるようにする。

【0079】

表 1 は、上記で説明し図 8 ~ 図 12 に例示した I 型、II 型、及び III 型のドライバ技術を含む、ドライバ回路技術における特定の性能特性を比較している。分析の目的で、以下のことを仮定する。 $V_{DD} = 1.2V$ 、電源インピーダンス及び終端インピーダンスがシングルエンドの 50 オーム、動的電力は考慮しない、及び差動構造に対する振幅要件は、シングルエンド構造と同じであると見なし、このことは、これらが 2 倍のデータレートで作動する必要があることに起因する。

10

【0080】

表 1 に示すように、I 型、II 型、及び III 型のドライバの実施形態は、ハイエンドドライバにおいて一般的に考慮されるパラメータ間の等しい又はより優れた性能指標を提供することができる。加えて、従来のドライバと比較して、プリドライバにおける電力損は、ドライバの実施形態の更なる節電をもたらす。

ドライバ構造	電力損	データレート要件	電圧振幅プログラマビリティ	終端制御
差動電圧モード	1×	2×	なし	あり
シングルエンド電圧モード	2×	1×	なし	あり
差動電流モード	1×	2×	あり	なし
シングルエンド電流モード	2×	1×	あり	あり
I 型電圧モードドライバ	1.5×	1×	あり	あり
II 型混在モードドライバ	1×	1×	あり	あり
III 型混在モードドライバ	1×	1×	あり	あり

20

30

表 1：異なるドライバ間の性能比較

【0081】

図 19 は、デバイス間のインターフェイス用のドライバ装置の 1 つの実施形態を例示している。幾つかの実施形態では、システム 1910 等の第 1 のデバイスは、メモリ 1960 等の第 2 のデバイスとチャンネル 1950 (第 1 のデバイスと第 2 のデバイスとの間の 1 つ又はそれ以上のチャンネルを表すものとする) を介して結合される。幾つかの実施形態では、システムはシステムオンチップ (SOC) であり、メモリはダイナミックランダムアクセスメモリ (DRAM) である。幾つかの実施形態では、システム 1910 及びメモリ 1960 の片方又は両方が構成可能マルチモードドライバを含む。この例図では、システム 1910 は、チャンネル 1950 を介して受信器装置 1970 と結合された構成可能マルチモードドライバ装置 1915 を含み、メモリ 1960 は、チャンネル 1950 を介して受信器装置 1920 と結合された構成可能マルチモードドライバ 1965 を含む。幾つかの実施形態では、ドライバ装置 1915、ドライバ装置 1965、又はその両方が、図 8 から図 12 に例示したドライバ装置である。

40

【0082】

この例図では、システム 1910 のドライバ装置 1915 は、特定の終端抵抗 ( $R_{TERM}$ ) 1917 を含むことができ、また、特定の電圧振幅 ( $V_{SWING}$ ) 1916 を与えること

50

ができ、受信器装置 1920 は、特定の終端抵抗 1921 を含むことができる。更にメモリ 1960 のドライバ装置 1965 は、特定の終端抵抗 1967 及び電圧振幅 1966 を含むことができ、受信器装置 1970 は、特定の終端抵抗 1971 を含むことができる。各ドライバ及び受信器装置は終端抵抗を有するように例示したが、このような終端のうちの 1 つ又はそれ以上は、小さな抵抗又はゼロ抵抗とすることができる。幾つかの実施形態では、電圧振幅及び終端抵抗等の、デバイス 1910 及び 1960 におけるドライバ及び受信器のパラメータは、実施構成に応じてデバイス間で対称又は非対称の何れかとすることができる。例えば、システム 1910 のドライバ装置 1915 において設けられた終端抵抗 1917 は、メモリ 1960 のドライバ装置 1965 における終端抵抗 1967 に一致しなくてもよく、システム 1910 の受信器装置 1920 において設けられた終端抵抗 1921 は、メモリ 1960 の受信器装置 1970 における終端抵抗 1971 に一致しなくてもよい。更なる実施例では、受信器装置 1920 の感度は、受信器装置 1970 の受信器感度とは異なるものとすることができる。1 つの実施例では、データがドライバ装置 1965 によって受信器装置 1920 に駆動される状態のメモリ 1960 からシステム 1910 への読み出し動作において、システム 1910 の受信器装置 1920 は有効な終端を含むことができる。しかしながら、データがドライバ装置 1915 によって受信器装置 1970 に駆動される状態のシステム 1910 からメモリ 1960 への書き込み動作では、メモリ 1960 側の受信器装置 1970 には終端がないものとすることができ、この場合、終端なしは、極めて小さい（ゼロに近い）抵抗又は極めて大きな（無限の）抵抗を示すものとすることができる。

10

20

#### 【0083】

幾つかの実施形態では、メモリ 1960 が二次デバイスの場合、電圧振幅、終端、反射能力に関するデータのような、システム 1910 とメモリ 1960 との間のリンクについてのパラメータ情報は、メモリ 1960 のオンチップレジスタ 1975 内に記憶することができる。例えば、システムはコントローラ 1925 を含むことができ、他方、メモリはコントローラを含まない。幾つかの実施形態では、電圧振幅及び終端抵抗に関するパラメータ情報は、メモリ 1960 がアクセスするためにオンチップレジスタ内に記憶される。

#### 【0084】

図 19 に例示するように、システム 1910 のドライバ装置 1915 及び受信器装置 1920 は、供給電圧 ( $V_{DD}$ ) 1930 を受けることができ、メモリ 1960 のドライバ装置 1965 及び受信器装置 1970 は、供給電圧 1980 を受けることができる。従来の機構では、ドライバ装置の電圧振幅は、関連の供給電圧の関数であり、この関連の供給電圧から基準電圧 ( $V_{REF}$ ) が導出される。幾つかの実施形態では、ドライバ装置 1915 又は 1965 の電圧振幅は、供給電圧ではなく共通のシステム基準電圧 ( $V_{REF}$ ) 1957 を基準とする。幾つかの実施形態では、基準電圧 1957 は、各ドライバ装置に同じ基準電圧を供給する基準電圧源 1955 等の外部供給源によって発生させることができる。幾つかの実施形態では、受信器装置 1920 及び 1970 が基準電圧 1957 を受けることもできる。

30

#### 【0085】

幾つかの実施形態では、ドライバ装置 1915 の電圧振幅 1916 及びドライバ装置 1965 における電圧振幅 1966 は  $V_{REF}$  の関数である。例えば、ドライバ装置 1915 上の電圧振幅 1916 は、 $V_{REF}$  の 2 倍とすることができる、それに対してドライバ 1965 上の電圧振幅 1966 は、 $V_{REF}$  の 1.5 倍とすることができる。幾つかの実施形態では、電圧振幅は、 $V_{REF}$  の関数であり、供給  $V_{DD}$  には依存しない。従って、幾つかの実施形態では、電圧振幅は、一定の電圧供給とは独立して構成可能である。更に、幾つかの実施形態では、電圧振幅の構成は、出力ノードにおける動作に対して最小限の作用しか有さない。幾つかの実施形態では、受信器装置 1920 及び 1970 が基準電圧 1957 を利用することもできる。1 つの実施例では、受信器装置 1920 又は 1970 の受信感度を、基準電圧の関数とすることができる。

40

#### 【0086】

50



図20は、データを第1のデバイスから第2のデバイスに駆動するためのプロセスの1つの実施形態を例示している。幾つかの実施形態では、第1のデバイスと第2のデバイスとの間のリンク2000において、第1のデバイスは構成可能ドライバ装置を含み、第2のデバイスは受信器装置を含む。幾つかの実施形態では、受信器装置はまた、構成可能終端抵抗を含む構成可能なものとして行うことができる。幾つかの実施形態では、インターフェイスについての正しいパラメータを識別するために、第1のデバイスと第2のデバイスとの間の通信の性質に関する決定を行うことができる(2002)。幾つかの実施形態では、第1のデバイスのドライバ装置及び第2のデバイスの受信装置についての必要なパラメータが決定される(2204)。幾つかの実施形態では、第2のデバイスのドライバ装置と第1のデバイスの受信装置との逆接続についてのパラメータも決定される。幾つかの実施形態では、インターフェイスについてのパラメータは、メモリデバイスを含む、コントローラを含まないデバイスの1つ又はそれ以上のレジスタ内に記憶することができる。

10

【0087】

幾つかの実施形態では、ドライバ装置、受信器装置、又はその両方の終端抵抗が構成される。幾つかの実施形態では、終端抵抗の構成は、ドライバインピーダンスの構成を部分的に与えることができる(2006)。

【0088】

幾つかの実施形態では、第1のデバイスのドライバ装置の電圧振幅が構成される(2208)。幾つかの実施形態では、電圧振幅の構成は、第1のデバイスに対する電源電圧には依存せず、ドライバ装置の電力消費を調節するように動作することができる。

20

【0089】

幾つかの実施形態では、ドライバ装置に対してバイアス電圧が供給される(2010)。幾つかの実施形態では、バイアス電圧の設定は、例えば図13に例示した装置を含めることができる。幾つかの実施形態では、バイアス点は、ドライバ装置の構成可能電流源の調節を通じて調節することができる(2012)。

【0090】

幾つかの実施形態では、ドライバ装置への信号の印加は、ドライバ装置への入力信号の周波数を決定する段階を更に含み、周波数が閾値を下回る場合には、入力信号の幅よりも短い幅を有するパルスに入力信号を変更する(2014)。入力信号のパルス制御は、例えば、図18Aに例示したパルス制御機構1850を含むことができる。

30

【0091】

上記の説明では、本発明の完全な理解をもたらすために、説明の目的で数多くの特定の詳細内容が記載されている。しかしながら、当業者には、これらの特定の詳細内容の一部がなくとも本発明を実施できることは理解されるであろう。場合によっては、公知の構造及びデバイスはブロック図の形式で示されている。例示した構成要素の間には、中間構造が存在してもよい。本明細書で説明又は例示した構成要素は、例示又は説明していない追加の入力又は出力を有することができる。例示の要素又は構成要素はまた、いずれかのフィールドの順序変更又はフィールドサイズの修正を含む、異なる配列又は順序で構成することができる。

【0092】

本発明は様々なプロセスを含むことができる。本発明のプロセスは、ハードウェア構成要素によって実施することができる、或いは、コンピュータ読み取り可能命令において具現化することができる、これらの命令を用いて、プログラミングされた汎用又は専用のプロセッサもしくは論理回路にこれらのプロセスを実施させることができる。或いは、プロセスは、ハードウェアとソフトウェアの組み合わせによって実施することができる。

40

【0093】

本発明の一部は、コンピュータプログラム製品として提供することができ、該コンピュータプログラム製品は、本発明によるプロセスを実施するようにコンピュータ(又は他の電子デバイス)をプログラミングするのに用いることができるコンピュータプログラム命令を記憶させたコンピュータ読み取り可能記憶媒体を含むことができる。コンピュータ

50

読み取り可能記憶媒体は、限定ではないが、フロッピー（登録商標）ディスク、光ディスク、CD-ROM（コンパクトディスク読み取り専用メモリ）、及び光磁気ディスク、ROM（読み取り専用メモリ）、RAM（ランダムアクセスメモリ）、EPROM（消去可能プログラミング可能読み取り専用メモリ）、EEPROM（電氣的に消去可能なプログラミング可能読み取り専用メモリ）、磁気カード又は光カード、フラッシュメモリ、或いは電子命令を記憶するのに適する他の種類の媒体/コンピュータ読み取り可能媒体を含むことができる。更に、本発明はまた、コンピュータプログラム製品としてダウンロードすることができ、この場合、プログラムは、遠隔コンピュータから要求中のコンピュータに転送することができる。

#### 【0094】

幾つかの方法のうちの多くのものをそれらの最も基本的な形態で説明したが、本発明の基本範囲から逸脱することなく、これらの方法のうちの何れかにプロセスを追加するか、又は何れかからプロセスを削除することができ、説明したメッセージのうちの何れかに情報を追加するか、又は何れかから情報を除去することができる。当業者であれば、多くの更なる修正及び改作を行うことができる点は理解されるであろう。特定の実施形態は、本発明を限定するものではなく、例示するために提示したものである。

#### 【0095】

要素「A」が要素「B」に結合され、又は要素「B」と結合されると述べた場合、要素Aを要素Bに直接的に結合することができ、又は例えば、要素Cを通じて間接的に結合することができる。本明細書において、構成要素、特徴、構造、プロセス、又は特性Aが、構成要素、特徴、構造、処理、又は特性Bを「引き起こす」と述べる場合、「A」が、「B」の少なくとも部分的な原因ではあるが、「B」を引き起こすことに寄与する少なくとも1つの他の構成要素、特徴、構造、処理、又は特性が存在する可能性もあることを意味する。本明細書において、構成要素、特徴、構造、プロセス、又は特性を「含めてもよい」、「含まれる可能性がある」、又は「含めることができる」と示す場合、その特定の構成要素、特徴、構造、処理、又は特性を含めることが必須ではない。本明細書において、数詞を伴わない要素を示す場合は、記載の要素が1つだけしか存在しないことを意味するわけではない。

#### 【0096】

実施形態は、本発明の実施構成又は実施例である。本明細書における「実施形態」、「一実施形態」、「幾つかの実施形態」、又は「他の実施形態」への言及は、これらの実施形態に関連して説明する特定の特徴、構造、又は特性が、少なくとも幾つかの実施形態に含まれるが、必ずしも全ての実施形態に含まれるわけではないことを意味する。「実施形態」、「一実施形態」、又は「幾つかの実施形態」の様々な出現は、必ずしも全てが同じ実施形態を指しているわけではない。本発明の例示的な実施形態の上記の説明では、開示を効率化し、様々な本発明の態様のうちの1つ又はそれ以上の理解を助ける目的で、本発明の様々な特徴を場合によって本発明の単一の実施形態、図、又は説明の中にまとめていることを理解されたい。

#### 【符号の説明】

#### 【0097】

- 800 ドライバ
- 810 第1のトランジスタ(M1)
- 812 第1の抵抗器(R1)
- 814 第2の抵抗器(R2)
- 816 第2のトランジスタ(M2)
- 824 第3の抵抗器(R3)
- 826 第3のトランジスタ(M3)
- 870 チャネル
- 882 終端抵抗

10

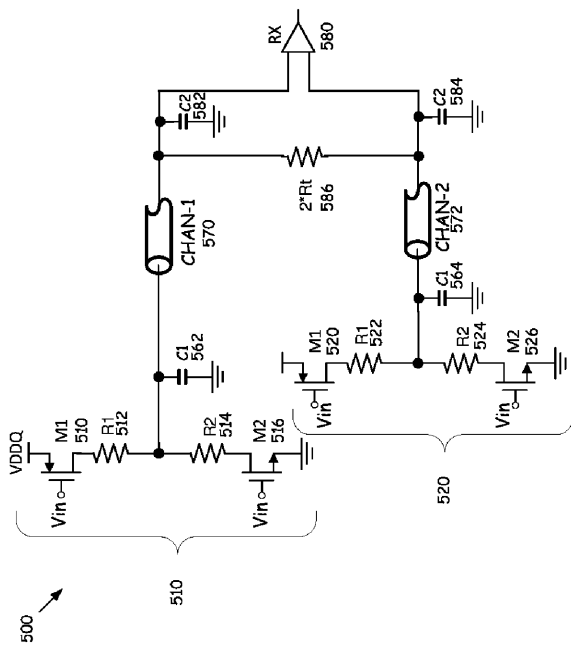
20

30

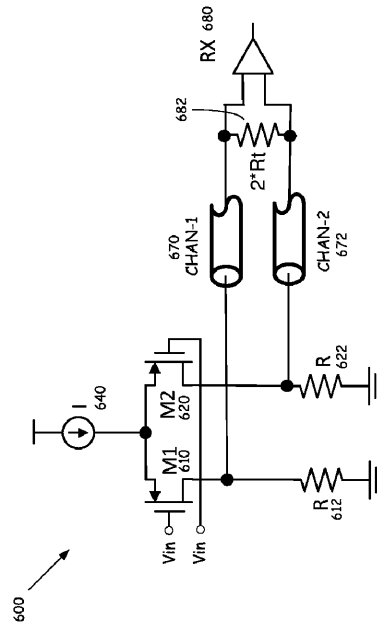
40



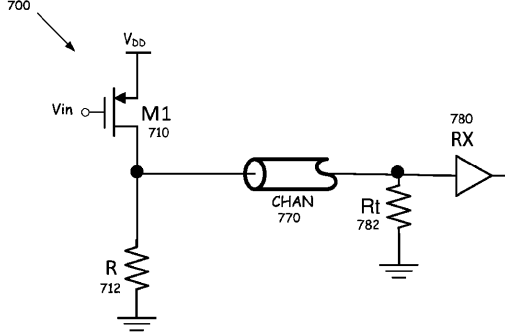
【 図 5 】



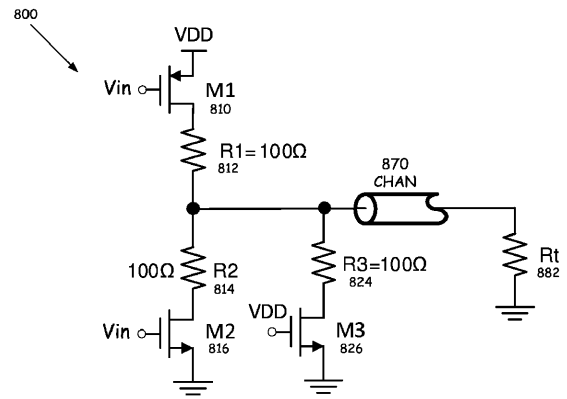
【 図 6 】



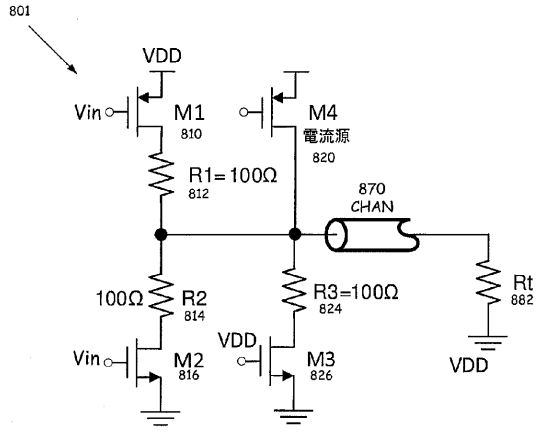
【 図 7 】



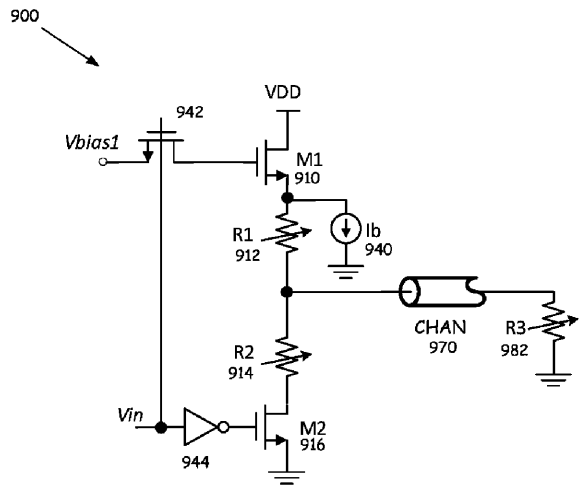
【 図 8 A 】



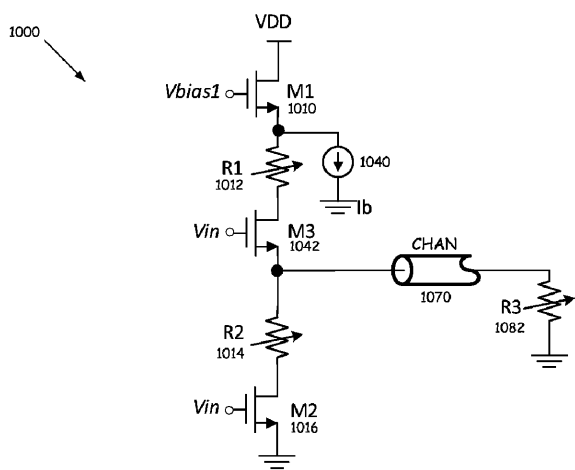
【図 8 B】



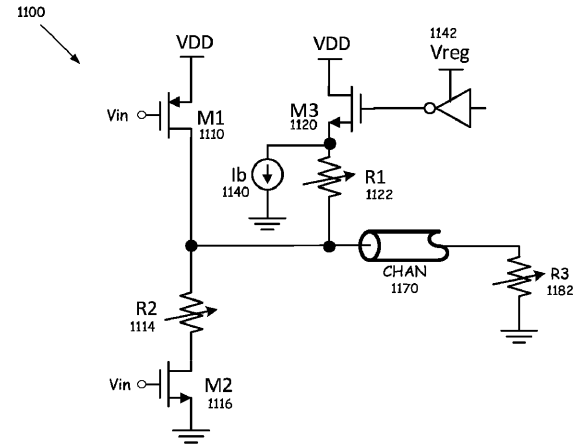
【図 9】



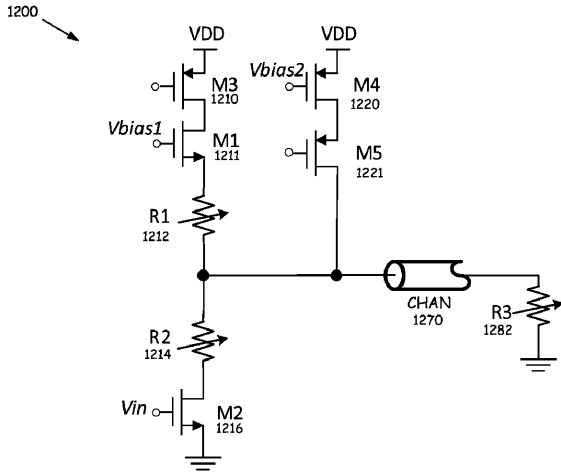
【図 10】



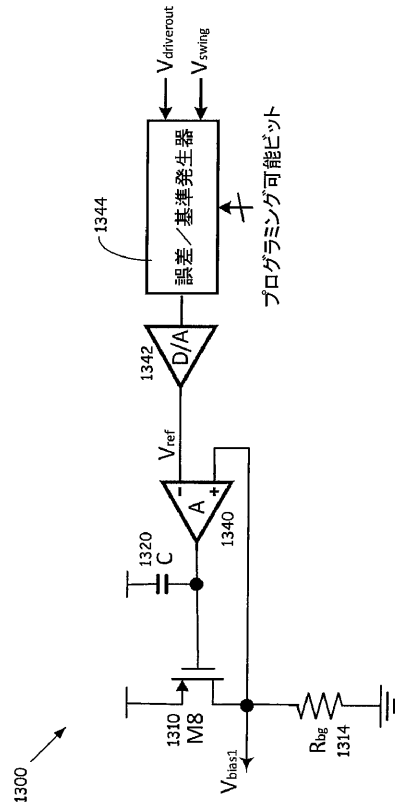
【図 11】



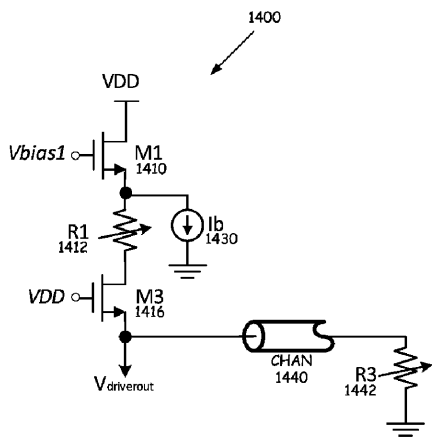
【図12】



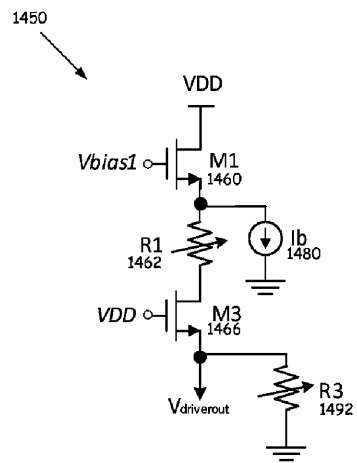
【図13】



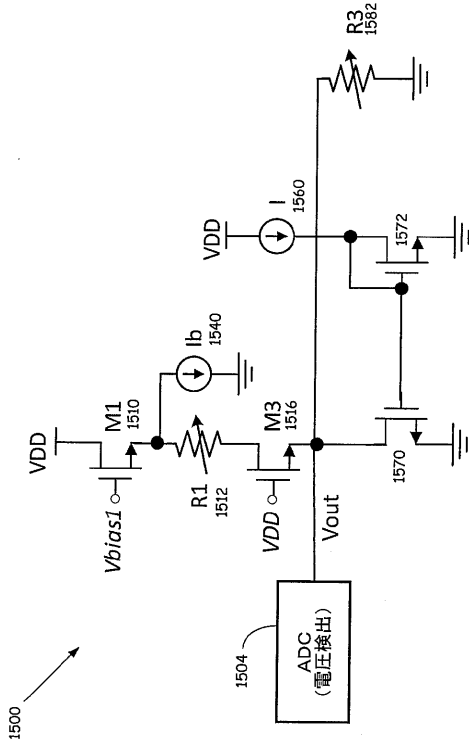
【図14A】



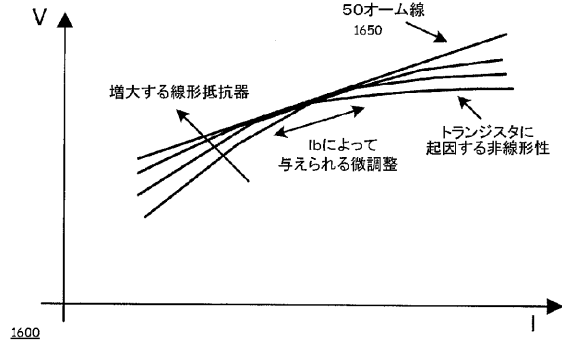
【図14B】



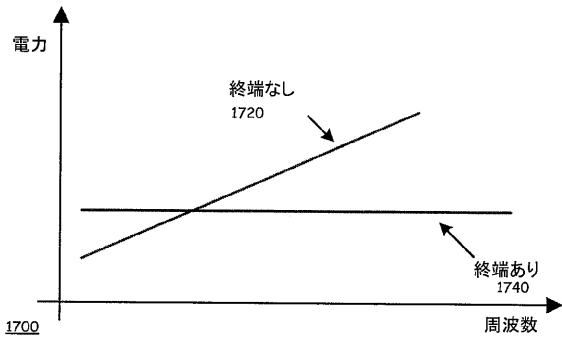
【図15】



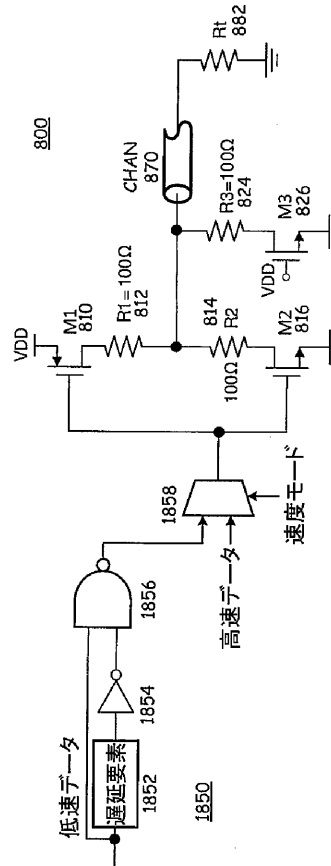
【図16】



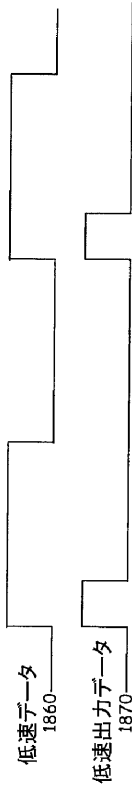
【図17】



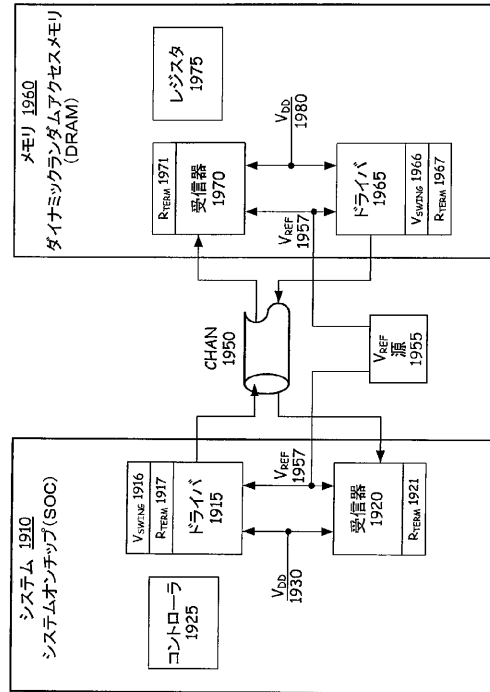
【図18A】



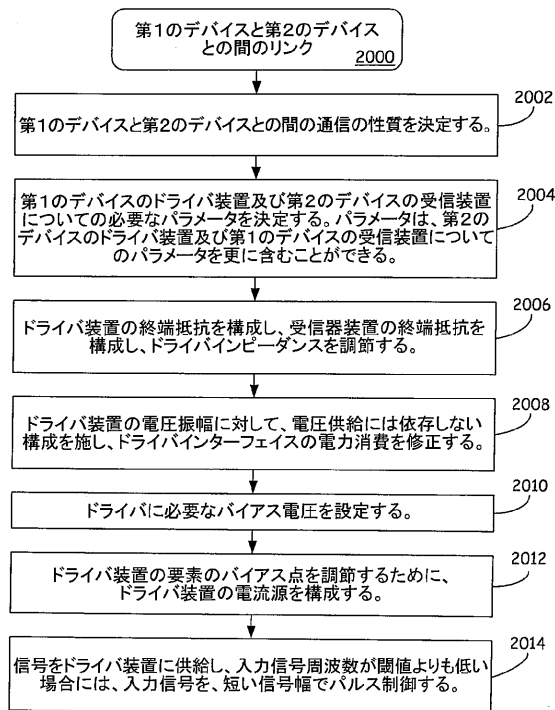
【図18B】



【図19】



【図20】





## フロントページの続き

- (74)代理人 100110928  
弁理士 速水 進治
- (74)代理人 100127236  
弁理士 天城 聡
- (72)発明者 ゴンディ スリカンス  
アメリカ合衆国 カリフォルニア州 94085 サニーベイル イースト アークス アベニュー  
- 1140
- (72)発明者 アイザック ロジャー  
アメリカ合衆国 カリフォルニア州 94085 サニーベイル イースト アークス アベニュー  
- 1140
- (72)発明者 ルバーグ アラン  
アメリカ合衆国 カリフォルニア州 94085 サニーベイル イースト アークス アベニュー  
- 1140

審査官 高橋 義昭

- (56)参考文献 特開2004-312262(JP,A)  
特開2006-060751(JP,A)  
特開平11-150469(JP,A)  
特開2008-258816(JP,A)  
米国特許出願公開第2008/0246531(US,A1)  
米国特許出願公開第2009/0256585(US,A1)  
特開2007-306267(JP,A)  
特開平06-104936(JP,A)  
特開平10-093414(JP,A)  
米国特許第05949254(US,A)  
特開2010-098590(JP,A)  
特開2004-327602(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H03K 19/0175  
H04L 25/02