

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5209196号
(P5209196)

(45) 発行日 平成25年6月12日(2013.6.12)

(24) 登録日 平成25年3月1日(2013.3.1)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 N
HO 1 L 29/78 (2006.01)	HO 1 L 21/90	J
HO 1 L 21/768 (2006.01)	HO 1 L 21/90	C
HO 1 L 23/522 (2006.01)	HO 1 L 27/08	3 2 1 C
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08	3 2 1 A
請求項の数 8 (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2006-301719 (P2006-301719)
 (22) 出願日 平成18年11月7日(2006.11.7)
 (65) 公開番号 特開2007-134712 (P2007-134712A)
 (43) 公開日 平成19年5月31日(2007.5.31)
 審査請求日 平成21年11月6日(2009.11.6)
 (31) 優先権主張番号 10-2005-0106096
 (32) 優先日 平成17年11月7日(2005.11.7)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 10-2006-0073912
 (32) 優先日 平成18年8月4日(2006.8.4)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 gtong-gu, Suwon-si, G
 yeonggi-do, Republic
 of Korea
 (74) 代理人 100086368
 弁理士 萩原 誠
 (72) 発明者 鄭 ▲ヨン▼ 国
 大韓民国京畿道水原市靈通区靈通洞 ビェ
 オクジェオコル8団地アパート840棟7
 01号

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上にNMOSトランジスタを形成する工程と、
前記NMOSトランジスタ上に引張ストレスを有するライナ膜を形成する工程と、
前記ライナ膜上に第1層間絶縁膜を形成する工程と、
前記第1層間絶縁膜を脱水素化する工程とを含み、
前記NMOSトランジスタは、ゲート絶縁膜及びゲート電極を含み、前記ゲート絶縁膜
、前記ゲート電極及び前記ライナ膜の総厚さをt1とし、前記ライナ膜及び前記第1層間
絶縁膜の総厚さをt2とする時、t2/t1 1.14であることを特徴とする半導体
 装置の製造方法。

【請求項2】

前記第1層間絶縁膜を脱水素化する工程は、前記第1層間絶縁膜のストレスを変化させることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記第1層間絶縁膜を脱水素化する工程は、前記第1層間絶縁膜を脱水素化ガス雰囲気中でプラズマ処理、UV処理及び/または熱処理する工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】

前記脱水素化ガスは、N₂、O₂、O₃、N₂O、H₂及び/またはD₂と、これらの組合わせを含むことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項 5】

脱水素化の後、前記第1層間絶縁膜は、少なくとも200MPaの引張ストレスを有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】

前記第1層間絶縁膜は、 O_3 -TEOS、NSG、PSG、BSG、BPSG、FSG、SOG及び/またはTOSZを含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】

前記第1層間絶縁膜を形成した後、前記第1層間絶縁膜内に前記NMOSトランジスタと接続されるコンタクトを形成する工程をさらに含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

10

【請求項 8】

前記第1層間絶縁膜を脱水素化した後、前記第1層間絶縁膜上に第2層間絶縁膜を形成する工程をさらに含み、前記第2層間絶縁膜は前記第1層間絶縁膜のストレスより小さなストレスを有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法及びそれによって製造された半導体装置に係り、より詳細には、動作特性が向上した半導体装置の製造方法及びそれによって製造された半導体装置に関する。

20

【背景技術】

【0002】

半導体装置は、MOSトランジスタのような個別素子(discrete device)をスイッチング素子として広く採択している。したがって、半導体装置の特性を改善させるためには高性能MOSトランジスタ(high performance MOS transistor)を実現することが必要である。最近、高性能MOSトランジスタを実現するため、チャネル領域にチャネルストレスを提供してキャリアの移動度(mobility)を向上させる方法が研究されている(特許文献1, 2、非特許文献1, 2)。

【0003】

NMOSトランジスタのチャネル領域には引張ストレス(tensile stress)を提供して初めて電子の移動度が向上するが、例えば、ソース/ドレイン領域に炭素(C)をイオン注入したり、NMOSトランジスタ上に引張ストレスを有するライナ膜(liner layer)を形成する方法などを使うことができる。また、PMOSトランジスタのチャネル領域には圧縮ストレス(compressive stress)を提供して初めて正孔の移動度が向上するが、例えば、ソース/ドレイン領域にゲルマニウム(Ge)をイオン注入したり、PMOSトランジスタ上に圧縮ストレスを有するライナ膜を形成する方法などを使うことができる。

30

【特許文献 1】韓国特許第0459686号、

【特許文献 2】第1999-001918号

【非特許文献 1】J.Welserなどの"Strain dependence of the performance enhancement in strained-Si n-MOSFETs" IEDM Tech.Dig.1994、p.373

40

【非特許文献 2】K.Rimなどの、"Enhanced hole mobilities in surface channel strained-Si p-MOSFETs" IEDM Tech.Dig.1995、p517

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする技術的課題は、動作特性が向上した半導体装置の製造方法を提供することである。

【0005】

本発明が解決しようとする他の技術的課題は、動作特性が向上した半導体装置を提供することである。

50

【 0 0 0 6 】

本発明の技術的課題は、前述した技術的課題に制限されず、言及していないさらなる技術的課題は、下記から当業者に明確に理解されるであろう。

【課題を解決するための手段】

【 0 0 0 7 】

前記技術的課題を果たすための本発明の一実施形態による半導体装置の製造方法は、基板上にNMOSトランジスタを形成し、NMOSトランジスタ上に第1層間絶縁膜を形成し、第1層間絶縁膜を脱水素化することを含む。

【 0 0 0 8 】

前記技術的課題を果たすための本発明の他の実施形態による半導体装置の製造方法は、基板上にNMOSトランジスタを形成し、NMOSトランジスタ上に、引張ストレスを有する O_3 -TEOS膜を含む第1層間絶縁膜を形成し、第1層間絶縁膜を脱水素化することを含む。

10

【 0 0 0 9 】

前記他の技術的課題を果たすための本発明の一実施形態による半導体装置は、基板上にゲート絶縁膜及びゲート電極を含むNMOSトランジスタ、NMOSトランジスタ上のライナ膜であって、引張ストレスを有するライナ膜及びライナ膜上に、脱水素化されて引張ストレスが増加した脱水素化された第1層間絶縁膜を含み、NMOSトランジスタのゲート絶縁膜、ゲート電極及びライナ膜の総厚さを t_1 とし、ライナ膜及び脱水素化された第1層間絶縁膜の総厚さを t_2 とする時、 $t_2/t_1 = 1.14$ である。

【 0 0 1 0 】

20

前記他の技術的課題を果たすための本発明の他の実施形態による半導体装置は、基板上に形成されたNMOSトランジスタ、NMOSトランジスタ上の第1層間絶縁膜であって、第1層間絶縁膜は第1層間絶縁膜の脱水素化によって引張ストレスを有し、第1層間絶縁膜上の第2層間絶縁膜であって、第2層間絶縁膜は第1層間絶縁膜のストレスより小さなストレスを有する。

【 0 0 1 1 】

前記他の技術的課題を果たすための本発明のまた他の実施形態による半導体装置は、半導体基板上に形成されたNMOSトランジスタ及びPMOSトランジスタ及びNMOS及びPMOSトランジスタ上の第1層間絶縁膜を含み、PMOSトランジスタ上の第1層間絶縁膜は窒素及び/またはゲルマニウムが第1層間絶縁膜の一部にイオン注入される。

30

【発明の効果】

【 0 0 1 2 】

前記したような半導体装置の製造方法及びそれによって製造された半導体装置によれば、次のような効果が一つあるいはそれ以上ある。

【 0 0 1 3 】

第一に、NMOSトランジスタ上の第1層間絶縁膜を脱水素化して引張ストレスを増加させることによって、NMOSトランジスタの電子移動度及び電流駆動能力を向上させうる。

【 0 0 1 4 】

第二に、脱水素化によって第1層間絶縁膜内の水素イオンの濃度が低いために、熱電子注入(hot electron injection)効果が減る。NMOSトランジスタのゲート絶縁膜の信頼性が向上する。

40

【 0 0 1 5 】

第三に、脱水素化された第1層間絶縁膜の水素イオン濃度がまた高くないように第1層間絶縁膜上にキャッピング層を形成することによって、水分及び/または外部イオンの第1層間絶縁膜以下レベルへの侵透を防止しうる。したがって、NMOSトランジスタの動作特性が向上する。

【 0 0 1 6 】

第四に、NMOS及びPMOSトランジスタを覆う第1層間絶縁膜内にコンタクトを形成した後、第1層間絶縁膜を脱水素化することによって、コンタクト形成時に、第1層間絶縁膜内の水分及び/または外部イオンの侵透を防止できる。

50

【 0 0 1 7 】

第五に、第1層間絶縁膜内にコンタクトを形成した後、脱水素化してインサイチュでキャッピング層を形成することで第1層間絶縁膜の吸湿をより効果的に遮断しうる。

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

本発明の利点及び特徴、そしてそれらの達成方法は、添付図面と共に詳細に後述されている実施形態を参照すれば、明確になる。しかし、本発明は、以下で開示される実施形態に限定されず、相異なる多様な形態で実現でき、単に本実施形態は本発明の開示を完全にし、当業者に発明の範ちゅうを完全に知らせるために提供され、本発明は請求項の範ちゅうにより定義されるだけである。

10

【 0 0 1 9 】

以下、明細書全体にわたって同一参照符号は、同一構成要素を指称する。「及び/または」なる表現は、言及されたアイテムの各々及び一つ以上のすべての組み合わせを含む。

【 0 0 2 0 】

本明細書で使われた用語は、実施形態を説明するためのものであり、本発明を制限しようとするものではない。本明細書で、単数型は特別に言及しない限り複数型も含む。明細書で使われる「含む」は、言及された構成要素、段階、動作及び/または素子は一つ以上の他の構成要素、段階、動作及び/または素子の存在または追加を排除しない。

【 0 0 2 1 】

図1は、本発明の第1実施形態による半導体装置の製造方法を説明するためのフローチャートであり、図2Aないし図2Dは、本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

20

【 0 0 2 2 】

図1及び図2Aを参照すれば、半導体基板10上にNMOSトランジスタ100とPMOSトランジスタ200とを形成する(S10)。

【 0 0 2 3 】

具体的に説明すれば、まず半導体基板10に素子分離領域20を形成して第1及び第2アクチブ領域30、40を定義する。ここで、半導体基板10は、シリコン基板、SOI(Silicon On Insulator)基板、ガリウム砒素基板、シリコンゲルマニウム基板、セラミックス基板、石英基板、またはディスプレイ用ガラス基板などになり、素子分離領域20はLOCOS(LOCAl Oxidation of Silicon)方法を利用したFOX(Field OXide)またはSTI(Shallow Trench Isolation)になりうる。

30

【 0 0 2 4 】

その後、第1アクチブ領域30にP型不純物を注入してPウェル32を形成し、第2アクチブ領域40にN型不純物を注入してNウェル42を形成する。

【 0 0 2 5 】

引き続き、第1及び第2アクチブ領域30、40上に絶縁膜、導電膜を順次的に積層した後、パターニングして第1及び第2ゲート絶縁膜110、210、第1及び第2ゲート電極120、220を形成する。ここで、第1及び第2ゲート絶縁膜110、210は、 SiO_2 、 SiON 、 Si_3N_4 、 $\text{Ge}_x\text{O}_y\text{N}_z$ 、 $\text{Ge}_x\text{Si}_y\text{O}_z$ 、高誘電率物質及びこれらの積層膜を使用することができる。ここで、高誘電率物質は、 HfO_2 、 ZrO_2 、 Al_2O_3 、 Ta_2O_5 、ハフニウムシリケート、ジルコニウムシリケートなどになりうる。また、第1及び第2ゲート電極120、220は、第1及び第2ゲート絶縁膜110上に各々形成され、例えば、ポリシリコン(poly Si)、不純物がイオン注入されたポリシリコン、ポリシリコンより抵抗の低い金属などを使うことができ、図面には表示しなかったが第1及び第2ゲート電極120、220の動作特性を向上させるためにポリシリコン上に金属または金属シリサイドをさらに形成できる。

40

【 0 0 2 6 】

引き続き、スペーサ130、230を形成する。例えば、第1及び第2ゲート電極120、220を含む半導体基板10の全面にスペーサ用絶縁膜を順次的に形成した後、エッチバック(etch back)のような全面エッチング工程を用いて、第1及び第2ゲート電極120

50

、 220 の側壁に各々スペーサ 130、230 を形成する。

【0027】

引き続き、N型及びP型ソース/ドレイン領域 160、260 を形成する。

【0028】

具体的に、第2アクチブ領域 40 をマスクで遮断し、NMOSトランジスタ 100 の第1ゲート電極 120、スペーサ 130 をイオン注入マスクとしてN型不純物、例えば砒素(As)を注入できる。第1アクチブ領域 30 をマスクで遮断し、PMOSトランジスタ 200 の第2ゲート電極 220、スペーサ 230 をイオン注入マスクとしてP型不純物、例えば硼素(B)を注入できる。ここで、選択的に第1及び第2アクチブ領域 30、40 内に各々ハロイオン(halo ion)を注入できる。ハロイオンは、チャンネル領域が短くなることによるパンチスルー現象を防止するためにゲート電極を形成した後、半導体基板のアクチブ領域の濃度を高めるために注入されるイオンを意味する。ハロイオンは、ソース/ドレイン領域を形成するために注入されるイオンと反対タイプのイオンとが主に使われる。したがって、第1アクチブ領域 30 内にはP型不純物、例えば硼素(B)を注入し、第2アクチブ領域 40 内にはN型不純物、例えば砒素(As)を注入できる。

10

【0029】

本発明の第1実施形態によるNMOS及びPMOSトランジスタ 100、200 のソース/ドレイン領域 160、260 は多様な構造で変形可能であり、例えば、LDD(Lightly Diffused Drain)、DDD(Double Diffused Drain)、MIDD(Mask Islanded Double Diffused Drain)、MLDD(Mask LDD)、LDMOS(Lateral Double-diffused MOS)構造などになりうる。

20

【0030】

引き続き、イオン注入されたイオンを活性化させるか、格子損傷を回復させるために熱工程を実施できる。熱工程の方式は、RTP(Rapid Temperature Process)またはLSA(LaSer Annealing)などの方式を利用できる。

【0031】

図1及び図2Bを参照すれば、NMOS及びPMOSトランジスタ 100、200 上に各々第1及び第2ライナ膜(liner layer) 310、312 を形成する(S20)。

【0032】

具体的に、第1及び第2ライナ膜 310、312 は、例えば、SiN膜、SiON膜、LPCVD(Low Pressure Chemical Vapor Deposition)酸化膜、ALD(Atomic Layer Deposition)酸化膜、SOG(Spin On Glass)膜及びこれらの積層膜として、約50~2000 の厚さで形成することができる。

30

【0033】

このような第1及び第2ライナ膜 310、312 は、半導体装置1の製造工程の中に反射防止膜またはエッチング停止膜としての役割もし、所定ストレスを有する第1及び第2ライナ膜 310、312 をNMOS及びPMOSトランジスタ 100、200 上に形成することでNMOS及びPMOSトランジスタ 100、200 の動作特性が向上する。

【0034】

具体的に、NMOSトランジスタ 100 上には所定の引張ストレスを有する第1ライナ膜 310 を形成し、PMOSトランジスタ 200 上には所定の圧縮ストレスを有する第2ライナ膜 312 を形成できる。例えば、第1及び第2ライナ膜 310、312 としてSiN膜を用いる場合、SiN膜はN-HボンディングとSi-Hボンディングの比率によって引張ストレスを与えるか、圧縮ストレスを与えるかが決定される。すなわち、N-Hボンディング/Si-Hボンディングの比率が約1~5であれば引張ストレスを与え、約5~20であれば圧縮ストレスを与える。したがって、本発明の第1実施形態で、第1ライナ膜 310 はN-Hボンディング/Si-Hボンディングの比率が約1~5であるSiN膜を使って、第2ライナ膜 312 はN-Hボンディング/Si-Hボンディングの比率が約5~20であるSiN膜を使うことができる。

40

【0035】

第1及び第2ライナ膜を形成する方法は、前述した方法に限定されず、例えばNMOS及びPMOSトランジスタ上に所定の引張ストレスを有するライナ膜を形成した後、PMOSトランジス

50

タ上に形成されたライナ膜にはゲルマニウム及び/または窒素をイオン注入して引張ストレスを減少させることができる。

【0036】

また、PMOSトランジスタ上に形成されたライナ膜にゲルマニウム及び/または窒素をイオン注入する工程を前述したように別途に進行せず、後述する工程(図6A参照)で第1層間絶縁膜(図6Aの320)にゲルマニウム及び/または窒素をイオン注入する工程で、ライナ膜と第1層間絶縁膜とを同時にイオン注入できる。

【0037】

それだけでなく、NMOS及びPMOSトランジスタ上に形成されたライナ膜の引張ストレスがPMOSトランジスタの動作特性を大きく低下させない場合、別途のイオン注入工程をしないこともある。

10

【0038】

図1及び図2Cを参照すれば、第1及び第2ライナ膜310、312上に所定のストレスを有する第1層間絶縁膜(ILD; Inter-Layer Dielectric)320を形成する(S30)。図面には表示しなかったが、第1層間絶縁膜320は半導体基板10上に形成されたNMOS及びPMOSTランジスタ100、200をメタル配線と接続するためのコンタクト(contact)を含むことができる。したがって、層間絶縁膜はメタル配線とメタル配線とを絶縁するためのメタル間絶縁膜(IMD; Inter-Metallic Dielectric)とは区別される。

【0039】

具体的に、第1層間絶縁膜320は、 O_3 -TEOS(O_3 -Tetra Ethyl Ortho Silicate)、USG(Undoped Silicate Glass)、PSG(Phospho Silicate Glass)、BSG(Borosilicate Glass)、BPSG(Boro Phospho Silicate Glass)、FSG(Fluoride Silicate Glass)、SOG(Spin On Glass)、TOSZ(Tonen Sila Zene)またはこれらの組合わせを使うことができる。本発明の第1実施形態では、第1層間絶縁膜320として所定の引張ストレス(tensile stress)を有する O_3 -TEOSを使った場合を例として説明する。ここで、第1層間絶縁膜320は、CVD(Chemical Vapor Deposition)方式、スピコーティング方式などを用いて形成できる。

20

【0040】

引き続き、以後工程の容易性のために選択的に、第1層間絶縁膜320を平坦化することもできる。

【0041】

30

図1及び図2Dを参照すれば、第1層間絶縁膜320を脱水素化してストレスを変化させる(S40)。

【0042】

具体的に、第1層間絶縁膜320を脱水素化(水素イオンを除去(depletion))すれば、脱水素化された第1層間絶縁膜320内にボイド(void)が形成され、このようなボイドはストレスを変化させる。

【0043】

第1層間絶縁膜320を脱水素化ガス雰囲気中でプラズマ処理、UV処理及び/または熱処理して脱水素化させることができる。図2Dでは、プラズマ処理400した場合を例示的に図示した。脱水素化ガスとしては、 N_2 、 O_2 、 O_3 、 N_2O 、 H_2 及び/または D_2 を含みうる。 O_3 プラズマ処理の場合を例とすれば、工程温度は常温(room temperature)~700、工程圧力は約10mTorr~720Torrであり、RFパワー(RF power)は約20~10000Wで調節できる。 N_2 プラズマ処理、 N_2O プラズマ処理も類似した工程条件で進行させることができる。また、 O_3 熱処理の場合を例とすれば、工程温度が約200~700で熱処理を進行することができる。このようにプラズマ処理によって脱水素化されることについては実験例1に基づいて詳しく後述する。

40

【0044】

例えば、第1層間絶縁膜320として O_3 -TEOSを使って脱水素化ガス雰囲気中でプラズマ処理、UV処理及び/または熱処理して脱水素化すれば、脱水素化された第1層間絶縁膜320内のSi-OHボンディングなどが減る。このように水素イオンが減れば、脱水素化された第1

50

層間絶縁膜 320 内にボイドが形成され、このようなボイドは引張ストレスを増加させる。工程条件によって異なるが、脱水素化の前に、 O_3 -TEOS膜の引張ストレスは約10~100MPaであり、脱水素化の後には O_3 -TEOS膜の引張ストレスは約200MPa以上になりうる。

【0045】

また、脱水素化ガス雰囲気でのプラズマ処理、UV処理及び/または熱処理は多数回連続的に(sequentially)進行しうる。例えば、第1層間絶縁膜 320 を O_3 プラズマ処理し、引き続き N_2 プラズマ処理できる。また、第1層間絶縁膜 320 を O_3 プラズマ処理し、引き続き N_2 熱処理することもできる。

【0046】

以下では、図2Dを参照して、本発明の第1実施形態による半導体装置を説明する。

10

【0047】

本発明の第1実施形態による半導体装置 1 は、NMOSトランジスタ 100 上に脱水素化された第1層間絶縁膜 320 が形成されているので、NMOSトランジスタの電流駆動能力が増加する。

【0048】

具体的に、第1層間絶縁膜 320 の引張ストレスが増加すれば、第1層間絶縁膜 320 下部の第1ライナ膜と当接しているNMOSトランジスタ 100 のソース/ドレイン領域 160 に圧縮ストレスが発生し、ソース/ドレイン領域 160 に隣接したチャネル領域 146 には引張ストレスが発生する。このようにチャネル領域 146 に引張ストレスが発生すれば、チャネル領域 146 で電子の有効質量が減少し、電子の移動度(mobility)が増加するので NMOSトランジスタ 100 の電流駆動能力が増加する。

20

【0049】

例えば、第1層間絶縁膜 320 としてHDP(High Density Plasma)酸化膜を使う場合と、脱水素化された O_3 -TEOS膜を使う場合とを比べて説明する。ここで、HDP膜は、ギャップフィル(gap-fill)特性に優れて第1ゲート電極 120 などによって発生した段差を易しく減らすことができ、従来の半導体装置で第1層間絶縁膜として主に使われた。HDP酸化膜は約-200MPaの圧縮ストレスを有し、脱水素化された O_3 -TEOS膜は約200MPa以上の引張ストレスを有しうる。このようにストレス差がある場合、400MPaのストレス増加に比例してNMOSトランジスタ 100 は電流駆動能力は約10%以上増加しうる。但し、このような電流駆動能力の増加量は、NMOSトランジスタ 100 の特性(例えば、チャネルのサイズ、電子の濃度など)によって異なる。プラズマ処理によって引張ストレスが増加することについては実験例2に基づいて詳しく後述する。

30

【0050】

一方、所定厚さ以上の脱水素化された第1層間絶縁膜 320 は、NMOSトランジスタ 100 の電流駆動能力に影響を及ぼさない。

【0051】

具体的に、NMOSトランジスタ 100 の第1ゲート絶縁膜 110、第1ゲート電極 120 及びライナ膜 310 の総厚さを t_1 とし、ライナ膜 310 及び脱水素化された第1層間絶縁膜 320 の総厚さを t_2 とする時、 t_2/t_1 1.14区間では脱水素化された第1層間絶縁膜 320 の厚さが増加するにつれて電子の移動度が比例して増加するが、 t_2/t_1 1.14区間では脱水素化された第1層間絶縁膜 320 の厚さが増加しても電子の移動度はそれ以上増加しない(飽和(saturation)状態になる)。したがって、第1層間絶縁膜 320 を脱水素化させてNMOSトランジスタ 100 の電流駆動能力を最大化させるためには、 t_2/t_1 1.14を満足しなければならない。このような結果については実験例3に基づいて詳しく後述する。

40

【0052】

また、本発明の第1実施形態による半導体装置 1 は、脱水素化により第1層間絶縁膜 320 内に水素イオンの濃度が低いために、熱電子注入(hot electron injection)効果が減る。したがって、第1ゲート絶縁膜 110 の信頼性が向上する。

【0053】

図3は、本発明の第2実施形態による半導体装置の製造方法を説明するための断面図で

50

ある。図1ないし図2Cと実質的に同一の構成要素については同一の図面符号を付し、該当構成要素についての詳細な説明は省略する。

【0054】

図3を参照すれば、本発明の第2実施形態による半導体装置2は、第1層間絶縁膜320を脱水素化した後(図1のS40)、脱水素化された第1層間絶縁膜320上への水分及び/または外部イオンの侵入を防止するキャッピング層330をさらに形成できる。

【0055】

具体的に、脱水素化して第1層間絶縁膜320の引張ストレスの大きさを増加させても、多層の配線及び多層のメタル間の絶縁膜(Inter Metallic Dielectric ;IMD)を形成する後続工程中に水分及び/または外部イオンが第1層間絶縁膜320に侵入すれば、引張ストレスがまた小さくなりうる。例えば、第1層間絶縁膜320として使われる O_3 -TEOSは、後続工程中に吸湿される特性が強い。

10

【0056】

このような水分及び/または外部イオンは、第1ゲート絶縁膜110内に侵入してNMOSトランジスタ100のスレシヨルド(threshold voltage)の電圧レベルを変化させてドレインオフ電流(drain off current)を増加させるなど動作特性を低下させる。したがって、水分及び/または外部イオンの第1層間絶縁膜320への侵入を防止するためのキャッピング層330を形成できる。

【0057】

このようなキャッピング層330は、第1層間絶縁膜320を脱水素化した後、インサイチュ(in-situ)で進行して形成することがより効果的である。そして、キャッピング層330としては、HDP(High Density Plasma)酸化膜、PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Silicate)などを使うことができる。

20

【0058】

図4は、本発明の第3実施形態による半導体装置の製造方法を説明するための断面図である。図1ないし図2Cと実質的に同一の構成要素については同一の図面符号を付し、該当構成要素についての詳細な説明は省略する。

【0059】

図4を参照して、本発明の第3実施形態による半導体装置3は、第1層間絶縁膜320を脱水素化した後(図1のS40)、脱水素化された第1層間絶縁膜320上に脱水素化された追加層間絶縁膜340をさらに形成できる。

30

【0060】

具体的に、第1層間絶縁膜320上に所定のストレスを有する追加層間絶縁膜340を形成し、追加層間絶縁膜340を脱水素化してストレスを変化させる。

【0061】

追加層間絶縁膜340を脱水素化ガス雰囲気中でプラズマ処理400及び/または熱処理して脱水素化させうる。図4では、プラズマ処理400した場合を例示的に図示した。追加層間絶縁膜340は O_3 -TEOS、USG、PSG、BSG、BPSG、FSG、SOG、TOSZなどが使用でき、例えば、CVD方式、スピコーティング方式などを用いて形成できる。また、脱水素化ガスは例えば、 N_2 、 O_2 、 O_3 、 N_2O 、 H_2 及び/または D_2 を含みうる。脱水素化過程、例えば脱水素化ガス雰囲気中でプラズマ処理、UV処理及び/または熱処理は、多数回連続的に(sequentially)進行しうる。

40

【0062】

このように脱水素化された追加層間絶縁膜340は、引張ストレスが増加するので、NMOSトランジスタの電流駆動能力が増加する。

【0063】

また、図面には表示しなかったが、追加層間絶縁膜340を形成し、形成された追加層間絶縁膜340を脱水素化する一連の過程を多数回繰り返して、NMOSトランジスタ100上に第1層間絶縁膜320と多層の追加層間絶縁膜340とを形成することができる。

【0064】

50

所定厚さ以上の脱水素化された追加層間絶縁膜 340 は、NMOSトランジスタの電流駆動能力に影響を及ぼさない。

【0065】

具体的に、NMOSトランジスタ 100 の第1ゲート絶縁膜 110、第1ゲート電極 120 及びライナ膜 310 の総厚さを t_1 とし、ライナ膜 310 及び脱水素化された第1及び追加層間絶縁膜 340 の総厚さを t_3 とする時、 t_3/t_1 1.14 区間では脱水素化された第1層間絶縁膜 320 の厚さが増加するにつれて電子の移動度が比例して増加するが、 t_3/t_1 1.14 区間では脱水素化された追加層間絶縁膜 340 の厚さが増加したり、多層の追加層間絶縁膜 340 が形成されても電子の移動度はそれ以上増加しない。したがって、追加層間絶縁膜 340 を脱水素化させ、NMOSトランジスタ 100 の電流駆動能力を最大化させるためには、 t_3/t_1 1.14 を満足しなければならない。

10

【0066】

図5は、本発明の第4実施形態による半導体装置の製造方法を説明するための断面図である。図1ないし図2Cと実質的に同一の構成要素については同一の図面符号を付し、該当構成要素についての詳細な説明は省略する。

【0067】

図5を参照すれば、本発明の第4実施形態による半導体装置4は、第1層間絶縁膜 320 を脱水素化した後(図1のS40)、脱水素化された第1層間絶縁膜 320 上に第1層間絶縁膜 320 より小さなストレスを有する第2層間絶縁膜 350 をさらに形成できる。

【0068】

具体的に、半導体装置は、NMOSトランジスタ 100 とメタルラインとの間のカップリングを防止するために層間絶縁膜を一定厚さ(t_4)以上形成しなければならない。ところが、層間絶縁膜を一定厚さ(t_4)以上形成した後、脱水素化して引張ストレスを増加させようとするれば、表面と近い層間絶縁膜の一部分は脱水素化が起きるが、ソース/ドレイン領域 160 と隣接した層間絶縁膜の一部分は脱水素化が起きないこともある。したがって、引張ストレスが十分に増加しないこともある。

20

【0069】

したがって、NMOSトランジスタ 100 の第1ゲート絶縁膜 110、第1ゲート電極 120 及びライナ膜 310 の総厚さを t_1 とし、ライナ膜 310 及び脱水素化された第1層間絶縁膜 320 の総厚さを t_2 とする時、 t_2/t_1 1.14 区間を満足し、ソース/ドレイン領域 160 と隣接した第1層間絶縁膜の一部分も脱水素化が起きることが出来る厚さで第1層間絶縁膜 320 を形成できる。その後、第1層間絶縁膜 320 を脱水素化して、引張ストレスを増加させる。

30

【0070】

その後、第1層間絶縁膜 320 上に所定厚さ(t_4-t_2)を有する第2層間絶縁膜 350 を形成できる。ここで、第2層間絶縁膜 350 は、厚さ(t_2)以上で形成されるのでNMOSトランジスタ 100 の電流駆動能力に大きい影響を及ぼさないので、第2層間絶縁膜 350 が有するストレスの大きさに拘らず、層間絶縁膜を厚さ(t_4)で形成できる。したがって、第2層間絶縁膜 350 は、第1層間絶縁膜 320 よりストレスの大きさが小さいことがある。すなわち、ストレスは、圧縮ストレスは負(-)の値であり、引張ストレスは正(+)であるので、第2層間絶縁膜 350 は第1層間絶縁膜 320 より小さな引張ストレスを有したり、圧縮ストレスを有してもよい。

40

【0071】

図6A及び図6Bは、本発明の第5及び第6実施形態による半導体装置の製造方法を説明するための断面図である。図1ないし図2Cと実質的に同一の構成要素については同一の図面符号を付し、該当構成要素についての詳細な説明は省略する。

【0072】

図6A及び図6Bを参照すれば、PMOSトランジスタ 200 のチャネル領域 246 には、圧縮ストレスを提供して初めて正孔移動度が向上する。ところが、本発明のように脱水素化された第1層間絶縁膜 320 は、PMOSトランジスタ 200 のチャネル領域 246 に引張

50

ストレスを提供するので、PMOSトランジスタ200の電流駆動能力を落とすことがある。

【0073】

本発明の第5実施形態による半導体装置5は、第1層間絶縁膜320を脱水素化した後(図1のS40参照)、図6AのようにNMOSトランジスタ100をカバーするマスクパターン350を用いてPMOSトランジスタ200上の脱水素化された第1層間絶縁膜320にゲルマニウム(Ge)及び/または窒素(N)をイオン注入410することによって、PMOSトランジスタ200上の脱水素化された第1層間絶縁膜320の引張ストレスを減らすことができる。

【0074】

本発明の第6実施形態による半導体装置6は、第1層間絶縁膜320を脱水素化する前に(図1のS40参照)、図6BのようにPMOSトランジスタ200をカバーするマスクパターン352を先に形成する。その後、第1層間絶縁膜320を脱水素化(例えば、脱水素化ガス雰囲気でのプラズマ処理404)して、NMOSトランジスタ100上の第1層間絶縁膜320にのみ引張ストレスを与えることができる。

【0075】

このような方式により、PMOSトランジスタ200の電流駆動特性も維持できる。

【0076】

以下、図7及び図8Aないし図8Eを参照して、本発明の第7実施形態による半導体装置の製造方法を説明する。図7は、本発明の第7実施形態による半導体装置の製造方法を説明するためのフローチャートであり、図8Aないし図8Eは、本発明の第7実施形態による半導体装置の製造方法を説明するための断面図である。

【0077】

図8Aないし図8Cによる本発明の第7実施形態による半導体装置の製造方法は、図2Aないし図2Cと実質的に同一なので詳細な説明は省略する。

【0078】

これにより、図7及び図8Aないし図8Cによる半導体装置の製造方法を簡単に説明すれば、NMOS及びPMOSトランジスタ100、200を形成し(S100)、NMOS及びPMOSトランジスタ100、200上に各々第1及び第2ライナ膜310、312を形成する(S200)。そして、第1及び第2ライナ膜310、312上に所定のストレスを有する第1層間絶縁膜320を形成する(S300)。

【0079】

以後、図7、図8D及び図8Eを参照して、第1層間絶縁膜320内にNMOS及びPMOSトランジスタ100、200をメタル配線と接続するためのコンタクト(contact)328を形成する(S400)。したがって、第1層間絶縁膜320は、メタル配線とメタル配線とを絶縁するためのメタル間絶縁膜(IMD; Inter-Metallic Dielectric)とは区別される。

【0080】

より詳細に説明すれば、図8Dに図示されたように第1層間絶縁膜320上にコンタクトホール(contact hole)322を形成するためのフォトレジストパターン(図示せず)を形成する。以後、フォトレジストパターン(図示せず)をエッチングマスクとしてゲート電極120、220及びソース/ドレイン領域160、260が露出されるまで第1層間絶縁膜320を部分エッチングしてコンタクトホール322を形成する。すなわち、各コンタクトホール322によってゲート電極120、220及び/またはソース/ドレイン領域160、260の表面が露出される。

【0081】

その後、図8Eに図示されたように、コンタクトホール322内に埋め込まれたコンタクト328を形成する。ここで、コンタクト328は、コンタクトホールに沿ってコンフォーマルに形成されたバリア膜324と金属膜326とからなる。

【0082】

バリア膜(barrier layer)324は、コンタクトホール322内に埋め立てされる金属膜の接触性を向上させるためのオーミック膜(adhesion)と金属物質が拡散されてシリコンと反応することを防止する拡散防止膜(diffusion barrier)を形成して完成する。このと

10

20

30

40

50

き、オーミック膜は、TiまたはTaなどのような高融点金属(refractory metal)をコンタクトホール表面に沿ってコンフォーマルに蒸着して形成することができ、拡散防止膜はオーミック膜表面に沿ってTiNまたはTa₂N₃などを蒸着して形成できる。

【0083】

以後、内壁にバリア膜324が形成されたコンタクトホール322内に金属物質を埋め込んでコンタクト328を完成する。ここで、コンタクト328は、コンタクトホール322内にW、CuまたはAlなどのような金属物質を蒸着して形成できる。

【0084】

引き続き、第1層間絶縁膜320の表面が露出されるまでCMP(Chemical Mechanical Polishing)またはエッチバック(etch back)などのような平坦化工程を実施できる。

10

【0085】

その後、図7及び図8Eを参照して、第1層間絶縁膜320を脱水素化させることでストレスを変化させる(S500)。

【0086】

より詳細に説明すれば、第1層間絶縁膜320内の水素イオンを除去する脱水素化工程を行うことで第1層間絶縁膜320内にボイド(void)が形成され、ボイドがストレスを変化させる。

【0087】

第1層間絶縁膜320を脱水素化する方法としては、脱水素化ガス雰囲気でのプラズマ処理、UV処理及び/または熱処理などの方法がある。そして、脱水素化ガスとしては、N₂、O₂、O₃、N₂O、H₂及び/またはD₂を含みうる。

20

【0088】

例えば、第1層間絶縁膜320としてO₃-TEOSを使って、脱水素化ガス雰囲気でのプラズマ処理、UV処理及び/または熱処理して脱水素化すれば、脱水素化された第1層間絶縁膜320内のSi-OHボンディングなどが減る。このように水素イオンが減れば、脱水素化された第1層間絶縁膜320内にボイドが形成され、このようなボイドは引張ストレスを増加させる。工程条件によって異なるが、脱水素化の前に、O₃-TEOS膜の引張ストレスは約10~100MPaであり、脱水素化の後にはO₃-TEOS膜の引張ストレスは約200MPa以上になりうる。

【0089】

また、脱水素化ガス雰囲気でのプラズマ処理、UV処理及び/または熱処理は多数回連続的に(sequentially)進行することができる。例えば、第1層間絶縁膜320をO₃プラズマ処理し、引き続きN₂プラズマ処理できる。また、第1層間絶縁膜320をO₃プラズマ処理して引き続きN₂熱処理することもできる。

30

【0090】

このように、第1層間絶縁膜320内にコンタクト328を形成し、第1層間絶縁膜320を脱水素化させることによって、コンタクト形成時に、第1層間絶縁膜320のストレスが減少したり、第1層間絶縁膜320への水分の浸透を防止できる。

【0091】

以下では、図8Eを参照して、本発明の第7実施形態による半導体装置について説明する。

40

【0092】

本発明の第7実施形態による半導体装置7は、NMOSトランジスタ100上に脱水素化された第1層間絶縁膜320が形成されているので、NMOSトランジスタの電流駆動能力が増加する。

【0093】

具体的に、第1層間絶縁膜320の引張ストレスが増加すれば、第1層間絶縁膜320下部の第1ライナ膜と当接しているNMOSトランジスタ100のソース/ドレイン領域160に圧縮ストレスが発生し、ソース/ドレイン領域160に隣接したチャネル領域146には引張ストレスが発生する。このようにチャネル領域146に引張ストレスが発生すれば、チャネル領域146での有効質量が減少して電子の移動度(mobility)が増加するのでNMOS

50

トランジスタ100の電流駆動能力が増加する。

【0094】

以下、図9を参照して、本発明の第8実施形態による半導体装置について詳しく説明する。図9は、本発明の第8実施形態による半導体装置を説明するための断面図である。図8Aないし図8Cと実質的に同一の構成要素については同一の図面符号を付し、該当構成要素についての詳細な説明は省略する。

【0095】

図9を参照すれば、本発明の第8実施形態による半導体装置8は、第1層間絶縁膜320内にコンタクト328を形成した後、第1層間絶縁膜320を脱水素化し、第1層間絶縁膜320上の水分及び/または外部イオンの侵入を防止するキャッピング層330をさら

10

【0096】

具体的に、脱水素化して第1層間絶縁膜320の引張ストレスの大きさを増加させても、多層の配線及び多層のメタル間絶縁膜(Inter Metallic Dielectric; IMD)を形成する後続工程中に水分及び/または外部イオンが第1層間絶縁膜320に侵入すれば、引張ストレスが再び小さくなりうる。例えば、第1層間絶縁膜320として使われる O_3 -TEOSは、後続工程中に吸湿される特性が強い。

【0097】

このような水分及び/または外部イオンは、第1ゲート絶縁膜110内に侵入してNMOSトランジスタ100のスレシヨルド(threshold voltage)の電圧レベルを変化させてドレインオフ電流(drain off current)を増加させるなど動作特性を低下させうる。したがって、水分及び/または外部イオンの第1層間絶縁膜320への侵入を防止するためのキャッピング層330を形成できる。

20

【0098】

このようなキャッピング層330は、第1層間絶縁膜320を脱水素化した後、インサイチュ(in-situ)で進行して形成することがより効果的である。このようなキャッピング層330としては、HDP(High Density Plasma)酸化膜、PE-TEOS(Plasma Enhanced-Tetra Ethyl Ortho Silicate)またはSiN、SiONなどを使うことができる。

【0099】

以上、添付された図面を参照して、本発明の実施形態を説明したが、当業者ならば本発明がその技術的思想や必須な特徴を変更せず、他の具体的な形態で実施されるということ

30

を理解できるであろう。したがって、前述した実施形態は、あらゆる面で例示的なものであり、限定的ではないということ

を理解しなければならない。

【0100】

本発明に関するより詳細な内容は、次の具体的な実験例を通じて説明し、ここに記載して

いない内容はこの技術分野で熟練された者なら十分に技術的に類推できるものなので説明を省略する。

【0101】

<実験例1>
NMOSトランジスタ上に所定引張ストレスを有するライナ膜を形成し、ライナ膜上に第1層間絶縁膜として O_3 -TEOS膜を形成した後、第1層間絶縁膜をFT-IR(Fourier Transform-Infrared Spectrometers)を用いて成分を分析した。引き続き、NMOSトランジスタ上に形成された第1層間絶縁膜を O_3 プラズマ処理した後、第1層間絶縁膜のFT-IRを用いて成分を分析した。その結果が図10に図示されている。

40

【0102】

図10のx軸は波長(cm^{-1})であり、y軸は吸収度(absorbance)を表わす。FT-IRは、分子中に赤外線(infrared)を照射して分子内原子間の結合構造による固有な震動エネルギー領域の波長(約4000~400 cm^{-1} の範囲)を吸収した後また放出するが、このような変化を測定して成分を分析する。図面符号aは O_3 プラズマ処理する前の結果であり、図面符号bは O_3 プラズマ処理した後の結果を表わす。aとbとを比べると、OH(H_2O 、Si-OH)と、Si-OHピーク(pe

50

ak)が低くなったことが分かる。したがって、第1層間絶縁膜を O_3 プラズマ処理すれば、水素イオンの濃度が低くなる事が分かる。

【0103】

<実験例2>

第1ないし第4NMOSトランジスタ上に所定引張ストレスを有するライナ膜を形成し、ライナ膜上に第1層間絶縁膜として O_3 -TEOS膜を形成した後、第1層間絶縁膜のストレス大きさを各々測定した(As-Depo)。引き続き、第1ないし第4NMOSトランジスタ上に形成された第1層間絶縁膜を各々 NH_3 プラズマ処理、 O_3 プラズマ処理、 N_2 プラズマ処理、 O_3 プラズマ処理後、 N_2 プラズマ処理して、第1層間絶縁膜のストレス大きさを各々測定した(Treatment)。その結果が、図11にともて図示されている。

10

【0104】

図11のx軸はプラズマ処理の種類を表わし、y軸は引張ストレスの大きさを表わす。 NH_3 プラズマ処理は、第1層間絶縁膜内の水素イオンを除去するのに効果的ではないので、 NH_3 プラズマ処理前後の引張ストレスの増加が微々たる事が分かる。一方、 O_3 プラズマ処理、 N_2 プラズマ処理、 O_3 プラズマ処理後、 N_2 プラズマ処理した場合、処理の前には約10MPaであったが、処理後には各々約210MPa、330MPa、370MPaに増加した事が分かる。すなわち、 O_3 プラズマ処理、 N_2 プラズマ処理などは、第1層間絶縁膜内の水素イオンを除去するのに効果的である事が分かる。

【0105】

<実験例3>

20

シミュレーションプログラムにNMOSトランジスタ上に所定の引張ストレスを有するライナ膜を位置し、ライナ膜上に所定の引張ストレスを有した第1層間絶縁膜が位置するように設定した。その後、第1層間絶縁膜の厚さを変更させながら、それによる電子の移動度変化(mobility change)をシミュレーションした。その結果が、図12に図示されている。

【0106】

図12のx軸は t_2/t_1 (但し、 t_1 は、NMOSトランジスタのゲート絶縁膜、ゲート電極及びライナ膜の総厚さ、 t_2 は、ライナ膜及び脱水素化された第1層間絶縁膜の総厚さ)であり、y軸は標準化された電子の移動度変化である。 $t_2/t_1 > 1.14$ で電子の移動度がそれ以上増加しない事が分かる。したがって、第1層間絶縁膜を脱水素化させ、NMOSトランジスタの電流駆動能力を最大化させるためには $t_2/t_1 > 1.14$ を満足しなければならない事が分かる。

30

【産業上の利用可能性】

【0107】

動作特性を向上させるための半導体装置及びその製造方法に適用されうる。

【図面の簡単な説明】

【0108】

【図1】本発明の第1実施形態による半導体装置の製造方法を説明するためのフローチャートである。

【図2A】本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

40

【図2B】本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

【図2C】本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

【図2D】本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

【図3】本発明の第2実施形態による半導体装置の製造方法を説明するための断面図である。

【図4】本発明の第3実施形態による半導体装置の製造方法を説明するための断面図であ

50

る。

【図5】本発明の第4実施形態による半導体装置の製造方法を説明するための断面図である。

【図6A】本発明の第5及び第6実施形態による半導体装置の製造方法を説明するための断面図である。

【図6B】本発明の第5及び第6実施形態による半導体装置の製造方法を説明するための断面図である。

【図7】本発明の第7実施形態による半導体装置の製造方法を説明するためのフローチャートである。

【図8A】本発明の第7実施形態による半導体装置の製造方法を説明するための断面図である。

10

【図8B】本発明の第7実施形態による半導体装置の製造方法を説明するための断面図である。

【図8C】本発明の第7実施形態による半導体装置の製造方法を説明するための断面図である。

【図8D】本発明の第7実施形態による半導体装置の製造方法を説明するための断面図である。

【図8E】本発明の第7実施形態による半導体装置の製造方法を説明するための断面図である。

【図9】本発明の第8実施形態による半導体装置を説明するための断面図である。

20

【図10】NMOSトランジスタ上に O_3 -TEOS膜を形成し、 O_3 プラズマ処理前後の O_3 -TEOS膜成分変化をFT-IRを用いて分析した結果である。

【図11】多数のNMOSトランジスタ上に O_3 -TEOS膜を形成し、 NH_3 プラズマ処理、 O_3 プラズマ処理、 N_2 プラズマ処理、 O_3 プラズマ処理後、 N_2 プラズマ処理前後の O_3 -TEOS膜のストレス大きさを各々測定した結果である。

【図12】NMOSトランジスタ上の第1層間絶縁膜の厚さによる電子の移動度変化をシミュレーションした結果である。

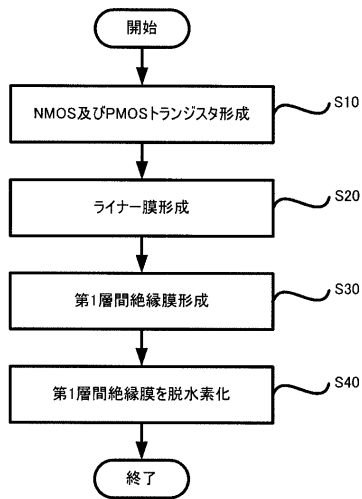
【符号の説明】

【0109】

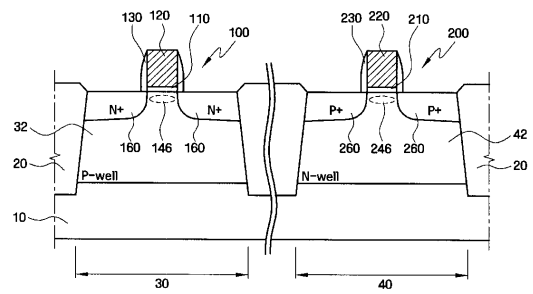
1	半導体装置	30
10	半導体基板	
20	素子分離領域	
30	第1アクチブ領域	
32	Pウェル	
40	第2アクチブ領域	
42	Nウェル	
100	NMOSトランジスタ	
110	第1ゲート絶縁膜	
120	第1ゲート電極	
130	スペーサ	40
146	チャンネル領域	
160	ソース/ドレイン領域	
200	PMOSトランジスタ	
210	第2ゲート絶縁膜	
220	第2ゲート電極	
230	スペーサ	
246	チャンネル領域	
260	ソース/ドレイン領域	
310	第1ライナ膜	
312	第2ライナ膜	50

3 2 0 第1層間絶縁膜
4 0 0 プラズマ処理

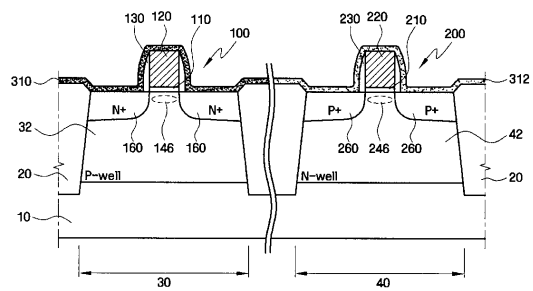
【図1】



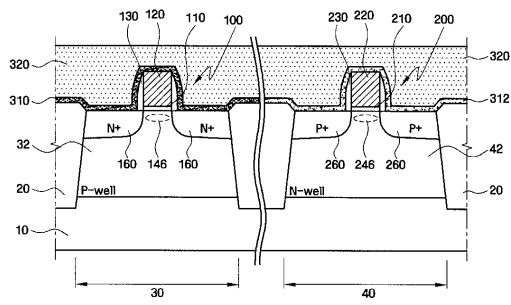
【図2A】



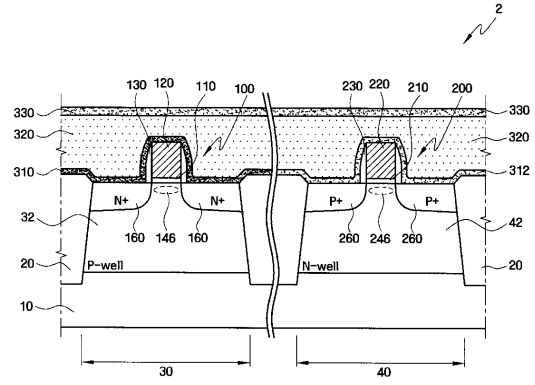
【図2B】



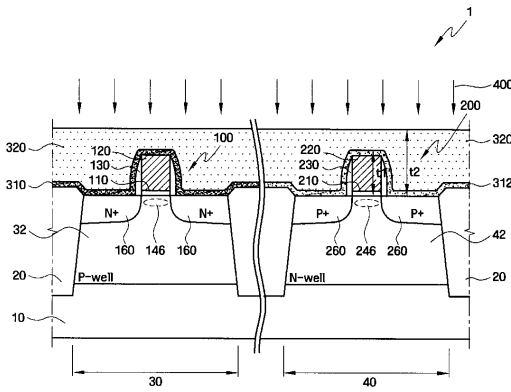
【図 2 C】



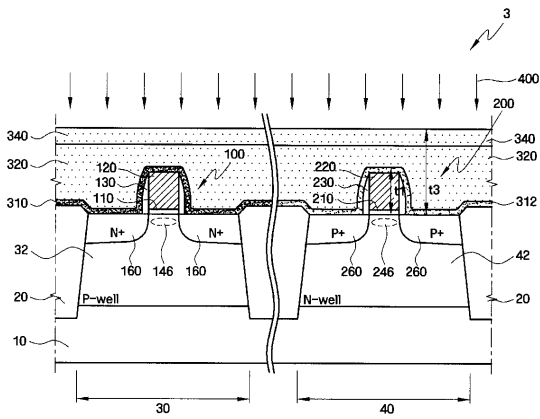
【図 3】



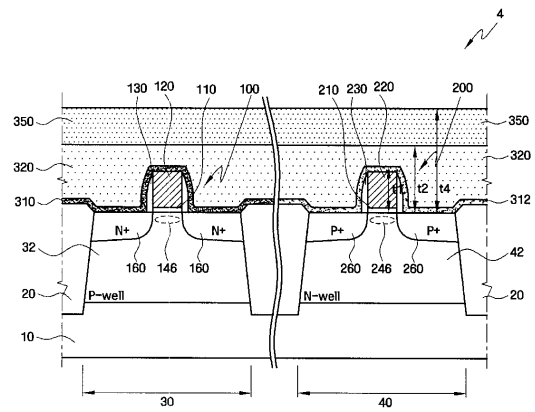
【図 2 D】



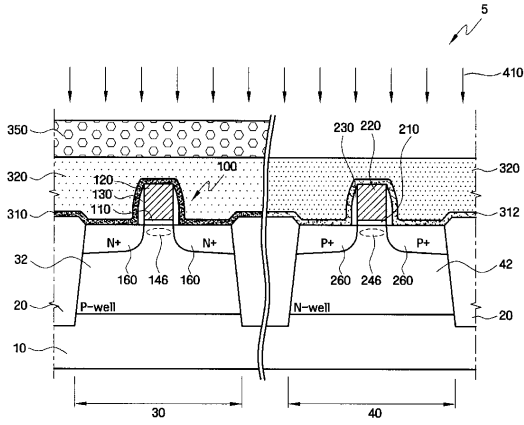
【図 4】



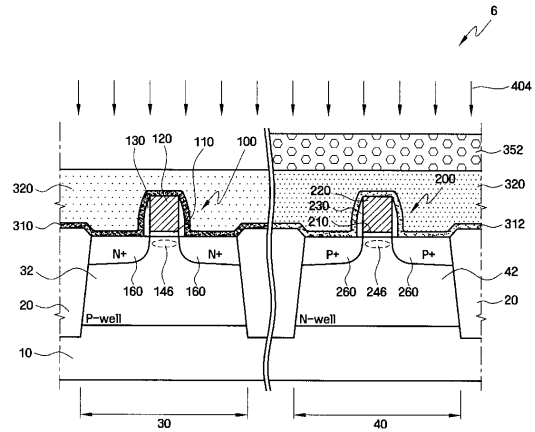
【図 5】



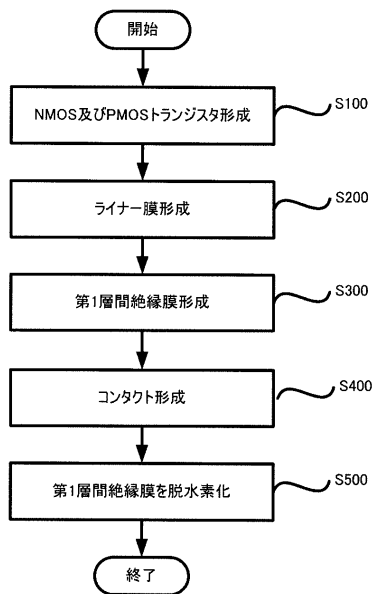
【図6A】



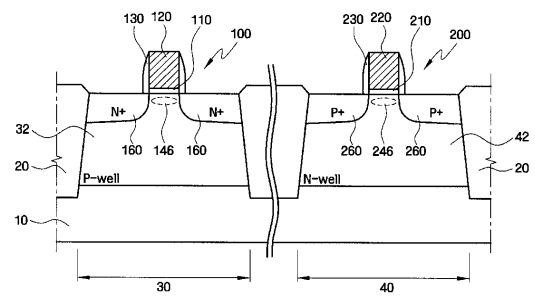
【図6B】



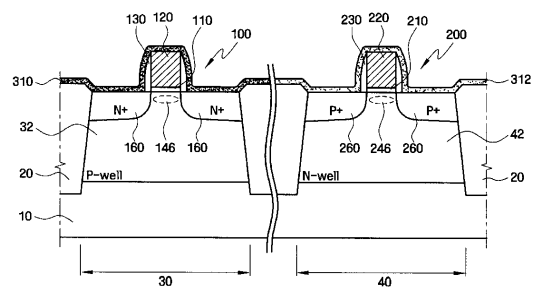
【図7】



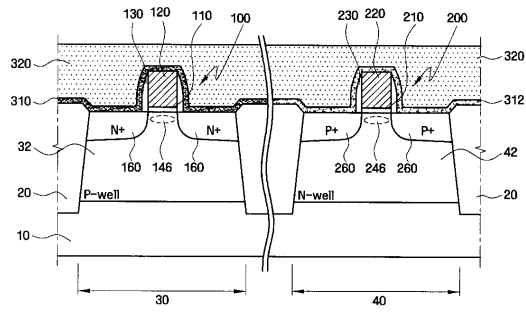
【図8A】



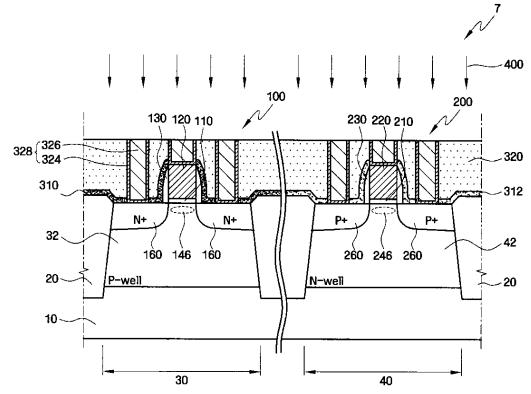
【図8B】



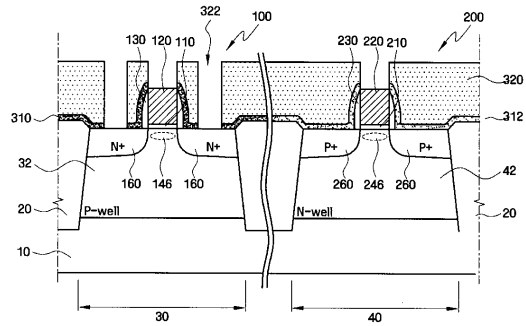
【 8 C 】



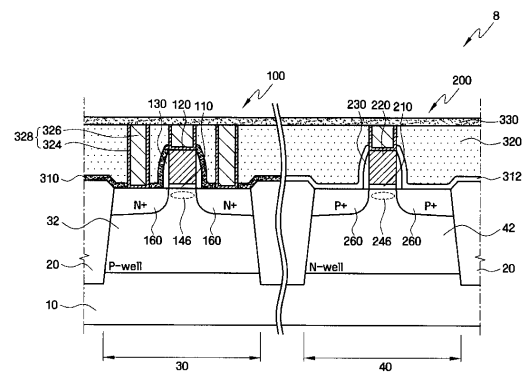
【 8 E 】



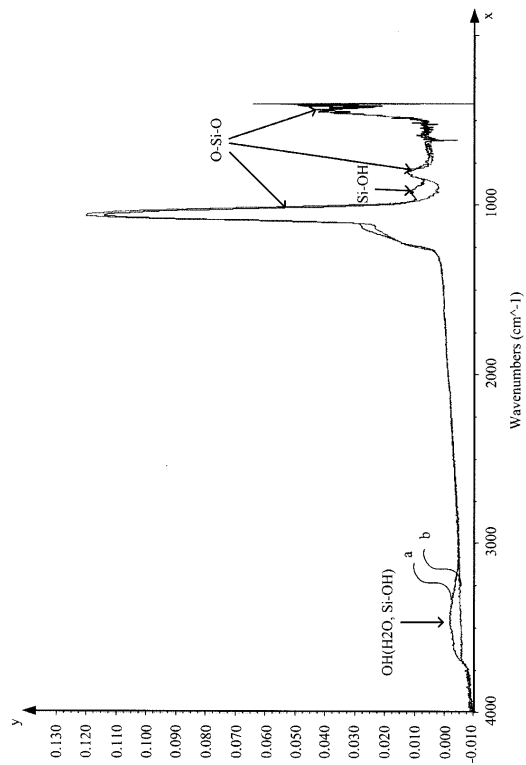
【 8 D 】



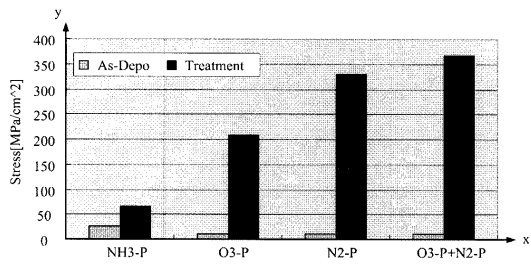
【 9 】



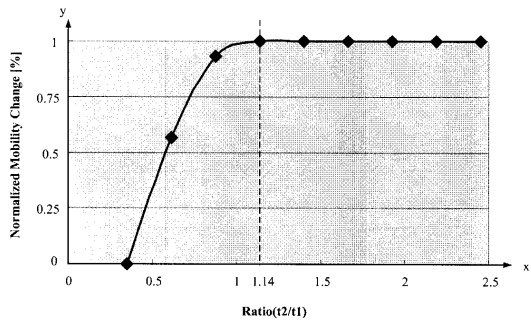
【 1 0 】



【 1 1 】



【 1 2 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/092 (2006.01) H 0 1 L 29/78 6 1 9 A
H 0 1 L 29/786 (2006.01)

(72)発明者 アンドリュー テ キム
大韓民国京畿道龍仁市豊徳川2洞 三星5次アパート509棟104号

(72)発明者 申 東 石
大韓民国京畿道龍仁市器興区書川洞 現代アパート現代ホームタウン108棟601号

審査官 宇多川 勉

(56)参考文献 国際公開第02/043151(WO, A1)
特開平04-345069(JP, A)
特開平03-248569(JP, A)
特開平08-213383(JP, A)
特開昭57-030337(JP, A)
特開2000-164716(JP, A)
特開2001-250956(JP, A)
特開2000-188290(JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 1 / 8 2 3 8
H 0 1 L 2 3 / 5 2 2
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 8 6