

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5758605号
(P5758605)

(45) 発行日 平成27年8月5日(2015.8.5)

(24) 登録日 平成27年6月12日(2015.6.12)

(51) Int.Cl.

F 1

H01L 23/12	(2006.01)
H01L 21/3205	(2006.01)
H01L 21/768	(2006.01)
H01L 23/522	(2006.01)
H01L 25/00	(2006.01)

H01L	23/12	5 O 1 P
H01L	21/88	T
H01L	25/00	B

請求項の数 7 (全 17 頁)

(21) 出願番号

特願2010-220481 (P2010-220481)

(22) 出願日

平成22年9月30日 (2010.9.30)

(65) 公開番号

特開2012-79725 (P2012-79725A)

(43) 公開日

平成24年4月19日 (2012.4.19)

審査請求日

平成25年8月5日 (2013.8.5)

(73) 特許権者 506108550

株式会社テラプローブ

神奈川県横浜市港北区新横浜二丁目7番1
7号

(74) 代理人 110001254

特許業務法人光陽国際特許事務所

(72) 発明者 新井 一能

東京都青梅市今井3丁目10番地の6 カ
シオ計算機株式会社青梅事業所 第一工場
内

審査官 原田 貴志

最終頁に続く

(54) 【発明の名称】半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

集積回路を有するとともに複数の端子を上面に有する半導体チップと、
前記半導体チップ上に積層された多層配線構造と、
前記多層配線構造内に埋設された電子部品と、を備え、
前記半導体チップは、半導体基板、当該半導体基板を覆うパッシベーション膜、当該パ
ッシベーション膜上の内部配線及び当該内部配線を覆い前記端子を上面に露出させた樹脂
封止層を有し、

前記多層配線構造は、平面視における前記半導体チップの外縁の内側において前記樹脂
封止層上に交互に積層された複数の絶縁層及び複数の配線パターンを有するとともに、最
下層に前記樹脂封止層を覆う絶縁層を含み、

前記複数の配線パターン及び前記電子部品は、平面視における前記半導体チップの外縁
の内側に配置され、

前記多層配線構造は、前記絶縁層を貫通するよう前記絶縁層に設けられ、前記複数の配
線パターンを導通させる層間接続導体を更に有しており、

前記半導体チップの前記端子と前記電子部品の端子とが前記配線パターン及び前記層間
接続導体を介して導通しており、

前記複数の絶縁層が、プリプレグを硬化させることにより形成された絶縁層を含み、

前記複数の絶縁層のうち前記電子部品が埋設された絶縁層は、プリプレグを硬化させること
により形成された絶縁層であり、当該絶縁層上に配線パターンが形成されていること

を特徴とする半導体装置。

【請求項 2】

集積回路を有するとともに複数の端子を上面に有する半導体チップと、
前記半導体チップ上に積層された多層配線構造と、
前記多層配線構造内に埋設された電子部品と、を備え、
前記多層配線構造は、平面視における前記半導体チップの外縁の内側においてパッシベーション膜上に交互に積層された複数の絶縁層及び複数の配線パターンを有し、
前記複数の配線パターン及び前記電子部品は、平面視における前記半導体チップの外縁の内側に配置され、
前記多層配線構造は、前記絶縁層を貫通するよう前記絶縁層に設けられ、前記複数の配線パターンを導通させる層間接続導体を更に有しており、
前記半導体チップの前記端子と前記電子部品の端子とが前記配線パターン及び前記層間接続導体を介して導通しており、
前記複数の絶縁層が、プリプレグを硬化させることにより形成された絶縁層を含み、
前記複数の絶縁層のうち前記電子部品が埋設された絶縁層よりも下層の絶縁層が、プリプレグを硬化させることにより形成された絶縁層であることを特徴とする半導体装置。

【請求項 3】

前記プリプレグは纖維強化樹脂を半硬化させたものであることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記複数の配線パターンのうち前記電子部品よりも下層に形成された配線パターンは、平面視して前記電子部品の内側から外側にまで及ぶように形成されており、当該配線パターンがプリプレグを硬化させることにより形成された絶縁層により覆われた部分上に前記電子部品が配置されていることを特徴とする請求項 1 乃至 3 の何れか一項に記載の半導体装置。

【請求項 5】

集積回路を有するとともに複数の端子を上面に有する半導体ウエハの上面の上に絶縁層と配線パターンを交互に積層することによって、これら絶縁層と配線パターンとからなる多層配線構造を形成するとともに、前記多層配線構造を形成するに際して電子部品を前記多層配線構造に埋め込む第一工程と、

前記半導体ウエハをチップサイズに切り分ける第二工程と、を備え、
前記第一工程は、プリプレグを熱圧着により硬化させることによってそのプリプレグから前記電子部品を埋設する絶縁層を形成する工程と、当該プリプレグによる絶縁層上に配線パターンをパターニング形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 6】

前記第一工程後に、前記半導体ウエハの裏面を研削して前記半導体ウエハを薄型化する工程を更に備え、

前記第一工程は、前記電子部品を埋設する絶縁層にビアを形成し、層間接続導体を前記ビア内に形成して当該絶縁層に貫通させるように設けて、前記層間接続導体によって前記複数の配線パターンを導通させる工程を有し、

前記電子部品を埋設する絶縁層の前記ビア内に前記層間接続導体を成長させるとともに当該絶縁層上に配線パターンとなる導体膜を成長させることにより前記層間接続導体と前記配線パターンとを一体形成することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第一工程は、前記電子部品と異なる形状の別の電子部品を前記複数の絶縁層のうち前記電子部品が埋設された絶縁層に埋設する工程を有することを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】**【0001】**

本発明は、半導体装置及びその製造方法に関する。

【背景技術】**【0002】**

特許文献1には、複数の半導体チップが埋設されたSIP (System In Package)型の半導体パッケージ(半導体装置)が記載されている。特許文献1に記載されているように、回路が形成されていない基板(1)の上に2層の絶縁層(6, 7)が積層され、それぞれの絶縁層(6, 7)の上に配線(9, 13)がパターニングされ、ペアチップ(5)が下層の絶縁層(6)に埋設され、更に上層の絶縁層(6, 7)の上に厚いバッファ層(17)が積層され、酸化シリコン膜(16d)のみで保護された別のペアチップ(16)がバッファ層(17)に埋設されている。10

【先行技術文献】**【特許文献】****【0003】**

【特許文献1】特開2008-047734号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

特許文献1に記載の技術では、基板(1)の上に積層された絶縁層(6)やバッファ層(17)にチップ(5, 13)が埋設されているから、半導体パッケージが厚くなってしまう。20

また、基板(1)はウエハを切り分けたものである。チップ(5)をウエハの上に搭載した後、最後にウエハを切断するから、切り分けられた基板(1)のサイズはチップ(5)のサイズよりも大きくなる。そのため、半導体パッケージのサイズも大型化してしまう。

そこで、本発明が解決しようとする課題は、半導体パッケージ等の半導体装置の薄型化及び小型化を図ることである。

【課題を解決するための手段】**【0005】**

以上の課題を解決するために、本発明に係る半導体装置は、集積回路を有するとともに複数の端子を上面に有する半導体チップと、前記半導体チップ上に積層された多層配線構造と、前記多層配線構造内に埋設された電子部品と、を備え、前記半導体チップは、半導体基板、当該半導体基板を覆うパッシベーション膜、当該パッシベーション膜上の内部配線及び当該内部配線を覆い前記端子を上面に露出させた樹脂封止層を有し、前記多層配線構造は、平面視における前記半導体チップの外縁の内側において前記樹脂封止層上に交互に積層された複数の絶縁層及び複数の配線パターンを有するとともに、最下層に前記樹脂封止層を覆う絶縁層を含み、前記複数の配線パターン及び前記電子部品は、平面視における前記半導体チップの外縁の内側に配置され、前記多層配線構造は、前記絶縁層を貫通するよう前記絶縁層に設けられ、前記複数の配線パターンを導通させる層間接続導体を更に有しており、前記半導体チップの前記端子と前記電子部品の端子とが前記配線パターン及び前記層間接続導体を介して導通しており、前記複数の絶縁層が、プリプレグを硬化させることにより形成された絶縁層を含み、前記複数の絶縁層のうち前記電子部品が埋設された絶縁層は、プリプレグを硬化させることにより形成された絶縁層であり、当該絶縁層上有配線パターンが形成されている。40

【0006】

本発明に係る半導体装置は、集積回路を有するとともに複数の端子を上面に有する半導体チップと、前記半導体チップ上に積層された多層配線構造と、前記多層配線構造内に埋設された電子部品と、を備え、前記多層配線構造は、平面視における前記半導体チップの外縁の内側においてパッシベーション膜上に交互に積層された複数の絶縁層及び複数の配50

線パターンを有し、前記複数の配線パターン及び前記電子部品は、平面視における前記半導体チップの外縁の内側に配置され、前記多層配線構造は、前記絶縁層を貫通するよう前記絶縁層に設けられ、前記複数の配線パターンを導通させる層間接続導体を更に有しており、前記半導体チップの前記端子と前記電子部品の端子とが前記配線パターン及び前記層間接続導体を介して導通しており、前記複数の絶縁層が、プリプレグを硬化させることにより形成された絶縁層を含み、前記複数の絶縁層のうち前記電子部品が埋設された絶縁層よりも下層の絶縁層が、プリプレグを硬化させることにより形成された絶縁層である。

【0008】

本発明に係る半導体装置の製造方法は、集積回路を有するとともに複数の端子を上面に有する半導体ウエハの上面の上に絶縁層と配線パターンを交互に積層することによって、これら絶縁層と配線パターンとからなる多層配線構造を形成するとともに、前記多層配線構造を形成するに際して電子部品を前記多層配線構造に埋め込む第一工程と、前記半導体ウエハをチップサイズに切り分ける第二工程と、を備え、前記第一工程は、プリプレグを熱圧着により硬化させることによってそのプリプレグから前記電子部品を埋設する絶縁層を形成する工程と、当該プリプレグによる絶縁層上に配線パターンをパターニング形成する工程とを含む。

10

【発明の効果】

【0009】

本発明によれば、半導体装置の薄型化及び小型化を図ることができる。

【図面の簡単な説明】

20

【0010】

【図1】本発明の実施形態に係る半導体装置の斜視図。

【図2】同実施形態に係る半導体装置の断面図。

【図3】同実施形態に係る半導体チップを一部破断した状態で示した斜視図。

【図4】同実施形態に係る電子部品を一部破断した状態で示した斜視図。

【図5】同実施形態に係る半導体装置を製造する方法の一工程における断面図。

【図6】図5の工程の後の工程における断面図。

【図7】図6の工程の後の工程における断面図。

【図8】図7の工程の後の工程における断面図。

【図9】図8の工程の後の工程における断面図。

30

【図10】図9の工程の後の工程における断面図。

【図11】図10の工程の後の工程における断面図。

【図12】図11の工程の後の工程における断面図。

【図13】図12の工程の後の工程における断面図。

【図14】図13の工程の後の工程における断面図。

【図15】図14の工程の後の工程における断面図。

【図16】図15の工程の後の工程における断面図。

【図17】図16の工程の後の工程における断面図。

【図18】図17の工程の後の工程における断面図。

【図19】図18の工程の後の工程における断面図。

40

【図20】変形例に係る半導体装置の断面図。

【発明を実施するための形態】

【0011】

以下に、本発明を実施するための形態について、図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、本発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0012】

図1は、半導体装置1の斜視図である。図2は、半導体装置1の断面図である。

【0013】

図1、図2に示すように、半導体装置1は、SIP (System In Package) であって、

50

半導体チップ 10、多層配線構造 30 及び電子部品 60, 80 等を備えるものである。多層配線構造 30 が半導体チップ 10 の表側の面 10a の上に積層され、電子部品 60, 80 が多層配線構造 30 内に埋設されている。

【 0 0 1 4 】

まず、図 2、図 3 を参照して、半導体チップ 10 について詳細に説明する。図 3 は、半導体チップ 10 の一部を破断した状態で示した斜視図である。図 3 では、半導体チップ 10 の上に多層配線構造 30 が積層されていない状態を示す。

【 0 0 1 5 】

半導体チップ 10 は、チップサイズにパッケージしたものであって、いわゆる C S P (Chip Size Package) である。特に、この半導体チップ 10 は、個片化する前の半導体ウエハの表面を樹脂によって封止した後に、それをチップサイズに個片化したものである。つまり、半導体チップ 10 は、C S P の中でも特に W L P (Wafer Level Package) である。

【 0 0 1 6 】

半導体チップ 10 は、半導体基板 11、パッシベーション膜 13、絶縁膜 14、封止層 16、内部配線 20 及びアウター端子 26 等を備える。

【 0 0 1 7 】

半導体基板 11 は、シリコンといった半導体材料等からなる。半導体基板 11 の表側の表層には、集積回路が形成されている。半導体基板 11 の表側の面の上には、複数のインナー端子 12 が形成されている。インナー端子 12 は、半導体基板 11 の表層に形成された集積回路の配線の一部であったり、各種電気素子（例えば、ダイオード、トランジスタ、抵抗、コンデンサ等）の電極であったりする。

【 0 0 1 8 】

半導体基板 11 の表側の面が、パッシベーション膜 13 によって被覆されている。パッシベーション膜 13 は、酸化シリコン又は窒化シリコンを含有する。パッシベーション膜 13 が、絶縁膜 14 によって被覆されている。絶縁膜 14 は、エポキシ系樹脂、ポリイミド系樹脂その他の樹脂を含有する。例えば、絶縁膜 14 には、ポリイミド (P I)、ポリベンゾオキサゾール (P B O)、エポキシ系、フェノール系、シリコン系等のプラスチック材料又はこれらの複合材料等を用いることができる。

【 0 0 1 9 】

パッシベーション膜 13 及び絶縁膜 14 のうちインナー端子 12 に重なる位置には、開口 15 が形成されている。インナー端子 12 の一部又は全体が開口 15 内に位置しており、インナー端子 12 の一部又は全体がパッシベーション膜 13 及び絶縁膜 14 によって覆われていない。なお、絶縁膜 14 が形成されていなくてもよい。

【 0 0 2 0 】

内部配線 20 が、絶縁膜 14 上（絶縁膜 14 が無い場合には、パッシベーション膜 13 上）に形成されている。内部配線 20 は、下地 21 と導体層 22 の積層体であり、下地 21 は絶縁膜 14 上（絶縁膜 14 が無い場合には、パッシベーション膜 13 上）に形成され、導体層 22 は下地 21 上に形成されている。下地 21 は、導体からなる。例えば、下地 21 は、銅 (C u) の薄膜、チタン (T i) の薄膜、チタンに銅を積層した薄膜その他の金属薄膜である。導体層 22 は、シード層上に成長したメッキをパターニングしたものである。導体層 22 は、銅その他の金属からなる。平面視した場合の導体層 22 の形状と下地 21 の形状がほぼ同じである。導体層 22 は、下地 21 よりも厚い。なお、内部配線 20 が導体の積層体でなくてもよい。例えば、内部配線 20 は導体の単層であってもよいし、更に多くの導体層を積層したものでもよい。

【 0 0 2 1 】

内部配線 20 がインナー端子 12 に接続されている。具体的には、内部配線 20 が開口 15 の上を横切り、内部配線 20 の下地 21 の一部がインナー端子 12 上に積層されている。内部配線 20 の数がインナー端子 12 の数よりも多くてもよいし、少なくてよいし、等しくてもよい。1 本の内部配線 20 に接続されるインナー端子 12 の数は 1 又は 2 以

10

20

30

40

50

上である。1本の内部配線20につき1つのインナー端子12が接続されることが好ましい。

【0022】

内部配線20の一部(例えば、端部)がランド23となっており、内部配線20とランド23が一体形成されて、内部配線20とランド23が接続されている。ランド23上には、アウター端子26が形成され、内部配線20がアウター端子26に接続されている。そのため、アウター端子26は、内部配線20によってインナー端子12に導通している。1本の内部配線20に接続されるアウター端子26の数は、1又は2以上である。1本の内部配線20につき1つのアウター端子26が接続されることが好ましい。また、1つのアウター端子26につき1つのインナー端子12が内部配線20によって導通することが更に好ましい。10

【0023】

アウター端子26は、突起状に設けられた柱状電極である。アウター端子26は、銅その他の金属からなる。アウター端子26の高さ(厚さ)は、導体層22の厚さよりも大きい。なお、図3では、アウター端子26が縦6列×横6列の格子状に配列されているが、アウター端子26の配列及び数はこれに限るものではない。

【0024】

遮光性の封止層16が絶縁膜14上に形成され、内部配線20が封止層16によって覆われている。アウター端子26の上面が封止層16によって覆われていないが、アウター端子26の周側面が封止層16によって覆われて保護されている。封止層16の表面が、アウター端子26の上面と面一に設けられているか、又は、アウター端子26の上面よりも僅かに高い位置にある。20

封止層16は、エポキシ系樹脂、ポリイミド系樹脂その他の絶縁性樹脂を含有し、好ましくは、絶縁性樹脂(エポキシ系樹脂、ポリイミド系樹脂等)にフィラー(例えば、ガラスフィラーラー)を配合した繊維強化樹脂からなる。

【0025】

なお、半導体チップ10はLGA方式のパッケージであってもよい。つまり、端子となるランドが半導体チップ10の表側の面10aに格子状に配列されていてもよい。

【0026】

図1、図2を参照して多層配線構造30について説明する。30

多層配線構造30は配線パターン31～34及び絶縁層41～44を有する。絶縁層41、絶縁層42、絶縁層43及び絶縁層44が、半導体チップ10から絶縁層41、絶縁層42、絶縁層43、絶縁層44の順に半導体チップ10の表側の面10a上に積層されている。配線パターン31が絶縁層41と絶縁層42との間に、配線パターン32が絶縁層42と絶縁層43との間に、配線パターン33が絶縁層43と絶縁層44との間にそれぞれ位置し、配線パターン34が絶縁層44上に形成されている。配線パターン31と配線パターン32が絶縁層42によって、配線パターン32と配線パターン33が絶縁層43によって、配線パターン33と配線パターン34が絶縁層44によってそれぞれ隔てられている。

【0027】

絶縁層41～44の縁と半導体チップ10の周側面10cが揃っており、多層配線構造30の周側面30cが半導体チップ10の周側面10cに揃っている。40

【0028】

絶縁層44には複数のピアが開けられており、ピア内に層間接続導体54が埋め込まれて、層間接続導体54が絶縁層44を貫通して、層間接続導体54により配線パターン34と配線パターン33が導通している。同様に、絶縁層43を貫通した層間接続導体53により配線パターン33と配線パターン32が、絶縁層42を貫通した層間接続導体52により配線パターン32と配線パターン31が、それぞれ導通している。

【0029】

層間接続導体54と配線パターン34が一体形成され、層間接続導体53と配線パター50

ン33が一体形成され、層間接続導体54と配線パターン32が一体形成されている。これらは別体に形成されて、互いに接触していてもよい。

【0030】

また、絶縁層41にはアウター端子26に至る複数のビアが開けられており、ビア内に層間接続導体51が埋め込まれて、層間接続導体51が絶縁層41を貫通して、層間接続導体51により配線パターン31とアウター端子26が導通している。

【0031】

配線パターン31, 32, 33, 34及び層間接続導体51, 52, 53, 54は銅その他の金属からなる。絶縁層41, 42, 43, 44は、エポキシ系樹脂、ポリイミド系樹脂その他の絶縁性樹脂を含有し、好ましくは、ガラス纖維強化工ポキシ樹脂、ガラス布基材エポキシ樹脂、カーボン纖維強化工ポキシ樹脂、カーボン布基材エポキシ樹脂を、ガラス纖維強化ポリイミド樹脂、ガラス布基材ポリイミド樹脂、カーボン纖維強化ポリイミド樹脂、カーボン布基材ポリイミド樹脂その他の纖維強化樹脂からなる。なお、図2では、多層配線構造30が4層の絶縁層41, 42, 43, 44及び4層の配線パターン31, 32, 33, 34を有するものであったが、多層配線構造30の絶縁層及び配線パターンの層数は2以上であればよい。

【0032】

以上のような多層配線構造30には、電子部品60, 80が埋設されている。より具体的には、電子部品60, 80は絶縁層44に埋設されている。電子部品60は、半導体チップである。電子部品60は、ベアチップでもよいし、パッケージ化したものでもよい。電子部品60がパッケージ化した半導体チップである場合、電子部品60のパッケージ方式は問わない。

【0033】

電子部品60がCSPの中でも特にWLPである場合、電子部品60は図4に示すように構成されている。図4は、電子部品60の一部を破断した状態で示した斜視図である。図4に示すように、電子部品60は、半導体基板61、パッシベーション膜63、絶縁膜64、封止層66、内部配線70及びアウター端子76等を備える。電子部品60と半導体チップ10は、アウター端子76の数、内部配線70の形状及び位置、半導体基板61に形成された集積回路等が相違するだけ、電子部品60が半導体チップ10と同様にWLPであるので、電子部品60の詳細な説明については省略する。電子部品60のサイズは半導体チップ10のサイズよりも小さい。なお、図4では、アウター端子76が縦3列×横3列の格子状に配列されているが、アウター端子76の配列及び数はこれに限るものではない。

【0034】

図2に示すように、電子部品60は絶縁層43の上にダイボンディングされている。具体的には、導体からなる下地35が絶縁層43上に形成されており、電子部品60の裏側の面60bと下地35との間に接着剤69が挟まれ、接着剤69が電子部品60の裏側の面60bと下地35に固着している。下地35は、配線パターン33とともにパターニングされたものである。下地35と配線パターン33が互いに離間して、下地35と配線パターン33が導通していない。なお、下地35が無く、接着剤69が絶縁層43に直接固着していてもよい。

【0035】

絶縁層44は、電子部品60全体を被覆するようにして絶縁層43上に成膜されており、電子部品60は、絶縁層44に埋設されている。

【0036】

図4に示すように、電子部品60の裏側の面60bには端子が形成されておらず、表側の面60aでは、アウター端子76の上面が露出している。そのため、アウター端子76は、配線パターン33に接続されていない。一方、図2に示すように、絶縁層44には複数のビアが開けられており、ビア内に層間接続導体55が埋め込まれて、層間接続導体55が絶縁層44を貫通して、層間接続導体55により配線パターン34とアウター端子7

10

20

30

40

50

6が導通している。

【0037】

なお、電子部品60の表側の面60aが絶縁層43に向いた状態で、電子部品60がフリップチップ方式等によって絶縁層43の上に表面実装されていてもよい。この場合、下地35が無く、配線パターン33が電子部品60の下にまで及ぶようにパターニングされ、アウター端子76が例えば半田、導電性ペースト、導電性シート、異方導電性ペースト又は異方導電性ペースによって配線パターン33に導通している。アウター端子76が配線パターン33に導通しているので、層間接続導体55が無く、層間接続導体55が埋め込まれるビアも絶縁層44に開けられていない。

【0038】

電子部品80は、能動部品（例えば、ダイオード、トランジスタ）又は受動部品（例えば、抵抗器、コンデンサ）である。また、電子部品80は、チップ抵抗器、チップコンデンサ、チップダイオード、チップトランジスタその他の表面実装型チップ部品である。電子部品80の表側の面80aと裏側の面60bには、それぞれ端子が設けられている。電子部品80の裏側の面80bが絶縁層43に向いた状態で、電子部品80が配線パターン33上にダイボンディングされ、裏側の面80bに設けられた端子が配線パターン33に導通している。

【0039】

絶縁層44は、電子部品80全体を被覆するようにして絶縁層43上に成膜されており、電子部品80は、絶縁層44に埋設されている。絶縁層44にはビアが開けられており、ビア内に層間接続導体56が埋め込まれて、層間接続導体56が絶縁層44を貫通して、電子部品80の表側の面80aに設けられた端子と配線パターン34が層間接続導体56により導通している。

【0040】

絶縁層44及び配線パターン34がオーバーコート層90によって被覆されている。オーバーコート層90に複数の開口が形成され、開口内に半田バンプ92が形成されて、半田バンプ92が配線パターン34に固着されている。図1に示すように、半田バンプ92が縦5列×横5列の格子状に配列されているが、半田バンプ92の配列及び数はこれに限るものではない。なお、半田バンプ92が無くてもよい。

【0041】

図2に示すように、電子部品60と電子部品80が同じ絶縁層44に埋設されているので、絶縁層44を厚くするだけで済み、絶縁層41, 42, 43を厚くしなくても済む。そのため、半導体装置1の薄型化を図ることができる。なお、電子部品60が埋設される絶縁層と、電子部品80が埋設される絶縁層が異なっていてもよい。また、電子部品60, 80が絶縁層44ではなく、絶縁層42又は絶縁層43に埋設されていてもよい。多層配線構造30の絶縁層及び配線パターンの層数が4層以外の場合でも、電子部品60, 80は最下層の絶縁層以外の絶縁層に埋設されればよい。

【0042】

多層配線構造30に埋設された電子部品の数が2であるが、1であってもよいし、3以上であってもよい。電子部品の数が2以上である場合、全ての電子部品が同じ絶縁層に埋設されていることが好ましい。これは、上述のように半導体装置1の薄型化を図るためにある。

【0043】

この半導体装置1は、プリント基板上に表面実装して用いる。具体的には、半導体装置1の表側の面1a、つまり、オーバーコート層90の表面をプリント基板に向けて、半田バンプ92をプリント基板の端子に接触させて半導体装置1をプリント基板の上に載置し、半田バンプ92をリフローすれば、半導体装置1がプリント基板上に表面実装される。

【0044】

半導体装置1を回路基板として用いてもよい。半導体装置1を回路基板として用いる場合、電子部品をオーバーコート層90の上に表面実装し、その電子部品の端子を半田バン

10

20

30

40

50

プ92によって配線パターン34に接合する。

【0045】

なお、半導体装置1の用途は、プリント基板に表面実装される電子部品や、電子部品が表面実装される回路基板に限るものではない。

【0046】

以上に説明したように、半導体チップ10がそれよりもサイズの大きな基板の上に搭載されたものではない上、その半導体チップ10上に積層された多層配線構造30に電子部品60, 80が埋設されているから、半導体装置1をチップサイズ（半導体チップ10のサイズ）にすることができる。そのため、半導体装置1を小型化することができる。また、多層配線構造30がベースとなる基板の上に積層されているものではなく、半導体チップ10の上に積層されたものであるから、そのベースとなる基板の分だけ半導体装置1を薄型化することができる。10

【0047】

続いて、半導体装置1の製造方法について説明する。

半導体装置1を製造するに際しては、個片化する前の半導体ウエハ11A（図5に図示）を用いる。図5に示すように、半導体ウエハ11Aは、分割予定線としての格子状のダイシングストリート（境界線）11Bによって複数のチップ領域11Cに区画されている。これらチップ領域11Cがマトリクス状に配列されている。半導体ウエハ11Aの表側の表層には、集積回路がチップ領域11Cごとに形成されている。半導体ウエハ11Aの表側の面には、複数のインナー端子12が形成されている。半導体ウエハ11Aの表側の面上にパッシベーション膜13が成膜されている。パッシベーション膜13に開口15が形成され、インナー端子12が開口15内で露出している。半導体ウエハ11Aの裏側の面では、半導体（例えば、シリコン）が露出している。20

【0048】

図6に示すように、絶縁膜14をパッシベーション膜13の上にパターニングした後、無電解メッキ法若しくは気相成長法（例えば、スパッタ法）又はこれらの組合せによって、絶縁膜14の上全体にシード層21Aを成膜する。シード層21Aは、開口15の内壁面やインナー端子12の上にも成長する。絶縁膜14のパターニングに際しては、絶縁膜14をチップ領域11Cごとに区切るとともに、インナー端子12にまで通じる開口15を絶縁膜14に形成する。シード層21Aは、銅（Cu）の薄膜、チタン（Ti）の薄膜、チタンに銅を積層した薄膜その他の金属薄膜である。なお、絶縁膜14を形成せずに、パッシベーション膜13の上にシード層21Aを形成してもよい。30

【0049】

次に、図7に示すように、導体層22をパターニングする。具体的には、レジスト等のマスク20Bをシード層21Aの上に設置し、シード層21Aをそのマスク20Bによって部分的に覆った状態で、シード層21Aを電極として電解メッキを行う。マスク20Bには、形成しようとする導体層22の位置・形状に合ったスリットが形成されており、電解メッキによって導体層22をシード層21Aの上であってマスク20Bのスリット内に成長させる。導体層22は、シード層21Aよりも厚く成長させる。なお、マスク20Bがレジスト（例えば、ドライフィルムレジスト、ウェットレジスト）である場合には、露光・現像によってマスク20Bにスリットを形成する。40

導体層22の形成後、マスク20Bを除去する。

【0050】

次に、図8に示すように、アウター端子26をパターニングする。具体的には、厚膜のマスク（例えば、ドライフィルムレジスト）30Bをシード層21A及び導体層22の上に設置し、シード層21A及び導体層22をマスク30Bで部分的に覆った状態で、シード層21A及び導体層22を電極として電解メッキを行う。マスク30Bには、形成しようとするアウター端子26の位置・形状に合った開口が形成されている。アウター端子26を開口内であって導体層22の上に電解メッキにより成長させる。なお、マスク30Bがドライフィルムレジスト又はウェットレジストである場合には、露光・現像によってマ50

スク30Bに開口を形成する。

アウター端子26の形成後、マスク30Bを除去する。

【0051】

次に、シード層21Aのうち導体層22に重なっていない部分をエッチングにより除去することにより、シード層21Aを下地21に形状加工する。このとき、導体層22及びアウター端子26の表面が一部エッチングされるが、導体層22及びアウター端子26がシード層21Aと比較して充分に厚いため、導体層22及びアウター端子26が残留する。

【0052】

次に、図9に示すように、印刷法、液滴吐出法（インクジェット法）、スピンドルコート法、滴下法その他の塗布法によって封止層16を絶縁膜14（絶縁膜14が無い場合には、パッシバーション膜13）の上に形成する。封止層16の形成に際しては、導体層22及びアウター端子26を封止層16によって覆う。なお、塗布法の代わりに、プリプレグを絶縁膜14の上に貼り付け、そのプリプレグを硬化させることによって、プリプレグから封止層16を形成してもよい。

【0053】

次に、図10に示すように、封止層16の表面を研削し、アウター端子26の上面を露出させる。

【0054】

図5～図10を用いて説明した工程によって、半導体チップ10を個片化前の状態まで製造する。電子部品60がWLPである場合、電子部品60を作成するには、図5～図10を用いて説明した工程と同様の工程を経た後、ダイシング処理等の個片化処理を行う。これにより、一枚のウエハから複数の電子部品60を作成することができる。

【0055】

アウター端子26の露出後、図11に示すように、プリプレグを封止層16及びアウター端子26に熱圧着することで、そのプリプレグから絶縁層41を形成する。プリプレグとしては、ガラス繊維強化工ポキシ樹脂、ガラス布基材エポキシ樹脂、カーボン繊維強化エポキシ樹脂、カーボン布基材エポキシ樹脂を、ガラス繊維強化ポリイミド樹脂、ガラス布基材ポリイミド樹脂、カーボン繊維強化ポリイミド樹脂、カーボン布基材ポリイミド樹脂その他の繊維強化樹脂を半硬化させたものを用いることが好ましい。なお、印刷法、液滴吐出法（インクジェット法）、スピンドルコート法、滴下法その他の塗布法によって絶縁層41を成膜してもよい。

【0056】

次に、図12に示すように、絶縁層41に複数のビア41aを形成する。ビア41aの形成箇所はアウター端子26に重なる位置であり、ビア41aをアウター端子26まで貫通させる。ビア41aの形成方法は、レーザー光を絶縁層41に照射する方法でもよいし、絶縁層41の上にマスク（例えば、メタルマスク、フォトレジスト、ドライフィルムレジスト）を設置した状態で絶縁層41をエッチングする方法でもよい。

【0057】

次に、図13に示すように、メッキ法によりビア41a内に層間接続導体51を成長させるとともに、導体膜31Aを絶縁層41上に成長させる。なお、層間接続導体51の形成法は、メッキ法に限らず、導電性部材（例えば、導電性ペースト）をビア41a内に埋め込む方法でもよい。

【0058】

次に、図14に示すように、導体膜31Aの上にマスク（図示略）を設置した状態で導体膜31Aをエッチングすることによって、導体膜31Aの一部を除去する。これにより、導体膜31Aから配線パターン31を作成する。配線パターン31の形成後、マスクを除去する。なお、配線パターン31の形成方法は、図13、図14に示すようなサブトラクト法に限らず、アディティブ法（セミアディティブ法、フルアディティブ法その他のアディティブ法）であってもよい。

10

20

30

40

50

【0059】

以後同様にして、絶縁層42、層間接続導体52、配線パターン32、絶縁層43、層間接続導体53及び配線パターン33を順に形成する(図15参照)。配線パターン33の形成の際には、下地35もパターニングする。なお、下地35を形成しなくてもよい。

【0060】

次に、図16に示すように、電子部品60を絶縁層42の上にダイボンディングし、電子部品80を配線パターン33の上にダイボンディングする。電子部品60については、端子が無い面60bを下に向けて、その面60bを接着剤69によって下地35(下地35が無い場合には、絶縁層43)に接着する。電子部品80については、一方の面80bを下に向けて、その面80bに形成された端子を例えば半田又は導電性接着剤等によって配線パターン33に接合する。なお、電子部品60については、端子が有る面60aを下に向けて、電子部品60を配線パターン33及び絶縁層42の上にフリップチップ実装してもよい。この場合、その面60aに形成された端子(例えば、アウター端子76)を半田又は導電性接着剤等によって配線パターン33に接合して、端子と配線パターン33の導通を取る。

10

【0061】

次に、図17に示すように、電子部品60,80を絶縁層44によって覆うようにして絶縁層44を絶縁層43及び配線パターン33の上に成膜する。そして、絶縁層44に複数のビアを形成した後に、層間接続導体54,55,56をビア内にそれぞれ形成するとともに、配線パターン34を形成する。絶縁層44、層間接続導体54,55,56、配線パターン34の形成法は、絶縁層41、層間接続導体51、配線パターン31の形成法と同様である。なお、電子部品60の端子(例えば、アウター端子76)を配線パターン33に接続した場合、層間接続導体55及びそれ用のビアは形成しない。

20

【0062】

次に、図18に示すように、オーバーコート層90をパターニングした後、オーバーコート層90に形成された開口内に半田バンプ92を形成する。

次に、図19に示すように、半導体ウエハ11A、封止層16、多層配線構造30及びオーバーコート層90をダイシングストリート11Bに沿って格子状に切断することによって、半導体ウエハ11A、封止層16、多層配線構造30及びオーバーコート層90をチップサイズに切り分ける。これにより、複数の半導体装置1が完成する。半導体ウエハ11Aを分割したものが半導体基板11である。

30

【0063】

なお、個片化の前に、半導体ウエハ11Aの裏面を研削することによって半導体ウエハ11Aを薄型化することが好ましい。半導体ウエハ11Aの研削は、封止層16を形成した後に行なうことが好ましい。

【0064】

以上に説明したように、半導体ウエハ11Aの切断前にパッケージング(封止層16の形成)、多層配線構造30の形成、電子部品60,80の埋込を行い、その後チップサイズへの切り分けを行ったから、半導体装置1のサイズを半導体チップ10のサイズにすることができる。そのため、半導体装置1を小型化することができる。また、回路が形成された半導体ウエハ11Aとは別のウエハに多層配線構造30を積層するのではなく、半導体ウエハ11Aの上に多層配線構造30を積層したから、半導体ウエハ11Aとは別のウエハを必要としない。そのため、半導体装置1の薄型化を図ることができる。

40

【0065】**[変形例]**

なお、本発明を適用可能な実施形態は、上述した実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲で適宜変更可能である。

【0066】

例えば、図20に示された半導体装置101のように構成されていてもよい。図20に示す半導体装置101と、図2に示す半導体装置1との間で互いに対応する部分には、同

50

一の符号を付す。

【0067】

図20に示すように、アウター端子が半導体チップ10に形成されておらず、封止層16が図2に示す場合よりも薄くなっている。絶縁層41に形成されたビアが封止層16まで開けられており、層間接続導体51が絶縁層41及び封止層16を貫通して内部配線20に接続している。

【0068】

以上に説明したことを除いて、図20に示す半導体装置101と、図2に示す半導体装置1との間で互いに対応する部分は、同様に設けられている。

図20に示す半導体装置101の製造方法は、図2に示す半導体装置1の製造方法とほぼ同様である。但し、半導体チップ10の製造に際しては、アウター端子を形成せずに封止層16を形成し、層間接続導体51用のビアをレーザー光の照射によって封止層16に形成することが、第1の実施の形態の場合と異なる。

【符号の説明】

【0069】

1、101 半導体装置

10 半導体チップ

10c 周側面

11 半導体基板

11A 半導体ウエハ

16 封止層

20 内部配線

26 アウター端子

30 多層配線構造

30c 周側面

31、32、33、34 配線パターン

41、42、43、44 絶縁層

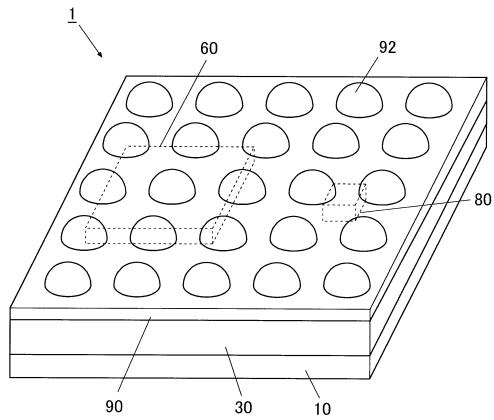
60、80 電子部品

92 バンプ

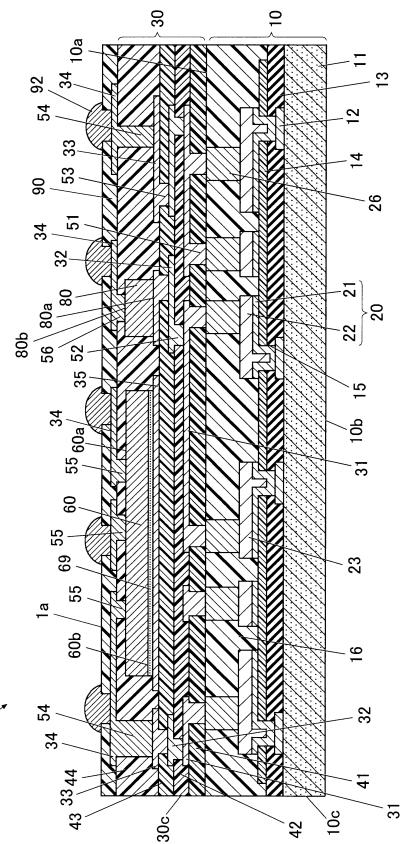
10

20

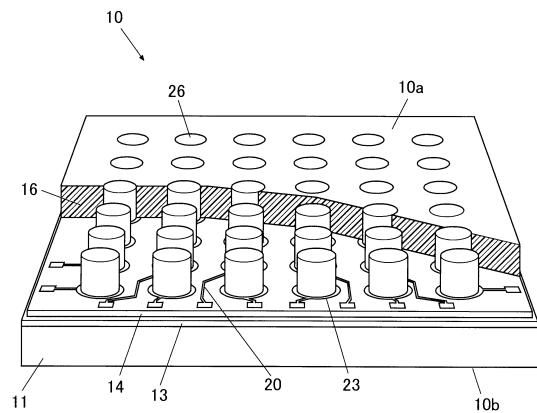
【図1】



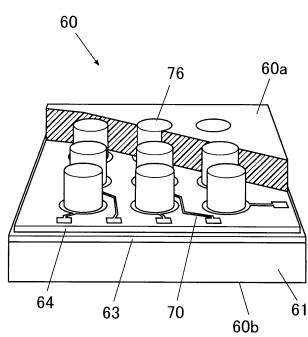
【図2】



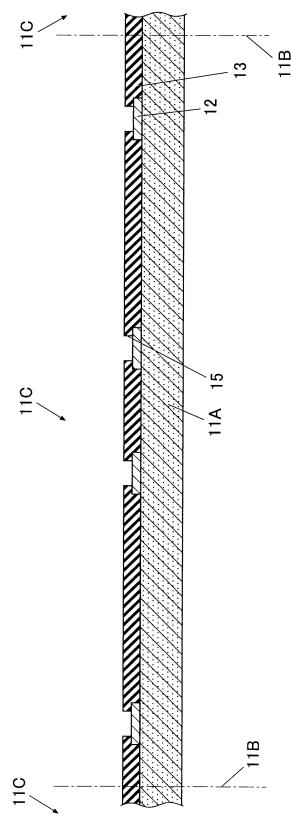
【図3】



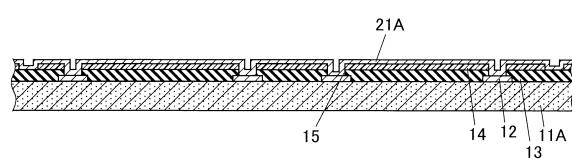
【図4】



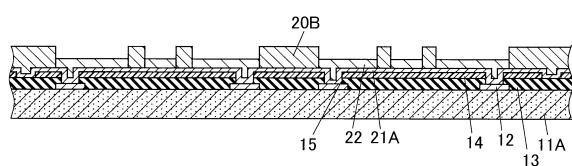
【図5】



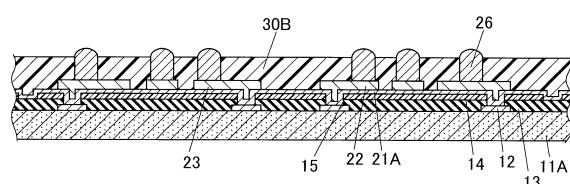
【図6】



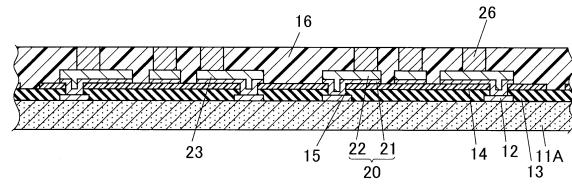
【図7】



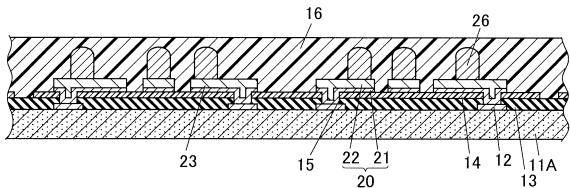
【図8】



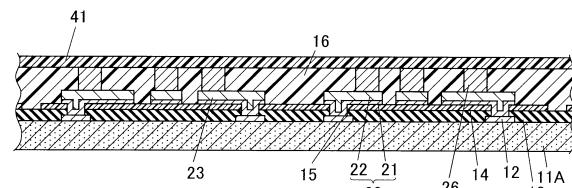
【図10】



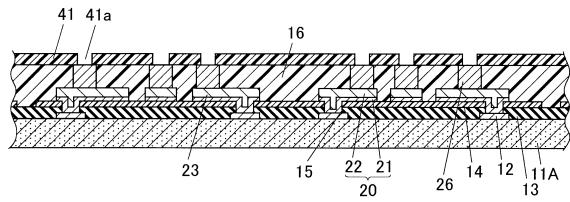
【図9】



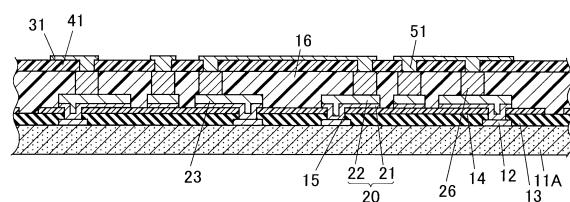
【図11】



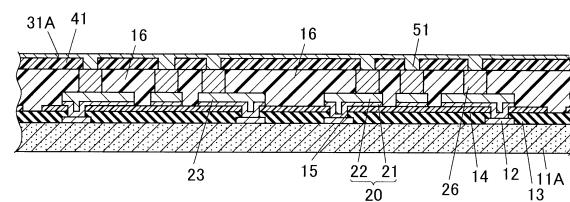
【図12】



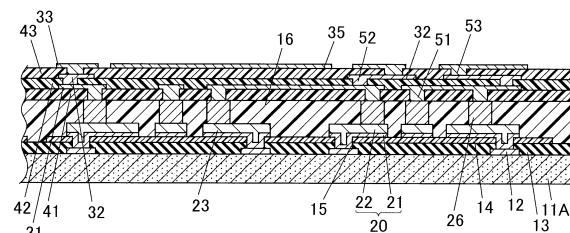
【図14】



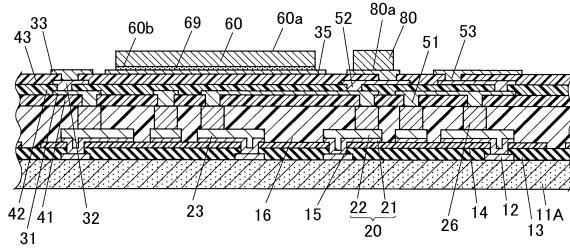
【図13】



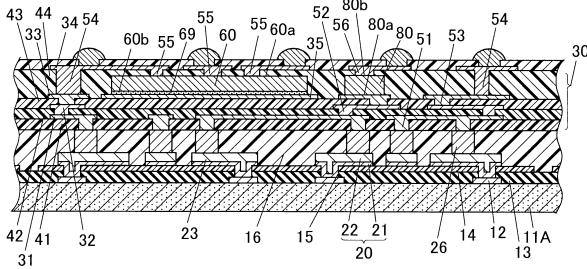
【図15】



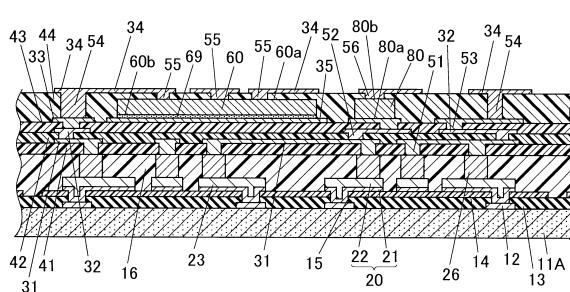
【図16】



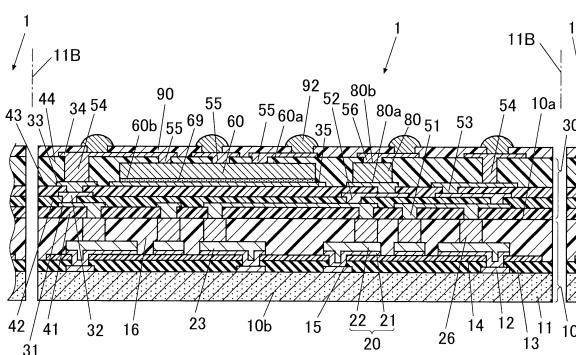
【図18】



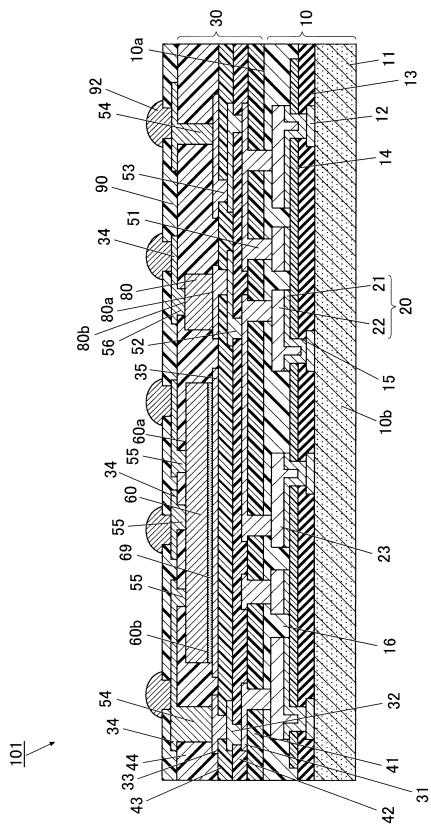
【図17】



【図19】



【図20】



フロントページの続き

(56)参考文献 特開2007-318060(JP,A)
特開2009-289863(JP,A)
特開2005-203614(JP,A)
特開2001-250836(JP,A)
特開2008-227266(JP,A)
特開2005-317866(JP,A)
特開2002-299496(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12-23/14
H01L 23/522
H01L 25/00-25/16、27/00
H01L 21/3205、21/768