

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5758605号
(P5758605)

(45) 発行日 平成27年8月5日(2015.8.5)

(24) 登録日 平成27年6月12日(2015.6.12)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 5 O 1 P

H O 1 L 21/3205 (2006.01)

H O 1 L 21/88 T

H O 1 L 21/768 (2006.01)

H O 1 L 25/00 B

H O 1 L 23/522 (2006.01)

H O 1 L 25/00 (2006.01)

請求項の数 7 (全 17 頁)

(21) 出願番号 特願2010-220481 (P2010-220481)
 (22) 出願日 平成22年9月30日(2010.9.30)
 (65) 公開番号 特開2012-79725 (P2012-79725A)
 (43) 公開日 平成24年4月19日(2012.4.19)
 審査請求日 平成25年8月5日(2013.8.5)

(73) 特許権者 506108550
 株式会社テラプローブ
 神奈川県横浜市港北区新横浜二丁目7番1
 7号
 (74) 代理人 110001254
 特許業務法人光陽国際特許事務所
 (72) 発明者 新井 一能
 東京都青梅市今井3丁目10番地の6 カ
 シオ計算機株式会社青梅事業所 第一工場
 内
 審査官 原田 貴志

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

集積回路を有するとともに複数の端子を上面に有する半導体チップと、
 前記半導体チップ上に積層された多層配線構造と、
 前記多層配線構造内に埋設された電子部品と、を備え、
前記半導体チップは、半導体基板、当該半導体基板を覆うパッシベーション膜、当該パッシベーション膜上の内部配線及び当該内部配線を覆い前記端子を上面に露出させた樹脂封止層を有し、

前記多層配線構造は、平面視における前記半導体チップの外縁の内側において前記樹脂封止層上に交互に積層された複数の絶縁層及び複数の配線パターンを有するとともに、最下層に前記樹脂封止層を覆う絶縁層を含み、

前記複数の配線パターン及び前記電子部品は、平面視における前記半導体チップの外縁の内側に配置され、

前記多層配線構造は、前記絶縁層を貫通するよう前記絶縁層に設けられ、前記複数の配線パターンを導通させる層間接続導体を更に有しており、

前記半導体チップの前記端子と前記電子部品の端子とが前記配線パターン及び前記層間接続導体を介して導通しており、

前記複数の絶縁層が、プリプレグを硬化させることにより形成された絶縁層を含み、

前記複数の絶縁層のうち前記電子部品が埋設された絶縁層は、プリプレグを硬化させることにより形成された絶縁層であり、当該絶縁層上に配線パターンが形成されていること

10

20

を特徴とする半導体装置。

【請求項 2】

集積回路を有するとともに複数の端子を上面に有する半導体チップと、
前記半導体チップ上に積層された多層配線構造と、
前記多層配線構造内に埋設された電子部品と、を備え、
前記多層配線構造は、平面視における前記半導体チップの外縁の内側においてパッシベーション膜上に交互に積層された複数の絶縁層及び複数の配線パターンを有し、
前記複数の配線パターン及び前記電子部品は、平面視における前記半導体チップの外縁の内側に配置され、

前記多層配線構造は、前記絶縁層を貫通するよう前記絶縁層に設けられ、前記複数の配線パターンを導通させる層間接続導体を更に有しており、

前記半導体チップの前記端子と前記電子部品の端子とが前記配線パターン及び前記層間接続導体を介して導通しており、

前記複数の絶縁層が、プリプレグを硬化させることにより形成された絶縁層を含み、
前記複数の絶縁層のうち前記電子部品が埋設された絶縁層よりも下層の絶縁層が、プリプレグを硬化させることにより形成された絶縁層であることを特徴とする半導体装置。

【請求項 3】

前記プリプレグは繊維強化樹脂を半硬化させたものであることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記複数の配線パターンのうち前記電子部品よりも下層に形成された配線パターンは、平面視して前記電子部品の内側から外側にまで及ぶように形成されており、当該配線パターンがプリプレグを硬化させることにより形成された絶縁層により覆われた部分上に前記電子部品が配置されていることを特徴とする請求項 1 乃至 3 の何れか一項に記載の半導体装置。

【請求項 5】

集積回路を有するとともに複数の端子を上面に有する半導体ウエハの上面の上に絶縁層と配線パターンを交互に積層することによって、これら絶縁層と配線パターンとからなる多層配線構造を形成するとともに、前記多層配線構造を形成するに際して電子部品を前記多層配線構造に埋め込む第一工程と、

前記半導体ウエハをチップサイズに切り分ける第二工程と、を備え、

前記第一工程は、プリプレグを熱圧着により硬化させることによってそのプリプレグから前記電子部品を埋設する絶縁層を形成する工程と、当該プリプレグによる絶縁層上に配線パターンをパターンニング形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 6】

前記第一工程後に、前記半導体ウエハの裏面を研削して前記半導体ウエハを薄型化する工程を更に備え、

前記第一工程は、前記電子部品を埋設する絶縁層にビアを形成し、層間接続導体を前記ビア内に形成して当該絶縁層に貫通させるように設けて、前記層間接続導体によって前記複数の配線パターンを導通させる工程を有し、

前記電子部品を埋設する絶縁層の前記ビア内に前記層間接続導体を成長させるとともに当該絶縁層上に配線パターンとなる導体膜を成長させることにより前記層間接続導体と前記配線パターンとを一体形成することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第一工程は、前記電子部品と異なる形状の別の電子部品を前記複数の絶縁層のうち前記電子部品が埋設された絶縁層に埋設する工程を有することを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

特許文献1には、複数の半導体チップが埋設されたSIP(System In Package)型の半導体パッケージ(半導体装置)が記載されている。特許文献1に記載されているように、回路が形成されていない基板(1)の上に2層の絶縁層(6, 7)が積層され、それぞれの絶縁層(6, 7)の上に配線(9, 13)がパターンニングされ、ペアチップ(5)が下層の絶縁層(6)に埋設され、更に上層の絶縁層(6, 7)の上に厚いバッファ層(17)が積層され、酸化シリコン膜(16d)のみで保護された別のペアチップ(16)がバッファ層(17)に埋設されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-047734号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載の技術では、基板(1)の上に積層された絶縁層(6)やバッファ層(17)にチップ(5, 13)が埋設されているから、半導体パッケージが厚くなってしまふ。

20

また、基板(1)はウエハを切り分けたものである。チップ(5)をウエハの上に搭載した後、最後にウエハを切断するから、切り分けられた基板(1)のサイズはチップ(5)のサイズよりも大きくなる。そのため、半導体パッケージのサイズも大型化してしまう。

そこで、本発明が解決しようとする課題は、半導体パッケージ等の半導体装置の薄型化及び小型化を図ることである。

【課題を解決するための手段】

【0005】

30

以上の課題を解決するために、本発明に係る半導体装置は、集積回路を有するとともに複数の端子を上面に有する半導体チップと、前記半導体チップ上に積層された多層配線構造と、前記多層配線構造内に埋設された電子部品と、を備え、前記半導体チップは、半導体基板、当該半導体基板を覆うパッシベーション膜、当該パッシベーション膜上の内部配線及び当該内部配線を覆い前記端子を上面に露出させた樹脂封止層を有し、前記多層配線構造は、平面視における前記半導体チップの外縁の内側において前記樹脂封止層上に交互に積層された複数の絶縁層及び複数の配線パターンを有するとともに、最下層に前記樹脂封止層を覆う絶縁層を含み、前記複数の配線パターン及び前記電子部品は、平面視における前記半導体チップの外縁の内側に配置され、前記多層配線構造は、前記絶縁層を貫通するように前記絶縁層に設けられ、前記複数の配線パターンを導通させる層間接続導体を更に有しており、前記半導体チップの前記端子と前記電子部品の端子とが前記配線パターン及び前記層間接続導体を介して導通しており、前記複数の絶縁層が、プリプレグを硬化させることにより形成された絶縁層を含み、前記複数の絶縁層のうち前記電子部品が埋設された絶縁層は、プリプレグを硬化させることにより形成された絶縁層であり、当該絶縁層上に配線パターンが形成されている。

40

【0006】

本発明に係る半導体装置は、集積回路を有するとともに複数の端子を上面に有する半導体チップと、前記半導体チップ上に積層された多層配線構造と、前記多層配線構造内に埋設された電子部品と、を備え、前記多層配線構造は、平面視における前記半導体チップの外縁の内側においてパッシベーション膜上に交互に積層された複数の絶縁層及び複数の配

50

線パターンを有し、前記複数の配線パターン及び前記電子部品は、平面視における前記半導体チップの外縁の内側に配置され、前記多層配線構造は、前記絶縁層を貫通するように前記絶縁層に設けられ、前記複数の配線パターンを導通させる層間接続導体を更に有しており、前記半導体チップの前記端子と前記電子部品の端子とが前記配線パターン及び前記層間接続導体を介して導通しており、前記複数の絶縁層が、プリプレグを硬化させることにより形成された絶縁層を含み、前記複数の絶縁層のうち前記電子部品が埋設された絶縁層よりも下層の絶縁層が、プリプレグを硬化させることにより形成された絶縁層である。

【 0 0 0 8 】

本発明に係る半導体装置の製造方法は、集積回路を有するとともに複数の端子を上面に有する半導体ウエハの上面の上に絶縁層と配線パターンを交互に積層することによって、これら絶縁層と配線パターンとからなる多層配線構造を形成するとともに、前記多層配線構造を形成するに際して電子部品を前記多層配線構造に埋め込む第一工程と、前記半導体ウエハをチップサイズに切り分ける第二工程と、を備え、前記第一工程は、プリプレグを熱圧着により硬化させることによってそのプリプレグから前記電子部品を埋設する絶縁層を形成する工程と、当該プリプレグによる絶縁層上に配線パターンをパターンニング形成する工程とを含む。

【発明の効果】

【 0 0 0 9 】

本発明によれば、半導体装置の薄型化及び小型化を図ることができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】本発明の実施形態に係る半導体装置の斜視図。

【図 2】同実施形態に係る半導体装置の断面図。

【図 3】同実施形態に係る半導体チップを一部破断した状態で示した斜視図。

【図 4】同実施形態に係る電子部品を一部破断した状態で示した斜視図。

【図 5】同実施形態に係る半導体装置を製造する方法の一工程における断面図。

【図 6】図 5 の工程の後の工程における断面図。

【図 7】図 6 の工程の後の工程における断面図。

【図 8】図 7 の工程の後の工程における断面図。

【図 9】図 8 の工程の後の工程における断面図。

【図 1 0】図 9 の工程の後の工程における断面図。

【図 1 1】図 1 0 の工程の後の工程における断面図。

【図 1 2】図 1 1 の工程の後の工程における断面図。

【図 1 3】図 1 2 の工程の後の工程における断面図。

【図 1 4】図 1 3 の工程の後の工程における断面図。

【図 1 5】図 1 4 の工程の後の工程における断面図。

【図 1 6】図 1 5 の工程の後の工程における断面図。

【図 1 7】図 1 6 の工程の後の工程における断面図。

【図 1 8】図 1 7 の工程の後の工程における断面図。

【図 1 9】図 1 8 の工程の後の工程における断面図。

【図 2 0】変形例に係る半導体装置の断面図。

【発明を実施するための形態】

【 0 0 1 1 】

以下に、本発明を実施するための形態について、図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、本発明の範囲を以下の実施形態及び図示例に限定するものではない。

【 0 0 1 2 】

図 1 は、半導体装置 1 の斜視図である。図 2 は、半導体装置 1 の断面図である。

【 0 0 1 3 】

図 1、図 2 に示すように、半導体装置 1 は、S I P (System In Package) であって、

10

20

30

40

50

半導体チップ 10、多層配線構造 30 及び電子部品 60、80 等を備えるものである。多層配線構造 30 が半導体チップ 10 の表側の面 10a の上に積層され、電子部品 60、80 が多層配線構造 30 内に埋設されている。

【0014】

まず、図 2、図 3 を参照して、半導体チップ 10 について詳細に説明する。図 3 は、半導体チップ 10 の一部を破断した状態で示した斜視図である。図 3 では、半導体チップ 10 の上に多層配線構造 30 が積層されていない状態を示す。

【0015】

半導体チップ 10 は、チップサイズにパッケージしたものであって、いわゆる CSP (Chip Size Package) である。特に、この半導体チップ 10 は、個片化する前の半導体ウエハの表面を樹脂によって封止した後に、それをチップサイズに個片化したものである。つまり、半導体チップ 10 は、CSP の中でも特に WLP (Wafer Level Package) である。

10

【0016】

半導体チップ 10 は、半導体基板 11、パッシベーション膜 13、絶縁膜 14、封止層 16、内部配線 20 及びアウター端子 26 等を備える。

【0017】

半導体基板 11 は、シリコンといった半導体材料等からなる。半導体基板 11 の表側の表層には、集積回路が形成されている。半導体基板 11 の表側の面の上には、複数のインナー端子 12 が形成されている。インナー端子 12 は、半導体基板 11 の表層に形成された集積回路の配線の一部であったり、各種電気素子 (例えば、ダイオード、トランジスタ、抵抗、コンデンサ等) の電極であったりする。

20

【0018】

半導体基板 11 の表側の面が、パッシベーション膜 13 によって被覆されている。パッシベーション膜 13 は、酸化シリコン又は窒化シリコンを含有する。パッシベーション膜 13 が、絶縁膜 14 によって被覆されている。絶縁膜 14 は、エポキシ系樹脂、ポリイミド系樹脂その他の樹脂を含有する。例えば、絶縁膜 14 には、ポリイミド (PI)、ポリベンゾオキサゾール (PBO)、エポキシ系、フェノール系、シリコン系等のプラスチック材料又はこれらの複合材料等を用いることができる。

【0019】

30

パッシベーション膜 13 及び絶縁膜 14 のうちインナー端子 12 に重なる位置には、開口 15 が形成されている。インナー端子 12 の一部又は全体が開口 15 内に位置しており、インナー端子 12 の一部又は全体がパッシベーション膜 13 及び絶縁膜 14 によって覆われていない。なお、絶縁膜 14 が形成されていなくてもよい。

【0020】

内部配線 20 が、絶縁膜 14 上 (絶縁膜 14 が無い場合には、パッシベーション膜 13 上) に形成されている。内部配線 20 は、下地 21 と導体層 22 の積層体であり、下地 21 は絶縁膜 14 上 (絶縁膜 14 が無い場合には、パッシベーション膜 13 上) に形成され、導体層 22 は下地 21 上に形成されている。下地 21 は、導体からなる。例えば、下地 21 は、銅 (Cu) の薄膜、チタン (Ti) の薄膜、チタンに銅を積層した薄膜その他の金属薄膜である。導体層 22 は、シード層上に成長したメッキをパターンニングしたものである。導体層 22 は、銅その他の金属からなる。平面視した場合の導体層 22 の形状と下地 21 の形状がほぼ同じである。導体層 22 は、下地 21 よりも厚い。なお、内部配線 20 が導体の積層体でなくてもよい。例えば、内部配線 20 は導体の単層であってもよいし、更に多くの導体層を積層したものであってもよい。

40

【0021】

内部配線 20 がインナー端子 12 に接続されている。具体的には、内部配線 20 が開口 15 の上を横切り、内部配線 20 の下地 21 の一部がインナー端子 12 上に積層されている。内部配線 20 の数がインナー端子 12 の数よりも多くてもよいし、少なくともよいし、等しくてもよい。1 本の内部配線 20 に接続されるインナー端子 12 の数は 1 又は 2 以

50

上である。1本の内部配線20につき1つのインナー端子12が接続されることが好ましい。

【0022】

内部配線20の一部(例えば、端部)がランド23となっており、内部配線20とランド23が一体形成されて、内部配線20とランド23が接続されている。ランド23上には、アウター端子26が形成され、内部配線20がアウター端子26に接続されている。そのため、アウター端子26は、内部配線20によってインナー端子12に導通している。1本の内部配線20に接続されるアウター端子26の数は、1又は2以上である。1本の内部配線20につき1つのアウター端子26が接続されることが好ましい。また、1つのアウター端子26につき1つのインナー端子12が内部配線20によって導通することが更に好ましい。

10

【0023】

アウター端子26は、突起状に設けられた柱状電極である。アウター端子26は、銅その他の金属からなる。アウター端子26の高さ(厚さ)は、導体層22の厚さよりも大きい。なお、図3では、アウター端子26が縦6列×横6列の格子状に配列されているが、アウター端子26の配列及び数はこれに限るものではない。

【0024】

遮光性の封止層16が絶縁膜14上に形成され、内部配線20が封止層16によって覆われている。アウター端子26の上面が封止層16によって覆われていないが、アウター端子26の周側面が封止層16によって覆われて保護されている。封止層16の表面が、アウター端子26の上面と面一に設けられているか、又は、アウター端子26の上面よりも僅かに高い位置にある。

20

封止層16は、エポキシ系樹脂、ポリイミド系樹脂その他の絶縁性樹脂を含有し、好ましくは、絶縁性樹脂(エポキシ系樹脂、ポリイミド系樹脂等)にフィラー(例えば、ガラスフィラー)を配合した繊維強化樹脂からなる。

【0025】

なお、半導体チップ10はLGA方式のパッケージであってもよい。つまり、端子となるランドが半導体チップ10の表側の面10aに格子状に配列されていてもよい。

【0026】

図1、図2を参照して多層配線構造30について説明する。

30

多層配線構造30は配線パターン31~34及び絶縁層41~44を有する。絶縁層41、絶縁層42、絶縁層43及び絶縁層44が、半導体チップ10から絶縁層41、絶縁層42、絶縁層43、絶縁層44の順に半導体チップ10の表側の面10a上に積層されている。配線パターン31が絶縁層41と絶縁層42との間に、配線パターン32が絶縁層42と絶縁層43との間に、配線パターン33が絶縁層43と絶縁層44との間にそれぞれ位置し、配線パターン34が絶縁層44上に形成されている。配線パターン31と配線パターン32が絶縁層42によって、配線パターン32と配線パターン33が絶縁層43によって、配線パターン33と配線パターン34が絶縁層44によってそれぞれ隔てられている。

【0027】

40

絶縁層41~44の縁と半導体チップ10の周側面10cが揃っており、多層配線構造30の周側面30cが半導体チップ10の周側面10cに揃っている。

【0028】

絶縁層44には複数のビアが開けられており、ビア内に層間接続導体54が埋め込まれて、層間接続導体54が絶縁層44を貫通して、層間接続導体54により配線パターン34と配線パターン33が導通している。同様に、絶縁層43を貫通した層間接続導体53により配線パターン33と配線パターン32が、絶縁層42を貫通した層間接続導体52により配線パターン32と配線パターン31が、それぞれ導通している。

【0029】

層間接続導体54と配線パターン34が一体形成され、層間接続導体53と配線パター

50

ン 3 3 が一体形成され、層間接続導体 5 4 と配線パターン 3 2 が一体形成されている。これらは別体に形成されて、互いに接触していてもよい。

【 0 0 3 0 】

また、絶縁層 4 1 にはアウター端子 2 6 に至る複数のビアが開けられており、ビア内に層間接続導体 5 1 が埋め込まれて、層間接続導体 5 1 が絶縁層 4 1 を貫通して、層間接続導体 5 1 により配線パターン 3 1 とアウター端子 2 6 が導通している。

【 0 0 3 1 】

配線パターン 3 1 , 3 2 , 3 3 , 3 4 及び層間接続導体 5 1 , 5 2 , 5 3 , 5 4 は銅その他の金属からなる。絶縁層 4 1 , 4 2 , 4 3 , 4 4 は、エポキシ系樹脂、ポリイミド系樹脂その他の絶縁性樹脂を含有し、好ましくは、ガラス繊維強化エポキシ樹脂、ガラス布
10
基材エポキシ樹脂、カーボン繊維強化エポキシ樹脂、カーボン布基材エポキシ樹脂を、ガラス繊維強化ポリイミド樹脂、ガラス布基材ポリイミド樹脂、カーボン繊維強化ポリイミド樹脂、カーボン布基材ポリイミド樹脂その他の繊維強化樹脂からなる。なお、図 2 では、多層配線構造 3 0 が 4 層の絶縁層 4 1 , 4 2 , 4 3 , 4 4 及び 4 層の配線パターン 3 1 , 3 2 , 3 3 , 3 4 を有するものであったが、多層配線構造 3 0 の絶縁層及び配線パターンの層数は 2 以上であればよい。

【 0 0 3 2 】

以上のような多層配線構造 3 0 には、電子部品 6 0 , 8 0 が埋設されている。より具体的には、電子部品 6 0 , 8 0 は絶縁層 4 4 に埋設されている。電子部品 6 0 は、半導体チップである。電子部品 6 0 は、ベアチップでもよいし、パッケージ化したものでもよい。
20
電子部品 6 0 がパッケージ化した半導体チップである場合、電子部品 6 0 のパッケージ方式は問わない。

【 0 0 3 3 】

電子部品 6 0 が C S P の中でも特に W L P である場合、電子部品 6 0 は図 4 に示すように構成されている。図 4 は、電子部品 6 0 の一部を破断した状態で示した斜視図である。図 4 に示すように、電子部品 6 0 は、半導体基板 6 1、パッシベーション膜 6 3、絶縁膜 6 4、封止層 6 6、内部配線 7 0 及びアウター端子 7 6 等を備える。電子部品 6 0 と半導体チップ 1 0 は、アウター端子 7 6 の数、内部配線 7 0 の形状及び位置、半導体基板 6 1 に形成された集積回路等が相違するだけ、電子部品 6 0 が半導体チップ 1 0 と同様に W L P であるので、電子部品 6 0 の詳細な説明については省略する。電子部品 6 0 のサイズは
30
半導体チップ 1 0 のサイズよりも小さい。なお、図 4 では、アウター端子 7 6 が縦 3 列 × 横 3 列の格子状に配列されているが、アウター端子 7 6 の配列及び数はこれに限るものではない。

【 0 0 3 4 】

図 2 に示すように、電子部品 6 0 は絶縁層 4 3 の上にダイボンディングされている。具体的には、導体からなる下地 3 5 が絶縁層 4 3 上に形成されており、電子部品 6 0 の裏側の面 6 0 b と下地 3 5 との間に接着剤 6 9 が挟まれ、接着剤 6 9 が電子部品 6 0 の裏側の面 6 0 b と下地 3 5 に固着している。下地 3 5 は、配線パターン 3 3 とともにパターン
40
ングされたものである。下地 3 5 と配線パターン 3 3 が互いに離間して、下地 3 5 と配線パターン 3 3 が導通していない。なお、下地 3 5 が無く、接着剤 6 9 が絶縁層 4 3 に直接固着していてもよい。

【 0 0 3 5 】

絶縁層 4 4 は、電子部品 6 0 全体を被覆するようにして絶縁層 4 3 上に成膜されており、電子部品 6 0 は、絶縁層 4 4 に埋設されている。

【 0 0 3 6 】

図 4 に示すように、電子部品 6 0 の裏側の面 6 0 b には端子が形成されておらず、表側の面 6 0 a では、アウター端子 7 6 の上面が露出している。そのため、アウター端子 7 6 は、配線パターン 3 3 に接続されていない。一方、図 2 に示すように、絶縁層 4 4 には複数のビアが開けられており、ビア内に層間接続導体 5 5 が埋め込まれて、層間接続導体 5 5 が絶縁層 4 4 を貫通して、層間接続導体 5 5 により配線パターン 3 4 とアウター端子 7
50

6 が導通している。

【 0 0 3 7 】

なお、電子部品 6 0 の表側の面 6 0 a が絶縁層 4 3 に向いた状態で、電子部品 6 0 がフリップチップ方式等によって絶縁層 4 3 の上に表面実装されていてもよい。この場合、下地 3 5 が無く、配線パターン 3 3 が電子部品 6 0 の下にまで及ぶようにパターンニングされ、アウター端子 7 6 が例えば半田、導電性ペースト、導電性シート、異方導電性ペースト又は異方導電性ペースによって配線パターン 3 3 に導通している。アウター端子 7 6 が配線パターン 3 3 に導通しているので、層間接続導体 5 5 が無く、層間接続導体 5 5 が埋め込まれるビアも絶縁層 4 4 に開けられていない。

【 0 0 3 8 】

10

電子部品 8 0 は、能動部品（例えば、ダイオード、トランジスタ）又は受動部品（例えば、抵抗器、コンデンサ）である。また、電子部品 8 0 は、チップ抵抗器、チップコンデンサ、チップダイオード、チップトランジスタその他の表面実装型チップ部品である。電子部品 8 0 の表側の面 8 0 a と裏側の面 6 0 b には、それぞれ端子が設けられている。電子部品 8 0 の裏側の面 8 0 b が絶縁層 4 3 に向いた状態で、電子部品 8 0 が配線パターン 3 3 上にダイボンディングされ、裏側の面 8 0 b に設けられた端子が配線パターン 3 3 に導通している。

【 0 0 3 9 】

絶縁層 4 4 は、電子部品 8 0 全体を被覆するようにして絶縁層 4 3 上に成膜されており、電子部品 8 0 は、絶縁層 4 4 に埋設されている。絶縁層 4 4 にはビアが開けられており、ビア内に層間接続導体 5 6 が埋め込まれて、層間接続導体 5 6 が絶縁層 4 4 を貫通して、電子部品 8 0 の表側の面 8 0 a に設けられた端子と配線パターン 3 4 が層間接続導体 5 6 により導通している。

20

【 0 0 4 0 】

絶縁層 4 4 及び配線パターン 3 4 がオーバーコート層 9 0 によって被覆されている。オーバーコート層 9 0 に複数の開口が形成され、開口内に半田バンプ 9 2 が形成されて、半田バンプ 9 2 が配線パターン 3 4 に固着されている。図 1 に示すように、半田バンプ 9 2 が縦 5 列 × 横 5 列の格子状に配列されているが、半田バンプ 9 2 の配列及び数はこれに限るものではない。なお、半田バンプ 9 2 が無くてもよい。

【 0 0 4 1 】

30

図 2 に示すように、電子部品 6 0 と電子部品 8 0 が同じ絶縁層 4 4 に埋設されているので、絶縁層 4 4 を厚くするだけで済み、絶縁層 4 1 , 4 2 , 4 3 を厚くしなくても済む。そのため、半導体装置 1 の薄型化を図ることができる。なお、電子部品 6 0 が埋設される絶縁層と、電子部品 8 0 が埋設される絶縁層が異なってもよい。また、電子部品 6 0 , 8 0 が絶縁層 4 4 ではなく、絶縁層 4 2 又は絶縁層 4 3 に埋設されていてもよい。多層配線構造 3 0 の絶縁層及び配線パターンの層数が 4 層以外の場合でも、電子部品 6 0 , 8 0 は最下層の絶縁層以外の絶縁層に埋設されていればよい。

【 0 0 4 2 】

多層配線構造 3 0 に埋設された電子部品の数が 2 であるが、1 であってもよいし、3 以上であってもよい。電子部品の数が 2 以上である場合、全ての電子部品が同じ絶縁層に埋設されていることが好ましい。これは、上述のように半導体装置 1 の薄型化を図るためである。

40

【 0 0 4 3 】

この半導体装置 1 は、プリント基板上に表面実装して用いる。具体的には、半導体装置 1 の表側の面 1 a、つまり、オーバーコート層 9 0 の表面をプリント基板に向けて、半田バンプ 9 2 をプリント基板の端子に接触させて半導体装置 1 をプリント基板の上に載置し、半田バンプ 9 2 をリフローすれば、半導体装置 1 がプリント基板上に表面実装される。

【 0 0 4 4 】

半導体装置 1 を回路基板として用いてもよい。半導体装置 1 を回路基板として用いる場合、電子部品をオーバーコート層 9 0 の上に表面実装し、その電子部品の端子を半田バン

50

ブ 9 2 によって配線パターン 3 4 に接合する。

【 0 0 4 5 】

なお、半導体装置 1 の用途は、プリント基板に表面実装される電子部品や、電子部品が表面実装される回路基板に限るものではない。

【 0 0 4 6 】

以上に説明したように、半導体チップ 1 0 がそれよりもサイズの大きな基板の上に搭載されたものではない上、その半導体チップ 1 0 上に積層された多層配線構造 3 0 に電子部品 6 0 , 8 0 が埋設されているから、半導体装置 1 をチップサイズ (半導体チップ 1 0 のサイズ) にすることができる。そのため、半導体装置 1 を小型化することができる。また、多層配線構造 3 0 がベースとなる基板の上に積層されているものではなく、半導体チップ 1 0 の上に積層されたものであるから、そのベースとなる基板の分だけ半導体装置 1 を薄型化することができる。

【 0 0 4 7 】

続いて、半導体装置 1 の製造方法について説明する。

半導体装置 1 を製造するに際しては、個片化する前の半導体ウエハ 1 1 A (図 5 に図示) を用いる。図 5 に示すように、半導体ウエハ 1 1 A は、分割予定線としての格子状のダイシングストリート (境界線) 1 1 B によって複数のチップ領域 1 1 C に区画されている。これらチップ領域 1 1 C がマトリクス状に配列されている。半導体ウエハ 1 1 A の表側の表層には、集積回路がチップ領域 1 1 C ごとに形成されている。半導体ウエハ 1 1 A の表側の面には、複数のインナー端子 1 2 が形成されている。半導体ウエハ 1 1 A の表側の面上にパッシベーション膜 1 3 が成膜されている。パッシベーション膜 1 3 に開口 1 5 が形成され、インナー端子 1 2 が開口 1 5 内で露出している。半導体ウエハ 1 1 A の裏側の面では、半導体 (例えば、シリコン) が露出している。

【 0 0 4 8 】

図 6 に示すように、絶縁膜 1 4 をパッシベーション膜 1 3 の上にパターニングした後、無電解メッキ法若しくは気相成長法 (例えば、スパッタ法) 又はこれらの組合せによって、絶縁膜 1 4 の上全体にシード層 2 1 A を成膜する。シード層 2 1 A は、開口 1 5 の内壁面やインナー端子 1 2 の上にも成長する。絶縁膜 1 4 のパターニングに際しては、絶縁膜 1 4 をチップ領域 1 1 C ごとに区切るとともに、インナー端子 1 2 にまで通じる開口 1 5 を絶縁膜 1 4 に形成する。シード層 2 1 A は、銅 (C u) の薄膜、チタン (T i) の薄膜、チタンに銅を積層した薄膜その他の金属薄膜である。なお、絶縁膜 1 4 を形成せずに、パッシベーション膜 1 3 の上にシード層 2 1 A を形成してもよい。

【 0 0 4 9 】

次に、図 7 に示すように、導体層 2 2 をパターニングする。具体的には、レジスト等のマスク 2 0 B をシード層 2 1 A の上に設置し、シード層 2 1 A をそのマスク 2 0 B によって部分的に覆った状態で、シード層 2 1 A を電極として電解メッキを行う。マスク 2 0 B には、形成しようとする導体層 2 2 の位置・形状に合ったスリットが形成されており、電解メッキによって導体層 2 2 をシード層 2 1 A の上であってマスク 2 0 B のスリット内に成長させる。導体層 2 2 は、シード層 2 1 A よりも厚く成長させる。なお、マスク 2 0 B がレジスト (例えば、ドライフィルムレジスト、ウェットレジスト) である場合には、露光・現像によってマスク 2 0 B にスリットを形成する。

導体層 2 2 の形成後、マスク 2 0 B を除去する。

【 0 0 5 0 】

次に、図 8 に示すように、アウター端子 2 6 をパターニングする。具体的には、厚膜のマスク (例えば、ドライフィルムレジスト) 3 0 B をシード層 2 1 A 及び導体層 2 2 の上に設置し、シード層 2 1 A 及び導体層 2 2 をマスク 3 0 B で部分的に覆った状態で、シード層 2 1 A 及び導体層 2 2 を電極として電解メッキを行う。マスク 3 0 B には、形成しようとするアウター端子 2 6 の位置・形状に合った開口が形成されている。アウター端子 2 6 を開口内であって導体層 2 2 の上に電解メッキにより成長させる。なお、マスク 3 0 B がドライフィルムレジスト又はウェットレジストである場合には、露光・現像によってマ

スク 30B に開口を形成する。

アウター端子 26 の形成後、マスク 30B を除去する。

【0051】

次に、シード層 21A のうち導体層 22 に重なっていない部分をエッチングにより除去することにより、シード層 21A を下地 21 に形状加工する。このとき、導体層 22 及びアウター端子 26 の表面が一部エッチングされるが、導体層 22 及びアウター端子 26 がシード層 21A と比較して十分に厚いため、導体層 22 及びアウター端子 26 が残留する。

【0052】

次に、図 9 に示すように、印刷法、液滴吐出法（インクジェット法）、スピコート法、滴下法その他の塗布法によって封止層 16 を絶縁膜 14（絶縁膜 14 が無い場合には、パッシベーション膜 13）の上に形成する。封止層 16 の形成に際しては、導体層 22 及びアウター端子 26 を封止層 16 によって覆う。なお、塗布法の代わりに、プリプレグを絶縁膜 14 の上に貼り付け、そのプリプレグを硬化させることによって、プリプレグから封止層 16 を形成してもよい。

【0053】

次に、図 10 に示すように、封止層 16 の表面を研削し、アウター端子 26 の上面を露出させる。

【0054】

図 5 ～ 図 10 を用いて説明した工程によって、半導体チップ 10 を個片化前の状態まで製造する。電子部品 60 が WLP である場合、電子部品 60 を作成するには、図 5 ～ 図 10 を用いて説明した工程と同様の工程を経た後、ダイシング処理等の個片化処理を行う。これにより、一枚のウエハから複数の電子部品 60 を作成することができる。

【0055】

アウター端子 26 の露出後、図 11 に示すように、プリプレグを封止層 16 及びアウター端子 26 に熱圧着することで、そのプリプレグから絶縁層 41 を形成する。プリプレグとしては、ガラス繊維強化エポキシ樹脂、ガラス布基材エポキシ樹脂、カーボン繊維強化エポキシ樹脂、カーボン布基材エポキシ樹脂を、ガラス繊維強化ポリイミド樹脂、ガラス布基材ポリイミド樹脂、カーボン繊維強化ポリイミド樹脂、カーボン布基材ポリイミド樹脂その他の繊維強化樹脂を半硬化させたものを用いることが好ましい。なお、印刷法、液滴吐出法（インクジェット法）、スピコート法、滴下法その他の塗布法によって絶縁層 41 を成膜してもよい。

【0056】

次に、図 12 に示すように、絶縁層 41 に複数のビア 41a を形成する。ビア 41a の形成箇所はアウター端子 26 に重なる位置であり、ビア 41a をアウター端子 26 まで貫通させる。ビア 41a の形成方法は、レーザー光を絶縁層 41 に照射する方法でもよいし、絶縁層 41 の上にマスク（例えば、メタルマスク、フォトレジスト、ドライフィルムレジスト）を設置した状態で絶縁層 41 をエッチングする方法でもよい。

【0057】

次に、図 13 に示すように、メッキ法によりビア 41a 内に層間接続導体 51 を成長させるとともに、導体膜 31A を絶縁層 41 上に成長させる。なお、層間接続導体 51 の形成法は、メッキ法に限らず、導電性部材（例えば、導電性ペースト）をビア 41a 内に埋め込む方法でもよい。

【0058】

次に、図 14 に示すように、導体膜 31A の上にマスク（図示略）を設置した状態で導体膜 31A をエッチングすることによって、導体膜 31A の一部を除去する。これにより、導体膜 31A から配線パターン 31 を作成する。配線パターン 31 の形成後、マスクを除去する。なお、配線パターン 31 の形成方法は、図 13、図 14 に示すようなサブトラクト法に限らず、アディティブ法（セミアディティブ法、フルアディティブ法その他のアディティブ法）であってもよい。

10

20

30

40

50

【 0 0 5 9 】

以後同様にして、絶縁層 4 2、層間接続導体 5 2、配線パターン 3 2、絶縁層 4 3、層間接続導体 5 3 及び配線パターン 3 3 を順に形成する（図 1 5 参照）。配線パターン 3 3 の形成の際には、下地 3 5 もパターンニングする。なお、下地 3 5 を形成しなくてもよい。

【 0 0 6 0 】

次に、図 1 6 に示すように、電子部品 6 0 を絶縁層 4 2 の上にダイボンディングし、電子部品 8 0 を配線パターン 3 3 の上にダイボンディングする。電子部品 6 0 については、端子が無い面 6 0 b を下に向けて、その面 6 0 b を接着剤 6 9 によって下地 3 5（下地 3 5 が無い場合には、絶縁層 4 3）に接着する。電子部品 8 0 については、一方の面 8 0 b を下に向け、その面 8 0 b に形成された端子を例えば半田又は導電性接着剤等によって配線パターン 3 3 に接合する。なお、電子部品 6 0 については、端子が有る面 6 0 a を下に向けて、電子部品 6 0 を配線パターン 3 3 及び絶縁層 4 2 の上にフリップチップ実装してもよい。この場合、その面 6 0 a に形成された端子（例えば、アウター端子 7 6）を半田又は導電性接着剤等によって配線パターン 3 3 に接合して、端子と配線パターン 3 3 の導通を取る。

10

【 0 0 6 1 】

次に、図 1 7 に示すように、電子部品 6 0、8 0 を絶縁層 4 4 によって覆うようにして絶縁層 4 4 を絶縁層 4 3 及び配線パターン 3 3 の上に成膜する。そして、絶縁層 4 4 に複数のビアを形成した後に、層間接続導体 5 4、5 5、5 6 をビア内にそれぞれ形成するとともに、配線パターン 3 4 を形成する。絶縁層 4 4、層間接続導体 5 4、5 5、5 6、配線パターン 3 4 の形成法は、絶縁層 4 1、層間接続導体 5 1、配線パターン 3 1 の形成法と同様である。なお、電子部品 6 0 の端子（例えば、アウター端子 7 6）を配線パターン 3 3 に接続した場合、層間接続導体 5 5 及びそれ用のビアは形成しない。

20

【 0 0 6 2 】

次に、図 1 8 に示すように、オーバーコート層 9 0 をパターンニングした後、オーバーコート層 9 0 に形成された開口内に半田バンプ 9 2 を形成する。

次に、図 1 9 に示すように、半導体ウエハ 1 1 A、封止層 1 6、多層配線構造 3 0 及びオーバーコート層 9 0 をダイシングストリート 1 1 B に沿って格子状に切断することによって、半導体ウエハ 1 1 A、封止層 1 6、多層配線構造 3 0 及びオーバーコート層 9 0 をチップサイズに切り分ける。これにより、複数の半導体装置 1 が完成する。半導体ウエハ 1 1 A を分割したものが半導体基板 1 1 である。

30

【 0 0 6 3 】

なお、個片化の前に、半導体ウエハ 1 1 A の裏面を研削することによって半導体ウエハ 1 1 A を薄型化することが好ましい。半導体ウエハ 1 1 A の研削は、封止層 1 6 を形成した後に行うことが好ましい。

【 0 0 6 4 】

以上に説明したように、半導体ウエハ 1 1 A の切断前にパッケージング（封止層 1 6 の形成）、多層配線構造 3 0 の形成、電子部品 6 0、8 0 の埋込を行い、その後チップサイズへの切り分けを行ったから、半導体装置 1 のサイズを半導体チップ 1 0 のサイズにすることができる。そのため、半導体装置 1 を小型化することができる。また、回路が形成された半導体ウエハ 1 1 A とは別のウエハに多層配線構造 3 0 を積層するのではなく、半導体ウエハ 1 1 A の上に多層配線構造 3 0 を積層したから、半導体ウエハ 1 1 A とは別のウエハを必要としない。そのため、半導体装置 1 の薄型化を図ることができる。

40

【 0 0 6 5 】

〔変形例〕

なお、本発明を適用可能な実施形態は、上述した実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲で適宜変更可能である。

【 0 0 6 6 】

例えば、図 2 0 に示された半導体装置 1 0 1 のように構成されていてもよい。図 2 0 に示す半導体装置 1 0 1 と、図 2 に示す半導体装置 1 との間で互いに対応する部分には、同

50

一の符号を付す。

【 0 0 6 7 】

図 2 0 に示すように、アウター端子が半導体チップ 1 0 に形成されておらず、封止層 1 6 が図 2 に示す場合よりも薄くなっている。絶縁層 4 1 に形成されたビアが封止層 1 6 ま

【 0 0 6 8 】

以上に説明したことを除いて、図 2 0 に示す半導体装置 1 0 1 と、図 2 に示す半導体装置 1 との間で互に対応する部分は、同様に設けられている。

図 2 0 に示す半導体装置 1 0 1 の製造方法は、図 2 に示す半導体装置 1 の製造方法とほぼ同様である。但し、半導体チップ 1 0 の製造に際しては、アウター端子を形成せずに封止層 1 6 を形成し、層間接続導体 5 1 用のビアをレーザー光の照射によって封止層 1 6 に形成することが、第 1 の実施の形態の場合と異なる。

【 符号の説明 】

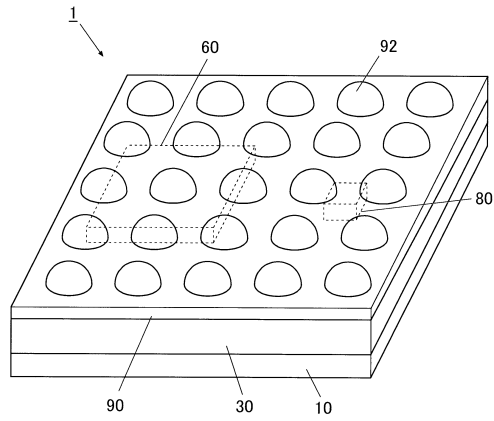
【 0 0 6 9 】

- 1、1 0 1 半導体装置
- 1 0 半導体チップ
- 1 0 c 周側面
- 1 1 半導体基板
- 1 1 A 半導体ウエハ
- 1 6 封止層
- 2 0 内部配線
- 2 6 アウター端子
- 3 0 多層配線構造
- 3 0 c 周側面
- 3 1、3 2、3 3、3 4 配線パターン
- 4 1、4 2、4 3、4 4 絶縁層
- 6 0、8 0 電子部品
- 9 2 パンプ

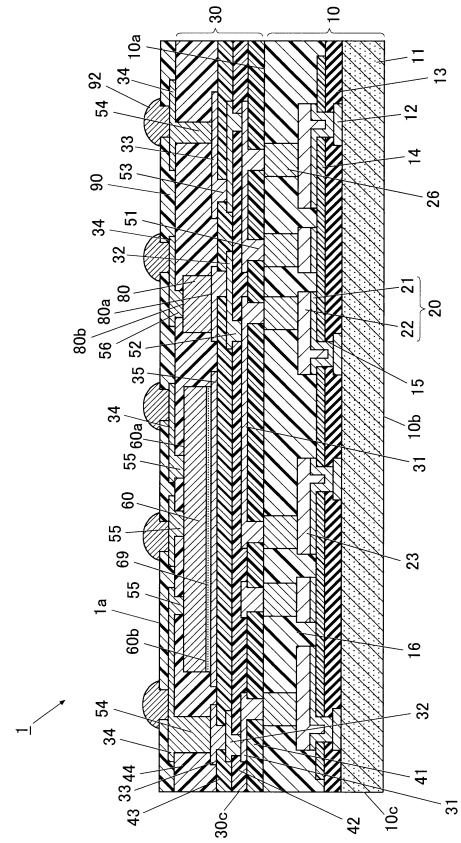
10

20

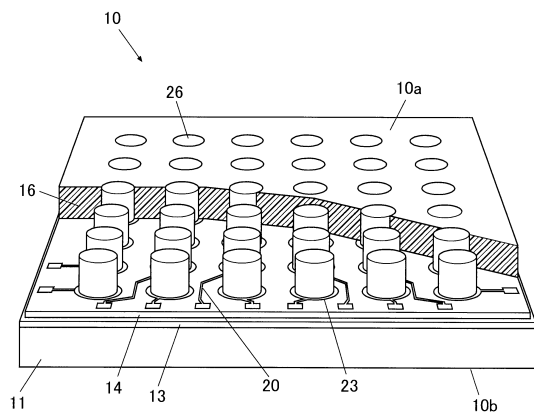
【図 1】



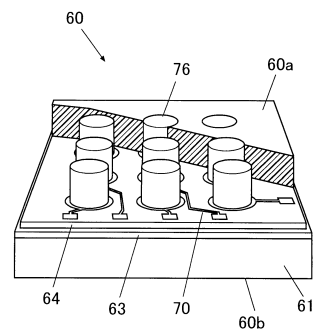
【図 2】



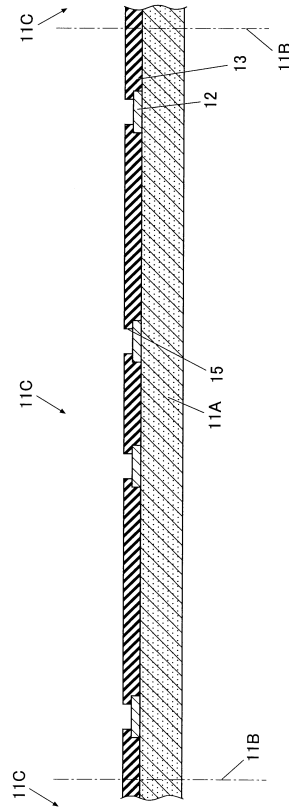
【図 3】



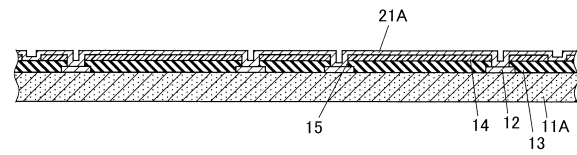
【図 4】



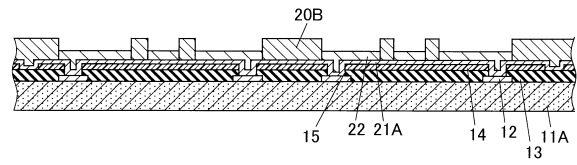
【図 5】



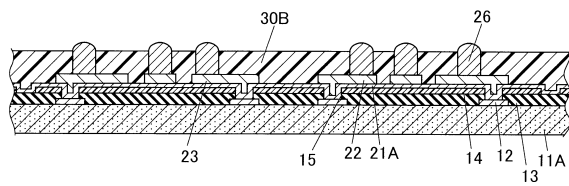
【図 6】



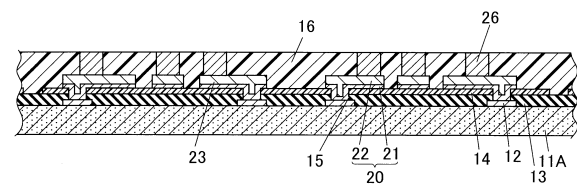
【図 7】



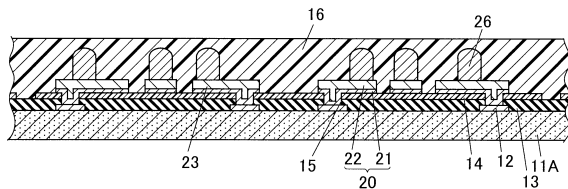
【図 8】



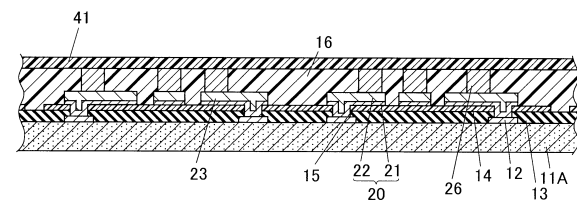
【図 10】



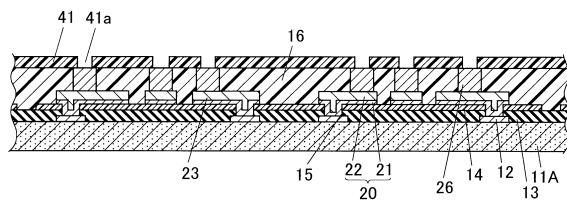
【図 9】



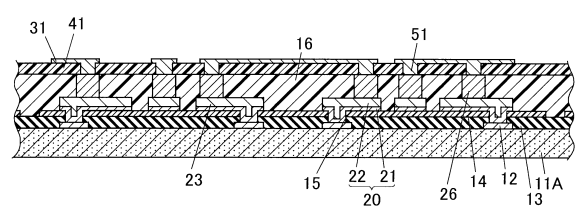
【図 11】



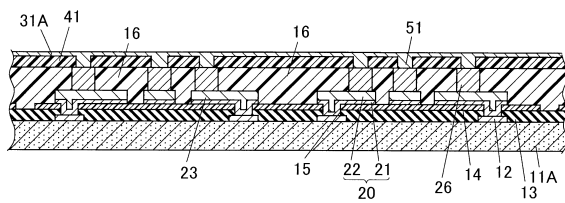
【図 12】



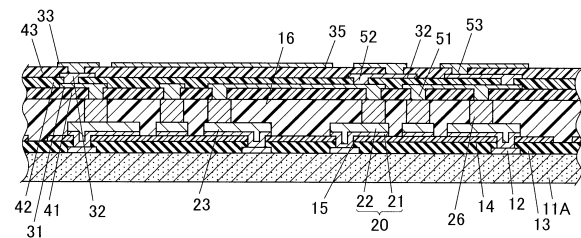
【図 14】



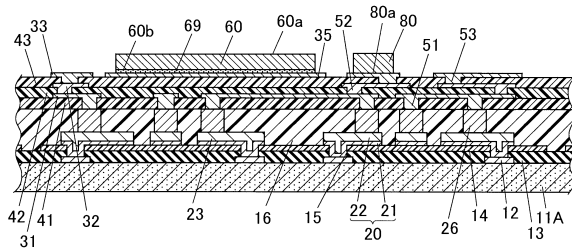
【図 13】



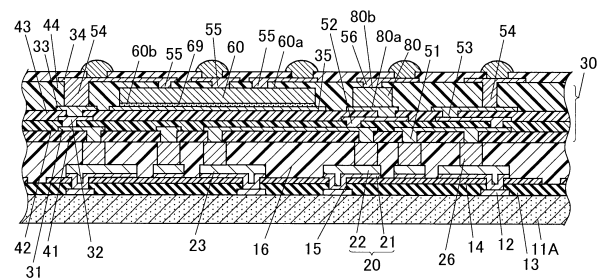
【図 15】



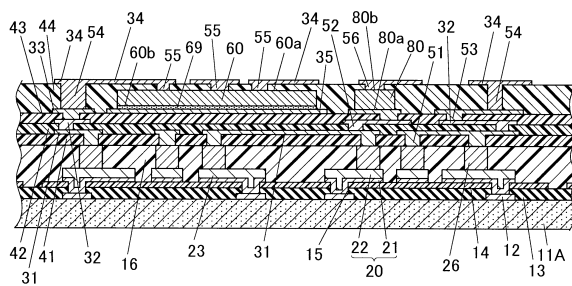
【図 16】



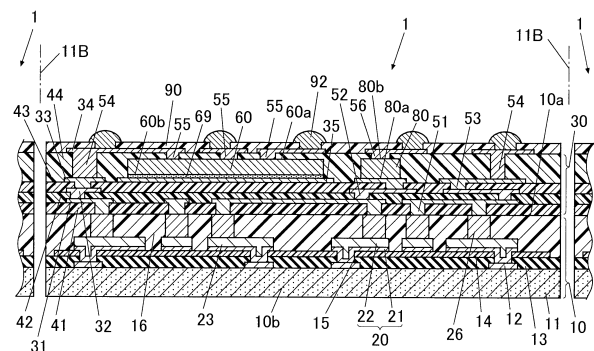
【図 18】



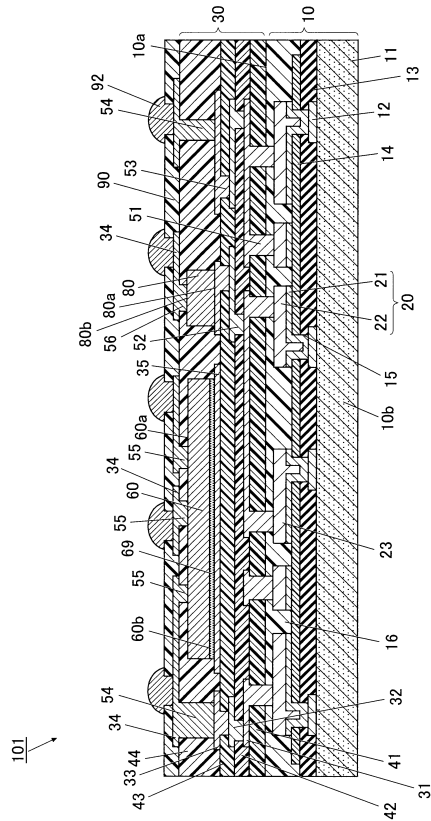
【図 17】



【図 19】



【 図 2 0 】



フロントページの続き

(56)参考文献 特開2007-318060(JP,A)
特開2009-289863(JP,A)
特開2005-203614(JP,A)
特開2001-250836(JP,A)
特開2008-227266(JP,A)
特開2005-317866(JP,A)
特開2002-299496(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12 - 23/14
H01L 23/522
H01L 25/00 - 25/16、27/00
H01L 21/3205、21/768