



## (12) 发明专利

(10) 授权公告号 CN 110718557 B

(45) 授权公告日 2023.12.26

(21) 申请号 201910813308.0

(22) 申请日 2011.02.14

(65) 同一申请的已公布的文献号  
申请公布号 CN 110718557 A

(43) 申请公布日 2020.01.21

(30) 优先权数据  
2010-051008 2010.03.08 JP

(62) 分案原申请数据  
201180013014.1 2011.02.14

(73) 专利权人 株式会社半导体能源研究所  
地址 日本神奈川县厚木市

(72)发明人 山崎舜平 乡户宏充

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

专利代理师 何欣亭 杨美灵

(51) Int.Cl.

H01L 27/12 (2006.01)

H01L 29/786 (2006.01)

(56) 对比文件

US 2009142888 A1, 2009.06.04

CN 101154343 A, 2008.04.02

US 5189500 A, 1993.02.23

CN 101645462 A, 2010.02.10

JP 2006228931 A, 2006.08.31

US 2009117692 A1, 2009.05.07

US 2009191694 A1, 2009.07.30

US 2010025677 A1.2010.02.04

US 2007025143 A1, 2007.02.01

US 2009098674 A1, 2009.04.16

审查员 李梦培

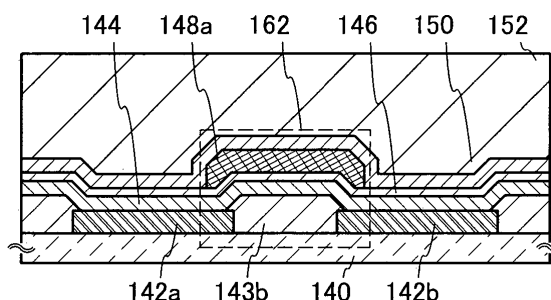
权利要求书2页 说明书30页 附图21页

(54) 发明名称

半导体装置及半导体装置的制造方法

(57) 摘要

所公开的半导体装置,包括:绝缘层;嵌入在绝缘层中的源电极和漏电极;接触于绝缘层、源电极和漏电极的氧化物半导体层;覆盖氧化物半导体层的栅极绝缘层;以及栅极绝缘层上的栅电极。接触于氧化物半导体层的绝缘层的上表面的均方根(RMS)粗糙度是1nm以下。绝缘层的上表面与源电极的上表面有高度差,以及绝缘层的上表面与漏电极的上表面有高度差。优选高度差为5nm以上。本结构有助于抑制半导体装置的缺陷且实现其微型化。



1. 一种处理器,包括:  
寄存器阵列;  
算术逻辑单元,操作地连接到所述寄存器阵列;以及  
指令寄存器,操作地连接到所述算术逻辑单元,  
其中所述处理器的一部分包括第一晶体管和第二晶体管,  
所述第一晶体管设置在所述第二晶体管下方,  
所述第一晶体管的栅电极电连接到所述第二晶体管的源电极和漏电极之一,  
所述第一晶体管的沟道形成区包含硅,  
所述第二晶体管的沟道形成区设置在氧化物半导体层中,  
并且,所述氧化物半导体层设置在所述第二晶体管的所述源电极和所述漏电极上,并且所述氧化物半导体层与所述第二晶体管的所述源电极和所述漏电极接触。
2. 一种处理器,包括:  
寄存器阵列;  
算术逻辑单元,操作地连接到所述寄存器阵列;以及  
指令寄存器,操作地连接到所述算术逻辑单元,  
其中所述处理器的一部分包括第一晶体管和第二晶体管,  
所述第一晶体管设置在所述第二晶体管下方,  
所述第一晶体管的栅电极电连接到所述第二晶体管的源电极和漏电极之一,  
所述第一晶体管的沟道形成区包含硅,  
所述第二晶体管的沟道形成区设置在氧化物半导体层中,  
所述氧化物半导体层设置在所述第二晶体管的所述源电极和所述漏电极上,并且所述氧化物半导体层与所述第二晶体管的所述源电极和所述漏电极接触,  
并且,在所述第二晶体管的栅极绝缘层上形成所述第二晶体管的栅电极。
3. 如权利要求1或2所述的处理器,  
其中所述第二晶体管的所述源电极和所述漏电极嵌在绝缘层中,  
并且,在所述绝缘层的上表面与所述第二晶体管的所述源电极和所述漏电极的上表面之间存在高度差。
4. 如权利要求3所述的处理器,  
其中所述绝缘层的所述上表面与所述第二晶体管的所述沟道形成区接触,  
并且,所述绝缘层的所述上表面具有1nm或更少的均方根粗糙度。
5. 如权利要求3所述的处理器,其中所述绝缘层的所述上表面与所述第二晶体管的所述源电极和所述漏电极的所述上表面之间的所述高度差是5nm或更多。
6. 如权利要求3所述的处理器,其中所述绝缘层的所述上表面与所述第二晶体管的所述源电极和所述漏电极的所述上表面之间的所述高度差是20nm或更少。
7. 如权利要求3所述的处理器,其中所述第二晶体管的所述源电极和所述漏电极的所述上表面部分地被所述绝缘层覆盖。
8. 如权利要求1或2所述的处理器,其中所述处理器是CPU。
9. 如权利要求1或2所述的处理器,其中在半导体衬底中形成所述第一晶体管的所述沟道形成区。

10. 如权利要求1或2所述的处理器,其中所述第一晶体管包括半导体层,所述半导体层包括所述沟道形成区,  
并且,在绝缘衬底上形成所述半导体层。

## 半导体装置及半导体装置的制造方法

[0001] 本申请是如下发明专利申请的分案申请：

[0002] 发明名称：半导体装置及半导体装置的制造方法；申请号：201610303092.X；申请日：2011年2月14日。

### 技术领域

[0003] 所公开的发明涉及一种半导体装置及其制造方法。这里，半导体装置是指通过利用半导体特性而操作的一般的元件及装置。

### 背景技术

[0004] 金属氧化物的种类繁多，且这样的金属氧化物用途广泛。作为液晶显示装置等中所需的透明电极材料，氧化铟是公知的材料。

[0005] 一些金属氧化物具有半导体特性。作为具有半导体特性的金属氧化物，例如可以举出氧化钨、氧化锡、氧化铟、氧化锌等。并且已知将这种金属氧化物用于沟道形成区的薄膜晶体管（例如，参照专利文献1至专利文献4、非专利文献1，等）。

[0006] 另外，已知金属氧化物不仅有一元氧化物还有多元氧化物。例如，作为包含In、Ga及Zn的多元氧化物半导体，具有同系物（homologous phase）的 $\text{InGaO}_3(\text{ZnO})_m$ （m：自然数）是周知的（参照非专利文献2至非专利文献4）。

[0007] 并且，已经确认到可以将包括这样的In-Ga-Zn类氧化物的氧化物半导体用于薄膜晶体管的沟道形成区（例如，参照专利文献5、非专利文献5及非专利文献6等）。

[0008] 另外，为了实现晶体管的操作的高速化等，要求晶体管的微型化。例如，专利文献6公开了使用将沟道层的厚度设定为10nm左右以下的氧化物半导体的薄膜晶体管，并且非专利文献7公开了使用将沟道长度设定为 $2\mu\text{m}$ 至 $100\mu\text{m}$ 的氧化物半导体的薄膜晶体管。

[0009] 专利文献1：日本专利申请公开昭60-198861号公报

[0010] 专利文献2：日本专利申请公开平8-264794号公报

[0011] 专利文献3：日本PCT国际申请翻译平11-505377号公报

[0012] 专利文献4：日本专利申请公开2000-150900号公报

[0013] 专利文献5：日本专利申请公开2004-103957号公报

[0014] 专利文献6：日本专利申请公开2010-21170号公报。

[0015] 非专利文献1：M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", *Appl. Phys. Lett.*, 17 June 1996, Vol. 68 p. 3650-3652

[0016] 非专利文献2：M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the  $\text{In}_2\text{O}_3$ - $\text{Ga}_2\text{ZnO}_4$ -ZnO System at 1350 °C", *J. Solid State Chem.*, 1991, Vol. 93, p. 298-315

[0017] 非专利文献3：N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and

Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m=3, 4$ , and  $5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m=7, 8, 9$ , and  $16$ ) in the  $\text{In}_2\text{O}_3$ - $\text{ZnGa}_2\text{O}_4$ - $\text{ZnO}$  System", *J. Solid State Chem.*, 1995, Vol. 116, p. 170-178

[0018] 非专利文献4:M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ( $\text{InFeO}_3(\text{ZnO})_m$ ) ( $m$ : natural number) and related compounds", KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, pp. 317-327

[0019] 非专利文献5:K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", *SCIENCE*, 2003, Vol. 300, p. 1269-1272

[0020] 非专利文献6:K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", *NATURE*, 2004, Vol. 432 p. 488-492

[0021] 非专利文献7:T. Kawamura, H. Uchiyama, S. Saito, H. Wakana, T. Mine, and M. Hatano, "Low-Voltage Operating Amorphous Oxide TFTs", IDW'09, p. 1689-1692。

## 发明内容

[0022] 在使晶体管微型化时,在制造工序中产生的缺陷成为大问题。例如,在其中用作源电极或漏电极、栅电极等的布线上形成晶体管的半导体层中,因为该布线的厚度比半导体层的厚度大,所以由于伴随微型化的半导体层的厚度的缩小而导致半导体层的覆盖性降低。结果,有可能导致断开或缺陷连接等。

[0023] 另外,在使晶体管微型化时,也发生短沟道效应的另一问题。短沟道效应是指随着晶体管的微型化(沟道长度(L)的缩短)而变得明显的电特性退化。短沟道效应由于漏极的电场效应到达源极而产生。作为短沟道效应的具体例子,有阈值电压的降低、S值(亚阈值摆动)的增大、泄漏电流的增大等。因为使用氧化物半导体形成的晶体管不能够如使用硅的晶体管那样通过掺杂来控制阈值电压,所以有容易呈现短沟道效应的倾向。

[0024] 于是,所公开的发明的一个实施例的目的之一是提供抑制缺陷并实现微型化的半导体装置。或者,所公开的发明的一个实施例的另一目的是提供维持良好的特性并实现微型化的半导体装置。

[0025] 所公开的发明的一个实施例是一种半导体装置,包括:绝缘层;嵌入在绝缘层中的源电极和漏电极;接触于绝缘层表面的一部分、源电极表面的一部分和漏电极表面的一部分的氧化物半导体层;覆盖氧化物半导体层的栅极绝缘层;以及栅极绝缘层上的栅电极。接触于氧化物半导体层的绝缘层表面的一部分的均方根(RMS)粗糙度是1nm以下。并且绝缘层表面的一部分与源电极表面的高度差,以及绝缘层表面的一部分与漏电极表面的高度差为5nm以上。另外,在上述半导体装置中,绝缘层表面的一部分与源电极表面的高度差,以及绝缘层表面的一部分与漏电极表面的高度差可为20nm以下。

[0026] 注意,在本说明书中,均方根(RMS:Root Mean Square)粗糙度通过对于截面曲线的RMS粗糙度进行三维扩展来得到,以使其能够应用于测量面。该均方根粗糙度以将从基准

面到指定面的偏差的平方的平均值的平方根表示,通过如下公式得到。

[0027] [公式1]

$$[0028] \quad R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X,Y) - Z_0\}^2 dXdY}$$

[0029] 注意,测量面是指所有测量数据示出的面,可以通过如下公式表示。

[0030] [公式2]

$$[0031] \quad Z = F(X,Y)$$

[0032] 指定面是指成为粗糙度测量的对象的面,是由坐标  $(X_1, Y_1)$   $(X_1, Y_2)$   $(X_2, Y_1)$   $(X_2, Y_2)$  表示的四点所围成的长方形区域。将指定面理想地平坦时的指定面面积设定为  $S_0$ 。注意,  $S_0$  通过如下公式得到。

[0033] [公式3]

$$[0034] \quad S_0 = |X_2 - X_1| \cdot |Y_2 - Y_1|$$

[0035] 基准面是指在指定面的平均高度处的平行于XY平面的面。也就是说,将指定面的高度的平均值设定为  $Z_0$  时,基准面的高度也通过  $Z_0$  表示。 $Z_0$  可通过如下式得到。

[0036] [公式4]

$$[0037] \quad Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X,Y) dXdY$$

[0038] 注意,在本说明书中,在使用原子力显微镜 (AFM: Atomic Force Microscope) 得到的 AFM 像中的  $10\text{nm} \times 10\text{nm}$  的区域,优选是  $100\text{nm} \times 100\text{nm}$  的区域,更优选是  $1\mu\text{m} \times 1\mu\text{m}$  的区域中算出均方根 (RMS) 粗糙度。

[0039] 所公开的发明的另一个实施例是一种半导体装置,包括:第一晶体管;以及第一晶体管上的第二晶体管,其中第一晶体管包括:第一沟道形成区;设置在第一沟道形成区上的第一栅极绝缘层;与第一沟道形成区重叠地设置在第一栅极绝缘层上的第一栅电极;以及与第一沟道形成区电连接的第一源电极及第一漏电极,第二晶体管包括:嵌入在绝缘层中的第二源电极及第二漏电极;与绝缘层表面的一部分、第二源电极表面的一部分和第二漏电极表面的一部分接触的第二沟道形成区;覆盖第二沟道形成区的第二栅极绝缘层;以及第二栅极绝缘层上的第二栅电极,与第二沟道形成区接触的绝缘层表面的一部分的均方根粗糙度是  $1\text{nm}$  以下,并且绝缘层表面的一部分与第二源电极表面的高度差,以及绝缘层表面的一部分与第二漏电极表面的高度差为  $5\text{nm}$  以上。另外,在上述半导体装置中,绝缘层表面的一部分与第二源电极表面的高度差,以及绝缘层表面的一部分与第二漏电极表面的高度差可为  $20\text{nm}$  以下。

[0040] 所公开的发明的另一个实施例是一种半导体装置的制造方法,包括如下步骤:在均方根粗糙度是  $1\text{nm}$  以下的表面上形成源电极及漏电极;覆盖源电极及漏电极地形成绝缘层;对绝缘层表面进行平坦化处理,形成具有均方根粗糙度是  $1\text{nm}$  以下的表面的被平坦化的绝缘层;通过在被平坦化的绝缘层中形成到达源电极及漏电极的开口,来使被平坦化的绝缘层表面的一部分与源电极表面的高度差,以及被平坦化的绝缘层表面的一部分与漏电极表面的高度差为  $5\text{nm}$  以上;形成与被平坦化的绝缘层表面的一部分、源电极表面的一部分和漏电极表面的一部分接触的氧化物半导体层;形成覆盖氧化物半导体层的栅极绝缘层;以

及在栅极绝缘层上形成栅电极。

[0041] 或者,一种半导体装置的制造方法,包括如下步骤:在均方根粗糙度是1nm以下的表面上形成源电极及漏电极;覆盖源电极及漏电极地形成绝缘层;对绝缘层表面进行平坦化处理形成,具有均方根粗糙度是1nm以下的表面的被平坦化的绝缘层,并使源电极及漏电极露出;通过使源电极及漏电极变薄,来使被平坦化的绝缘层表面的一部分与源电极表面的高度差,以及被平坦化的绝缘层表面的一部分与漏电极表面的高度差为5nm以上;形成与被平坦化的绝缘层表面的一部分、源电极表面的一部分和漏电极表面的一部分接触的氧化物半导体层;形成覆盖氧化物半导体层的栅极绝缘层;以及在栅极绝缘层上形成栅电极。另外,在上述半导体装置的制造方法中,被平坦化的绝缘层表面的一部分与源电极表面的高度差,以及被平坦化的绝缘层表面的一部分与漏电极表面的高度差可为20nm以下。

[0042] 所公开的发明的另一个实施例是一种半导体装置的制造方法,包括如下步骤:形成第一晶体管,该第一晶体管包括:沟道形成区;沟道形成区上的第一栅极绝缘层;与沟道形成区重叠的第一栅极绝缘层上的第一栅电极;以及与沟道形成区电连接的第一源电极及第一漏电极;形成覆盖第一晶体管的、其表面的均方根粗糙度是1nm以下的第一绝缘层;在第一绝缘层表面上形成第二源电极及第二漏电极;覆盖第二源电极及第二漏电极地形成第二绝缘层;对第二绝缘层表面进行平坦化处理来形成具有均方根粗糙度是1nm以下的表面的被平坦化的绝缘层;通过在被平坦化的绝缘层中形成到达第二源电极及第二漏电极的开口,来使被平坦化的绝缘层表面的一部分与第二源电极表面的高度差,以及被平坦化的绝缘层表面的一部分与第二漏电极表面的高度差为5nm以上;形成与被平坦化的绝缘层表面的一部分、第二源电极表面的一部分和第二漏电极表面的一部分接触的氧化物半导体层;形成覆盖氧化物半导体层的第二栅极绝缘层;以及在第二栅极绝缘层上形成第二栅电极。

[0043] 半导体装置的制造方法的另一实施例,包括如下步骤:形成第一晶体管,该第一晶体管包括:沟道形成区;沟道形成区上的第一栅极绝缘层;与沟道形成区重叠的第一栅极绝缘层上的第一栅电极;以及与沟道形成区电连接的第一源电极及第一漏电极;形成覆盖第一晶体管的、其表面的均方根粗糙度是1nm以下的第一绝缘层;在第一绝缘层表面上形成第二源电极及第二漏电极;覆盖第二源电极及第二漏电极地形成第二绝缘层;对第二绝缘层表面进行平坦化处理来形成具有均方根粗糙度是1nm以下的表面的被平坦化的绝缘层,并使第二源电极及第二漏电极露出;通过使第二源电极及第二漏电极变薄,来使被平坦化的绝缘层表面的一部分与第二源电极表面的高度差,以及被平坦化的绝缘层表面的一部分与第二漏电极表面的高度差为5nm以上;形成与被平坦化的绝缘层表面的一部分、第二源电极表面的一部分和第二漏电极表面的一部分接触的氧化物半导体层;形成覆盖氧化物半导体层的第二栅极绝缘层;以及在第二栅极绝缘层上形成第二栅电极。另外,在上述半导体装置的制造方法中,被平坦化的绝缘层表面的一部分与第二源电极表面的高度差,以及被平坦化的绝缘层表面的一部分与第二漏电极表面的高度差可为20nm以下。

[0044] 另外,优选将上述晶体管的沟道长度L设定为短于2 $\mu\text{m}$ ,更优选设定为10nm以上且350nm(0.35 $\mu\text{m}$ )以下。另外,将氧化物半导体层的厚度设定在1nm以上且50nm以下的范围内,优选设定为2nm以上且20nm以下,更优选设定为3nm以上且15nm以下。由此,实现以高速操作且耗电量低的半导体装置。另外,作为栅极绝缘层,使用氧化铪等的高介电常数材料。例如,氧化铪的相对介电常数是15左右,比氧化硅的相对介电常数(3至4)更大。通过使用这种材

料,也容易形成等效氧化物厚度小于15nm,优选为2nm以上且10nm以下的栅极绝缘层。换言之,容易实现半导体装置的微型化。另外,作为氧化物半导体层,使用被高纯度化的本征氧化物半导体。利用本征氧化物半导体,例如可以将氧化物半导体层的载流子密度设定为低于 $1 \times 10^{12} \text{cm}^{-3}$ ,优选设定为低于 $1.45 \times 10^{10} \text{cm}^{-3}$ ,将晶体管的截止电流设定为 $100 \text{zA}/\mu\text{m}$ (1zA(仄普托安培:zeptoampere)等于 $1 \times 10^{-21} \text{A}$ )以下,优选设定为 $10 \text{zA}/\mu\text{m}$ 以下,且可以将晶体管的S值设定为65mV/dec以下,优选设定为低于63mV/dec。在采用上述结构时,在理论上可以使晶体管的截止电流为 $1 \times 10^{-24} \text{A}/\mu\text{m}$ 至 $1 \times 10^{-30} \text{A}/\mu\text{m}$ 。另外,栅电极既可以设置成与源电极及漏电极重叠,又可以设置成只有栅电极的端部与源电极的端部及漏电极的端部重叠。

[0045] 在此,半导体装置是指通过利用半导体特性起作用的一般装置。例如,显示装置、存储器装置、集成电路等可以包括在半导体装置的范畴内。

[0046] 另外,在本说明书中,“上”或“下”不一定表示一个部件“直接置于”另一个部件“上”或“下”。例如,“栅极绝缘层上的栅电极”的表达包括在栅极绝缘层和栅电极之间包含其他部件的情况。

[0047] 另外,在本说明书中,“电极”或“布线”不限定部件的功能。例如,可将“电极”用作“布线”的一部分,且可将“布线”用作“电极”的一部分。再者,“电极”或“布线”还包括多个“电极”或“布线”形成为一体的情况。

[0048] 另外,“源极”和“漏极”的功能在例如使用极性不同的晶体管的情况或电路操作中的电流流动方向变化的情况下,可互相调换。因此,在本说明书中,“源极”和“漏极”可分别用于表示“漏极”和“源极”。

[0049] 另外,在本说明书中,“电连接”包括部件通过“具有某种电功能的对象”连接的情况。这里,“具有某种电功能的对象”只要可以进行通过对象连接的部件间的电信号的收发,就对其没有特别的限制。例如,“具有某种电功能的对象”不仅包括电极和布线,而且还包括晶体管等的开关元件、电阻元件、电感器、电容器、其他具有各种功能的元件等。

[0050] 因为通过所公开的发明的一个实施例可以解决微型化所导致的问题,其结果是可以使晶体管的尺寸充分小。通过使晶体管的尺寸充分小,包括晶体管的半导体装置所占的面积变小,且利用一个衬底得到的半导体装置的个数增大。由此,降低每个半导体装置的制造成本。另外,由于使半导体装置小型化,所以与传统半导体装置尺寸类似的半导体装置的功能进一步得到提高。另外,通过沟道长度的缩小也可以得到操作的高速化、低耗电量化等的有利效果。换言之,通过所公开的发明的一个实施例实现使用氧化物半导体的晶体管的微型化,可以得到微型化带来的各种的有利效果。

[0051] 如上所述,通过所公开的发明的一个实施例可以提供抑制缺陷或维持良好的特性并实现微型化的半导体装置。

## 附图说明

[0052] 图1A至图1C是示出半导体装置的结构例子的截面图;

[0053] 图2A至图2G是示出半导体装置的制造工序的截面图;

[0054] 图3A至图3G是示出半导体装置的制造工序的截面图;

[0055] 图4A至图4C是示出半导体装置的结构例子的截面图、平面图及电路图;

[0056] 图5A至图5D是示出半导体装置的制造工序的截面图;



- [0057] 图6A至图6C是示出半导体装置的制造工序的截面图；
- [0058] 图7A-1、7A-2和图7B是示出半导体装置的应用例子的图；
- [0059] 图8A和图8B是示出半导体装置的应用例子的图；
- [0060] 图9A至图9C是示出半导体装置的应用例子的图；
- [0061] 图10是示出半导体装置的应用例子的图；
- [0062] 图11A和图11B是示出半导体装置的应用例子的图；
- [0063] 图12A至图12F是各示出使用半导体装置的电子设备的图；
- [0064] 图13A和图13B是各示出用于计算的模型的图；
- [0065] 图14是示出栅极电压 $V_G$  (V) 和漏极电流 $I_D$  (A) 的关系的图；
- [0066] 图15是示出沟道长度 $L$  (nm) 和阈值电压 $V_{th}$  (V) 的关系的图；
- [0067] 图16是示出沟道长度 $L$  (nm) 和 $S$ 值 (V/dec) 的关系的图；
- [0068] 图17A和图17B是各示出用于计算的模型的图；
- [0069] 图18是示出栅极电压 $V_G$  (V) 和漏极电流 $I_D$  (A) 的关系的图。

### 具体实施方式

[0070] 下面,使用附图对本发明的实施例的一个例子进行说明。但是,本发明不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解的是,本发明的方式及详细内容在不脱离本发明的精神及其范围的情况下可以被变换为各种的形式。因此,本发明不应该被解释为仅限定在以下的实施例所记载的内容中。

[0071] 另外,附图等所示的每个部件的位置、大小、范围等为了容易理解而有时不表示精确的位置、大小、范围等。因此,所公开的发明不一定局限于附图等所公开的位置、大小、范围等。

[0072] 另外,本说明书中的“第一”、“第二”、“第三”等的序数词是为了避免部件的混淆而附记的,且这些术语不在数目上对部件进行限制。

#### [0073] 实施例1

[0074] 在本实施例中,参照图1A至图1C、图2A至图2G以及图3A至图3G对根据所公开的发明的一个实施例的半导体装置的结构及其制造方法进行说明。

#### [0075] <半导体装置的结构例子>

[0076] 图1A至图1C各示出半导体装置的结构例子。图1A是第一结构例子,图1B是第二结构例子。另外,图1C是图1A的变形例子。

[0077] 图1A中的晶体管162包括:在具有形成部件的表面的衬底140上的绝缘层143b;嵌入在包括绝缘层143b的绝缘层中的源电极142a及漏电极142b;接触于上述绝缘层143b的上表面的一部分、源电极142a的上表面的一部分和漏电极142b的上表面的一部分的氧化物半导体层144;覆盖氧化物半导体层144的栅极绝缘层146;以及栅极绝缘层146上的栅电极148a。

[0078] 如图1A所示,通过将氧化物半导体用于晶体管的激活层(active layer),可以得到良好的特性。例如,可以得到65mV/dec以下,优选低于63mV/dec的晶体管的 $S$ 值。

[0079] 另外,接触于氧化物半导体层的、绝缘层143b的上表面的一部分(尤其是指平行于形成部件的表面的区域)的均方根(RMS)粗糙度是1nm以下(优选是0.5nm以下)。绝缘层143b

的上表面的一部分与源电极142a的上表面的高度差,以及绝缘层143b的上表面的一部分与漏电极142b的上表面的高度差为5nm以上。

[0080] 如上所述,在所公开的发明的一个实施例中,在均方根(RMS)粗糙度是1nm以下的极为平坦的区域上设置晶体管162的沟道形成区。由此,在晶体管162被微型化的情况下,也可以提供防止短沟道效应等的缺陷并具有良好的特性的晶体管162。

[0081] 另外,通过提高形成部件的表面的平坦性,可以使氧化物半导体层144的膜厚度分布均匀,从而提高晶体管162的特性。另外,可以抑制因大的高度差而产生的覆盖性的降低,而防止氧化物半导体层144的断开或缺陷连接。

[0082] 另外,如上所述,通过使绝缘层143b的上表面的一部分与源电极142a的上表面,以及绝缘层143b的上表面的一部分与漏电极142b的上表面具有小的高度差(例如,5nm以上且20nm以下),电流的路径可延长。由此,可以缓和晶体管162中的电场的集中来抑制短沟道效应。

[0083] 在此,氧化物半导体层144优选为通过充分地去氢等的杂质、或者通过被供给足够的氧来被高纯度化的氧化物半导体层。具体地说,例如将氧化物半导体层144的氢浓度设定为 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下,优选设定为 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下,更优选设定为 $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下。另外,上述氧化物半导体层144中的氢浓度是通过次级离子质谱法(SIMS:Secondary Ion Mass Spectrometry)来测量的。如上所述,在氢浓度被充分降低而氧化物半导体层被高纯度化、并通过被供给足够的氧来降低起因于氧缺乏的能隙中的缺陷状态的氧化物半导体层144中,起因于氢等的施主的载流子浓度低于 $1 \times 10^{12}$ /cm<sup>3</sup>,优选低于 $1 \times 10^{11}$ /cm<sup>3</sup>,更优选低于 $1.45 \times 10^{10}$ /cm<sup>3</sup>。另外,例如,室温(25℃)下的截止电流(在此,单位沟道宽度(1μm)的值)为100zA(1zA(仄普托安培:zeptoampere)等于 $1 \times 10^{-21}$ A)以下,优选为10zA以下。如此,通过使用被i型化(本征化)或实质上被i型化的氧化物半导体,可以得到截止电流特性极为优良的晶体管162。

[0084] 另外,如非专利文献7等所公开的,当使用载流子密度高,即 $2 \times 10^{19}$ /cm<sup>3</sup>的n型氧化物半导体时,可以实现沟道长度为2μm至100μm的比较大尺寸的晶体管。但是,如果将这种材料用于被微型化(沟道长度短于2μm)的晶体管,则其阈值电压大幅度地向负一侧漂移,因而难以实现常关型晶体管。换言之,实际上不能使用利用这种材料制造的沟道长度短于2μm的晶体管。另一方面,被高纯度化且被本征化或实质上本征化的氧化物半导体的载流子密度至多低于 $1 \times 10^{14}$ /cm<sup>3</sup>,不发生常开的问题,因此利用这样的本征化或实质上本征化的氧化物半导体,可以容易实现沟道长度短于2μm的晶体管。

[0085] 图1B中的晶体管262具有类似于晶体管162的结构。即,晶体管262包括:在具有形成部件的表面的衬底240上的绝缘层243b;嵌入在包括绝缘层243b的绝缘层中的源电极242a及漏电极242b;接触于上述绝缘层243b的上表面的一部分、源电极242a的上表面的一部分和漏电极242b的上表面的一部分的氧化物半导体层244;覆盖氧化物半导体层244的栅极绝缘层246;以及栅极绝缘层246上的栅电极248a。

[0086] 另外,接触于氧化物半导体层的、绝缘层243b的上表面的一部分的均方根(RMS)粗糙度是1nm以下(优选是0.5nm以下),并且绝缘层243b的上表面的一部分与源电极242a的上表面的高度差,以及绝缘层243b的上表面的一部分与漏电极242b的上表面的高度差为5nm以上。

[0087] 图1B中的晶体管262和图1A中的晶体管162的不同之处在于上述绝缘层的一部分是否以覆盖源电极及漏电极的端部的方式设置。换言之,在图1A的晶体管162中,绝缘层143b以覆盖源电极142a及漏电极142b的方式设置,另一方面,在图1B的晶体管262中,绝缘层243b不覆盖源电极242a及漏电极242b。

[0088] 图1B的结构产生的效果与图1A的情况所得的效果相同。即,因为在极为平坦的区域上设置晶体管262的沟道形成区,所以在晶体管262被微型化的情况下也可以防止短沟道效应等的问题,并提供具有良好的特性的晶体管262。另外,通过提高形成部件的表面的平坦性,可以使氧化物半导体层244的膜厚度分布均匀化来提高晶体管262的特性。另外,可以抑制因大的高度差而产生的覆盖性的降低,而防止氧化物半导体层244的断开或缺陷连接。另外,通过如上所述的绝缘层与源电极(及漏电极)之间的小的高度差,可以缓和晶体管262中的电场的集中而抑制短沟道效应。

[0089] 图1C中的晶体管162是图1A中的晶体管162的变形例子。具体而言,图1C的晶体管162相当于将图1A的源电极142a及漏电极142b改变为锥形形状而得的晶体管。将锥角可例如设定为 $30^{\circ}$ 以上且 $60^{\circ}$ 以下。注意,锥角是指当从垂直于其截面(与衬底140表面正交的面)的方向观察时具有锥形形状的层(例如,源电极142a)的侧面和底面所形成的角。

[0090] <半导体装置的制造方法的例子>

[0091] 接着,参照图2A至图2G和图3A至图3G对上述半导体装置的制造方法的例子进行说明。在此,图2A至图2G是示出图1A所示的晶体管162的制造方法的例子的图,而图3A至图3G是示出图1B所示的晶体管262的制造方法的例子的图。注意,以下,首先对图2A至图2G进行说明,至于图3A至图3G,只对与图2A至图2G的主要不同之处进行说明。另外,因为图1C所示的结构可以与图1A所示的结构同样地制造,因此省略其详细说明。

[0092] 以下,对图2A至图2G进行说明。首先,在具有形成部件的表面的衬底140上形成源电极142a及漏电极142b(参照图2A)。

[0093] 对可以用作衬底140的衬底没有具体的限制,但是衬底140需要至少具有高到能够承受后面进行的加热处理的耐热性。例如,作为衬底,可以使用玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等的衬底。另外,只要衬底具有绝缘表面,衬底可以是硅或碳化硅等的单晶半导体衬底、多晶半导体衬底,硅锗等的化合物半导体衬底,SOI衬底等。又备选地,衬底也可以是设置有半导体元件的任意这些衬底。另外,在衬底140上也可以形成有基底膜。

[0094] 另外,衬底140的形成部件的表面优选是足够平坦的表面。例如,使用均方根(RMS)粗糙度是1nm以下(优选是0.5nm以下)的表面。通过在这种表面上形成晶体管162,可以充分地提高特性。另外,在衬底140的表面的平坦性不足时,优选对该表面进行化学机械抛光(CMP)处理或蚀刻处理等来确保如上所述的平坦性。注意,作为CMP处理的详细内容,可以参照后面的对绝缘层143进行的CMP处理的记载。

[0095] 源电极142a及漏电极142b可以通过在具有形成部件的表面的衬底140上形成导电层并对该导电层选择性地蚀刻来形成。

[0096] 上述导电层可以利用如溅射法等PVD法或如等离子体CVD法等CVD法来形成。另外,作为导电层的材料,可以使用选自铝、铬、铜、钼、钛、钽和钨中的元素或包括任意这些元素为成分的合金等。还可以使用包括选自锰、镁、锆、铍、钕、钪中的一种或多种这些元素的组合的材料。

[0097] 导电层既可以采用单层结构也可以采用两层以上的叠层结构。例如导电层可具有：钛膜或氮化钛膜的单层结构；含有硅的铝膜的单层结构；在铝膜上层叠钛膜的双层结构；在氮化钛膜上层叠钛膜的双层结构；以及依次层叠钛膜、铝膜和钛膜的三层结构等。另外，具有钛膜或氮化钛膜的单层结构的导电层，具有易于加工为具有锥形形状的源电极142a及漏电极142b的优点。

[0098] 另外，导电层还可以使用导电金属氧化物来形成。作为导电金属氧化物，可以采用氧化铟( $\text{In}_2\text{O}_3$ )、氧化锡( $\text{SnO}_2$ )、氧化锌( $\text{ZnO}$ )、氧化铟氧化锡合金( $\text{In}_2\text{O}_3$ - $\text{SnO}_2$ ，有时简称为ITO)、氧化铟氧化锌合金( $\text{In}_2\text{O}_3$ - $\text{ZnO}$ )或者含有硅或氧化硅的任意这些金属氧化物材料。

[0099] 另外，作为导电层的蚀刻，可以使用干法蚀刻和湿法蚀刻中的任一种，但是为了实现微型化，优选使用具有良好的控制性的干法蚀刻。可以以使形成的源电极142a及漏电极142b成为锥形形状的方式进行蚀刻。锥角例如可以为 $30^\circ$ 以上且 $60^\circ$ 以下。

[0100] 晶体管162的沟道长度(L)由源电极142a及漏电极142b的上端部的间隔确定。另外，在形成沟道长度(L)短于25nm的晶体管的情况下，当进行用来形成掩模的曝光时，优选使用波长为几纳米至几十纳米的极短的远紫外线来进行曝光。利用远紫外线的曝光的分辨率高且聚焦深度大。由此，也可以将后面形成的晶体管的沟道长度(L)设定为短于 $2\mu\text{m}$ ，优选设定为10nm以上且350nm( $0.35\mu\text{m}$ )以下，而可以提高电路的操作速度。再者，通过微型化可以降低半导体装置的耗电量。

[0101] 接着，覆盖源电极142a及漏电极142b地形成绝缘层143(参照图2B)。

[0102] 绝缘层143可以使用如氧化硅、氮氧化硅、氮化硅、氧化铝等的无机绝缘材料形成。因为后面形成的氧化物半导体层144接触于绝缘层143，所以特别优选使用氧化硅来形成绝缘层143。对绝缘层143的形成方法没有特别的限制，但是考虑绝缘层143与氧化物半导体层144的接触，优选使用其中充分地降低氢的方法。作为这种方法，例如有溅射法等。当然，也可以使用等离子体CVD法等或其他沉积法。

[0103] 接着，使用化学机械抛光(CMP)处理使绝缘层143变薄来形成绝缘层143a(参照图2C)。在此，以不使源电极142a及漏电极142b的表面露出的方式进行CMP处理。另外，以使绝缘层143a的表面的均方根(RMS)粗糙度为1nm以下(优选为0.5nm以下)的条件进行该CMP处理。通过使用这种条件进行CMP处理，可以提高后面形成氧化物半导体层144的表面的平坦性，而可提高晶体管162的特性。

[0104] 在此，CMP处理是指通过化学、机械的复合作用使被加工物的表面平坦化的方法。更具体而言，CMP处理是一种方法，其中在抛光台上贴附抛光布，且一边在被加工物和抛光布之间供应浆料(研磨剂)，一边将抛光台和被加工物分别旋转或摇动，通过浆料和被加工物表面之间的化学反应以及抛光布和被加工物的机械抛光的作用对被加工物的表面进行抛光。

[0105] 可以进行只有一次的CMP处理或多次的CMP处理。当分多次进行CMP处理时，优选在进行高抛光率的初始抛光之后，进行低抛光率的最后抛光。通过以不同的抛光率进行抛光，可以进一步提高绝缘层143a的表面的平坦性。

[0106] 接着，选择性地去除重叠于源电极142a及漏电极142b的绝缘层143a的区域来形成具有到达源电极142a及漏电极142b的开口的绝缘层143b(参照图2D)。通过蚀刻等的方法可以选择性地去除绝缘层143a。

[0107] 作为绝缘层143a的蚀刻,可以使用干法蚀刻和湿法蚀刻中的任一种。另外,优选以使形成的开口具有斜面的方式对绝缘层143a进行蚀刻。作为该斜面,例如,优选从垂直于截面(与衬底140表面正交的面)的方向观察该斜面时,衬底140的表面和该斜面所形成的角大于或等于 $30^{\circ}$ 且小于或等于 $60^{\circ}$ 。通过利用这种条件对绝缘层143a进行蚀刻,可以提高后面覆盖绝缘层143b地形成的氧化物半导体层的覆盖性,防止氧化物半导体层的断开等。

[0108] 通过上述蚀刻工序,由绝缘层143b的上表面的一部分、源电极142a的上表面和漏电极142b的上表面形成具有微小的高度差(例如,5nm以上且20nm以下)的表面。另外,源电极142a及漏电极142b的端部被绝缘层143b覆盖。但是,通过提高形成开口时的构图精度,也可以形成源电极142a及漏电极142b的端部不被绝缘层143b覆盖的结构。

[0109] 接着,接触于源电极142a的一部分、漏电极142b的一部分及绝缘层143b的一部分地形成覆盖上述表面的氧化物半导体层144,然后覆盖该氧化物半导体层144地形成栅极绝缘层146(参照图2E)。

[0110] 氧化物半导体层144含有选自In、Ga、Sn及Zn中的至少一种元素。例如,可以使用:作为四元金属氧化物的In-Sn-Ga-Zn-O类氧化物半导体;作为三元金属氧化物的In-Ga-Zn-O类氧化物半导体、In-Sn-Zn-O类氧化物半导体、In-Al-Zn-O类氧化物半导体、Sn-Ga-Zn-O类氧化物半导体、Al-Ga-Zn-O类氧化物半导体、Sn-Al-Zn-O类氧化物半导体;作为二元金属氧化物的In-Zn-O类氧化物半导体、Sn-Zn-O类氧化物半导体、Al-Zn-O类氧化物半导体、Zn-Mg-O类氧化物半导体、Sn-Mg-O类氧化物半导体、In-Mg-O类氧化物半导体、In-Ga-O类氧化物半导体;以及作为一元金属氧化物的In-O类氧化物半导体、Sn-O类氧化物半导体、Zn-O类氧化物半导体等。另外,也可以使上述氧化物半导体包含In、Ga、Sn、Zn以外的元素,例如 $\text{SiO}_2$ 。

[0111] 例如,In-Ga-Zn-O类氧化物半导体是指具有铟(In)、镓(Ga)、锌(Zn)的氧化物膜,且对其组成比没有限制。

[0112] 尤其是In-Ga-Zn-O类的氧化物半导体材料,由于其在无电场时的电阻充分高从而能够充分地降低截止电流。此外,电场效应迁移率也高,所以作为用于半导体装置的半导体材料十分合适。

[0113] 作为In-Ga-Zn-O类的氧化物半导体材料的典型例子,有表示为 $\text{InGaO}_3(\text{ZnO})_m$  ( $m>0$ )的氧化物半导体材料。此外,还有使用M代替Ga的表示为 $\text{InMO}_3(\text{ZnO})_m$  ( $m>0$ )的氧化物半导体材料。在此,M表示选自镓(Ga)、铝(Al)、铁(Fe)、镍(Ni)、锰(Mn)、钴(Co)中的一种金属元素或多种金属元素。例如,作为M,可以采用Ga、Ga及Al、Ga及Fe、Ga及Ni、Ga及Mn、Ga及Co等。另外,上述组成是根据结晶结构而导出的,仅表示例子。

[0114] 另外,当作为氧化物半导体使用In-Zn-O类材料时,将所使用的靶材的组成比设定为原子比In:Zn=50:1至1:2(换算为摩尔比则为 $\text{In}_2\text{O}_3$ :ZnO=25:1至1:4),优选原子比为In:Zn=20:1至1:1(换算为摩尔比则为 $\text{In}_2\text{O}_3$ :ZnO=10:1至1:2),更优选原子比为In:Zn=15:1至1.5:1(换算为摩尔比则为 $\text{In}_2\text{O}_3$ :ZnO=15:2至3:4)。例如,作为用于形成In-Zn-O类氧化物半导体的靶材,当原子比为In:Zn:O=X:Y:Z时,满足 $Z>1.5X+Y$ 的关系。

[0115] 作为用于以溅射法形成氧化物半导体层144的靶材,优选使用具有In:Ga:Zn=1:x:y ( $x$ 为0以上、 $y$ 为0.5以上且5以下)的组成比的靶材。例如,可以使用其组成比为 $\text{In}_2\text{O}_3$ : $\text{Ga}_2\text{O}_3$ :ZnO=1:1:2[摩尔比]的靶材等。另外,还可以使用组成比为 $\text{In}_2\text{O}_3$ : $\text{Ga}_2\text{O}_3$ :ZnO=1:1:1[摩

尔比]的靶材、组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [摩尔比]的靶材或组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:0:2$ [摩尔比]的靶材。

[0116] 在本实施例中,利用使用In-Ga-Zn-O类的金属氧化物靶材的溅射法形成非晶结构的氧化物半导体层144。另外,其厚度范围是1nm以上且50nm以下,优选是2nm以上且20nm以下,更优选是3nm以上且15nm以下。

[0117] 将金属氧化物靶材中的金属氧化物的相对密度设定为80%以上,优选设定为95%以上,更优选设定为99.9%以上。通过使用相对密度高的金属氧化物靶材,可以形成具有致密结构的氧化物半导体层。

[0118] 氧化物半导体层144的形成气氛优选为稀有气体(典型为氩)气氛、氧气氛或稀有气体(典型为氩)和氧的混合气氛。具体地说,例如,优选使用氢、水、羟基或氢化物等的杂质降低到1ppm以下(优选的为10ppb以下)的高纯度气体气氛。

[0119] 当形成氧化物半导体层144时,例如,将被处理物放入保持为减压状态的处理室内,并对被处理物进行加热以使其温度达到100℃以上且低于550℃,优选为200℃以上且400℃以下。或者,也可以将形成氧化物半导体层144时的被处理物的温度设定为室温(25℃±10℃(15℃以上且35℃以下))。然后,边去除处理室内的水分边引入去除了氢或水等的溅射气体,并使用上述靶材而形成氧化物半导体层144。通过边加热被处理物边形成氧化物半导体层144,可以减少氧化物半导体层144中含有的杂质。另外,可以减轻因溅射而带来的损伤。优选使用捕集真空泵去除残留在处理室内的水分。例如,可以使用低温泵、离子泵、钛升华泵等。另外,还可以使用装备有冷阱的涡轮泵。由于通过使用低温泵等进行排气,可以将氢或水等从处理室中去除,由此可以降低氧化物半导体层中的杂质浓度。

[0120] 作为氧化物半导体层144的形成条件,例如可以采用以下条件:被处理物与靶材之间的距离为170mm、压力为0.4Pa、直流(DC)电力为0.5kW、气氛为氧(氧100%)气氛或氩(氩100%)气氛或氧和氩的混合气氛。另外,当利用脉冲直流(DC)电源时,可以减少尘屑(膜形成时形成的粉状或片状物质等)且膜厚分布也变得均匀,所以是优选的。将氧化物半导体层144的厚度设定为1nm以上50nm以下,优选为2nm以上20nm以下,更优选为3nm以上15nm以下。通过采用根据所公开的发明的结构,即使使用上述厚度的氧化物半导体层144,也可以抑制伴随微型化的短沟道效应。但是,由于根据使用的氧化物半导体材料及半导体装置的预期用途等,氧化物半导体层的适宜的厚度也不同,所以也可以根据使用的材料及预期用途选择适宜的厚度。另外,在所公开的发明的一个实施例中,使形成氧化物半导体层144的表面充分地平坦化。因此,也可以有利地形成厚度薄的氧化物半导体层。

[0121] 另外,在利用溅射法形成氧化物半导体层144之前,也可以进行通过引入氩气体来产生等离子体的反溅射来去除待形成氧化物半导体层144的表面(例如,绝缘层143b的表面)上的附着物。这里,反溅射是指以下一种方法:通常的溅射是使离子碰撞溅射靶材,而反溅射与其相反,其通过使离子碰撞处理表面来改变表面的性质。作为使离子碰撞处理表面的方法的例子,可以举出在氩气氛下对表面一侧施加高频电压以在被处理物附近生成等离子体的方法等。另外,也可以使用氮、氦、氧等气氛代替氩气氛。

[0122] 在形成氧化物半导体层144之后,优选对氧化物半导体层144进行热处理(第一热处理)。通过该第一热处理,可以去除氧化物半导体层144中的过量的氢(包括水及羟基)而改善氧化物半导体层144的结构,从而降低能隙中的缺陷状态。例如,可以将第一热处理的

温度设定为300℃以上且低于550℃,或者400℃以上500℃以下。

[0123] 作为热处理,例如,可以将被处理物放入使用电阻加热器等的电炉中,并在氮气气氛下以450℃加热1个小时。在热处理期间,不使氧化物半导体层暴露于大气以防止水或氢的混入。

[0124] 热处理装置不限于电炉,还可以是利用被加热的气体等的介质的热传导或热辐射来加热被处理物的装置。例如,可以使用LRTA(Lamp Rapid Thermal Anneal:灯快速热退火)装置、GRTA(Gas Rapid Thermal Anneal:气体快速热退火)装置等的RTA(Rapid Thermal Anneal:快速热退火)装置。LRTA装置是通过卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或者高压汞灯等的灯发射的光(电磁波)的辐射来加热被处理物的装置。GRTA装置是使用高温气体进行热处理的装置。作为气体,使用如氩等的稀有气体或氮等的进行热处理也不与被处理物产生反应的惰性气体。

[0125] 例如,作为第一热处理,可以如下地进行GRTA处理。将被处理物放入被加热的惰性气体气氛中,在进行几分钟的加热之后,再将被处理物从该惰性气体气氛中取出。通过利用GRTA处理可以在短时间内进行高温热处理。另外,即使温度条件超过被处理物的温度上限,也可适用GRTA处理。另外,在处理中,还可以将惰性气体换为含有氧的气体。这是由于以下缘故:通过在含有氧的气氛中进行第一热处理,可以降低因氧空位而引起的能隙中的缺陷状态。

[0126] 另外,作为惰性气体气氛,优选采用以氮或稀有气体(氮、氦、氩等)为主要成分且不含有水、氢等的气氛。例如,优选引入热处理装置中的氮或氦、氦、氩等的稀有气体的纯度为6N(99.9999%)以上,更优选为7N(99.99999%)以上(即,杂质浓度为1ppm以下,优选为0.1ppm以下)。

[0127] 总之,通过利用第一热处理减少杂质以形成i型(本征)或实质上i型的氧化物半导体层,可以实现具有极优越的特性的晶体管。

[0128] 另外,上述热处理(第一热处理)具有去除氢或水等的作用,所以也可以将该热处理称为脱水化处理或脱氢化处理等。可以在形成栅极绝缘层146之后或形成栅电极之后等进行该脱水化处理或脱氢化处理。这样的脱水化处理、脱氢化处理不限于一次,而可以进行多次。

[0129] 也可以在形成氧化物半导体层144之后将该氧化物半导体层144加工为岛状氧化物半导体层。例如,可以通过蚀刻将氧化物半导体层144加工为岛状氧化物半导体层。可以在上述热处理之前或之后进行蚀刻。另外,从元件的微型化的观点而言,优选使用干法蚀刻,但是也可以使用湿法蚀刻。可以根据被蚀刻材料适当地选择蚀刻气体或蚀刻剂。

[0130] 栅极绝缘层146可以利用CVD法或溅射法等形成。另外,栅极绝缘层146优选以含有氧化硅、氮化硅、氧氮化硅、氧化铝、氧化钽、氧化铪、氧化钇、硅酸铪( $\text{HfSi}_x\text{O}_y$  ( $x>0, y>0$ ))、添加有氮的硅酸铪( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x>0, y>0, z>0$ ))、添加有氮的铝酸铪( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x>0, y>0, z>0$ ))等方式形成。栅极绝缘层146既可以采用单层结构,也可以采用叠层结构。另外,虽然对栅极绝缘层146的厚度没有特别的限定,但是当对半导体装置进行微型化时,为了确保晶体管的操作优选将其形成得较薄。例如,当使用氧化硅时,可以将其厚度形成为1nm以上100nm以下,优选为10nm以上50nm以下。

[0131] 当如上述那样将栅极绝缘层形成得较薄时,存在因隧道效应等引起栅极泄漏的问

题。为了解决栅极泄漏的问题,可以使用如氧化铪、氧化钽、氧化钇、硅酸铪( $\text{HfSi}_x\text{O}_y$  ( $x>0, y>0$ ))、添加有氮的硅酸铪( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x>0, y>0, z>0$ ))、添加有氮的铝酸铪( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x>0, y>0, z>0$ ))等的高介电常数(高k)材料形成栅极绝缘层146。通过将高k材料用于栅极绝缘层146,不但可以确保电特性,而且可以将厚度设定得厚,以抑制栅极泄漏。例如,氧化铪的相对介电常数是15左右,该值比氧化硅的相对介电常数(3至4)更大。通过使用这种材料,也容易实现等效氧化物厚度小于15nm,优选是2nm以上且10nm以下的栅极绝缘层。另外,还可以采用含有高k材料的膜与含有氧化硅、氮化硅、氧氮化硅、氮氧化硅或氧化铝等中任何材料的膜的叠层结构。

[0132] 优选在形成栅极绝缘层146之后,在惰性气体气氛下或氧气气氛下进行第二热处理。热处理的温度范围为200℃以上450℃以下,优选为250℃以上350℃以下。例如,可以在氮气气氛下以250℃进行1个小时的热处理。通过进行第二热处理,可以降低晶体管的电特性的不均匀性。另外,当栅极绝缘层146含有氧时,其向氧化物半导体层144供给氧,填补该氧化物半导体层144的氧空位,而可以形成i型(本征)或实质上i型的氧化物半导体层144。

[0133] 另外,在本实施例中,虽然在形成栅极绝缘层146之后进行第二热处理,但是第二热处理的时序不限定于此。例如,也可以在形成栅电极之后进行第二热处理。另外,可以在第一热处理之后连续地进行第二热处理,或第一热处理可兼作第二热处理,或第二热处理可兼作第一热处理。

[0134] 如上述那样,通过使用第一热处理和第二热处理中的至少一方,可以使氧化物半导体层144高纯度化以使其尽量不包含其主要成分以外的杂质。

[0135] 接着,在栅极绝缘层146上形成栅电极148a(参照图2F)。通过在栅极绝缘层146上形成导电层之后,对该导电层进行选择性的蚀刻,可以形成栅电极148a。成为栅电极148a的导电层可以利用如溅射法等PVD法或如等离子体CVD法等CVD法来形成。其详细内容与形成源电极142a或漏电极142b等的情况相同而可以参照有关内容。注意,虽然在此采用栅电极148a的一部分与源电极142a及漏电极142b重叠的结构,但是所公开的发明不局限于此。也可以采用栅电极148a的端部与源电极142a的端部相互重叠且栅电极148a的端部与漏电极142b的端部重叠的结构。

[0136] 接着,覆盖栅极绝缘层146、栅电极148a等地形成绝缘层150及绝缘层152(参照图2G)。绝缘层150及绝缘层152可以利用PVD法或CVD法等形式形成。另外,还可以使用含有氧化硅、氧氮化硅、氮化硅、氧化铪、氧化铝等的无机绝缘材料的材料形成。

[0137] 另外,作为绝缘层150或绝缘层152,优选使用介电常数低的材料或介电常数低的结构(多孔结构等)。通过使绝缘层150或绝缘层152的介电常数低,可以降低产生在布线或电极等之间的电容而实现操作的高速化。

[0138] 另外,虽然在本实施例中采用绝缘层150与绝缘层152的叠层结构,但是所公开的发明的一个实施例不限于此例。既可以采用单层结构,也可以采用三层以上的叠层结构。另外,也可以采用不设置绝缘层的结构。

[0139] 另外,优选将上述绝缘层152的表面形成为平坦。这是由于:通过将绝缘层152的表面形成为平坦,即使将半导体装置微型化等时,也可以顺利地绝缘层152上形成电极或布线等。另外,可以利用化学机械抛光(CMP)等方法进行绝缘层152的平坦化。

[0140] 通过上述步骤完成使用被高纯度化的氧化物半导体层144的晶体管162(参照图



2G)。

[0141] 另外,也可以在上述工序之后形成各种布线或电极等。可以使用所谓的镶嵌法或双镶嵌法等的方法形成布线或电极。

[0142] 如上所述,在所公开的发明的一个实施例中,在均方根(RMS)粗糙度是1nm以下的极为平坦的区域上设置晶体管162的沟道形成区。由此,在晶体管162被微型化的情况下也可以得到防止短沟道效应等的缺陷并具有良好的特性的晶体管162。

[0143] 另外,通过提高形成部件的表面的平坦性,可以使氧化物半导体层144的膜厚度分布均匀化来提高晶体管162的特性。另外,可以抑制因大的高度差而产生的覆盖性的降低,防止氧化物半导体层144的断开或缺陷连接。

[0144] 另外,如上所述,通过使绝缘层143b的上表面的一部分与源电极142a的上表面,以及绝缘层143b的上表面的一部分与漏电极142b的上表面具有微小的高度差(例如,5nm以上且20nm以下),电流的路径可延长。由此,可以缓和晶体管162中的电场的集中来抑制短沟道效应。

[0145] 另外,在本实施例所示的晶体管162中,由于氧化物半导体层144被高纯度化,其氢浓度为 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下,优选为 $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下,更优选为 $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下。另外,氧化物半导体层144的起因于氢等的施主的载流子密度与通常的硅片中的载流子密度( $1 \times 10^{14}$ /cm<sup>3</sup>左右)相比是充分小的值(例如,低于 $1 \times 10^{12}$ /cm<sup>3</sup>、更优选为低于 $1.45 \times 10^{10}$ /cm<sup>3</sup>)。并且,晶体管162的截止电流也足够小。例如,室温(25℃)下的晶体管162的截止电流(在此,单位沟道宽度(1μm)的值)为100zA(1zA(仄普托安培:zeptoampere)等于 $1 \times 10^{-21}$ A)以下,优选为10zA以下。注意,当采用上述结构时,在理论上可以使晶体管的截止电流为 $1 \times 10^{-24}$ A/μm至 $1 \times 10^{-30}$ A/μm。

[0146] 如此,通过使用被高纯度化且被本征化的氧化物半导体层144,可以充分地降低晶体管的截止电流。另外,通过使用如上所述被高纯度化且被本征化的氧化物半导体层144,可以使晶体管的S值为65mV/dec以下,优选低于63mV/dec。

[0147] 接着,对图3A至图3G进行说明。

[0148] 与图2A至图2G的情况同样,首先在具有形成部件的表面的衬底240上形成后面成为源电极的导电层241a及后面成为漏电极的导电层241b(参照图3A)。接着,覆盖导电层241a及导电层241b地形成绝缘层243(参照图3B)。详细内容与图2A及图2B的情况相同。

[0149] 接着,通过化学机械抛光(CMP)处理使绝缘层243变薄来形成绝缘层243b(参照图3C)。与图2C的不同之处在于以使导电层241a及导电层241b的表面露出的条件进行CMP处理。该CMP处理的其他条件与图2C的情况相同。作为详细内容,可以参照关于图2C的记载。

[0150] 接着,使导电层241a及导电层241b变薄形成源电极242a及漏电极242b(参照图3D)。导电层241a及导电层241b的变薄可以通过蚀刻进行。作为蚀刻,可以使用干法蚀刻和湿法蚀刻中的任一种。另外,为了确保绝缘层243b的表面的平坦性,需要以能够只对导电层选择性地蚀刻的条件进行蚀刻处理。可以根据被蚀刻材料适当地选择蚀刻气体或蚀刻剂。

[0151] 通过上述薄膜化工序,由绝缘层243b的上表面的一部分、源电极242a的上表面和漏电极242b的上表面形成具有微小的高度差(例如,5nm以上且20nm以下)的表面。另外,源电极242a及漏电极242b的端部不被绝缘层243b覆盖。另外,绝缘层243b的侧面也可以对底

面具有倾斜。

[0152] 接着,接触于源电极242a的一部分、漏电极242b的一部分及绝缘层243b的一部分地形成覆盖上述表面的氧化物半导体层244,然后覆盖该氧化物半导体层244地形成栅极绝缘层246(参照图3E)。另外,在栅极绝缘层246上形成栅电极248a(参照图3F)。然后,覆盖栅极绝缘层246、栅电极248a等地形成绝缘层250及绝缘层252(参照图3G)。详细内容与图2E至图2G的情况相同。

[0153] 本实施例所示的结构和方法等可以与其他实施例所示的任意结构和方法等适当地组合而使用。

[0154] 实施例2

[0155] 在本实施例中,参照图4A至图4C、图5A至图5D、图6A至图6C对根据所公开的发明的另一个实施例的半导体装置的结构及其制造方法进行说明。另外,在以下的电路图中,为了表示使用氧化物半导体的晶体管,在晶体管旁边写上“OS”。

[0156] <半导体装置的结构例子>

[0157] 图4A至图4C是半导体装置的结构的一个例子。图4A示出半导体装置的截面图,图4B示出半导体装置的平面图,并且图4C示出半导体装置的电路结构。在后面的实施例中对该半导体装置的操作的详细内容进行说明,因此在本实施例中主要对半导体装置的结构进行说明。注意,图4A至图4C所示的半导体装置只是具有预定的功能的半导体装置的一个例子,而不表示所公开的发明的半导体装置。根据所公开的发明的半导体装置可以适当地改变电极的连接关系等来得到其他功能。

[0158] 图4A相当于沿图4B的A1-A2及B1-B2的截面图。图4A及图4B所示的半导体装置包括之前的实施例所示的晶体管162、晶体管162的下部的晶体管160及电容器164。

[0159] 在此,优选晶体管162的半导体材料和晶体管160的半导体材料为不同材料。例如,可以将氧化物半导体用于晶体管162的半导体材料,并且将氧化物半导体以外的半导体材料(硅等)用于晶体管160的半导体材料。使用氧化物半导体的晶体管由于其特性而能够长时间保持电荷。另一方面,使用氧化物半导体以外材料的晶体管容易进行高速操作。

[0160] 图4A至图4C中的晶体管160包括:设置在包含半导体材料(例如,硅等)的衬底100中的沟道形成区116;夹着沟道形成区116地设置的杂质区120;接触于杂质区120的金属化合物区124;设置在沟道形成区116上的栅极绝缘层108;以及设置在栅极绝缘层108上的栅电极110。注意,为了方便起见,在图中未示出源电极或漏电极的晶体管也可称为晶体管。另外,在此情况下,为了对晶体管的连接关系进行说明,可将源区和源电极共称为源电极,而将漏区和漏电极共称为漏电极。换言之,在本说明书中,源电极的记载有可能包括源区。

[0161] 另外,在衬底100上以围绕晶体管160的方式设置有元件隔离绝缘层106,并且以覆盖晶体管160的方式设置有绝缘层130。注意,为了实现高集成化,优选如图4A至图4C所示晶体管160具有没有侧壁绝缘层的结构。另一方面,当重视晶体管160的特性时,也可以在栅电极110的侧面设置侧壁绝缘层,并且设置包括杂质浓度不同的区域的杂质区120。

[0162] 图4A至图4C中的晶体管162的结构与之前的实施例中的晶体管162的结构相同。但是,在本实施例中,晶体管162的源电极142a(可为漏电极)与晶体管160的栅电极110连接。注意,当然可以使用晶体管262代替晶体管162。

[0163] 图4A至图4C中的电容器164包括源电极142a(可为漏电极)、氧化物半导体层144、

栅极绝缘层146和电极148b。换言之,源电极142a用作电容器164的一方的电极,而电极148b用作电容器164的另一方的电极。另外,电极148b通过与晶体管162中的栅电极148a相同的工序形成。

[0164] 另外,在图4A至图4C的电容器164中,通过层叠氧化物半导体层144和栅极绝缘层146,可以充分确保源电极142a和电极148b之间的绝缘性。当然,为了确保足够的电容,也可以采用不具有氧化物半导体层144的电容器164。另外,当不需要电容器时,也可以是不设置电容器164的结构。

[0165] 在本实施例中,重叠于晶体管160地设置有晶体管162及电容器164。通过采用这种平面布局,可以实现高集成化。例如,以最小特征尺寸为F,可以将上述半导体装置所占的面积设定为 $15F^2$ 至 $25F^2$ 。

[0166] 注意,根据所公开的发明的半导体装置的结构不局限于图4A至图4C所示的结构。所公开的发明的技术思想在于形成使用氧化物半导体和氧化物半导体以外的材料的叠层结构,因此可以适当地改变电极的连接关系等的细节。

[0167] <半导体装置的制造方法的例子>

[0168] 接着,使用图5A至图5D、图6A至图6C对上述半导体装置的制造方法的一个例子进行说明。因为晶体管162的制造方法与之前的实施例相同,所以在此主要对晶体管160的制造方法进行说明。

[0169] 首先,准备包含半导体材料的衬底100(参照图5A)。作为包含半导体材料的衬底100,可以使用硅或碳化硅等的单晶半导体衬底、多晶半导体衬底,硅锗等的化合物半导体衬底或SOI衬底等。这里,作为一个例子,示出使用单晶硅衬底作为包含半导体材料的衬底100时的情况。另外,一般来说,“SOI衬底”是指在绝缘表面上设置有硅半导体层的衬底。但是,在本说明书中,“SOI衬底”还指在绝缘表面上设置有包括硅以外的材料的半导体层的衬底。也就是说,“SOI衬底”所具有的半导体层不局限于硅半导体层。另外,SOI衬底还可以是这样的衬底,该衬底包括在玻璃衬底等的绝缘衬底上隔着绝缘层设置有半导体层。

[0170] 作为包含半导体材料的衬底100,优选具体地使用硅等的单晶半导体衬底,因为这样可以使半导体装置的读出操作高速化。

[0171] 另外,为了控制晶体管的阈值电压,也可以对后面成为晶体管160的沟道形成区116的区域添加杂质元素。在此,添加赋予导电型的杂质元素,以使晶体管160的阈值电压成为正值。当半导体材料是硅时,该赋予导电型的杂质可以为硼、铝、镓等。另外,在添加杂质元素之后,优选进行加热处理来使杂质元素活化或减少在杂质元素的添加时产生的缺陷等。

[0172] 接着,在衬底100上形成用作掩模的保护层102,该掩模用来形成元件隔离绝缘层(参照图5A)。作为保护层102,例如可以使用由氧化硅、氮化硅、氧氮化硅等的材料形成的绝缘层。

[0173] 接着,将上述保护层102用作掩模进行蚀刻,去除不被保护层102覆盖的区域(即,露出的区域)的衬底100的一部分。由此,形成与其它的半导体区分离的半导体区104(参照图5B)。该蚀刻优选使用干法蚀刻,但是也可以使用湿法蚀刻。可以根据被蚀刻材料适当地选择蚀刻气体或蚀刻剂。

[0174] 接着,以覆盖半导体区104的方式形成绝缘层,并选择性地去除与半导体区104重

叠的区域的绝缘层,从而形成元件隔离绝缘层106(参照图5C)。该绝缘层使用氧化硅、氮化硅、氧氮化硅等形成。作为去除绝缘层的方法,可以使用化学机械抛光(CMP)处理等的抛光处理或蚀刻处理等中的任一种方法。另外,在形成半导体区104之后或在形成元件隔离绝缘层106之后,去除上述保护层102。

[0175] 接着,在半导体区104的表面上形成绝缘层,并在该绝缘层上形成包含导电材料的层。

[0176] 绝缘层是后面成为栅极绝缘层的层,例如可以通过半导体区104表面的热处理(热氧化处理或热氮化处理等)形成。也可以使用高密度等离子体处理代替热处理。例如,可以使用氦(He)、氩(Ar)、氪(Kr)、氙(Xe)等稀有气体、氧、氧化氮、氨、氮、氢等的混合气体进行高密度等离子体处理。当然,也可以使用CVD法或溅射法等形成绝缘层。该绝缘层优选采用具有包含氧化硅、氧氮化硅、氮化硅、氧化钪、氧化铝、氧化钽、氧化铪、硅酸钪( $\text{HfSi}_x\text{O}_y$  ( $x>0, y>0$ ))、添加有氮的硅酸钪( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x>0, y>0, z>0$ ))、添加有氮的铝酸钪( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x>0, y>0, z>0$ ))等的膜的单层结构或多层结构。另外,至于绝缘层的厚度,例如可以设定为1nm以上且100nm以下,优选为10nm以上50nm以下。

[0177] 可以使用铝、铜、钛、钽、钨等的金属材料形成包含导电材料的层。另外,也可以通过使用如多晶硅等的半导体材料形成包含导电材料的层。对包含导电材料的层的形成方法也没有特别的限制,可以使用蒸镀法、CVD法、溅射法或旋涂法等各种沉积方法。此外,在本实施例中,作为一个例子示出使用金属材料形成包含导电材料的层时的情况。

[0178] 然后,通过对绝缘层及包含导电材料的层选择性地蚀刻来形成栅极绝缘层108及栅电极110。(参照图5C)。

[0179] 接着,对半导体区104添加磷(P)或砷(As)等形成沟道形成区116及杂质区120(参照图5D)。这里,为了形成n型晶体管添加了磷或砷,但是当形成p型晶体管时,可添加硼(B)或铝(Al)等的杂质元素。这里,虽然可以适当地设定所添加的杂质的浓度,但是当半导体元件被高度微型化时,优选将其浓度设定为高。

[0180] 另外,可以在栅电极110的周围形成侧壁绝缘层,可形成以不同浓度添加了杂质元素的杂质区。

[0181] 接着,以覆盖栅电极110、杂质区120等的方式形成金属层122(参照图6A)。该金属层122可以使用真空蒸镀法、溅射法或旋涂法等各种沉积方法形成。优选使用通过与构成半导体区104的半导体材料起反应来成为低电阻的金属化合物的金属材料形成金属层122。作为上述金属材料,例如有钛、钽、钨、镍、钴、铂等。

[0182] 接着,进行热处理,使上述金属层122与半导体材料发生反应。由此,形成接触于杂质区120的金属化合物区124(参照图6A)。另外,当使用多晶硅等作为栅电极110时,在栅电极110中的与金属层122接触的部分中也形成金属化合物区。

[0183] 作为上述热处理,例如可以使用利用闪光灯的照射的热处理。当然,也可以使用其它热处理方法,但是为了提高形成金属化合物时的化学反应的控制性,优选使用可以在极短的时间内进行热处理的方法。另外,上述金属化合物区通过金属材料与半导体材料之间的反应形成并具有充分高的导电性。通过形成该金属化合物区,可以充分降低电阻,并可以提高元件特性。另外,在形成金属化合物区124之后,去除金属层122。

[0184] 接着,以覆盖通过上述工序形成的各结构的方式形成绝缘层130(参照图6B)。绝缘

层130可以使用氧化硅、氮化硅、氧化铝等的无机绝缘材料形成。尤其是优选将低介电常数(低k)材料用于绝缘层130,因为这样可以充分地降低起因于各种电极或布线的重叠的电容。另外,也可以将使用上述材料的多孔绝缘层用于绝缘层130。因为多孔绝缘层的介电常数比密度高的绝缘层低,所以可以进一步降低起因于电极或布线的电容。此外,也可以使用聚酰亚胺、丙烯酸树脂等的有机绝缘材料形成绝缘层130。这里,虽然示出绝缘层130的单层结构,但是所公开的发明的一个实施例不局限于此。也可以采用两层以上的叠层结构。

[0185] 通过上述工序形成使用包含半导体材料的衬底100的晶体管160(参照图6B)。这种晶体管160具有能够进行高速操作的特征。因此,通过将该晶体管用作读出用晶体管,可以高速地读出数据。

[0186] 然后,作为形成晶体管162及电容器164之前的处理,对绝缘层130进行CMP处理来使栅电极110的上表面露出(参照图6C)。作为使栅电极110的上表面露出的处理,除了CMP处理之外还可以使用蚀刻处理等,但是为了提高晶体管162的特性,优选使绝缘层130的表面尽可能地平坦。例如,使绝缘层130平坦化,以使其表面的均方根(RMS)粗糙度为1nm以下。由此,可以提高形成在绝缘层130上的半导体装置的特性。

[0187] 另外,也可以在上述各工序之前或之后还包括形成电极、布线、半导体层或绝缘层等的工序。例如,当布线具有包括绝缘层及导电层的叠层结构的多层结构时,可实现高集成化的半导体装置。

[0188] 然后,形成晶体管162及电容器164来完成半导体装置。

[0189] 本实施例所示的结构、方法等可以与其他实施例所示的任意结构、方法等适当地组合而使用。

[0190] 实施例3

[0191] 在本实施例中,参照图7A-1、图7A-2和图7B对根据所公开的发明的一个实施例的半导体装置的应用例子进行说明。在此,对存储器装置的一个例子进行说明。另外,在以下的一些电路图中,为了表示使用氧化物半导体的晶体管,在晶体管旁边写上“OS”。

[0192] 在图7A-1所示的可以用于存储器装置的半导体装置中,第一布线(1st Line)与晶体管1000的源电极电连接,第二布线(2nd Line)与晶体管1000的漏电极电连接。另外,第三布线(3rd Line)与晶体管1010的源电极和漏电极中的一方电连接,第四布线(4th Line)与晶体管1010的栅电极电连接。再者,晶体管1000的栅电极和晶体管1010的源电极和漏电极中的另一方与电容器1020的电极的一方电连接,第五布线(5th Line)与电容器1020的电极的另一方电连接。

[0193] 在此,将使用氧化物半导体的晶体管用于晶体管1010。作为使用氧化物半导体的晶体管,可以使用之前的实施例所示的任意晶体管。使用氧化物半导体的晶体管具有截止电流极为小的特征。因此,即使使晶体管1010成为截止状态,也可以保持晶体管1000的栅电极的电位极长时间。并且,通过使用之前的实施例所示的任意晶体管,可以抑制晶体管1010的短沟道效应并实现微型化。通过具有电容器1020,容易保持施加到晶体管1000的栅电极的电荷,另外,也容易读出所保持的数据。在此,作为电容器1020,例如可以使用之前的实施例所示的电容器。

[0194] 另外,将使用氧化物半导体以外的半导体材料的晶体管用于晶体管1000。作为氧

化物半导体以外的半导体材料,例如可以使用硅、锗、硅锗、碳化硅或砷化镓等,优选使用单晶半导体。另外,也可以使用有机半导体材料等。使用这种半导体材料的晶体管可以进行高速操作。在此,作为使用氧化物半导体以外的半导体材料的晶体管,例如可以使用之前的实施例所示的任意晶体管。

[0195] 另外,如图7B所示那样,也可以采用不设置电容器1020的结构。

[0196] 在图7A-1所示的半导体装置中,通过有效地利用能够保持晶体管1000的栅电极的电位的特征,可以如下所示那样进行数据的写入、保持以及读出。

[0197] 首先,对数据的写入和保持进行说明。首先,将第四布线的电位设定为使晶体管1010成为导通状态的电位,使晶体管1010成为导通状态。由此,对晶体管1000的栅电极和电容器1020施加第三布线的电位。也就是说,对晶体管1000的栅电极施加预定的电荷(写入)。在此,施加两个不同的电位的电荷(以下将施加低电位的电荷称为电荷 $Q_L$ ,将施加高电位的电荷称为电荷 $Q_H$ )的任一方。另外,也可以使用施加三个或三个以上的不同的电位的电荷,提高存储容量。然后,通过将第四布线的电位设定为使晶体管1010成为截止状态的电位,使晶体管1010成为截止状态,而保持对晶体管1000的栅电极施加的电荷(保持)。

[0198] 因为晶体管1010的截止电流极为小,所以晶体管1000的栅电极的电荷被长时间地保持。

[0199] 接着,对数据的读出进行说明。当在对第一布线施加预定的电位(定电位)的状态下,对第五布线施加适当的电位(读出电位)时,根据保持在晶体管1000的栅电极中的电荷量,第二布线具有不同的电位。这是因为一般而言,在晶体管1000为n沟道型的情况下,对晶体管1000的栅电极施加 $Q_H$ 时的表观阈值电压 $V_{th,H}$ 低于对晶体管1000的栅电极施加 $Q_L$ 时的表观阈值电压 $V_{th,L}$ 的缘故。在此,表观阈值电压是指为了使晶体管1000成为“导通状态”所需要的第五布线的电位。从而,通过将第五布线的电位设定为 $V_{th,H}$ 和 $V_{th,L}$ 的中间电位 $V_0$ ,可以确定对晶体管1000的栅电极施加的电荷。例如,在写入中,在施加 $Q_H$ 的情况下,当第五布线的电位成为 $V_0(>V_{th,H})$ 时,晶体管1000成为“导通状态”。在写入中,在施加 $Q_L$ 的情况下,即使第五布线的电位成为 $V_0(<V_{th,L})$ ,晶体管1000也维持“截止状态”。因此,通过测量第二布线的电位可以读出所保持的数据。

[0200] 另外,当将存储器单元配置为阵列状而使用时,需要只可以读出所希望的存储器单元的数据。像这样,当需要读出预定的存储器单元的数据,且不读出除此以外的存储器单元的数据时,在各存储器单元之间分别并联连接有晶体管1000的情况下,对读出的对象之外的存储器单元中的第五布线施加不管栅电极的状态如何都使晶体管1000成为“截止状态”的电位,也就是小于 $V_{th,H}$ 的电位。另外,在各存储器单元之间分别串联连接有晶体管1000的情况下,对读出的对象之外的存储器单元中的第五布线施加不管栅电极的状态如何都使晶体管1000成为“导通状态”的电位,也就是大于 $V_{th,L}$ 的电位,即可。

[0201] 接着,对数据的重写进行说明。数据的重写与上述数据的写入和保持同样进行。也就是说,将第四布线的电位设定为使晶体管1010成为导通状态的电位,而使晶体管1010成为导通状态。由此,对晶体管1000的栅电极和电容器1020施加第三布线的电位(有关新的数据的电位)。然后,通过将第四布线的电位设定为使晶体管1010成为截止状态的电位,使晶体管1010成为截止状态,而使晶体管1000的栅电极成为施加有有关新的数据的电荷的状态。

[0202] 像这样,根据所公开的发明的半导体装置通过再次进行数据的写入,可以直接重写数据。因此,不需要使用闪速存储器等所需要的高电压来从浮动栅极抽出电荷,可以抑制起因于擦除操作的操作速度的降低。换言之,实现了半导体装置的高速操作。

[0203] 另外,通过将晶体管1010的源电极或漏电极与晶体管1000的栅电极电连接,该源电极或漏电极具有与用作非易失性存储器元件的浮动栅型晶体管的浮动栅相同的作用。由此,有时将附图中的晶体管1010的源电极或漏电极与晶体管1000的栅电极电连接的部分称为浮动栅极部FG。当晶体管1010处于截止状态时,可以认为该浮动栅极部FG被埋设在绝缘体中,在浮动栅极部FG中保持有电荷。因为使用氧化物半导体的晶体管1010的截止电流为使用硅半导体等而形成的晶体管的截止电流的十万分之一以下,所以可以不考虑由于晶体管1010的泄漏的储存在浮动栅极部FG中的电荷的损失。也就是说,通过使用氧化物半导体的晶体管1010,可以实现即使没有电力供给也能够保持数据的非易失性存储器装置。

[0204] 例如,当室温下的晶体管1010的截止电流为10zA(1zA(仄普托安培)等于 $1 \times 10^{-21}$ A)以下,并且电容器1020的电容为10fF左右时,可以保持数据 $10^4$ 秒以上。另外,当然该保持时间根据晶体管特性或电容而变动。

[0205] 另外,在此情况下不存在在现有的浮动栅型晶体管中被指出的栅极绝缘膜(隧道绝缘膜)的劣化的问题。也就是说,可以解决以往被视为问题的将电子注入到浮动栅时的栅极绝缘膜的劣化问题。这意味着在原理上不存在写入周期数的限制。另外,也不需要现有的浮动栅型晶体管中写入或擦除数据时所需要的高电压。

[0206] 图7A-1中的半导体装置的晶体管等的部件可视为包括电阻器和电容器,如图7A-2所示。换言之,可以认为在图7A-2中,晶体管1000和电容器1020分别包括电阻器和电容器。R1和C1分别是电容器1020的电阻和电容,电阻R1相当于构成电容器1020的绝缘层的电阻。另外,R2和C2分别是晶体管1000的电阻和电容,电阻R2相当于晶体管1000处于导通状态时的栅极绝缘层的电阻,电容C2相当于所谓的栅极电容(形成在栅电极和源电极或漏电极之间的电容、以及形成在栅电极和沟道形成区之间的电容)。

[0207] 当使晶体管1010处于截止状态时的源电极和漏电极之间的电阻(也称为有效电阻)为 $R_{OS}$ 的情况下,在晶体管1010的栅极泄漏电流充分小的条件下,当满足 $R1 \geq R_{OS}$ ( $R1$ 是 $R_{OS}$ 以上)、 $R2 \geq R_{OS}$ ( $R2$ 是 $R_{OS}$ 以上)时,主要根据晶体管1010的截止电流来确定电荷的保持期间(也可以说成数据的保持期间)。

[0208] 反之,当不满足以上条件时,即使晶体管1010的截止电流足够小也难以充分确保保持期间。这是因为晶体管1010的截止电流之外的泄漏电流(例如,在源电极和漏电极之间产生的泄漏电流等)大的缘故。由此,可以说本实施例所公开的半导体装置优选满足上述关系。

[0209] 另一方面,C1和C2优选满足 $C1 \geq C2$ ( $C1$ 是 $C2$ 以上)的关系。这是因为,通过使 $C1$ 大于或等于 $C2$ ,当由第五布线控制浮动栅极部FG的电位时,可以向浮动栅极部FG高效地供应第五布线的电位,可以使向第五布线供应的电位之间(例如,读出的电位和非读出的电位)的电位差较低。

[0210] 通过满足上述关系,可以实现更优选的半导体装置。另外,R1和R2由晶体管1000的栅极绝缘层和电容器1020的绝缘层来控制。 $C1$ 和 $C2$ 也是同样的。因此,优选适当地设定栅极绝缘层的材料或厚度等,而满足上述关系。

[0211] 在本实施例所示的半导体装置中,浮动栅极部FG起到与闪速存储器等的浮动栅型晶体管的浮动栅极相等的作用,但是,本实施例的浮动栅极部FG具有与闪速存储器等的浮动栅极根本不同的特征。在闪速存储器的情况下,因为施加到控制栅极的电压高,所以为了防止控制栅极的电位影响到相邻的单元的浮动栅极,需要保持各单元之间的一定程度的间隔。这是阻碍半导体装置的更高集成化的因素之一。该因素起因于施加高电场而发生隧道电流的闪速存储器的根本原理。

[0212] 另外,由闪速存储器的上述原理导致绝缘膜的劣化的发展,而还导致作为重写次数的限制( $10^4$ 至 $10^5$ 次左右)的另一问题。

[0213] 根据所公开的发明的半导体装置根据使用氧化物半导体的晶体管的开关操作,而不使用如上所述的由隧道电流而起的电荷注入的原理。就是说,不像闪速存储器,不需要用来注入电荷的高电场。由此,因为不需要考虑到控制栅极带给相邻的单元的高电场的影响,所以容易实现高集成化。

[0214] 另外,因为不利用由隧道电流而起的电荷注入,所以意味着不存在存储器单元的劣化的原因。就是说,与闪速存储器相比,根据所公开的发明的氧化物半导体装置具有高耐久性和高可靠性。

[0215] 另外,根据所公开的发明的氧化物半导体装置在不需要高电场从而不需要大型升压电路等这一点也优越于闪速存储器。

[0216] 另外,在使构成电容器1020的绝缘层的相对介电常数 $\epsilon_{r1}$ 与构成晶体管1000的绝缘层的相对介电常数 $\epsilon_{r2}$ 不同的情况下,容易使构成电容器1020的绝缘层的面积 $S1$ 和形成晶体管1000的栅极电容器的绝缘层的面积 $S2$ 满足 $2 \cdot S2 \geq S1$  ( $2 \cdot S2$ 是 $S1$ 以上),优选满足 $S2 \geq S1$  ( $S2$ 是 $S1$ 以上)的同时,满足 $C1 \geq C2$  ( $C1$ 是 $C2$ 以上)。换言之,容易在使构成电容器1020的绝缘层的面积小的同时实现 $C1 \geq C2$ 。具体地说,例如,在构成电容器1020的绝缘层中,可以采用由氧化铪等的高 $k$ 材料构成的膜或由氧化铪等的高 $k$ 材料构成的膜与由氧化物半导体构成的膜的叠层结构,并将 $\epsilon_{r1}$ 设定为10以上,优选设定为15以上,并且在构成栅极电容器的绝缘层中,可以采用氧化硅,并满足 $3 \leq \epsilon_{r2} \leq 4$  ( $\epsilon_{r2}$ 是3以上且4以下)。

[0217] 通过并用这种结构的组合,可以进一步使根据所公开的发明的半导体装置高集成化。

[0218] 另外,上述说明使用以电子为多数载流子的 $n$ 型晶体管( $n$ 沟道型晶体管)的情况,但是,当然也可以使用以空穴为多数载流子的 $p$ 型晶体管代替 $n$ 型晶体管。

[0219] 如上所述,根据所公开的发明的一个实施例的半导体装置具有非易失性存储器单元,并且该非易失性存储器单元包括:截止状态下的源极和漏极之间的泄漏电流(截止电流)少的写入用晶体管;使用与该写入用晶体管不同的半导体材料的读出用晶体管;以及电容器。

[0220] 在使用通常的硅半导体时,难以在环境温度(例如, $25^\circ\text{C}$ )下将泄漏电流(截止电流)降低到 $100\text{zA}$  ( $1 \times 10^{-19}\text{A}$ )以下,但是在将氧化物半导体在适合的条件加工而得到的晶体管中,可以获得上该值。因此,作为写入用晶体管优选利用使用氧化物半导体的晶体管。

[0221] 再者,因为使用氧化物半导体的晶体管的亚阈值摆动( $S$ 值)小,所以即使迁移率比较低,也可以充分增大开关速度。因此,通过将该晶体管用于写入用晶体管,可以使施加到浮动栅极部FG的写入脉冲的上升极为陡峭。另外,因为截止电流小,所以可以减少使浮动栅



极部FG需要保持的电荷量。就是说,通过将使用氧化物半导体的晶体管用于写入用晶体管,可以高速地进行数据的重写。

[0222] 虽然没有对读出用晶体管的截止电流的限制,但是优选使用进行高速操作的晶体管,以提高读出速度。例如,作为读出用晶体管,优选使用开关速度为1纳秒以下的晶体管。

[0223] 如此,通过将使用氧化物半导体的晶体管用于写入用晶体管并将使用氧化物半导体以外的半导体材料的晶体管用于读出用晶体管,可以实现能够长时间保持数据且能够高速地读出数据的、可以用于存储器装置的半导体装置。

[0224] 并且,通过作为写入用晶体管使用之前的实施例所示的晶体管,可以抑制写入用晶体管的短沟道效应并实现微型化。由此,可以实现可以用作存储器装置的半导体装置的高集成化。

[0225] 本实施例所示的结构、方法等可以与其他实施例所示的任意结构、方法等适当地组合而使用。

[0226] 实施例4

[0227] 在本实施例中,使用图8A至图8B、图9A至图9C对根据所公开的发明的一个实施例的半导体装置的应用例进行说明。在此,对存储器装置的一个例子进行说明。注意,在以下所述的一些电路图中,为了示出使用氧化物半导体的晶体管,在晶体管旁边写上“OS”。

[0228] 图8A及图8B是各使用多个图7A-1所示的半导体装置(以下也表示为存储器单元1050)来形成的、可以用作存储器装置的半导体装置的电路图。图8A是存储器单元1050串联连接的所谓NAND型半导体装置的电路图,图8B是存储器单元1050并联连接的所谓NOR型半导体装置的电路图。

[0229] 图8A所示的半导体装置具有源极线SL、位线BL、第一信号线S1、m个第二信号线S2、m个字线WL、以及m个存储器单元1050。图8A示出半导体装置具有一个源极线SL和一个位线BL的结构,但是所公开的发明的一个实施例不局限于此结构,可以采用具有多个源极线SL及多个位线BL的结构。

[0230] 在每个存储器单元1050中,晶体管1000的栅电极、晶体管1010的源电极和漏电极中的一方与电容器1020的电极的一方相互电连接。另外,第一信号线S1与晶体管1010的源电极和漏电极中的另一方相互电连接,第二信号线S2与晶体管1010的栅电极相互电连接。再者,字线WL与电容器1020的电极的另一方相互电连接。

[0231] 另外,存储器单元1050所具有的晶体管1000的源电极与相邻的存储器单元1050的晶体管1000的漏电极电连接,存储器单元1050所具有的晶体管1000的漏电极与相邻的存储器单元1050的晶体管1000的源电极电连接。但是,串联连接的多个存储器单元中的一端的存储器单元1050所具有的晶体管1000的漏电极与位线BL电连接。另外,串联连接的多个存储器单元中的另一端的存储器单元1050所具有的晶体管1000的源电极与源极线SL电连接。

[0232] 在图8A所示的半导体装置中,按行进行写入操作和读出操作。以如下步骤进行写入操作:对进行写入的行的第二信号线S2施加使晶体管1010成为导通状态的电位,而使进行写入的行的晶体管1010成为导通状态。由此,对所指定的行的晶体管1000的栅电极施加第一信号线S1的电位,而对该栅电极施加预定的电荷。像这样,可以对所指定的行的存储器单元写入数据。

[0233] 另外,以如下步骤进行读出操作:首先,对进行读出的行之外的行的字线WL施加不

管施加到晶体管1000的栅电极的电荷如何都使晶体管1000成为导通状态的电位,而使进行读出的行之外的行的晶体管1000成为截止状态。然后,对进行读出的行的字线WL施加根据晶体管1000的栅电极所具有的电荷确定晶体管1000的导通状态或截止状态的电位(读出电位)。然后,对源极线SL施加定电位,使与位线BL连接的读出电路(未图示)成为操作状态。这里,源极线SL-位线BL之间的多个晶体管1000除了进行读出的行的晶体管1000之外处于导通状态,所以源极线SL-位线BL之间的导电率根据进行读出的行的晶体管1000的状态(导通状态或截止状态)确定。因为晶体管的导电率根据进行读出的行的晶体管1000的栅电极所具有的电荷不同,所以根据该导电率,位线BL的电位取不同的值。通过使用读出电路读出位线BL的电位,可以从所指定的行的存储器单元读出数据。

[0234] 图8B所示的半导体装置具有 $n$ 个源极线SL、 $n$ 个位线BL、 $n$ 个第一信号线S1、 $m$ 个第二信号线S2以及 $m$ 个字线WL,还具有 $n \times m$ 个存储器单元1050。每个晶体管1000的栅电极、晶体管1010的源电极和漏电极中的一方与电容器1020的电极的一方相互电连接。另外,源极线SL与晶体管1000的源电极相互电连接,位线BL与晶体管1000的漏电极相互电连接。另外,第一信号线S1与晶体管1010的源电极和漏电极中的另一方相互电连接,第二信号线S2与晶体管1010的栅电极相互电连接。再者,字线WL与电容器1020的电极的另一方相互电连接。

[0235] 在图8B所示的半导体装置中,按行进行写入操作和读出操作。写入操作以与上述图8A所示的半导体装置相同的方法进行。读出操作以如下步骤进行:首先,对进行读出的行之外的行的字线WL施加不管施加到晶体管1000的栅电极的电荷如何都使晶体管1000成为截止状态的电位,而使进行读出的行之外的行的晶体管1000成为截止状态。然后,对进行读出的行的字线WL施加根据晶体管1000的栅电极所具有的电荷确定晶体管1000的导通状态或截止状态的电位(读出电位)。然后,对源极线SL施加定电位,使与位线BL连接的读出电路(未图示)成为操作状态。这里,源极线SL-位线BL之间的导电率根据进行读出的行的晶体管1000的状态(导通状态或截止状态)确定。就是说,根据进行读出的行的晶体管1000的栅电极所具有的电荷,位线BL的电位取不同的值。通过使用读出电路读出位线BL的电位,可以从所指定的行的存储器单元读出数据。

[0236] 注意,在上述说明中,使各存储器单元1050可保持的数据量为1位,但是本实施例所示的半导体装置的结构不局限于此例。也可以准备三个以上的施加到晶体管1000的栅电极的电位,来增加各存储器单元1050保持的数据量。例如,当施加到晶体管1000的栅电极的电位为四种时,可以使各存储器单元保持2位的数据。

[0237] 接着,参照图9A至图9C对可以应用于图8A和图8B所示的半导体装置等的读出电路的一个例子进行说明。

[0238] 图9A示出读出电路的概略。该读出电路具有晶体管和读出放大器电路。

[0239] 在读出数据时,将端子A连接于连接有进行数据读出的存储器单元的位线BL。另外,将偏置电位Vbias施加到晶体管的栅电极,而控制端子A的电位。

[0240] 存储器单元1050根据储存的数据表示不同的电阻。具体地说,在选择存储器单元1050的晶体管1000处于导通状态时,该存储器单元处于低电阻状态,而在选择的存储器单元1050的晶体管1000处于截止状态时,该存储器单元处于高电阻状态。

[0241] 在存储器单元处于高电阻状态的情况下,端子A的电位高于基准电位Vref,读出放大器电路输出对应于端子A的电位的电位。另一方面,在存储器单元处于低电阻状态的情况

下,端子A的电位低于基准电位Vref,读出放大器电路输出对应于端子A的电位的电位。

[0242] 像这样,通过使用读出电路,可以从存储器单元读出数据。另外,本实施例的读出电路是一个例子。也可以使用其他电路。另外,读出电路也可以具有预充电电路。也可以采用连接有基准用位线代替基准电位Vref的结构。

[0243] 图9B示出读出放大器电路的一个例子的差分型读出放大器。差分型读出放大器具有输入端子Vin(+)、Vin(-)和输出端子Vout,放大Vin(+)的电位和Vin(-)的电位之间的差异。在Vin(+)的电位比Vin(-)的电位大时,Vout的输出比较高,而在Vin(+)的电位比Vin(-)的电位小时,Vout的输出比较低。在将该差分型读出放大器用于读出电路的情况下,输入端子Vin(+)和Vin(-)中的一方连接于输入端子A,并且对输入端子Vin(+)和Vin(-)中的另一方施加基准电位Vref。

[0244] 图9C示出读出放大器电路的一个例子的锁存型读出放大器。锁存型读出放大器具有输入输出端子V1及V2、控制信号Sp、Sn的输入端子。首先,将信号Sp设定为高,将信号Sn设定为低,切断电源电位(Vdd)。并且,将进行比较的电位施加到V1和V2。然后,当将信号Sp设定为低,将信号Sn设定为高,并提供电源电位(Vdd)时,如果进行比较的电位V1in和V2in的关系为V1in>V2in,则V1的输出为高,V2的输出为低。如果进行比较的电位V1in和V2in的关系为V1in<V2in,则V1的输出为低,V2的输出为高。通过利用这种关系,可以放大V1in和V2in之间的差异。在将该锁存型读出放大器用于读出电路的情况下,V1和V2中的一方通过开关连接于端子A和输出端子,并且对V1和V2中的另一方施加基准电位Vref。

[0245] 如上所述的可以用作存储器装置的半导体装置通过将之前的实施例所示的晶体管用于存储器单元的写入用晶体管,可以抑制该写入用晶体管的短沟道效应并实现微型化。由此,可以实现可以用作存储器装置的半导体装置的高集成化。

[0246] 本实施例所示的结构、方法等可以与其他实施例所示的任意结构、方法等适当地组合而使用。

[0247] 实施例5

[0248] 在本实施例中,参照图10对根据所公开的发明的一个实施例的半导体装置的应用例子进行说明。在此,对中央处理单元(CPU)进行说明。

[0249] 图10示出CPU的框图的一个例子。图10所示的CPU1101包括时序控制电路1102、指令译码器1103、寄存器阵列1104、地址逻辑和缓冲器电路1105、数据总线接口1106、算术逻辑单元(ALU)1107、指令寄存器1108等。

[0250] 上述电路使用之前的实施例所示的任意晶体管、反相器电路、电阻器、电容器等制造。因为之前的实施例所示的晶体管可以使截止电流极小,所以可以实现CPU1101的低耗电量化。并且,通过使用之前的实施例所示的晶体管,可以抑制晶体管的短沟道效应且实现微型化。

[0251] 以下,对CPU1101所具有的各电路进行简单的说明。时序控制电路1102接受来自外部的指令,将其转换为用于内部的信息,并将其送到另外的块。另外,时序控制电路1102对应内部的操作向外部供应存储器数据的读出、写入等的指令。指令译码器1103具有将外部的指令转换为用于内部的指令的功能。寄存器阵列1104具有暂时保管数据的功能。地址逻辑和缓冲器电路1105具有指定外部存储器的地址的功能。数据总线接口1106具有将数据输入到外部存储器或打印机等的设备或者接收从外部存储器或打印机等的设备输出的数据

的功能。ALU1107具有进行运算的功能。指令寄存器1108具有暂时记录指令的功能。通过上述电路的组合构成CPU。

[0252] 通过将之前的实施例所示的晶体管用于CPU1101的至少一部分,可以抑制晶体管的短沟道效应且实现微型化,因此可以实现CPU1101的高集成化。

[0253] 本实施例所示的结构、方法等可以与其他实施例所示的任意结构、方法等适当地组合而使用。

[0254] 实施例6

[0255] 在本实施例中,参照图11A和图11B对根据所公开的发明的一个实施例的半导体装置的应用例子进行说明。在此,对具有读出对象物的信息的图像传感器功能的半导体装置的一个例子进行说明。注意,在电路图中,为了示出使用氧化物半导体的晶体管,在晶体管旁边写上“OS”。

[0256] 图11A示出具有图像传感器功能的半导体装置的一个例子。图11A是光传感器的等效电路,图11B是示出光传感器的一部分的截面图。

[0257] 光电二极管1202的一方的电极与光电二极管复位信号线1212电连接,光电二极管1202的另一方的电极与晶体管1204的栅电极电连接。晶体管1204的源电极和漏电极中的一方与光传感器基准信号线1218电连接,晶体管1204的源电极和漏电极中的另一方与晶体管1206的源电极和漏电极中的一方电连接。晶体管1206的栅电极与栅极信号线1214电连接,晶体管1206的源电极和漏电极中的另一方与光传感器输出信号线1216电连接。

[0258] 在此,作为图11A所示的晶体管1204、晶体管1206,利用使用氧化物半导体的晶体管。在此,作为使用氧化物半导体的晶体管,可以使用之前的实施例所示的晶体管。因为之前的实施例所示的晶体管可以使截止状态下的泄漏电流极小,所以可以提高光传感器的检测光的精度。并且,因为通过使用之前的实施例所示的晶体管来可以抑制晶体管的短沟道效应且实现微型化,所以可以增大光电二极管的面积,从而提高光传感器的检测光的精度。

[0259] 图11B是示出光传感器中的光电二极管1202及晶体管1204的截面图,其中在具有绝缘表面的衬底1222(TFT衬底)上设置有用作传感器的光电二极管1202及晶体管1204。使用附着层1228在光电二极管1202、晶体管1204上设置衬底1224。另外,在晶体管1204上设置绝缘层1234、层间绝缘层1236、层间绝缘层1238。

[0260] 另外,在晶体管1204的栅电极相同层中设置栅电极层1240,使栅电极层1240与该栅电极电连接。栅电极层1240通过设置在绝缘层1234及层间绝缘层1236中的开口与设置在层间绝缘层1236上的电极层1242电连接。因为光电二极管1202形成在电极层1242上,所以光电二极管1202通过栅电极层1240及电极层1242与晶体管1204电连接。

[0261] 光电二极管1202具有从电极层1242一侧依次层叠有第一半导体层1226a、第二半导体层1226b和第三半导体层1226c的结构。换言之,光电二极管1202中的第一半导体层1226a与电极层1242电连接。另外,光电二极管1202中的第三半导体层1226c与设置在层间绝缘层1238上的电极层1244电连接。

[0262] 在此,例示一种pin型光电二极管,其中层叠有用作第一半导体层1226a的具有n型导电型的半导体层、用作第二半导体层1226b的高电阻半导体层(i型半导体层)和用作第三半导体层1226c的具有p型导电型的半导体层。

[0263] 第一半导体层1226a是n型半导体层,使用包含赋予n型导电性的杂质元素的非晶

硅膜形成。使用包含第15族的杂质元素(例如,磷(P))的半导体源气体并采用等离子体CVD法形成第一半导体层1226a。作为半导体源气体,可使用硅烷( $\text{SiH}_4$ )。或者,也可以使用乙硅烷( $\text{Si}_2\text{H}_6$ )、二氯硅烷( $\text{SiH}_2\text{Cl}_2$ )、三氯硅烷( $\text{SiHCl}_3$ )、四氯化硅( $\text{SiCl}_4$ )、四氟化硅( $\text{SiF}_4$ )等。此外,也可以在形成不包含杂质元素的非晶硅膜之后,使用扩散法或离子注入法对该非晶硅膜引入杂质元素。在通过采用离子注入法等引入杂质元素之后进行加热等扩散杂质元素。在此情况下,作为形成非晶硅膜的方法,可使用LPCVD法、气相沉积法或溅射法等。优选将第一半导体层1226a的厚度形成为20nm以上且200nm以下。

[0264] 第二半导体层1226b是i型半导体层(本征半导体层),并且使用非晶硅膜形成。作为第二半导体层1226b,使用半导体源气体并采用等离子体CVD法形成非晶硅膜。作为半导体源气体,可使用硅烷( $\text{SiH}_4$ )。或者,也可以使用 $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ 等。也可以通过LPCVD法、气相沉积法、溅射法等形成第二半导体层1226b。优选将第二半导体层1226b的厚度形成为200nm以上且1000nm以下。

[0265] 第三半导体层1226c是p型半导体层,并且可以使用包含赋予p型导电性的杂质元素的非晶硅膜形成。使用包含第13族的杂质元素(例如,硼(B))的半导体源气体并采用等离子体CVD法形成第三半导体层1226c。作为半导体源气体,可使用硅烷( $\text{SiH}_4$ )。或者,也可以使用 $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ 等。此外,也可以在形成不包含杂质的非晶硅膜之后,使用扩散法或离子注入法对该非晶硅膜引入杂质元素。在通过采用离子注入法等引入杂质元素之后进行加热等来扩散杂质元素。在此情况下,作为形成非晶硅膜的方法,使用LPCVD法、气相沉积法或溅射法等。优选将第三半导体层1226c的厚度形成为10nm以上且50nm以下。

[0266] 第一半导体层1226a、第二半导体层1226b及第三半导体层1226c可以使用多晶半导体或微晶半导体(或半非晶半导体(SAS))形成,而不使用非晶半导体形成。

[0267] 在考虑到吉布斯自由能时,微晶半导体属于非晶和单晶的中间状态的亚稳定状态。也就是说,微晶半导体是具有热力学上稳定的第三状态的半导体并具有短程序列及晶格应变。在微晶半导体中,柱状或针状结晶在对于衬底表面的法线方向上生长。作为微晶半导体的典型例子的微晶硅的拉曼光谱转移到比表示单晶硅的 $520\text{cm}^{-1}$ 更低的波数区。即,微晶硅的拉曼光谱的峰值位于表示单晶硅的 $520\text{cm}^{-1}$ 和表示非晶硅的 $480\text{cm}^{-1}$ 之间。此外,包含至少1原子百分比的氢或卤素,以饱和悬空键(dangling bond)。再者,可包含氦、氩、氦、氖等的稀有气体元素来进一步促进晶格应变,可以得到稳定性增高的良好的微晶半导体膜。

[0268] 可以通过采用频率为几十MHz至几百MHz的高频等离子体CVD法或频率为1GHz以上的微波等离子体CVD法形成该微晶半导体膜。典型的是,可以使用氢对包含硅的气体诸如 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ 等进行稀释来形成该微晶半导体膜。此外,可以使用氢和选自氦、氩、氦、氖中的一种或多种稀有气体元素对包含硅的气体进行稀释来形成微晶半导体膜。此时,将氢的流量设定为包含硅的气体的5倍以上且200倍以下,优选设定为50倍以上且150倍以下,更优选设定为100倍。再者,也可以在含有硅的气体中混入 $\text{CH}_4$ 、 $\text{C}_2\text{H}_6$ 等的碳化氢气体、 $\text{GeH}_4$ 、 $\text{GeF}_4$ 等的含有锗的气体、 $\text{F}_2$ 等。

[0269] 此外,由于由光电效应产生的空穴的迁移率低于电子的迁移率,因此将p型半导体层一侧的表面用作光的接收面的pin型光电二极管具有较好的特性。这里,示出光电二极管1202从衬底1224一侧接收入射光1230并将其转换为电信号的例子。此外,由于来自具有与

光接收面侧的半导体层一侧相反的导电型的半导体层一侧的光是干扰光,因此电极层1242优选使用具有遮光性的导电膜来形成。另外,可以将n型半导体层一侧用作光接收面。

[0270] 另外,通过使入射光1230从衬底1224一侧入射,晶体管1204的氧化物半导体层可以利用该晶体管1204的栅电极对入射光1230进行遮光。

[0271] 绝缘层1234、层间绝缘层1236、层间绝缘层1238可以使用绝缘材料并根据该材料采用诸如溅射法、SOG法、旋涂法、浸涂法、喷涂法、丝网印刷法、平版印刷法、液滴喷出法(喷墨法)等的方法来形成。

[0272] 绝缘层1234可以是作为无机绝缘材料的氧化硅层、氧氮化硅层、氮化硅层、氮氧化硅层、氧化铝层、氧氮化铝层、氮化铝层或氮氧化铝层等的氧化物绝缘层或氮化物绝缘层的单层或叠层。此外,因为使用微波(2.45GHz)的高密度等离子体CVD法能够形成致密、绝缘耐压高且质量高的绝缘层,所以是优选的。

[0273] 作为层间绝缘层1236、层间绝缘层1238,为了降低表面凹凸优选使用用作平坦化绝缘膜的绝缘层。作为层间绝缘层1236、层间绝缘层1238,例如可以使用聚酰亚胺、丙烯酸树脂、苯并环丁烯类树脂、聚酰胺或环氧树脂等的具有耐热性的有机绝缘材料来形成。另外,除了上述有机绝缘材料之外,还可以使用低介电常数材料(低k材料)、硅氧烷类树脂、PSG(磷硅酸盐玻璃)、BPSG(硼磷硅酸盐玻璃)等的单层或叠层。

[0274] 光电二极管1202可以通过检测出入射光1230来读出对象的信息。另外,当读出对象的信息时,可以使用背光灯等的光源。

[0275] 在如上所述的光传感器中,作为使用氧化物半导体的晶体管,可以使用之前的实施例所示的任意晶体管。因为之前的实施例所示的晶体管可以使截止状态下的泄漏电流极小,所以可以提高光传感器的检测光的精度。并且,因为通过使用之前的实施例所示的晶体管来抑制晶体管的短沟道效应且实现微型化,所以可以增大光电二极管的面积,从而提高光传感器的检测光的精度。

[0276] 本实施例所示的结构、方法等可以与其他实施例所示的任意结构、方法等适当地组合而使用。

[0277] 实施例7

[0278] 在本实施例中,使用图12A至图12F对将之前的实施例所说明的半导体装置应用于电子设备的情况进行说明。在本实施例中,说明将上述半导体装置应用于:计算机;移动电话机(也称为移动电话、移动电话装置);便携式信息终端(包括便携式游戏机、音频再现装置等);数码相机;数码摄像机;电子纸;或电视装置(也称为电视或电视接收机)等的电子设备的情况。

[0279] 图12A示出笔记本型个人计算机,包括框体701、框体702、显示部分703以及键盘704等。之前的实施例所示的任意半导体装置设置在框体701和框体702的至少一个中。因此,例如,实现一种高速操作且耗电量低的笔记本型个人计算机。

[0280] 图12B示出便携式信息终端(PDA),其主体711包括显示部分713、外部接口715以及操作按钮714等。另外,还包括用于操作便携式信息终端的触屏笔712等。之前的实施例所示的任意半导体装置设置在主体711中。因此,例如,实现一种高速操作且耗电量低的便携式信息终端。

[0281] 图12C示出安装有电子纸的电子书720,包括框体721和框体723这两个框体。框体

721和框体723分别设置有显示部分725和显示部分727。框体721和框体723由轴部737相连接,且可以用该轴部737为轴进行开闭动作。另外,框体721包括电源开关731、操作键733以及扬声器735等。之前的实施例所示的任意半导体装置设置在框体721和框体723中的至少一个。因此,例如,实现一种高速操作且耗电量低的电子书。

[0282] 图12D示出移动电话机,包括框体740和框体741这两个框体。再者,框体740和框体741滑动而可以从如图12D所示那样的展开状态变成重叠状态,所以可以减小移动电话机的尺寸,使移动电话机适于随身携带。另外,框体741包括显示面板742、扬声器743、麦克风744、触摸屏745、定位装置746、照相用透镜747以及外部连接端子748等。此外,框体740包括进行移动电话机的充电的太阳能电池749和外部存储器插槽750等。另外,天线内置在框体741中。之前的实施例所示的任意半导体装置设置在框体740和框体741的至少一个中。因此,例如,实现一种高速操作且耗电量低的移动电话机。

[0283] 图12E示出数码相机,包括主体761、显示部分767、目镜763、操作开关764、显示部分765以及电池766等。之前的实施例所示的任意半导体装置设置在主体761中。因此,例如,实现一种高速操作且耗电量低的数码相机。

[0284] 图12F示出电视装置770,包括框体771、显示部分773以及支架775等。可以通过框体771具有的开关和遥控器780来进行电视装置770的操作。框体771和遥控器780安装有之前的实施例所示的任意半导体装置。因此,例如,实现一种高速操作且耗电量低的电视装置。

[0285] 如上所述,本实施例所示的电子设备各安装有根据之前的实施例的任意半导体装置。因此,可以得到由于半导体装置的微型化而实现低耗电量化且操作高速化的电子设备。

[0286] 示例1

[0287] 在本示例中示出使用计算机模拟从抑制短沟道效应的观点确认所公开的发明的效果的结果。另外,使用矽谷数据系统公司(Silvaco Data Systems Inc)制造的器件仿真系统“Atlas”进行计算(第一计算及第二计算)。

[0288] 使用图13A和图13B所示的模型进行第一计算。图13A示出根据所公开的发明的一个实施例的晶体管,其中包括在绝缘层的上表面与源电极及漏电极的上表面具有微小的高度差的结构(以下,称为结构A)。另外,图13B示出作为比较例子的晶体管,其中包括不具有上述高度差的结构(以下,称为结构B)。另外,在该计算中,虽然为了简化起见作为结构A采用如图13A所示的绝缘层143b不覆盖源电极142a及漏电极142b的结构,但是在计算上该结构与绝缘层143b覆盖源电极142a及漏电极142b的结构没有大差异。

[0289] 在该计算中,将形成高度差的区域(以下,称为突出区域)的侧面的倾斜角 $\theta$ 和该突出区域的高度 $h$ 设定为变量。注意,在图13A和图13B中附上参考标号的部件相当于在之前的实施例中附上相同的参考标号进行说明的部件。另外,虽然在本示例的计算模型中不设置绝缘层150等的一些部件,但是这对计算结果不造成影响。

[0290] 以下示出用于计算的其他参数。

[0291] • 氧化物半导体层的厚度:10nm

[0292] • 氧化物半导体层的材质:In-Ga-Zn-O类金属氧化物(带隙 $E_g$ :3.15eV,电子亲和力(x):4.3eV,相对介电常数:15,电子迁移率:10cm<sup>2</sup>/Vs)

[0293] • 栅极绝缘层的厚度:10nm

[0294] • 栅极绝缘层的材质:氧化铅(相对介电常数:15)

[0295] • 源电极、漏电极的材质:氮化钛(功函数:3.9eV)

[0296] • 栅电极的材质:钨(功函数:4.9eV)。

[0297] 图14、图15和图16示出第一计算的结果。图14示出栅极电压 $V_G$  (V) 和漏极电流 $I_D$  (A) 的关系。图15示出沟道长度 $L$  (nm) 和阈值电压 $V_{th}$  (V) 的关系。图16示出沟道长度 $L$  (nm) 和 $S$ 值 (V/dec) 的关系。另外,图14、图15和图16分别示出将倾斜角 $\theta$ 设定为 $45^\circ$ 、 $60^\circ$ 、 $90^\circ$ 并将高度 $h$ 分别设定为5nm、10nm、20nm时所得的结果。

[0298] 根据图14、图15和图16的结果可知:当沟道长度 $L$ 大于100nm时,结构A和结构B没有显著差异,但是当沟道长度 $L$ 是100nm以下时,在结构A中抑制阈值电压 $V_{th}$ 的负向漂移和 $S$ 值的增大。换言之,与结构B相比,结构A可以进一步抑制短沟道效应。

[0299] 使用图17A和图17B所示的模型进行第二计算。图17A示出结构A,而图17B示出结构B。第二计算和第一计算的不同之处在于在第一计算中将源电极和漏电极之间的间隔设定为沟道长度 $L$ ,而在第二计算中根据绝缘层的突出形状测量沟道长度 $L$ 。换言之,在图17A中,沟道长度 $L=L_s+L_c+L_d$ 。通过以这一方式定义图17A中的沟道长度 $L$ ,可以消除沟道长度 $L$ 的有效值变大的效果,从而可以准确地观察起因于形状的效果。

[0300] 图18示出第二计算的结果,即栅极电压 $V_G$  (V) 和漏极电流 $I_D$  (A) 的关系。在此,将倾斜角 $\theta$ 固定为 $90^\circ$ ,并且将高度 $h$ 分别设定为5nm、10nm、20nm。根据图18可知:在微小的高度差存在于绝缘层的上表面和源电极及漏电极的上表面之间的结构(结构A)中,由于其形状而抑制阈值电压 $V_{th}$ 的负向漂移。换言之,可知该形状抑制短沟道效应。

[0301] 注意,虽然根据第一计算结果和第二计算结果可知当将高度 $h$ 设定为大时不容易发生短沟道效应,但是如果设置大的高度差,也有可能因覆盖性的降低而产生氧化物半导体层的断开等,因此将高度差设定为30nm以下,优选设定为20nm以下。

[0302] 本申请基于2010年3月8日向日本专利局提交的日本专利申请序号2010-051008,并将其全部内容并入此文作为参考。



## 标号说明

100: 衬底, 102: 保护层, 104: 半导体区, 106: 元件隔离绝缘层, 108: 栅极绝缘层, 110: 栅电极, 116: 沟道形成区, 120: 杂质区, 122: 金属层, 124: 金属化合物区, 130: 绝缘层, 140: 衬底, 142a: 源电极, 142b: 漏电极, 143: 绝缘层, 143a: 绝缘层, 143b: 绝缘层, 144: 氧化物半导体层, 146: 栅极绝缘层, 148a: 栅电极, 148b: 电极, 150: 绝缘层, 152: 绝缘层, 160: 晶体管, 162: 晶体管, 164: 电容器, 240: 衬底, 241a: 导电层, 241b: 导电层, 242a: 源电极, 242b: 漏电极, 243: 绝缘层, 243b: 绝缘层, 244: 氧化物半导体层, 246: 栅极绝缘层, 248a: 栅电极, 250: 绝缘层, 252: 绝缘层, 262: 晶体管, 701: 框体, 702: 框体, 703: 显示部分, 704: 键盘, 711: 主体, 712: 触屏笔, 713: 显示部分, 714: 操作按钮, 715: 外部接口, 720: 电子书, 721: 框体, 723: 框体, 725: 显示部分, 727: 显示部分, 731: 电源开关, 733: 操作键, 735: 扬声器, 737: 轴部, 740: 框体, 741: 框体, 742: 显示面板, 743: 扬声器, 744: 麦克风, 745: 触摸屏, 746: 定位装置, 747: 照相用透镜, 748: 外部连接端子, 749: 太阳能电池, 750: 外部存储器插槽, 761: 主体, 763: 目镜, 764: 操作开关, 765: 显示部分, 766: 电池, 767: 显示部分, 770: 电视装置, 771: 框体, 773: 显示部分, 775: 支架, 780: 遥控器, 1000: 晶体管, 1010: 晶体管, 1020: 电容器, 1050: 存储器单元, 1101: CPU, 1102: 时序控制电路, 1103: 指令译码器, 1104: 寄存器阵列, 1105: 地址逻辑和缓冲器电路, 1106: 数据总线接口, 1107: ALU, 1108: 指令寄存器, 1202: 光电二极管, 1204: 晶体管, 1206: 晶体管, 1212: 光电二极管复位信号线, 1214: 栅极信号线, 1216: 光传感器输出信号线, 1218: 光传感器基准信号线, 1222: 衬底, 1224: 衬底, 1226a: 第一半导体层, 1226b: 第二半导体层, 1226c: 第三半导体层, 1228: 附着层, 1230: 入射光, 1234: 绝缘层, 1236: 层间绝缘层, 1238: 层间绝缘层, 1240: 栅电极层, 1242: 电极层, 以及 1244: 电极层。

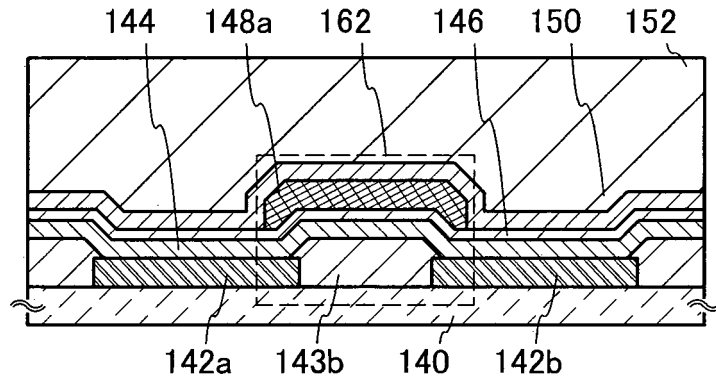


图 1A

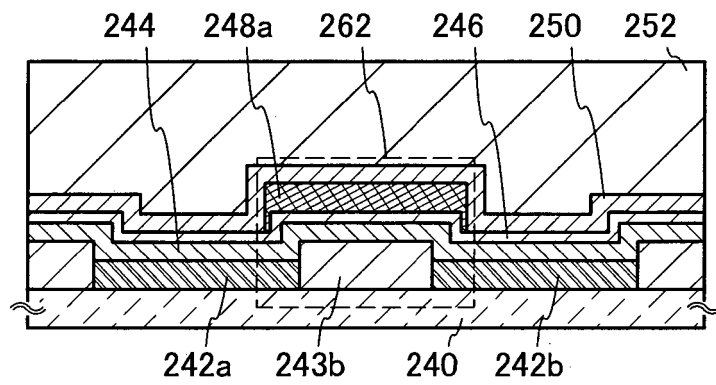


图 1B

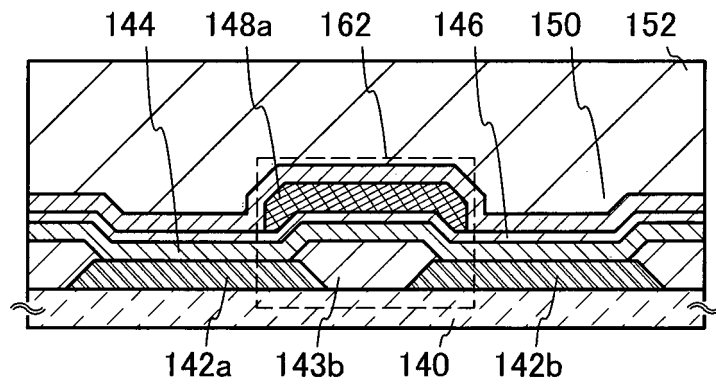


图 1C

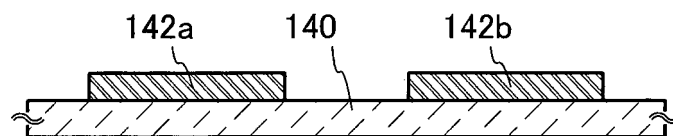


图 2A

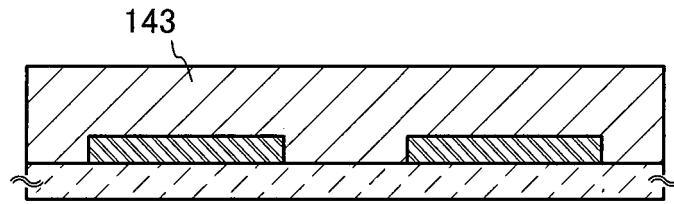


图 2B

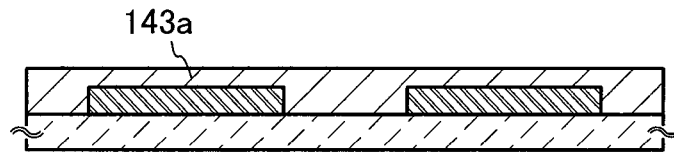


图 2C

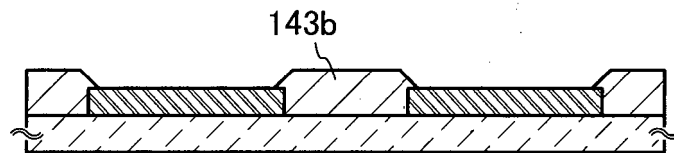


图 2D

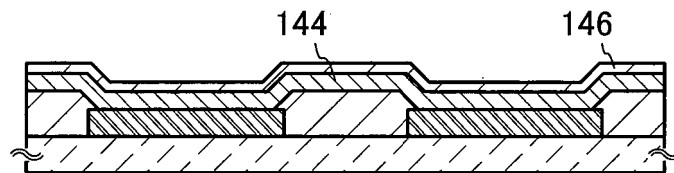


图 2E

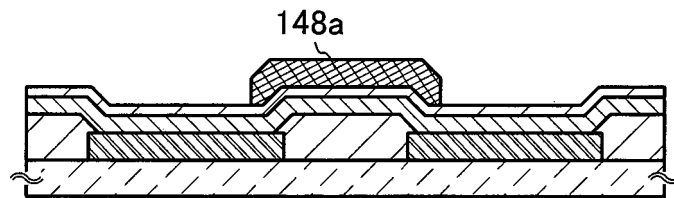


图 2F

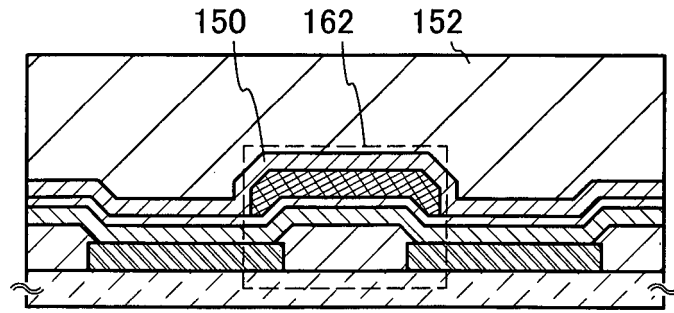


图 2G

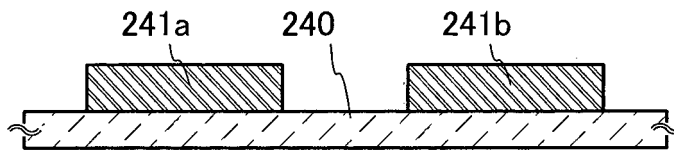


图 3A

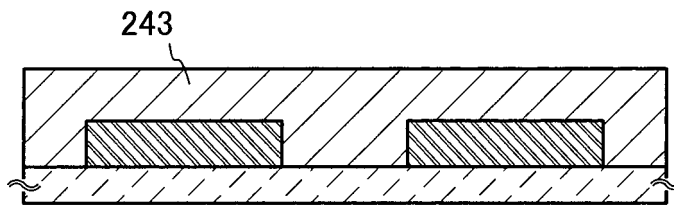


图 3B

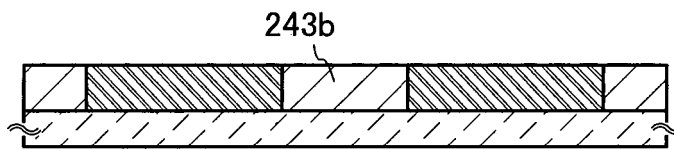


图 3C

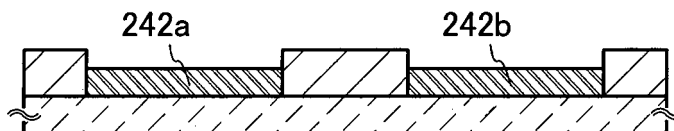


图 3D

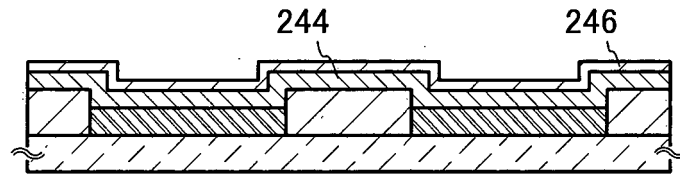


图 3E

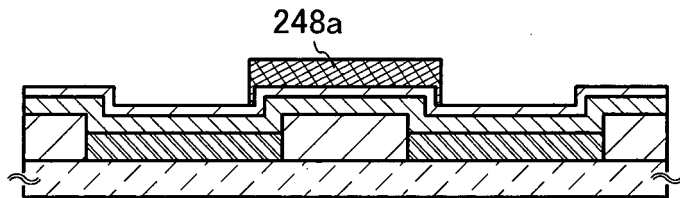


图 3F

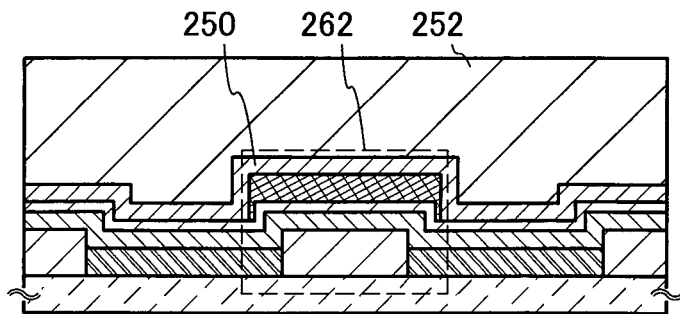


图 3G

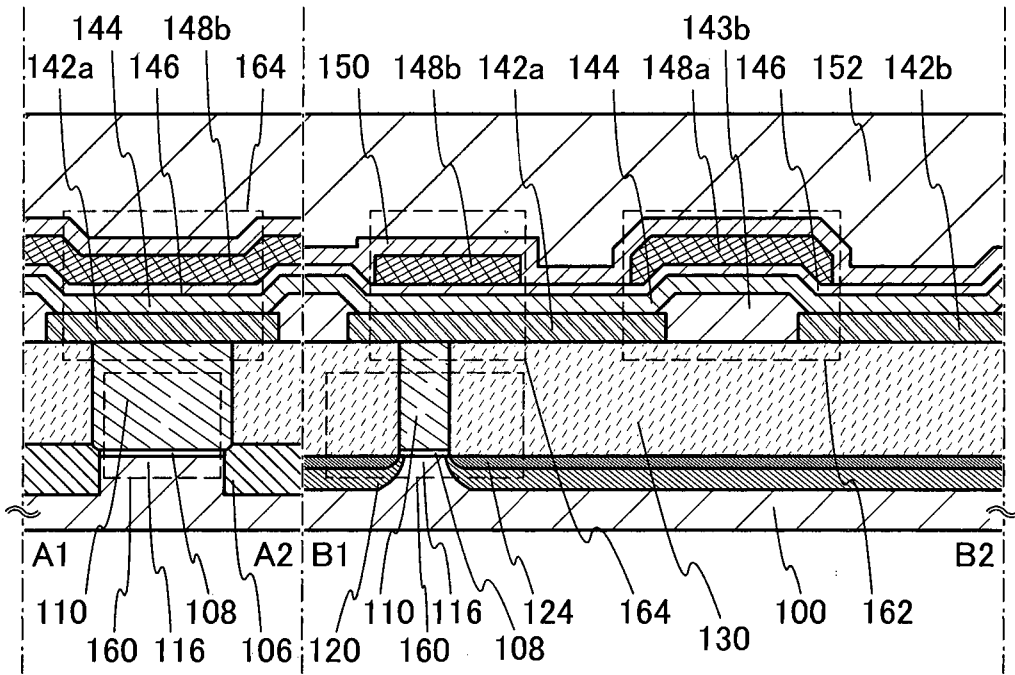


图 4A

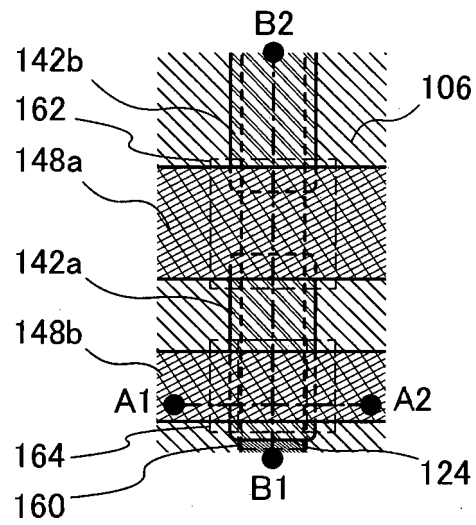


图 4B

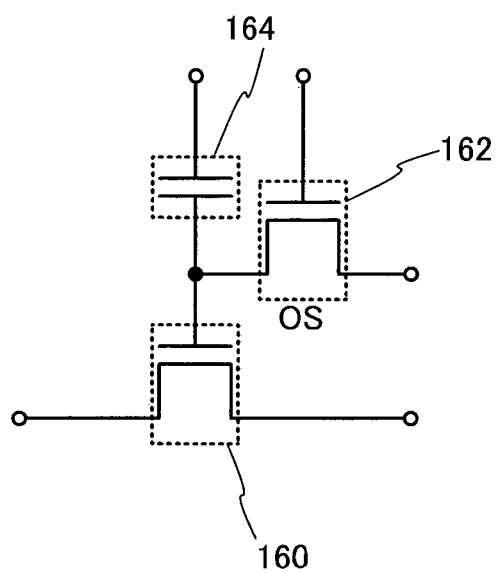


图 4C

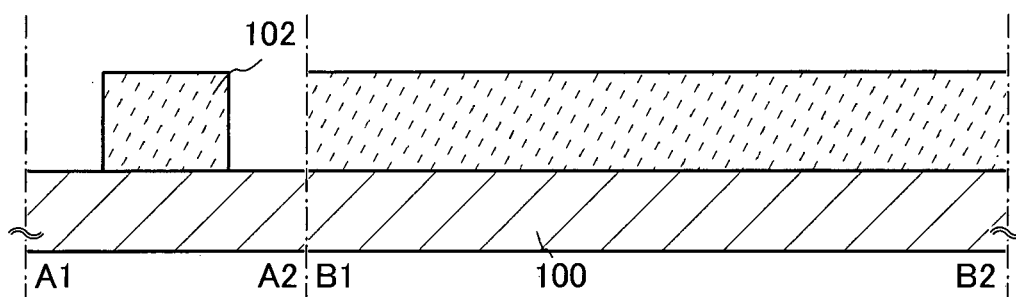


图 5A

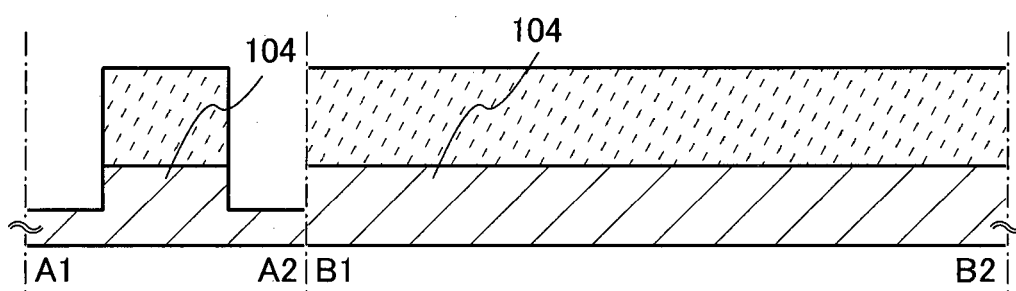


图 5B

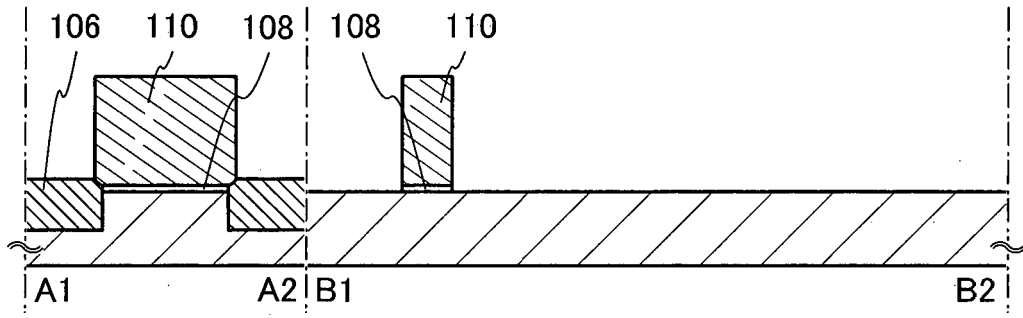


图 5C

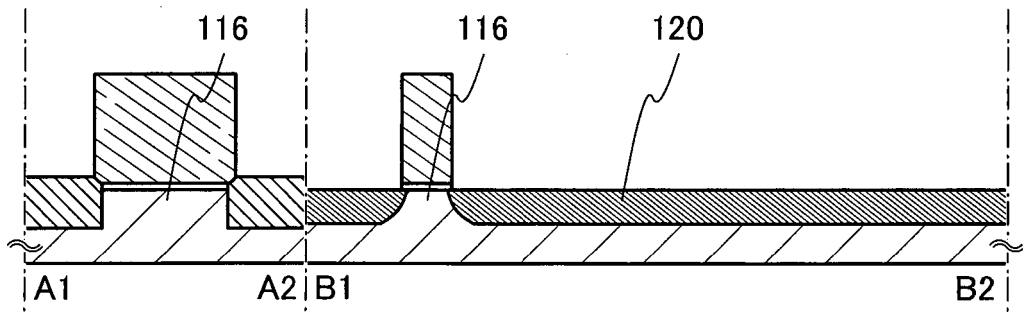


图 5D

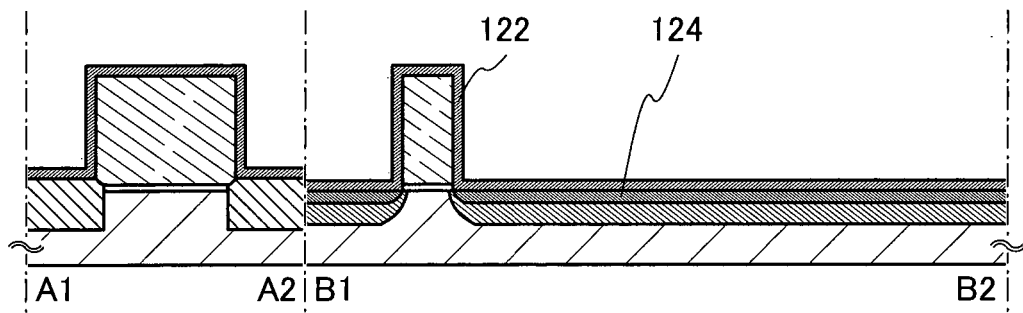


图 6A



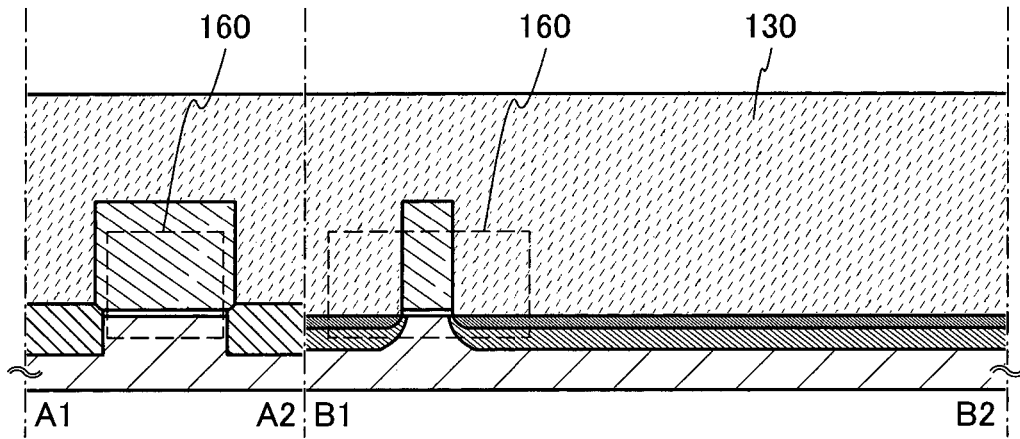


图 6B

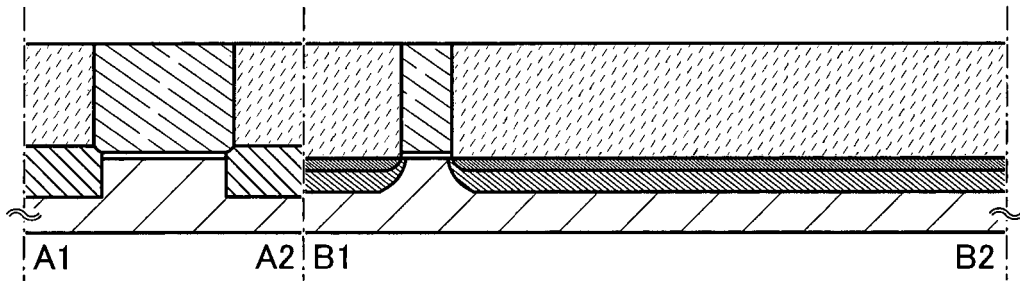


图 6C

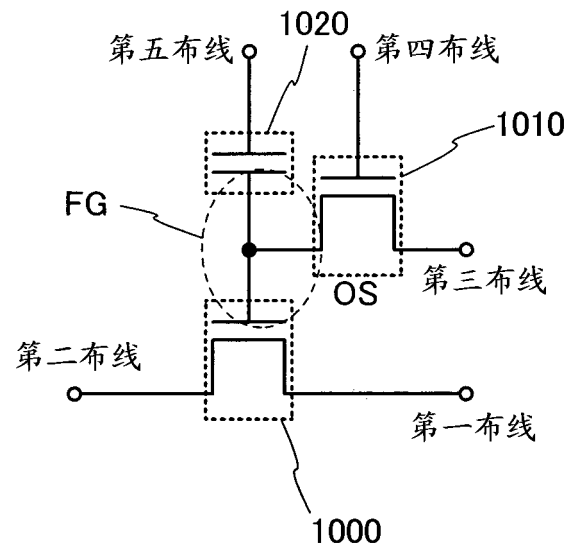


图 7A-1

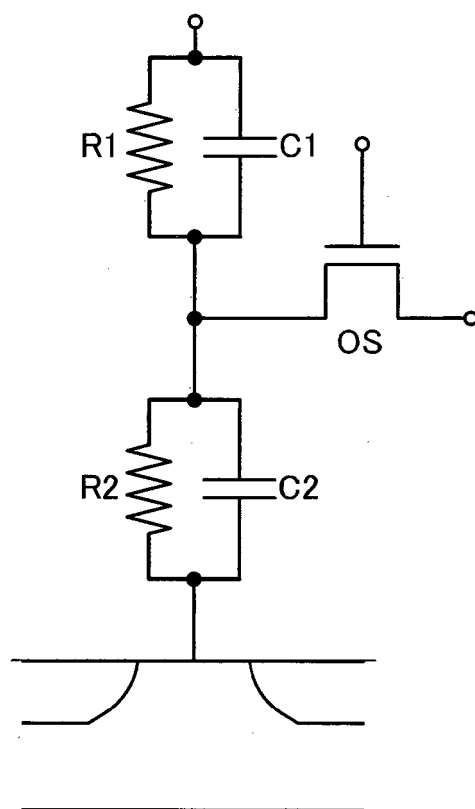


图 7A-2

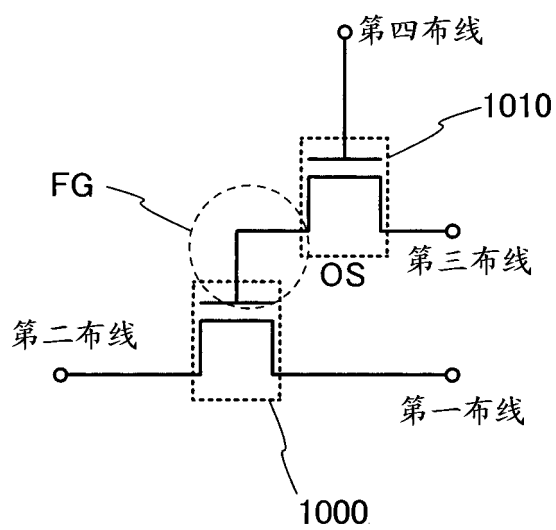


图 7B

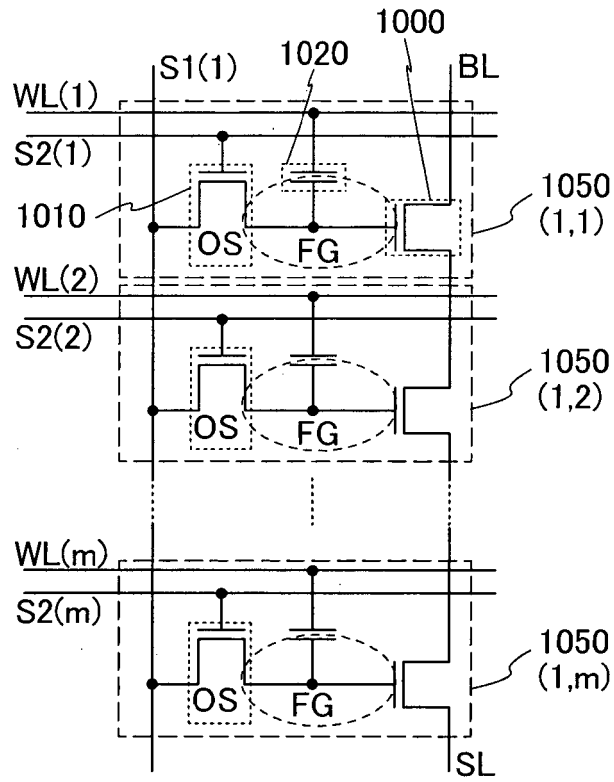


图 8A

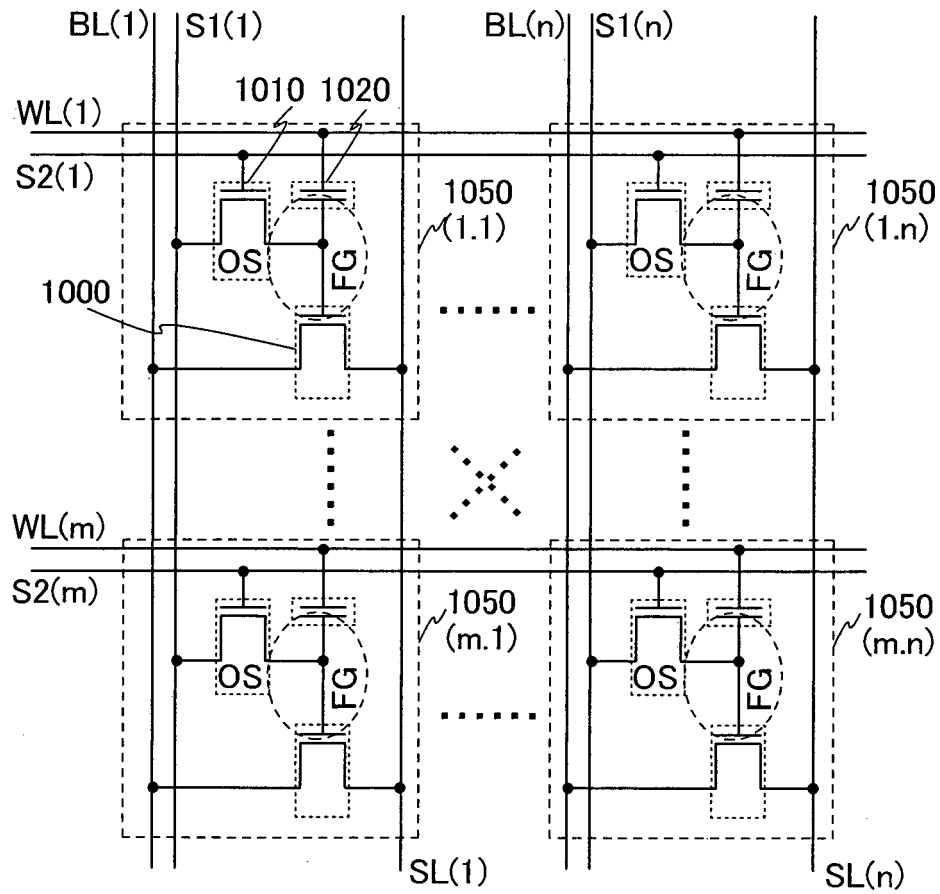


图 8B

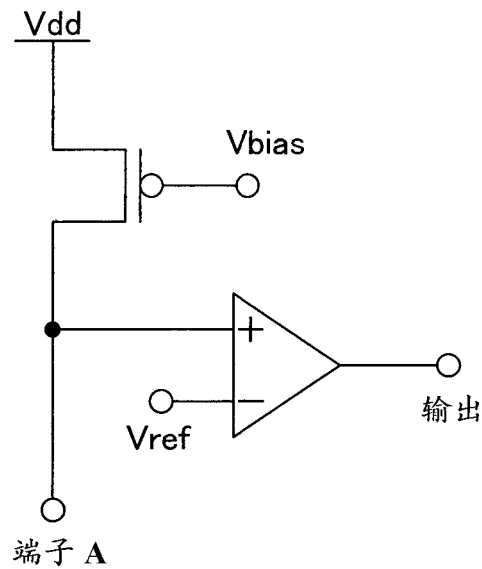


图 9A

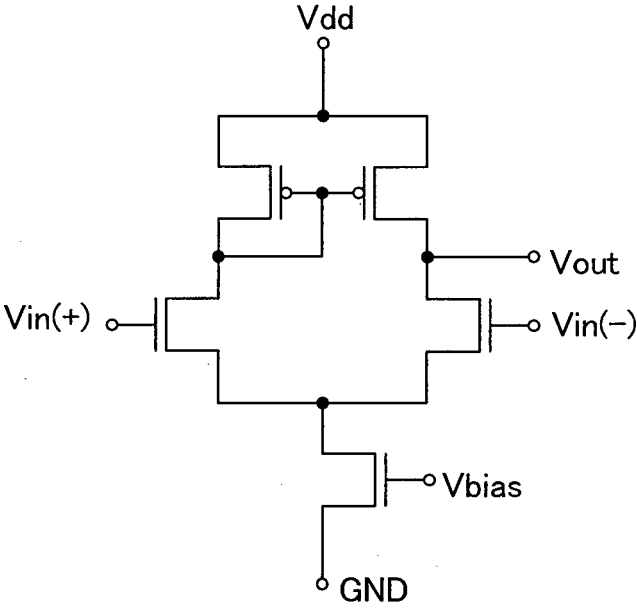


图 9B

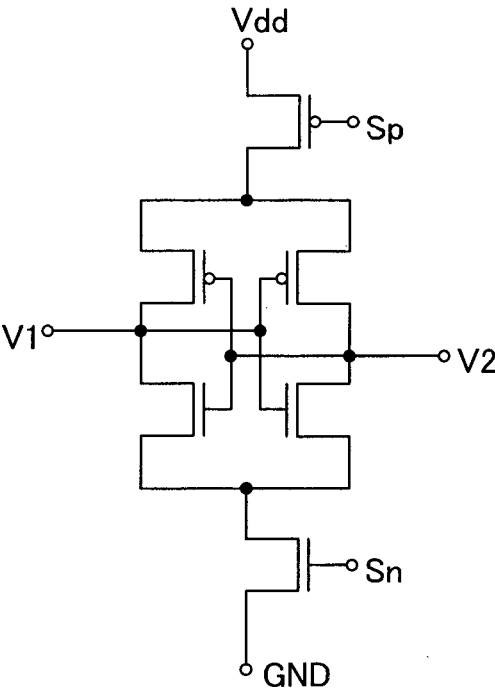


图 9C

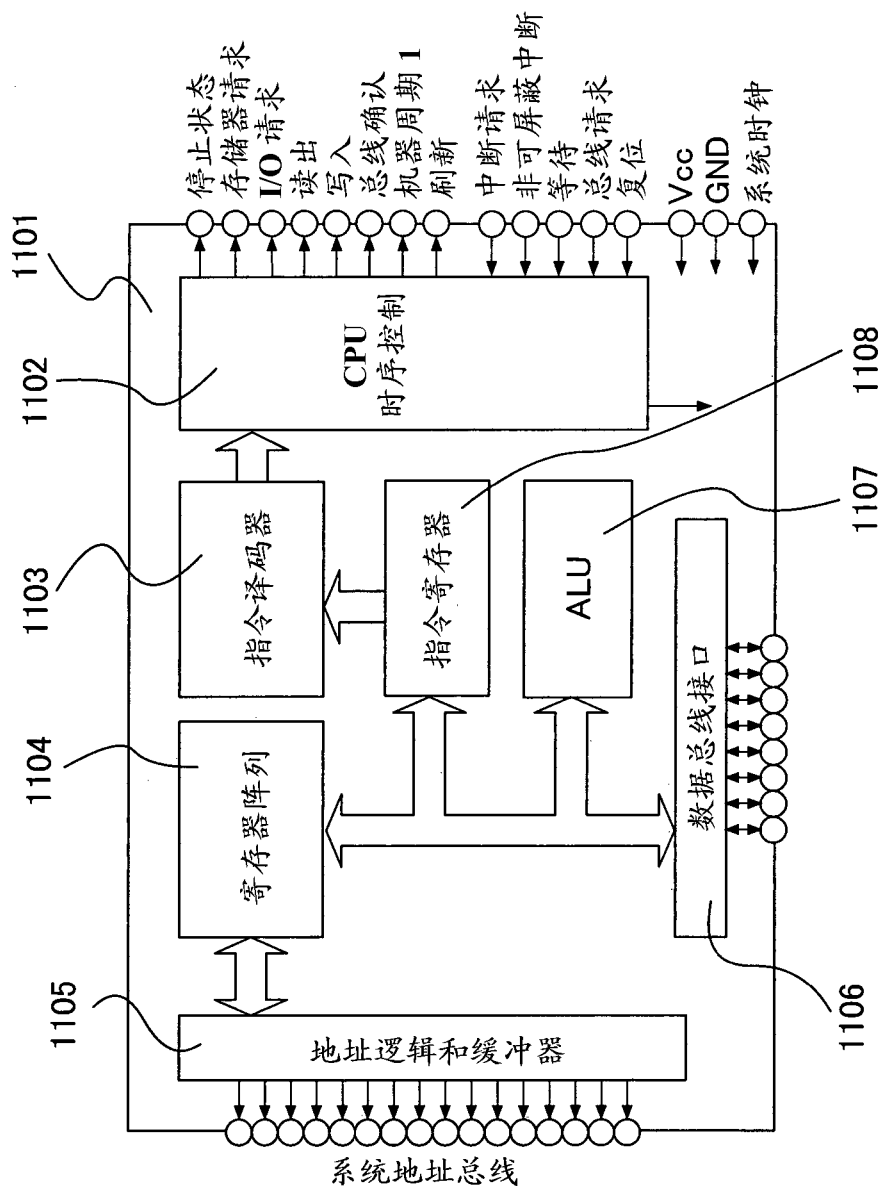


图 10

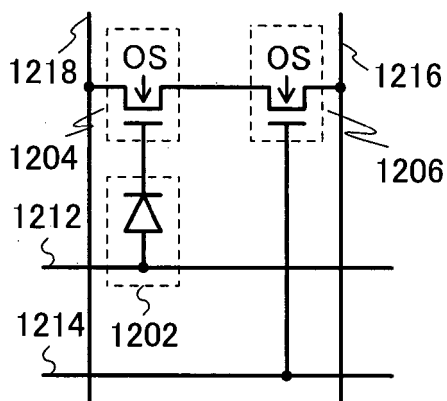


图 11A

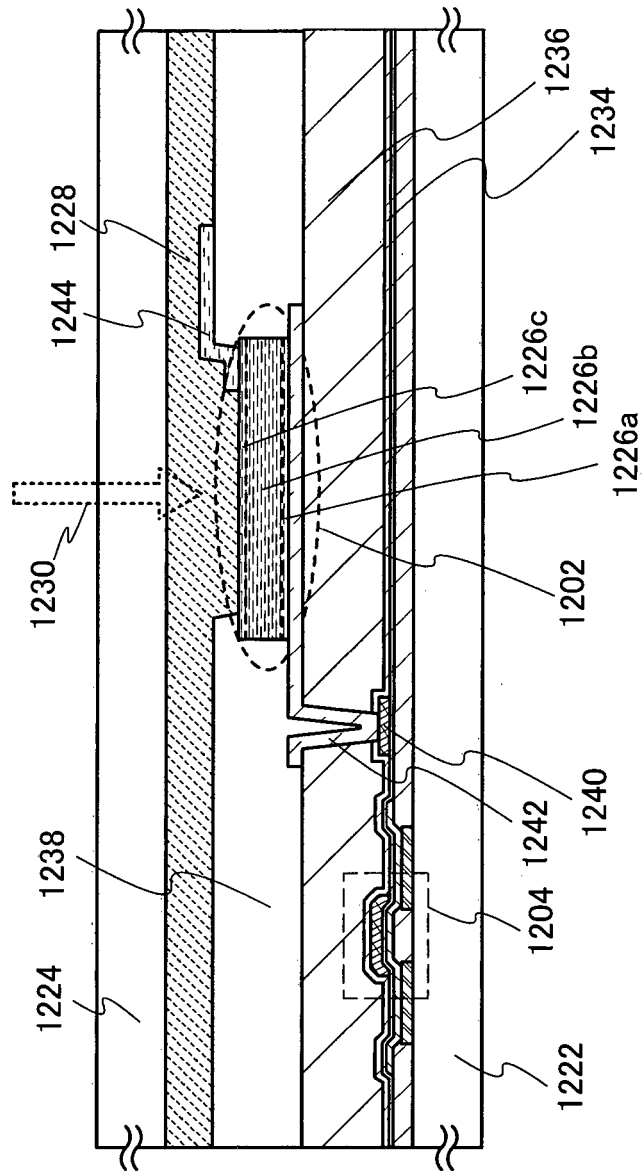


图 11B

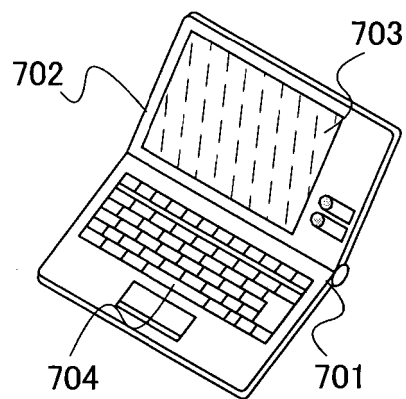


图 12A

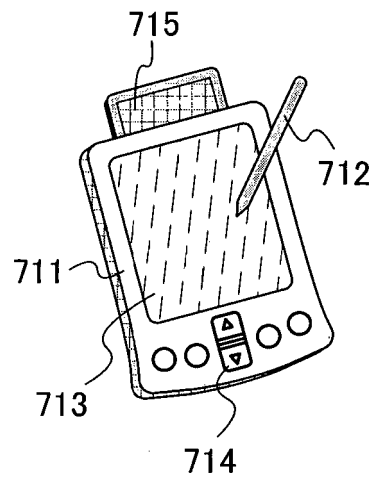


图 12B

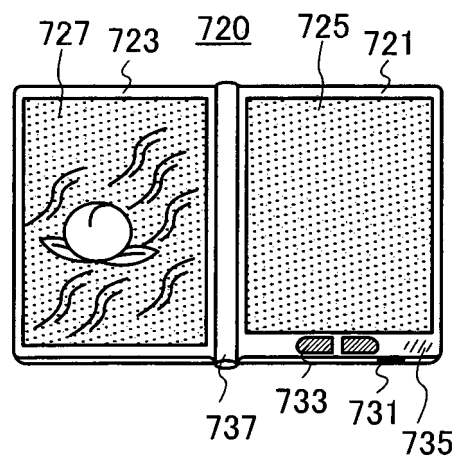


图 12C



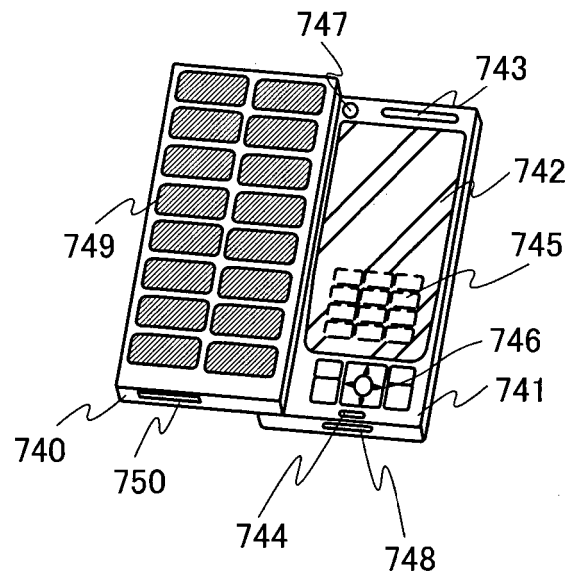


图 12D

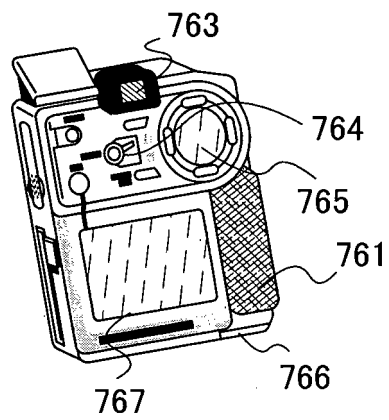


图 12E

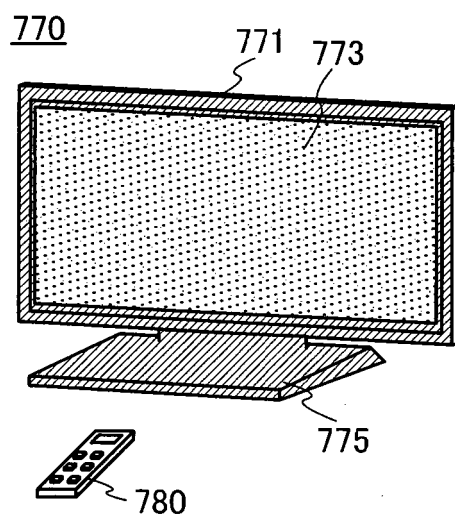


图 12F

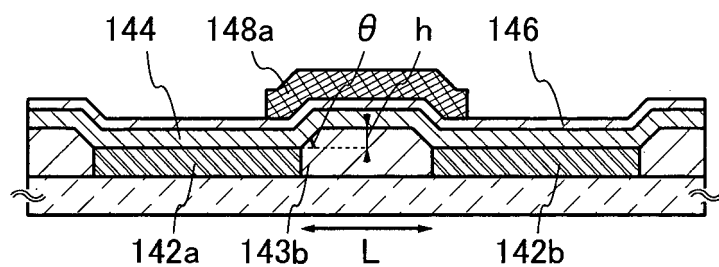


图 13A

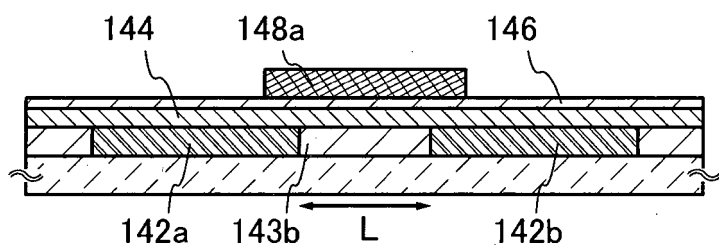
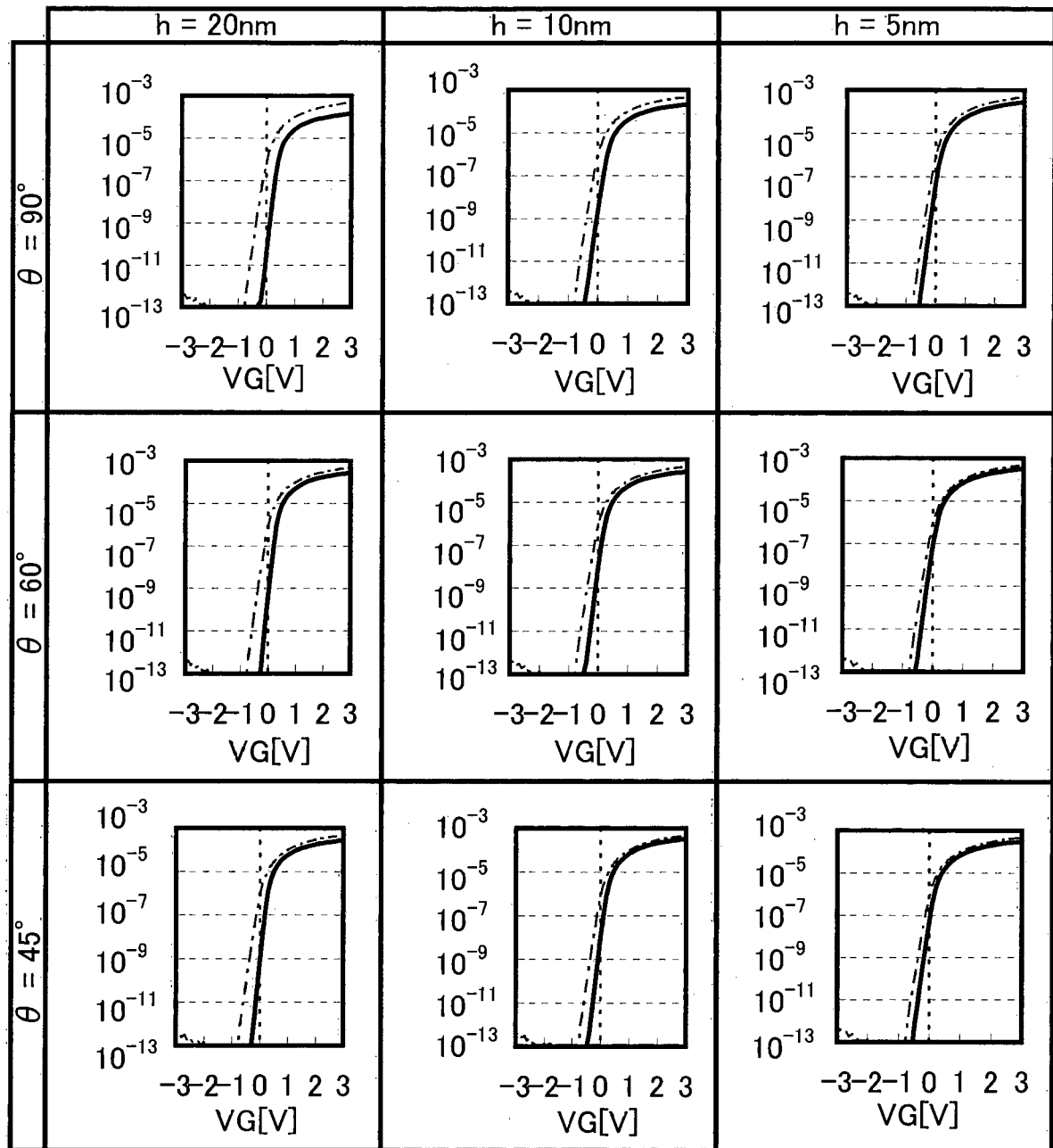


图 13B



垂直轴:  $I_D[\text{A}]$   
 $W=1\ \mu\text{m}$   
 $V_{ds}=1\text{V}$   
 $L=50\text{nm}$

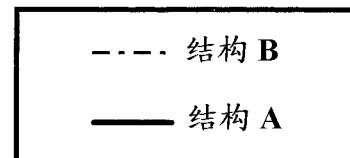
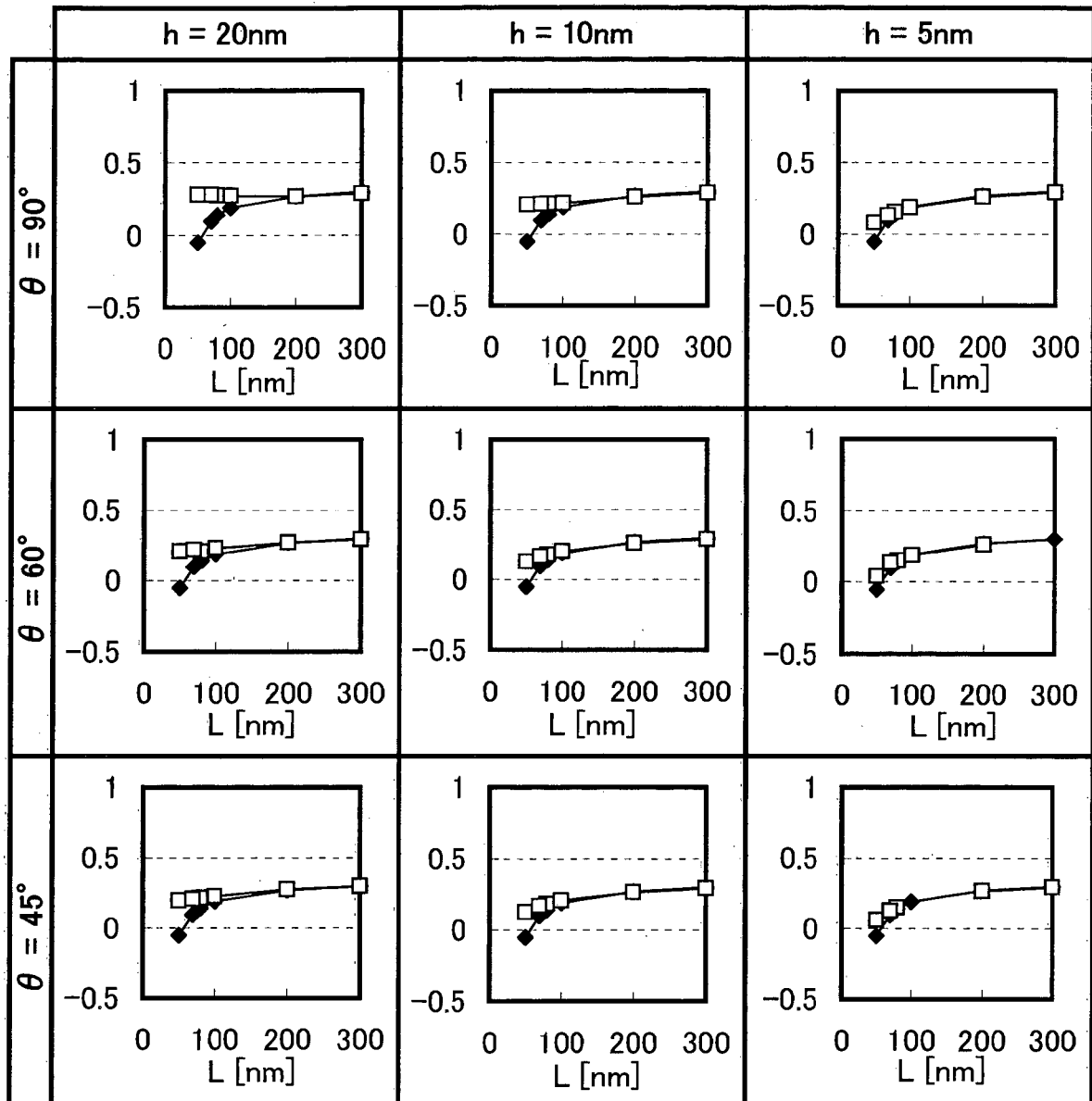


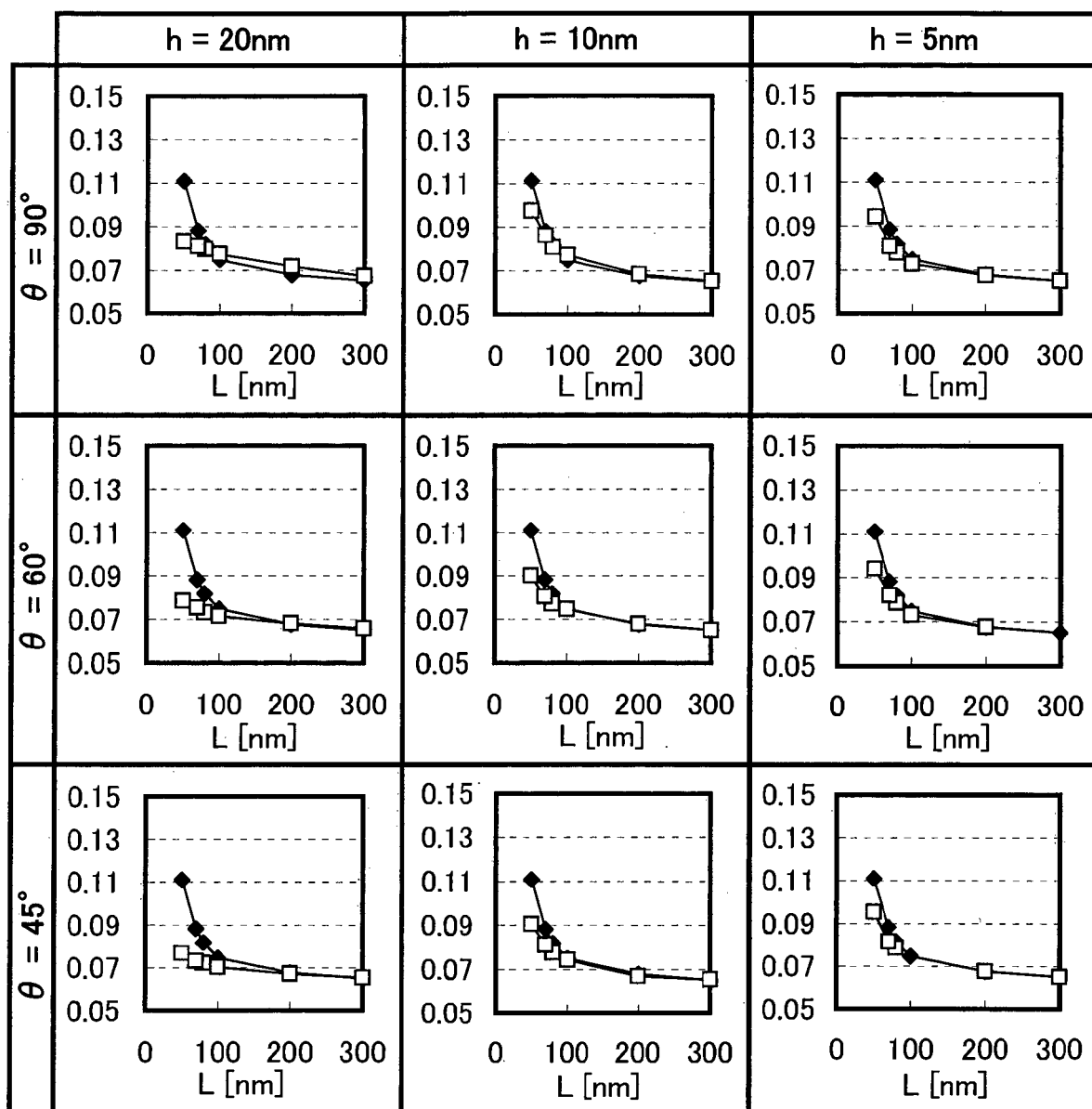
图 14



垂直轴:  $V_{th}$  [V]  
 $V_{ds} = 1\text{V}$

◆ 结构 B  
 □ 结构 A

图 15



垂直轴:  $S$  值 [V/dec]  
 $V_{ds}=1\text{V}$

—◆— 结构 B

—□— 结构 A

图 16

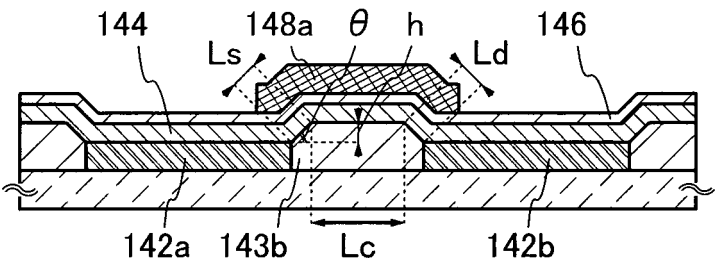


图 17A

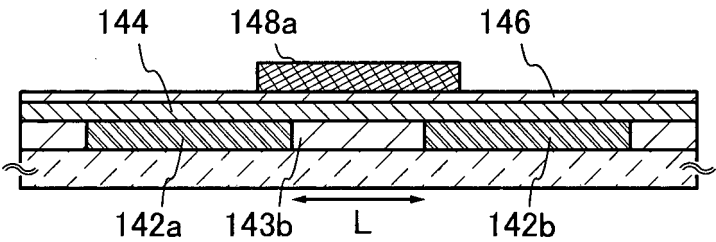


图 17B

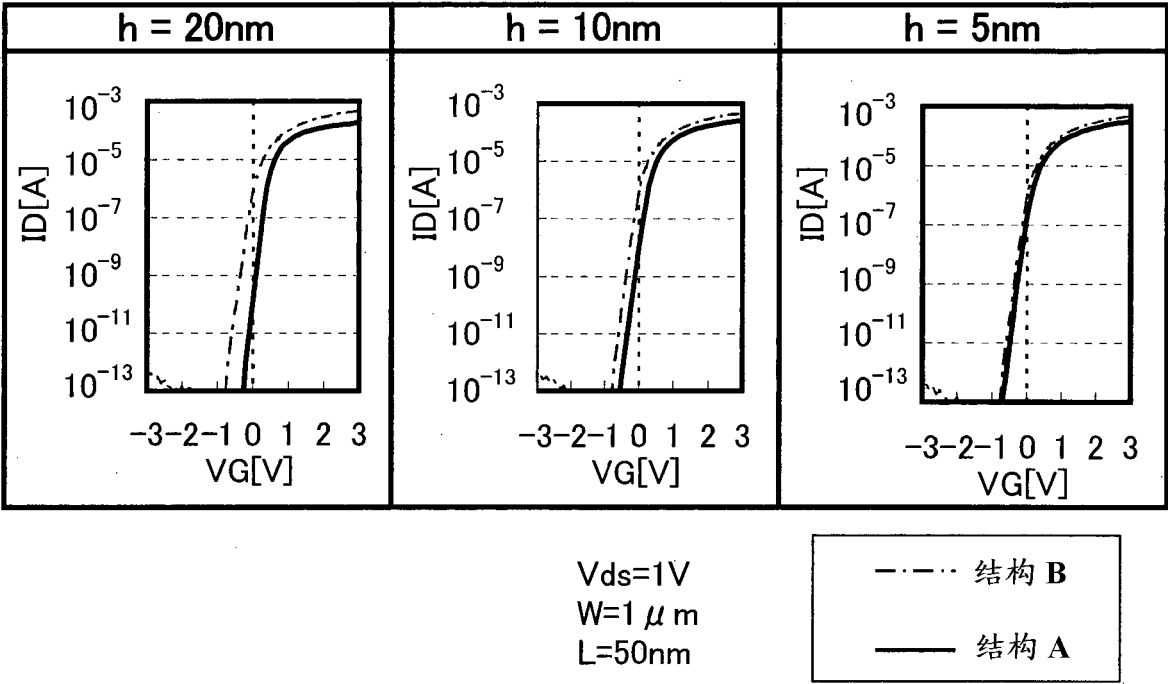


图 18