



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I556576 B

(45)公告日：中華民國 105 (2016) 年 11 月 01 日

(21)申請案號：100101094

(22)申請日：中華民國 100 (2011) 年 01 月 12 日

(51)Int. Cl. : *H03K17/687 (2006.01)**H03K17/082 (2006.01)**H01L27/04 (2006.01)*

(30)優先權：2010/01/22 日本

2010-012627

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)

(74)代理人：林志剛

(56)參考文獻：

US 5367180

US 6795286B2

US RE38319E

審查人員：郭立民

申請專利範圍項數：18 項 圖式數：18 共 77 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

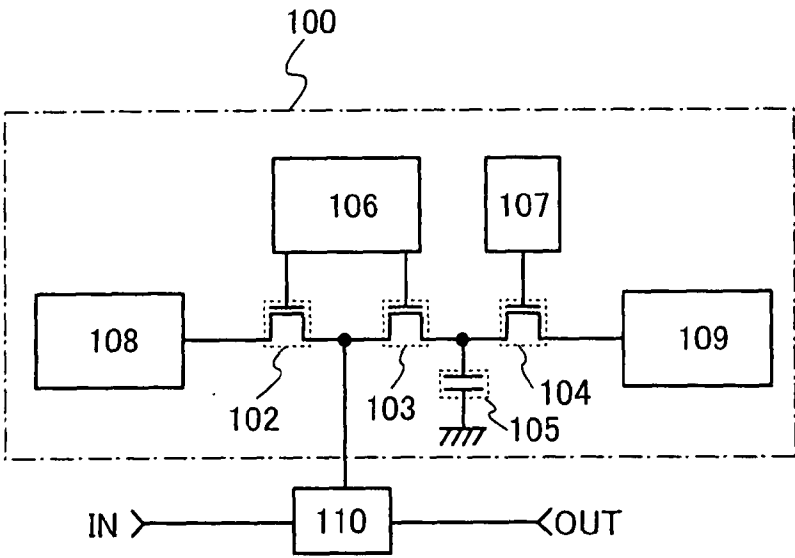
(57)摘要

半導體裝置包含：功率元件，當電壓並未被施加至閘極時，其係在導通狀態中；開關場效應電晶體，用以施加第一電壓至功率元件的閘極；及開關場效應電晶體，用以施加低於第一電壓之電壓至功率元件的閘極。開關場效應電晶體具有小的截止狀態電流。

The semiconductor device includes a power element which is in an on state when voltage is not applied to a gate, a switching field-effect transistor for applying first voltage to the gate of the power element, and a switching field-effect transistor for applying voltage lower than the first voltage to the gate of the power element. The switching field-effect transistors have small off-state current.

指定代表圖：

第1圖



符號簡單說明：

- 100 . . . 控制電路
- 102 . . . 場效應電晶體
- 103 . . . 場效應電晶體
- 104 . . . 場效應電晶體
- 105 . . . 電容器
- 106 . . . 過電壓偵測電路
- 107 . . . 更新控制電路
- 108 . . . 高壓產生源
- 109 . . . 低壓產生源
- 110 . . . 功率元件

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100101094

※申請日：100 年 01 月 12 日

※IPC 分類：

H03K 17/687 (2006.01)

H03K 17/082 (2006.01)

H01L 27/04 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

二、中文發明摘要：

半導體裝置包含：功率元件，當電壓並未被施加至閘極時，其係在導通狀態中；開關場效應電晶體，用以施加第一電壓至功率元件的閘極；及開關場效應電晶體，用以施加低於第一電壓之電壓至功率元件的閘極。開關場效應電晶體具有小的截止狀態電流。



三、英文發明摘要：

The semiconductor device includes a power element which is in an on state when voltage is not applied to a gate, a switching field-effect transistor for applying first voltage to the gate of the power element, and a switching field-effect transistor for applying voltage lower than the first voltage to the gate of the power element. The switching field-effect transistors have small off-state current.

四、指定代表圖：

(一) 本案指定代表圖為：第 (1) 圖。

(二) 本代表圖之元件符號簡單說明：

100：控制電路

102：場效應電晶體

103：場效應電晶體

104：場效應電晶體

105：電容器

106：過電壓偵測電路

107：更新控制電路

108：高壓產生源

109：低壓產生源

110：功率元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明有關半導體裝置及其驅動方法。進一步地，本發明有關設置有該半導體裝置之電子裝置。

在此說明書及其類似物中，“半導體裝置”之用語意指可藉由使用半導體特徵而操作的所有裝置。例如，功率裝置、包含該功率裝置之顯示裝置、包含該功率裝置之積體電路、及其類似物係包含於該半導體裝置的範圍之內。

【先前技術】

做為使用於功率裝置的半導體裝置，透過矽材料之使用所製造的功率裝置係廣為普及。包含矽的功率裝置具有窄的能隙；因此，操作範圍會在高溫受到限制。因而，近年來，包含 SiC 或 GaN 之具有寬的能隙之功率裝置已被發展（例如，請參閱專利文獻 1）。

[參考]

[專利文獻]

[專利文獻 1] 日本公開專利申請案第 2009-010142 號

【發明內容】

做為包含 GaN 之功率裝置的實例，可給定異質接面場效應電晶體（HFET）。在 HFET 中，做為緩衝層之 AlN 層、GaN 層、及 AlGaN 層係堆疊於 SiC 基板上，且源極

電極、閘極電極、及汲極電極係形成於 AlGa_N 層之上。進一步地，因為 Ga_N 層之能隙與 AlGa_N 層之能隙間的差異，所以高濃度二維電子氣體層係形成於 Ga_N 層與 AlGa_N 層之間的介面處。因為在該二維電子氣體層之傳導帶中的能階係低於費米（Fermi）能階，所以該二維電子氣體層用作 HFET 中之通道且該 HFET 係常態導通的狀態，其中即使當並未施加電壓至閘極時，電流亦會流動，而導致其中使驅動器電路或保護電路的電路組態複雜之問題。當為了要獲得常態截止之功率裝置而單純地降低電子濃度時，元件的電阻會增加。因此，極難以同時達成功率裝置之常態截止狀態與功率裝置之低電阻二者。進一步地，已嘗試要以創新的結構來實現常態截止的裝置；然而，裝置結構會變複雜且製造成本會增加，此亦係問題。

因此，本發明一實施例之目的在於提供可實現截止狀態裝置而不增加功率消耗的半導體。

本發明之一實施例係半導體裝置，其包含：功率元件，當電壓並未被施加至閘極時，其係在導通狀態中；開關場效應電晶體，用以施加第一電壓至功率元件的閘極；以及開關場效應電晶體，用以施加低於該第一電壓之電壓至功率元件的閘極。該等開關場效應電晶體具有小的截止狀態電流。進一步地，該等開關場效應電晶體的每一者係其中通道區使用 i 型或實質 i 型氧化物半導體層而被形成之半導體裝置。透過該等開關場效應電晶體，功率元件係藉由對功率元件之閘極的高電位或低電位之施加而導通或截

止。

本發明之一實施例係半導體裝置，其包含：功率 MOSFET，其中包含第一閘極及第二閘極，且使用 n 型氧化物半導體層而形成通道區；開關場效應電晶體，用以施加正電壓至功率 MOSFET 的第一閘極及第二閘極；以及開關場效應電晶體，用以施加負電壓至功率 MOSFET 的第一閘極及第二閘極。功率 MOSFET 之第一閘極與第二閘極的節點係連接至開關場效應電晶體，且該等開關場效應電晶體之每一者的通道區係使用 i 型或實質 i 型氧化物半導體層而形成。透過該等開關場效應電晶體，可施加高電位或低電位至功率 MOSFET 的第一閘極及第二閘極，以致使功率 MOSFET 導通或截止。

本發明之一實施例係半導體裝置，其包含：第一場效應電晶體，係連接至高壓產生源；第二場效應電晶體，係連接至第一場效應電晶體；第三場效應電晶體，係連接至第二場效應電晶體及低壓產生源；電容器，係連接至第二場效應電晶體及第三場效應電晶體；以及功率 MOSFET，係連接至第一場效應電晶體及第二場效應電晶體。該功率 MOSFET 包含：第一閘極；第二閘極；第一絕緣層，係與第一閘極接觸；第二絕緣層，係與第二閘極接觸；氧化物半導體層，係形成於第一絕緣層與第二絕緣層之間；以及第一端子及第二端子，係與氧化物半導體層接觸且用作源極區及汲極區。第一閘極與第二閘極的節點係連接至第一場效應電晶體及第二場效應電晶體。第一至第三場效應電

晶體之每一者的通道形成區係使用 i 型氧化物半導體層而形成。功率 MOSFET 的氧化物半導體層係 n 型。

在功率 MOSFET 中之氧化物半導體層的載子濃度係高於或等於 $1 \times 10^{16} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ ，較佳地係高於或等於 $1 \times 10^{17} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ 。

在開關場效應電晶體之每一者及第一至第三場效應電晶體之每一者中的氧化物半導體層之載子濃度係低於 $5 \times 10^{14} / \text{cm}^3$ 。

功率 MOSFET 的第一閘極或第二閘極係與第一端子及第二端子的其中一者重疊，但未必與第一端子及第二端子的另一者重疊。

依據本發明之一實施例，可提供可實現截止狀態之功率裝置及包含該功率裝置的半導體裝置，而不會增加功率消耗。

【實施方式】

在下文中，將參照附圖來敘述本發明之實施例。注意的是，本發明可以以許多不同的模式來加以實行，且由熟習於本項技藝之該等人士所易於瞭解的是，本發明之模式及細節可以以各式各樣的方式來加以修正，而不會背離本發明之精神和範疇。因此，本發明不應被解讀為受限於該等實施例的說明。注意的是，在下文所述之本發明的結構中，表示相同部分之參考符號係共同地使用於不同的圖式中。

注意的是，在某些情況中，為簡明之緣故，在實施例中之圖式及其類似者中的各個結構之尺寸、層厚度、及區域係誇大的。因此，本發明之實施例並未受限於該等比例。

注意的是，在此說明書中所使用之諸如第一、第二、第三、及第 N（N 係自然數）的用語係為了要避免組件之間的混淆而使用，且並不在數目上設限。

注意的是，在許多情況中，電壓意指所給定電位與參考電位（例如，接地電位）間之電位差。因而，電壓、電位、及電位差亦可分別稱為電位、電壓、及電壓差。

注意的是，當所明白敘述的是，“A 及 B 係連接”，則其中 A 及 B 係功能性地連接之情況及其中 A 及 B 係直接連接之情況包含於其中。在此，A 及 B 各對應至物件（例如，裝置、元件、電路、佈線、電極、端子、導電層、或層）。因而，除了圖式及文字中所示之連接關係外的連接關係亦被包含著，而不受限於例如該等圖式及文字中所示之連接關係。

（實施例 1）

在此實施例中，將敘述功率裝置之半導體裝置的電路結構及其操作。

第 1 圖中所描繪之半導體裝置包含功率元件 110 及控制電路 100。控制電路 100 包含場效應電晶體 102（亦稱為第一電晶體）、場效應電晶體 103（亦稱為第二電晶體

）、場效應電晶體 104（亦稱為第三電晶體）、電容器 105、過電壓偵測電路 106、更新控制電路 107、高壓產生源 108、及低壓產生源 109。

控制電路 100 切換所施加至功率元件 110 的電壓於高壓產生源 108 所產生的高壓與低壓產生源 109 所產生的低壓之間。此外，當過電壓係施加於輸入端子 IN 與輸出端子 OUT 之間時，控制電路 100 控制流過功率元件 110 的電流量。

關於場效應電晶體 102，閘極係連接至過電壓偵測電路 106，第一端子係連接至高壓產生源 108，以及第二端子係連接至功率元件 110。場效應電晶體 102 控制高壓對連接至第二端子之功率元件 110 的施加。

關於場效應電晶體 103，閘極係連接至過電壓偵測電路 106，第一端子係連接至電容器 105 及場效應電晶體 104 的第二端子，以及第二端子係連接至功率元件 110。

場效應電晶體 103 控制來自低壓產生源 109 之儲存於電容器 105 中的低壓對連接至第二端子之功率元件 110 的施加。

注意的是，在此說明書中之截止狀態電流意指當場效應電晶體係不導通時之流動於該場效應電晶體之源極及汲極間，亦即，第一端子與第二端子間的電流。

關於場效應電晶體 104，閘極係連接至更新控制電路 107，第一端子係連接至低壓產生源 109，以及第二端子係連接至電容器 105 及場效應電晶體 103 的第一端子。場

效應電晶體 104 控制連接至第二端子之電容器 105 透過低電位的充電。

場效應電晶體 102 至 104 之每一者的通道區係使用 i 型或實質 i 型氧化物半導體層而形成。i 型或實質 i 型氧化物半導體層的載子密度係低於 $5 \times 10^{14} / \text{cm}^3$ ，較佳地低於 $1 \times 10^{12} / \text{cm}^3$ ，更佳地低於或等於 $1 \times 10^{11} / \text{cm}^3$ 。此外，較佳的是，用作施體之氫或氧缺乏係很少的，且氫濃度係低於或等於 $1 \times 10^{16} / \text{cm}^3$ 。注意的是，載子密度可藉由霍爾（Hall）效應測量而獲得。較低的載子密度可透過電容-電壓（CV）測量之使用而獲得。氧化物半導體層的氫濃度可藉由二次離子質譜測量術（SIMS）而測量出。

包含 i 型或實質 i 型氧化物半導體於通道區中的場效應電晶體 102 可具有 $1 \times 10^{-16} \text{A} / \mu \text{m}$ 或更小的截止狀態電流，且進一步可具有 $1 \times 10^{-19} \text{A} / \mu \text{m}$ 或更小的截止狀態電流。i 型或實質 i 型氧化物半導體具有寬的能隙，且需大量的熱能以供電子的激勵之用；因此，直接復合和間接復合係較少可能發生。在其中負電位係施加至閘極電極的狀態（截止狀態）中，少數載子之電子係實質地零；從而，直接復合和間接復合係較少可能發生，且電流量會盡可能地小。因而，在其中場效應電晶體係在非導通狀態中（亦稱為 OFF）的狀態中，電路可透過可被視為絕緣物之氧化物半導體層而予以設計。另一方面，當場效應電晶體係在導通狀態之中時，則 i 型或實質 i 型氧化物半導體層的電流供應能力係預期為比藉由非晶矽所形成之半導體層的電

流供應能力更高。場效應電晶體 102 至 104 係具有在截止狀態中之極小漏電流的增強型電晶體及常態截止電晶體，且因此，具有優異的開關特徵。

電容器 105 係用以保持當場效應電晶體 104 斷續地導通（亦稱為 ON）時之將被施加至功率元件 110 的低電位之元件。電容器 105 可具有其中絕緣層係介於導體之間的結構。

過電壓偵測電路 106 係用以依據輸入端子 IN 與輸出端子 OUT 之間的電壓來控制場效應電晶體 102 及場效應電晶體 103 的導通及非導通之電路。具體而言，當過電壓被施加在輸入端子 IN 與輸出端子 OUT 之間時，使場效應電晶體 102 成為導通，使場效應電晶體 103 成為未導通，且控制來自高壓產生源 108 之高壓對功率元件 110 的施加。當過電壓並未被施加在輸入端子 IN 與輸出端子 OUT 之間時，使場效應電晶體 102 成為未導通，使場效應電晶體 103 成為導通，且控制來自低壓產生源 109 之低壓對功率元件 110 的施加。

更新控制電路 107 係用以控制場效應電晶體 104 之導通及非導通，以便控制電容器 105 透過來自低壓產生源 109 之低電位的充電。具體而言，該更新控制電路 107 係用以斷續地使場效應電晶體 104 導通，以便在電容器 105 釋放低電位至功率元件 110 之前，以低電位來充電電容器 105 的電路，而所釋放之低電位係因為電容器 105 由於低壓產生源 109 之充電而保持的。

做為功率元件 110，係使用無需施加電壓至閘極而導通之功率元件。做為功率元件 110，可適當地使用包含 Si、SiC、GaN、或氧化物半導體之雙極性電晶體、場效應電晶體（FET）、閘控開關閘流體、絕緣閘極雙極性電晶體（IGBT）、或其類似物。進一步地，做為場效應電晶體，可適當地使用功率金氧半 FET（功率 MOSFET）、HFET、接面場效應電晶體（JFET）、或其類似物。包含具有三端子之功率元件 121 的等效電路係描繪於第 2A 圖之中。功率元件 121 的閘極係連接至場效應電晶體 102 及場效應電晶體 103。進一步地，功率元件 121 之源極端子及汲極端子的其中一者係稱為第一端子，以及功率元件 121 之源極端子及汲極端子的另一者係稱為第二端子。第一端子係連接至輸入端子 IN，以及第二端子係連接至輸出端子 OUT。

在此實施例中，將在下文中敘述使用如第 2B 圖中所描繪之具有四端子的功率 MOSFET 101 做為功率元件 110 的典型實例。

功率 MOSFET 101 包含四個端子；大致地，該四個端子係第一閘極端子（亦稱為第一閘極）、第二閘極端子（亦稱為第二閘極）、汲極端子（亦稱為汲極）、以及源極端子（亦稱為源極）。在功率 MOSFET 101 中，第一閘極及第二閘極係設置於通道區的上及下面，且用以控制功率 MOSFET 101 之開關的信號係供應至第一閘極及第二閘極。

第 2C 圖係功率 MOSFET 101 之電路符號，其中第一閘極 201 及第二閘極 206 係設置於通道區的上部及下部。如第 2C 圖中所描繪地，功率 MOSFET 101 包含第一閘極 201、第二閘極 206、第一端子 204A、及第二端子 204B。在功率 MOSFET 101 中，來自高壓產生源 108 或低壓產生源 109 所輸出之信號（在第 2C 圖中之信號 G）係輸入至第一閘極 201 及第二閘極 206。藉由來自高壓產生源 108 或低壓產生源 109 所輸出之信號，可控制功率 MOSFET 101 的第一端子 204A 與第二端子 204B 間之導通及未導通的切換。

功率 MOSFET 101 的通道區可使用 n 型氧化物半導體層而形成。該 n 型氧化物半導體層具有高於或等於 $1 \times 10^{16} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ ，較佳地，高於或等於 $1 \times 10^{17} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ 的載子密度。因為氫及氧缺乏用作氧化物半導體中的施體，所以較佳的是，氫濃度係高於或等於 $1 \times 10^{16} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ 。

因為功率 MOSFET 101 包含 n 型氧化物半導體層於通道區中，所以當與包含 i 型氧化物半導體層於通道區中之功率 MOSFET 相較時，可降低導通電阻且可流過大量電流。然而，因為包含 n 型氧化物半導體層於通道區中之功率 MOSFET 係空乏型電晶體，所以該電晶體係常態導通電晶體，其中即使在其中並未施加電壓至其閘極的狀態中，電流亦會流動。除了第一閘極 201 之外，在此實施例中所敘述之功率 MOSFET 包含第二閘極 206。當施加負電壓

至第一閘極 201 及第二閘極 206 時，可使功率 MOSFET 關閉。因此，可使其中導通電阻低且大量電流可流過的功率 MOSFET 關閉。另一方面，當施加正電壓至第一閘極 201 及第二閘極 206 時，可使功率 MOSFET 開啓。進一步地，因為功率 MOSFET 101 包含第一閘極 201 及第二閘極 206，所以相較於具有單一閘極之功率 MOSFET，可藉由使通道區變厚而使臨限電壓變得更負且可使導通電流增加。

其次，將參照第 3A 至 3C 圖以及第 4A 及 4B 圖來敘述第 2B 圖中所描繪之半導體裝置的操作。在第 3A 至 3C 圖以及第 4A 及 4B 圖中，點線之箭頭係依據功率 MOSFET 101 及場效應電晶體之導通及未導通而顯示，以促進信號之流動的瞭解。包含於半導體裝置中之功率 MOSFET 101 的通道區係使用 n 型氧化物半導體層而形成，且功率 MOSFET 101 係藉由來自高壓產生源 108 的高電位而使成為導通以及藉由來自低壓產生源 109 的低電位而使成為未導通。注意的是，關於在第 2A 圖中所描繪之半導體裝置的操作，在第 3A 至 3C 圖以及第 4A 及 4B 圖中所描繪之等效電路中的功率 MOSFET 101 可以以功率元件 121 來予以置換。

將參照第 3A 圖來敘述其中功率 MOSFET 101 係導通之情況中的操作。場效應電晶體 102 係藉由過電壓偵測電路 106 的控制而使成為導通，場效應電晶體 103 係藉由過電壓偵測電路 106 的控制而使成為未導通，以及場效應電

晶體 104 係藉由更新控制電路 107 的控制而使成為未導通。使場效應電晶體 102 成為導通，以致高電位可自高壓產生源 108 施加至功率 MOSFET 101 的第一閘極及第二閘極，且因此，功率 MOSFET 101 導通。

將參照第 3B 圖來敘述其中功率 MOSFET 101 係未導通之情況中的操作。場效應電晶體 102 係藉由過電壓偵測電路 106 的控制而使成為未導通，場效應電晶體 103 係藉由過電壓偵測電路 106 的控制而使成為導通，以及場效應電晶體 104 係藉由更新控制電路 107 的控制而使成為未導通。如第 3B 圖中所描繪地，場效應電晶體 103 係導通，以致使來自低壓產生源 109 所儲存於電容器 105 中的低電位施加至功率 MOSFET 101 之第一閘極及第二閘極，且因此，功率 MOSFET 101 未導通。

將參照第 3C 圖來敘述其中參照第 3B 圖所敘述之電容器 105 係以低電位來充電的情況中之操作。場效應電晶體 102 係藉由過電壓偵測電路 106 的控制而使成為未導通，場效應電晶體 103 係藉由過電壓偵測電路 106 的控制而使成為導通，以及場效應電晶體 104 係藉由更新控制電路 107 的控制而使成為導通。低電位係由低壓產生源 109 儲存於電容器 105 中。

注意的是，參照第 3C 圖所敘述之透過低電位的電容器 105 之充電係以由更新控制電路 107 所控制之規律間距而執行。具體而言，半導體裝置保持第 3B 圖中所描繪的狀態，而使功率 MOSFET 101 未導通之由低壓產生源 109

所充電電容器 105 的低電位係保持於電容器 105 中。然後，使半導體裝置以斷續方式成為在第 3C 圖中所描繪的狀態中；因而，使場效應電晶體 104 成為導通且使低電位儲存於電容器 105 之中。例如，第 3C 圖中所描繪之操作可一分鐘執行一次，而取足夠時間以供充電之用。

在如上述之此實施例的結構中，第 3A 圖或第 3B 圖中之狀態及第 3C 圖中之狀態係重複，但其中保持第 3B 圖中之狀態的週期會較長。

在此，將參照第 4A 圖來詳細敘述此實施例之功效。在第 4A 圖中，描繪於第 3B 圖中的狀態中之連接至功率 MOSFET 101 之第一閘極及第二閘極的節點、場效應電晶體 103、以及電容器 105 之端子的其中一者係以實體線來描繪，以及其他的連接係藉由點線而描繪。

場效應電晶體 102 及場效應電晶體 104 變成未導通，因而，連接至功率 MOSFET 101 之第一閘極及第二閘極的節點係電性地在浮動狀態中。如上述，場效應電晶體 102 及場效應電晶體 104 包含 i 型或實質 i 型氧化物半導體層於通道區之中，以致使截止狀態電流為極小。因此，連接至功率 MOSFET 101 之第一閘極及第二閘極的節點可長時間地保持來自低壓產生源 109 所儲存於電容器 105 中的低電位。低電位並非恆常地，而是被斷續地施加至電容器。進一步地，當施加低電位至功率 MOSFET 101 之之第一閘極及第二閘極時，功率 MOSFET 101 係在截止狀態中。因此，此實施例之半導體裝置可實現功率功率 MOSFET 101

的截止狀態而不會增加功率消耗。

進一步地，在第 2C 圖中所描繪的半導體裝置中，爲了要增加連接至功率 MOSFET 101 之第一閘極及第二閘極的節點之電位的保持性質，可將電容器 401 額外地設置至連接到第一閘極及第二閘極的節點，如第 4B 圖中所描繪地。注意的是，在第 2A 及 2B 圖中所描繪的半導體裝置中，可將電容器 401 設置至功率 MOSFET 101 的閘極或功率元件 121 的閘極。

注意的是，在此實施例中，於圖式中所描繪者可適當地與另一實施例中所描述者自由地結合，或可適當地以另一實施例所敘述者來予以置換。

(實施例 2)

在此實施例中，將參照第 5A 及 5B 圖、第 6A 及 6B 圖、以及第 7A 至 7D 圖來敘述實施例 1 中所敘述之功率 MOSFET 101 的結構及其製造方法。

第 5A 圖描繪實施例 1 中所述之功率 MOSFET 101 的橫剖面結構之一實施例，以及第 5B 圖描繪功率 MOSFET 101 的頂視圖。沿著第 5B 圖中之線 A-B 所取得的橫剖面視圖對應於 5A 圖。

在第 5A 圖中所描繪的功率 MOSFET 101 中，由導電層所形成的第一閘極 201 係設置於基板 200 之上，閘極絕緣層 202 係設置於第一閘極 201 之上，n 型氧化物半導體層 203 係設置於閘極絕緣層 202 之上，由導電層所形成的

第一端子 204A 及第二端子 204B 係設置以便覆蓋氧化物半導體層 203 的一部分，絕緣層 205 係設置以便覆蓋氧化物半導體層 203、第一端子 204A、及第二端子 204B，以及由導電層所形成的第二閘極 206 係設置於絕緣層 205 上以便與第一端子 204A 的一部分及第二端子 204B 的一部分重疊。

必要的是，基板 200 至少具有要耐受稍後所執行的熱處理之足夠高的熱阻。當使用玻璃基板做為基板 200 時，較佳地，可使用具有高於或等於 730°C 之應變點的玻璃基板。做為玻璃基板，例如，可使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃。注意的是，較佳地使用包含 BaO 及 B_2O_3 而使得 BaO 之數量大於 B_2O_3 之數量的玻璃基板。

取代玻璃基板，可使用諸如陶質基板、石英基板、或藍寶石基板之由絕緣物所形成的基板。選擇性地，可使用結晶化之玻璃或其類似物。進一步地，可使用藉由形成絕緣層於諸如矽晶圓之半導體基板的表面上，或由金屬材料所形成之導電基板的表面上所獲得的基板。

雖然未描繪於第 5A 圖之中，但是當具有高的熱傳導性之絕緣層係形成於基板 200 與第一閘極 201 之間時，可製造出具有高熱阻之功率 MOSFET 101。具有高的熱傳導性之絕緣層的實例包含氮化鋁層、氧化氮化鋁層、氮化矽層、及其類似物。

第一閘極 201 係使用選擇自鋁、鉻、銅、鈹、鈦、鉬

、及鎢之金屬元素；包含該等金屬元素的任一者做為成分之合金；包含該等金屬元素所組合之合金；或其類似物而形成。進一步地，可使用選擇自錳、鎂、鋅、及鈹之一或更多個金屬元素。此外，第一閘極 201 可具有單層結構或具備二或更多層的堆疊結構。例如，可給定包含矽之鋁層的單層結構；其中鈦層係堆疊於鋁層之上的雙層結構，其中鈦層係堆疊於氮化鈦層之上的雙層結構，其中鎢層係堆疊於氮化鈦層之上的雙層結構，或其中鎢層係堆疊於氮化鉬層之上的雙層結構；其中鈦層、鋁層、及鈦層係以此順序而堆疊的三層結構；及其類似結構。選擇性地，可使用包含鋁及選擇自鈦、鉬、鎢、鉬、鉻、釹、及釷之一或更多元素之層、合金層、或其氮化物。

第一閘極 201 可使用諸如銦錫氧化物，包含氧化鎢之氧化銦，包含氧化鎢之銦鋅氧化物，包含氧化鈦之氧化銦，包含氧化鈦之銦錫氧化物，氧化銦鋅，或添加氧化矽之銦錫氧化物之透光導電材料而形成。而且，可具有使用上述透光導電材料及上述金屬元素所形成的堆疊層結構。

閘極絕緣層 202 可使用氧化矽層、氮化矽層、氮氧化矽層、氧化氮化矽層、或氧化鋁層，而以單層或堆疊層來加以形成。與氧化物半導體層 203 接觸之閘極絕緣層 202 的一部分較佳地包含氧，且特別地，該部分之閘極絕緣層 202 係較佳地使用氧化矽層而形成。藉由使用氧化矽層，可供應氧至氧化物半導體層 203，且可獲得有利的特徵。

閘極絕緣層 202 係使用諸如鈹矽酸鹽 (HfSiO_x)，添

加氮之鈺矽酸鹽 ($\text{HfSi}_x\text{O}_y\text{N}_z$)，添加氮之鈺鋁酸鹽 ($\text{HfAl}_x\text{O}_y\text{N}_z$)，氧化鈺，或氧化鈺之高 k 材料而形成，以致可降低閘極漏電流。進一步地，可使用其中堆疊高 k 材料以及氧化矽層、氮化矽層、氮氧化矽層、氧化氮化矽層、及氧化鋁層的其中一者或更多者之堆疊結構。閘極絕緣層 202 的厚度可大於或等於 100 奈米且小於或等於 300 奈米。

做為 n 型氧化物半導體層 203，可使用諸如 In-Sn-Ga-Zn-O 基金屬氧化物之四成分金屬氧化物，諸如 In-Ga-Zn-O 基金屬氧化物、 In-Sn-Zn-O 基金屬氧化物、 In-Al-Zn-O 基金屬氧化物、 Sn-Ga-Zn-O 基金屬氧化物、 Al-Ga-Zn-O 基金屬氧化物、或 Sn-Al-Zn-O 基金屬氧化物之三成分金屬氧化物，或諸如 In-Zn-O 基金屬氧化物、 Sn-Zn-O 基金屬氧化物、 Al-Zn-O 基金屬氧化物、 Zn-Mg-O 基金屬氧化物、 Sn-Mg-O 基金屬氧化物、或 In-Mg-O 基金屬氧化物之二成分金屬氧化物。在此， n 成分金屬氧化物包含 n 種金屬氧化物。注意的是，做為雜質，氧化物半導體層可包含 1%，較佳為 0.1% 之除了主成分之金屬氧化物之外的元素。

n 型氧化物半導體層 203 係由三成分金屬氧化物所形成，且可由 $\text{InM}_x\text{Zn}_y\text{O}_z$ ($Y=0.5$ 至 5) 所表示之金屬氧化物所形成。在此， M 代表諸如鎵 (Ga)、鋁 (Al)、或硼 (B) 之選擇自族 13 之元素的其中一者或複數者。注意的是，可自由設定 In 、 M 、 Zn 、及 O 的含量，且可包含

其中 M 含量係零（亦即， $X=0$ ）的情況。另一方面，In 及 Zn 的含量並不為零。換言之，上式可代表 In-Ga-Zn-O 基金屬氧化物、In-Zn-O 基金屬氧化物半導體、及其類似物。

進一步地，較佳的是，形成 n 型氧化物半導體層 203 之金屬氧化物的能隙係 2 eV 或更高，較佳地係 2.5 eV 或更高，更佳地係 3 eV 或更高。

做為 n 型氧化物半導體層 203，可適當地使用具有非晶結構、微晶結構、多晶結構、或單晶結構之氧化物半導體。進一步地，可使用具有其中 c 軸係與垂直於表面的方向約略平行之晶體的氧化物半導體。

n 型氧化物半導體層 203 具有高於或等於 $1 \times 10^{16} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ ，較佳地，高於或等於 $1 \times 10^{17} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ 的載子密度。因為氫及氧缺乏用作氧化物半導體中之施體，所以較佳地，氫濃度係高於或等於 $10 \times 10^{16} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ 。

n 型氧化物半導體層 203 的厚度係設定使得空乏層散佈於通道區之中，且功率 MOSFET 101 係截止於當施加負電壓至第一閘極及第二閘極時。在其中載子密度係高於或等於 $1 \times 10^{16} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ ，介電質常數係 15，能隙係 3.15，傳導帶中之狀態的有效密度係 $N_c = 2.8 \times 10^{19} \text{cm}^{-3}$ ，價電子帶中之狀態的有效密度係 $N_v = 1.04 \times 10^{19} \text{cm}^{-3}$ ，以及閘極係設置於氧化物半導體層的一表面側之情況中，空乏層的最大寬度係大於或等於 7 奈米且小於

或等於 677 奈米。因為第 5A 圖中所描繪之功率 MOSFET 包含第一閘極 201 及第二閘極 206，所以可將 n 型氧化物半導體層 203 的厚度設定為大於或等於 14 奈米且小於或等於 1354 奈米。進一步地，在其中載子密度係高於或等於 $1 \times 10^{17} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ 的情況中，該空乏層的最大寬度係大於或等於 7 奈米且小於或等於 218 奈米。在此情況中，可將 n 型氧化物半導體層 203 的厚度設定為大於或等於 14 奈米且小於或等於 436 奈米。

第一端子 204A 及第二端子 204B 係使用選擇自鋁、鉻、銅、鉭、鈾、及鎢之金屬元素；包含該等金屬元素的任一者做為成分之合金；包含該等金屬元素所組合之合金；或其類似物而形成。進一步地，可使用選擇自錳、鎂、銦、及銻之一或更多個金屬元素。此外，第一端子 204A 及第二端子 204B 可具有單層結構或具備二或更多層的堆疊結構。例如，可給定包含矽之鋁層的單層結構；其中鈦層係堆疊於鋁層之上的雙層結構，其中鈦層係堆疊於氮化鈦層之上的雙層結構，其中鎢層係堆疊於氮化鈦層之上的雙層結構，或其中鎢層係堆疊於氮化鉭層之上的雙層結構；其中鈦層，鋁層，及鈦層係以此順序而堆疊的三層結構；及其類似結構。選擇性地，可使用包含鋁及選擇自鈦、鉭、鎢、鉭、鉻、釹、及釷之一或更多元素之層、合金層、或其氮化物。

第一端子 204A 及第二端子 204B 可使用諸如銦錫氧化物，包含氧化鎢之氧化銦，包含氧化鎢之銦鋅氧化物，

包含氧化鈦之氧化銦，包含氧化鈦之銦錫氧化物，氧化銦鋅，或添加氧化矽之銦錫氧化物之透光導電材料而形成。而且，可具有使用上述透光導電材料及上述金屬元素所形成的堆疊層結構。

絕緣層 205 可使用閘極絕緣層 202 之材料而適當地形成。

第二閘極 206 可使用第一閘極 201 之材料而適當地形成。

因為第 5A 及 5B 圖中所描繪之功率 MOSFET 101 包含 n 型氧化物半導體層於通道區中，所以可降低導通電阻且可流過大量電流。然而，因為包含 n 型氧化物半導體層於通道區中之功率 MOSFET 係空乏型電晶體，所以該電晶體係常態導通電晶體，其中即使在其中並未施加電壓至其閘極的狀態中，電流亦會流動。除了第一閘極 201 之外，在此實施例中所敘述之功率 MOSFET 包含第二閘極 206。當施加負電壓至第一閘極 201 及第二閘極 206 時，可使功率 MOSFET 關閉。因此，可使其中導通電阻低且大量電流可流過的功率 MOSFET 關閉。另一方面，當施加正電壓至第一閘極 201 及第二閘極 206 時，可使功率 MOSFET 開啓。進一步地，因為功率 MOSFET 101 包含第一閘極 201 及第二閘極 206，所以相較於具有單一閘極之功率 MOSFET，可使通道區作成更厚且可使導通電流增加。

如第 5B 圖中所描繪地，功率 MOSFET 101 係並聯連

接，以致可使通道寬度 W 變寬。因而，可製造出可流過大量電流的功率裝置。

其次，將敘述與第 5A 及 5B 圖中之結構不同的功率 MOSFET 的橫剖面結構於第 6A 及 6B 圖之中。在第 6A 圖中所描繪的功率 MOSFET 101A 中，第二閘極 206A 與第一端子 204A 及第二端子 204B 的其中一者重疊，且並不與另一者重疊。

在第 6A 圖中所描繪的功率 MOSFET 101A 中，由導電層所形成的第一閘極 201 係設置於基板 200 之上，閘極絕緣層 202 係設置於第一閘極 201 之上，n 型氧化物半導體層 203 係設置於閘極絕緣層 202 之上，由導電層所形成的第一端子 204A 及第二端子 204B 係設置以便覆蓋氧化物半導體層 203 的一部分，以及絕緣層 205 係設置以便覆蓋氧化物半導體層 203、第一端子 204A、及第二端子 204B。進一步地，由導電層所形成的第二閘極 206A 係設置於絕緣層 205 之上，以便與第一端子 204A 及第二端子 204B 的其中一者重疊，且不與另一者重疊。也就是說，區域 208 係設置使得氧化物半導體層 203 並不與第二閘極 206A、第一端子 204A、及第二端子 204B 的任一者重疊於區域 208 之中。

第二閘極 206A 可使用與第 5A 及 5B 圖所描繪之第二閘極 206 的該等材料及方法相似的材料及方法而形成。

在第 6B 圖中所描繪的功率 MOSFET 101B 中，由導電層所形成的第一閘極 201A 係設置於基板 200 之上，閘

極絕緣層 202 係設置於第一閘極 201A 之上，n 型氧化物半導體層 203 係設置於閘極絕緣層 202 之上，由導電層所形成的第一端子 204A 及第二端子 204B 係設置以便覆蓋氧化物半導體層 203 的一部分，以及絕緣層 205 係設置以便覆蓋氧化物半導體層 203、第一端子 204A、及第二端子 204B。進一步地，由導電層所形成的第二閘極 206A 係設置於絕緣層 205 之上，以便與第一端子 204A 及第二端子 204B 的其中一者重疊，且不與另一者重疊。也就是說，偏置區 209 係設置使得氧化物半導體層 203 並不與第一閘極 201A、第二閘極 206A、第一端子 204A、及第二端子 204B 的任一者重疊於偏置區 209 之中。

第一閘極 201A 可使用與第 5A 及 5B 圖中所描繪之第一閘極 201 該等材料及方法相似的材料及方法而形成。

因為第 6A 及 6B 圖中所描繪之功率 MOSFET 101A 及功率 MOSFET 101B 各包含 n 型氧化物半導體層 203 於通道區中，所以可降低導通電阻且可流過大量電流。然而，因為包含 n 型氧化物半導體層於通道區中之功率 MOSFET 係空乏電晶體，所以該電晶體係常態導通電晶體，其中即使在其中並未施加電壓至其閘極的狀態中，電流亦會流動。除了第一閘極 201 或第一閘極 201A 之外，在此實施例中所敘述之功率 MOSFET 包含第二閘極 206A。當施加負電壓至第一閘極 201 或第一閘極 201A 及第二閘極 206A 時，可使功率 MOSFET 關閉。因此，可使其中導通電阻低且大量電流可流過的功率 MOSFET 關閉。另一方面，

當施加正電壓至第一閘極 201 或第一閘極 201A 以及第二閘極 206A 時，可使功率 MOSFET 開啓。進一步地，因為功率 MOSFET 包含第一閘極 201 或第一閘極 201A 以及第二閘極 206A，所以相較於具有單一閘極之功率 MOSFET，可使通道區作成更厚且可使導通電流增加。再者，在第 6B 圖中所描繪的功率 MOSFET 101B 中，n 型氧化物半導體具有偏置區 209，該偏置區 209 並未以第一閘極 201A、第二閘極 206A、第一端子 204A、及第二端子 204B 來覆蓋，以致當與第 5A 圖中所描繪之功率 MOSFET 101 相較時，可增大汲極崩潰電壓，且可將高壓施加至第一端子 204A 或第二端子 204B。

在此，將參照第 7A 至 7D 圖來敘述第 5A 及 5B 圖中所描繪之功率 MOSFET 101 的製造方法。

如第 7A 圖中所描繪地，第一閘極 201 係形成於基板 200 上。其次，閘極絕緣層 202 係形成於第一閘極 201 上。

當第一閘極 201 係藉由印刷法、噴墨法、或其類似方法而形成時，可降低步驟的數目。選擇性地，第一閘極 201 可以以此方式而形成，亦即，導電層係藉由濺鍍法、CVD 法、蒸鍍法、或其類似方法而形成，且然後，導電層係透過以光微影術步驟而形成為罩幕之阻體的使用來加以蝕刻。較佳的是，第一閘極 201 的末端部分成錐形，因為可改善與將於稍後被形成之絕緣層、半導體層、及導電層的作用範圍。進一步較佳地，具有高的熱傳導性之絕緣

層係藉由濺鍍法、CVD 法、塗佈法、印刷法、或其類似方法而形成於基板 200 與第一閘極 201 之間。

閘極絕緣層 202 可藉由濺鍍法、CVD 法、印刷法、塗佈法，或其類似方法而形成。選擇性地，具有高的耐壓之密質且高品質的閘極絕緣層 202 可藉由例如使用微波（例如，2.45 GHz 之頻率）之高密度電漿 CVD 而形成。當氧化物半導體層與高品質之閘極絕緣層彼此互相緊密接觸時，可降低介面狀態密度且可獲得有利的介面特徵。此外，因為藉由高密度電漿 CVD 所形成的閘極絕緣層 202 可具有均勻的厚度，所以閘極絕緣層 202 具有優異的步階作用範圍。進一步地，藉由高密度電漿 CVD 所形成的閘極絕緣層 202 之厚度可被精確地控制。

接著，如第 7B 圖中所描繪地，n 型氧化物半導體層 203 係形成於閘極絕緣層 202 之上。當 n 型氧化物半導體層 203 係藉由印刷法、噴墨法、或其類似方法而形成時，可降低步驟的數目。選擇性地，具有島狀之 n 型氧化物半導體層 203 可以以此方式而形成，亦即，n 型氧化物半導體層係藉由濺鍍法、CVD 法、塗佈法、脈波雷射沈積法、或其類似方法而形成於閘極絕緣層 202 之上，且然後，該氧化物半導體層係透過以光微影步驟而形成為罩幕之阻體的使用來加以蝕刻。

氧化物半導體層的載子密度根據諸如源氣體及靶極之氫濃度及氧濃度，用於沈積之材料，或材料之組成的沈積情形。當氧化物半導體層的氫濃度增加，或氧化物半導體

層的氧濃度降低且氧缺乏被包含時，則用作施體之氫或氧缺乏可包含於氧化物半導體層之中，且因此，可形成 n 型氧化物半導體層。

注意的是，在氧化物半導體層 203 的形成之後，可執行熱處理使得氧化物半導體層具有微晶結構、多晶結構、或單晶結構。進一步地，可使用具有具備其中 c 軸與垂直於表面之方向約略平行的晶體之晶體結構的氧化物半導體。

接著，如第 7C 圖中所描繪地，形成用作源極電極及汲極電極的第一端子 204A 及第二端子 204B。當第一端子 204A 及第二端子 204B 係藉由印刷法、噴墨法、或其類似方法而形成時，可降低步驟的數目。選擇性地，第一端子 204A 及第二端子 204B 可以以此方式而形成，亦即，導電層係藉由濺鍍法、CVD 法、蒸鍍法、或其類似方法而形成於閘極絕緣層 202 及氧化物半導體層 203 之上，且然後，導電層係透過以光微影術方法而形成為罩幕之阻體的使用來加以蝕刻。

接著，如第 7D 圖中所描繪地，絕緣層 205 係形成於閘極絕緣層 202、氧化物半導體層 203、第一端子 204A、及第二端子 204B 之上。該絕緣層 205 可以以與閘極絕緣層 202 之方式相似的方式而形成。接著，第二閘極 206 係形成於絕緣層 205 之上。該第二閘極 206 可以以與第一閘極之方式相似的方式而形成。

透過上述步驟，可製造出包含 n 型氧化物半導體層於

通道區中之空乏型功率 MOSFET 101。注意的是，在上述之製造步驟中，係改變第二閘極的佈局，以致可製造出第 6A 圖中所描繪之功率 MOSFET 101A 或第 6B 圖中所描繪之功率 MOSFET 101B。

(實施例 3)

在此實施例中，將參照第 8 圖以及第 9A 及 9B 圖來敘述可取代實施例 1 及實施例 2 中所述之功率 MOSFET 101 的功率 MOSFET 之結構。

第 8 圖以及第 9A 及 9B 圖中所描繪的功率 MOSFET 係與第 6A 及 6B 圖中所描繪的功率 MOSFET 不同，其中閘極並非設置於基板 200 與氧化物半導體層 213 之間。

在第 8 圖中所描繪的功率 MOSFET 111A 中，n 型氧化物半導體層 213 係設置於基板 200 之上，由導電層所形成的第一端子 204A 及第二端子 204B 係設置以便覆蓋氧化物半導體層 213 的一部分，閘極絕緣層 212 係設置以便覆蓋氧化物半導體層 213、第一端子 204A、及第二端子 204B，以及由導電層所形成之閘極 211 係設置於閘極絕緣層 212 上以便與第一端子 204A 及第二端子 204B 的其中之一者之一部分重疊。也就是說，區域 208 係設置使得氧化物半導體層 213 並不與閘極 211、第一端子 204A、及第二端子 204B 重疊於區域 208 之中。

注意的是，例如在實施例 2 中所述之功率 MOSFET 101 中，當具有高的熱傳導性之絕緣層形成於基板 200 與

氧化物半導體層 213 之間時，可製造出具有高熱阻之功率 MOSFET 111A。進一步地，第一端子 204A 及第二端子 204B 可設置於基板 200 與氧化物半導體層 213 之間。再者，可不設置區域 208，且可將閘極 211 設置以便如第 5A 圖中似地與第一端子 204A 的一部分及第二端子 204B 的一部分重疊。

在第 9A 圖中所描繪的功率 MOSFET 111B 中，由導電層所形成的第一端子 204A 係設置於基板 200 上，n 型氧化物半導體層 213 係設置以便覆蓋由導電層所形成的第一端子 204A，由導電層所形成的第二端子 204B 係設置以便覆蓋氧化物半導體層 213 的一部分，閘極絕緣層 212 係設置以便覆蓋氧化物半導體層 213 及第二端子 204B，以及由導電層所形成的閘極 211、連接至第一端子 204A 的佈線 214、及連接至第二端子 204B 的佈線 215 係設置於閘極絕緣層 212 之上。

第 9B 圖係第 9A 圖中所描繪之功率 MOSFET 111B 的頂視圖。沿著第 9B 圖中之線 A-B 所取得的橫剖面視圖對應於第 9A 圖。如第 9B 圖中所描繪地，閘極 211 係設置於第二端子 204B 圖及連接至該第二端子 204B 之佈線 215 的週邊。進一步地，第一端子 204A 及連接至該第一端子 204A 之佈線 214 係設置於閘極 211 的週邊。

也就是說，第一端子 204A 及第二端子 204B 彼此並不互相重疊。閘極 211 係設置於包含其中不與第一端子 204A 重疊且不與第二端子 204B 重疊之區域上。進一步地

，閘極 211 的一部分（末端部分）可與第一端子 204A 及第二端子 204B 的其中一者或二者重疊。

注意的是，例如在實施例 2 中所述的功率 MOSFET 101 之中，當具有高的熱傳導性之絕緣層係形成於基板 200 與第一端子 204A 及氧化物半導體層 213 之間時，可製造出具有高的熱阻之功率 MOSFET 111B。

在第 8 圖以及第 9A 及 9B 圖中所描繪的氧化物半導體層 213 可使用與實施例 2 中所述之氧化物半導體層 203 相似的材料而形成。注意的是，在第 8 圖中所描繪的功率 MOSFET 111A 以及在第 9A 及 9B 圖中所描繪的功率 MOSFET 111B 中，閘極 211 僅形成於氧化物半導體層 213 的一表面側。因此，氧化物半導體層 213 的厚度係設定使得空乏層散佈於通道區之中，且當負電壓被施加至閘極 211 時，可使功率 MOSFET 111B 關閉。因為在此實施例中之閘極的數目係實施例 2 中所述之功率 MOSFET 101 的閘極數目之一半，所以在其中載子密度係高於或等於 $1 \times 10^{16} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ 的情況中，空乏層的最大寬度係大於或等於 7 奈米且小於或等於 677 奈米。因此，可將 n 型氧化物半導體層 213 的厚度設定為大於或等於 7 奈米且小於或等於 677 奈米。進一步地，在其中載子密度係高於或等於 $1 \times 10^{17} \text{cm}^{-3}$ 且低於或等於 $1 \times 10^{20} \text{cm}^{-3}$ 的情況中，空乏層的最大寬度係大於或等於 7 奈米且小於或等於 218 奈米。在情況中，可將 n 型氧化物半導體層 213 的厚度設定為大於或等於 7 奈米且小於或等於 218 奈米。

注意的是，做為第 8 圖以及第 9A 及 9B 圖中所描繪之功率 MOSFET 的製造方法，可依據第 8 圖以及第 9A 及 9B 圖中所描繪的結構而適當地使用實施例 2 中所述之功率 MOSFET 的製造方法。

因為第 8 圖以及第 9A 及 9B 圖中所描繪之功率 MOSFET 的每一者均包含 n 型氧化物半導體層於通道區中，所以可降低導通電阻且可流過大量電流。然而，因為包含 n 型氧化物半導體層於通道區中之功率 MOSFET 係空乏型電晶體，所以電晶體係常態導通電晶體，其中即使在其中未施加電壓至其閘極的情況中，電流亦會流動。在此實施例中所述的功率 MOSFET 可在當施加負電壓至閘極 211 時關閉，以及可在當施加正電壓至閘極 211 時導通。因此，可使其中導通電阻低且大量電流可流過之功率 MOSFET 關閉。

（實施例 4）

在此實施例中，將參照第 10 圖以及第 11A 至 11D 圖來敘述實施例 1 中所述之場效應電晶體 102 至 104 的製造方法。因為所有該等場效應電晶體 102 至 104 可具有相同的結構，所以在此，將說明場效應電晶體 102 做為實例。

在第 10 圖中所描繪的場效應電晶體 102 中，由導電層所形成的閘極 251 係設置於基板 250 上，閘極絕緣層 252 係設置於閘極 251 上，i 型或實質 i 型氧化物半導體層 253 係設置於閘極絕緣層 252 上，由導電層所形成的第

一端子 254A 及第二端子 254B 係設置以便覆蓋氧化物半導體層 253 的一部分，以及絕緣層 255 係設置以便覆蓋氧化物半導體層 253、第一端子 254A、及第二端子 254B。

做為基板 250，可適當地使用實施例 2 中所述之基板 200。

閘極 251 可使用用於實施例 2 中所述之第一閘極 201 的任何材料而適當地形成。

閘極絕緣層 252 可使用用於實施例 2 中所述之閘極絕緣層 202 的任何材料而適當地形成。閘極絕緣層 252 的厚度可大於或等於 50 奈米且小於或等於 500 奈米。當閘極絕緣層 252 的厚度大時，可降低閘極漏電流。

氧化物半導體層 253 可使用如用於實施例 2 中之氧化物半導體層 203 的材料所述之金屬氧化物而形成。進一步地，可適當地使用具有非晶結構、多晶結構、或單晶結構之氧化物半導體。再者，可使用具有具備其中 c 軸與垂直於表面的方向約略平行之晶體的晶體結構。注意的是，因為氧化物半導體層 253 係 i 型或實質 i 型，所以載子密度係低於 $5 \times 10^{14} / \text{cm}^3$ ，較佳地低於 $1 \times 10^{12} / \text{cm}^3$ ，更佳地低於或等於 $1 \times 10^{11} / \text{cm}^3$ 。此外，較佳的是，用作施體之氫及氧缺乏小，且氫濃度係低於或等於 $1 \times 10^{16} / \text{cm}^3$ 。

場效應電晶體 102 包含之 i 型或實質 i 型氧化物半導體層於通道區中，該氧化物半導體層係藉由徹底去除氫而純化且其中氧缺乏被降低，以滿足化學計量的組成比；因而，截止狀態電流可小於或等於 $1 \times 10^{-16} \text{A}$ 。換言之，電路

可以以當場效應電晶體係在非導通狀態之中時被視為絕緣物的氧化物半導體層來予以設計。另一方面，當場效應電晶體係在導通狀態之中時，氧化物半導體層 253 的電流供應能力係預期會比藉由非晶矽所形成之半導體層的電流供應能力更高。因此，場效應電晶體 102 係增強型電晶體，其係以截止狀態中之極小漏電流而常態地關閉；因此，場效應電晶體 102 具有優異的開關特徵。

第一端子 254A 及第二端子 254B 可使用用於實施例 2 中之第一端子 204A 及第二端子 204B 的材料而適當地形成。

較佳地，絕緣層 255 係使用氧化物絕緣層而形成。做為氧化物絕緣層的典型實例，可給定氧化矽層、氮氧化矽層、或氧化鋁層。注意的是，絕緣層 205 可具有氧化物絕緣層及氮化物絕緣層之堆疊結構。做為氮化物絕緣層的典型實例，可給定氮化矽層、氧化氮化矽層、或氮化鋁層。在絕緣層 255 中，與氧化物半導體層 253 接觸的區域係使用氧化物絕緣層而形成；因而，可降低氧化物半導體層的氧缺乏且可滿足化學計量的組成比。

注意的是，場效應電晶體 102 可滿足各式各樣的模式，而無需受限於特定的結構。例如，可使用具有二或更多閘極之多重閘極結構。進一步地，可使用其中閘極電極係設置於通道區的上部以及下部的結構。注意的是，當閘極電極係設置於通道區的上部以及下部時，可使用其中二場效應電晶體係並聯連接於該處的結構。

在此，將參照第 11A 至 11D 圖來敘述第 10 圖中所描繪之場效應電晶體 102 的製造方法。

如第 11A 圖中所描繪地，閘極 251 係形成於基板 250 之上。其次，閘極絕緣層 252 係形成於閘極 251 之上。

閘極 251 可藉由實施例 2 中所述之第一閘極 201 的製造方法而適當地形成。閘極絕緣層 252 可藉由實施例 2 中所述之閘極絕緣層 202 的製造方法而適當地形成。因為 i 型或實質 i 型氧化物半導體係高度靈敏於介面狀態及介面電荷，所以閘極絕緣層 252 係透過微波的使用而藉由高密度電漿 CVD 所形成，以致可降低介面狀態密度且可獲得有利的介面特徵。

注意的是，基板 200 係加熱於當形成閘極絕緣層 252 時，包含於閘極絕緣層 252 中之氫、水、氫氧基、氫化物、或其類似物可藉以降低。

在其中閘極絕緣層 252 係藉由濺鍍法而形成的情況中，閘極絕緣層 252 係較佳地形成於當爲了要降低包含在閘極絕緣層 252 中之氫、水、氫氧基、氫化物、或其類似物而去除留在處理室中之氫、水、氫氧基、氫化物或其類似物時。誘捕真空泵係較佳地使用以去除留在處理室中之氫、水、氫氧基、氫化物、或其類似物。做爲誘捕真空泵的實例，可給定低溫泵、離子泵、或鈦昇華泵。進一步地，可使用設置有冷凝管之渦輪泵以供排氣單元之用。

當使用以形成閘極絕緣層 252 之濺鍍氣體的純度係高於或等於 6N (99.9999%)，較佳地高於或等於 7N (

99.99999%) (亦即 , 離質濃度係低於或等於 1 ppm , 較佳地低於或等於 0.1 ppm) 時 , 可降低包含於閘極絕緣層 252 中的氫、水、氫氧基、氫化物、或其類似物。

接著 , 如第 11B 圖中所描繪地 , 氧化物半導體層 253A 係形成於閘極絕緣層 202 之上。氧化物半導體層 253A 可藉由印刷法、噴墨法、或其類似方法而形成。選擇性地 , 島狀氧化物半導體層 253A 可以以此方式而形成 , 亦即 , 氧化物半導體層係藉由濺鍍法、CVD 法、塗佈法、脈波雷射沈積法、或其類似方法而形成於閘極絕緣層 252 之上 , 且該氧化物半導體層係透過以光微影術步驟而形成爲罩幕之阻體的使用來加以蝕刻。

氧化物半導體層的載子密度根據諸如源氣體及靶極之氫濃度及氧濃度 , 用於沈積之材料 , 或材料之組成的沈積情形。當使氧化物半導體層的氫濃度減低 , 或氧化物半導體層的氧濃度增加且氧缺乏降低時 , 該氧化物半導體層變成 i 型或實質 i 型。在此實施例中 , 因爲其中將氧化物半導體層處理成爲 i 型或實質 i 型氧化物半導體層的處理係執行於稍後的步驟中 , 所以氧化物半導體層 253A 可爲 i 型或 n 型。

基板係加熱於其中氧化物半導體層係藉由濺鍍法而形成的情況中 , 包含於氧化物半導體層之中之諸如氫、水、氫氧基、或氫化物的雜質可藉以降低。進一步地 , 晶體成長可在第一熱處理中增進。

在其中氧化物半導體層係藉由濺鍍法而形成的情況中

，在金屬氧化物靶極中之金屬氧化物的相對密度係高於或等於 80%，較佳地高於或等於 95%，更佳地高於或等於 99.9%，因而可降低氧化物半導體層中的雜質濃度；因此，可獲得具有優異電性特徵及高可靠度的電晶體。

進一步地，當預加熱處理係執行於氧化物半導體層的形成之前時，可去除留在濺鍍設備的內壁上、靶極的表面上、或靶極材料中之氫、水、氫氧基、氫化物、或其類似物，以致可降低包含於氧化物半導體層中之諸如氫、水、氫氧基、或氫化物之雜質。

例如，在閘極絕緣層 252 中，於氧化物半導體層的形成之前、形成期間、或形成之後，較佳地使用誘捕真空泵以供去除留在濺鍍設備中之氫、水、氫氧基、氫化物、或其類似物。因而，可抽空氫、水、氫氧基、氫化物、或其類似物，且可降低包含於氧化物半導體層中之氫、水、氫氧基、氫化物、或其類似物的濃度。

接著，執行第一熱處理，使得包含於氧化物半導體層 253A 中之諸如氫、水、氫氧基、或氫化物的雜質被去除。也就是說，至少可執行脫水或脫氫。注意的是，在氧化物半導體層 253A 中之氧缺乏亦係執行於第一熱處理中。在第 11C 圖中，諸如氫、水、氫氧基、或氫化物之雜質係藉由第一熱處理而予以去除的氧化物半導體層係稱為氧化物半導體層 253B。

第一熱處理之溫度係高於或等於 400℃ 且低於或等於 750℃，較佳地高於或等於 400℃ 且低於基板的應變點。

使用於第一熱處理之熱處理設備並未受限於特殊的設備，且該設備可設置有用以藉由來自諸如電阻加熱元件之加熱元件的熱輻射或熱傳導而加熱將被處理之物件的裝置。例如，可使用電爐，或諸如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備之快速熱退火（RTA）設備。LRTA 設備係用以藉由來自諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓水銀燈之燈所發射出的光（電磁波）輻射而加熱將被處理之物件的設備。GRTA 係用以使用高溫氣體而熱處理的設備。

較佳地，在第一熱處理中，氫、水、氫氧基、氫化物或其類似物不應包含於氮氣或諸如氦、氖、或氬之稀有氣體中。選擇性地，所引入至熱處理設備內之氮氣或諸如氦、氖、或氬之稀有氣體的純度係較佳地高於或等於 6N（99.9999%），更佳地高於或等於 7N（99.99999%）（也就是說，雜質濃度係低於或等於 1 ppm，較佳地低於或等於 0.1 ppm）。

進一步地，在第一熱處理中，在爐內之氛圍可在增加溫度時為氮氛圍，且該氛圍可在執行冷卻時被切換至氧氛圍。當在氮氛圍中的脫水或脫氫之後將氛圍切換至氧氛圍時，可供應氧至氧化物半導體層之內、可降低氫濃度、且可供應氧至氧化物半導體層中之氧缺乏；因而，可形成 i 型或實質 i 型氧化物半導體層。

進一步地，根據第一熱處理的情形或氧化物半導體層的材料，可使氧化物半導體層 253A 晶體化為包含晶體之

氧化物半導體層。例如，在某些情況中，可形成包含具備 90% 或更高，或 80% 或更高的晶體度之晶體的氧化物半導體層。

根據第一熱處理的情形或氧化物半導體層的材料，在某些情況中，具有具備其中 c 軸係與垂直於表面之方向約略平行的晶體之晶體結構的氧化物半導體層係形成於非晶氧化物半導體層的表面部分上。

注意的是，第一熱處理可在形成第一端子及第二端子於氧化物半導體層上之後予以執行。

在此，基板係引入至電爐之內，且熱處理係執行於 450°C 之諸如氮或稀有氣體的惰性氣體氛圍中，一小時。

接著，如第 11C 圖中所描繪地，形成用作源極電極及汲極電極的第一端子 254A 及第二端子 254B。

第一端子 254A 及第二端子 254B 可以以與實施例 2 中所述之第一端子 204A 及第二端子 204B 的方式相似之方式而形成。

接著，如第 11D 圖中所描繪地，絕緣層 255 係形成於閘極絕緣層 252、氧化物半導體層 253B、第一端子 254A、及第二端子 254B 之上。絕緣層 255 可藉由濺鍍法、CVD 法、印刷法、塗佈法、或其類似方法而形成。注意的是，當氧化矽層係藉由濺鍍法而形成為絕緣層 255 時，可自氧化矽層供應氧至氧缺乏，該氧缺乏係產生於第一熱處理中且包含於氧化物半導體層 253A 之中；因此，可降低用作施體之氧缺乏，且可獲得滿足化學計量組成比的

結構。因而，可形成 i 型或實質 i 型氧化物半導體層 253。

其次，執行第二熱處理（較佳地，高於或等於 200℃ 且低於或等於 400℃，例如高於或等於 250℃ 且低於或等於 350℃）於氮氣氛圍中或氧氣氛圍中。第二熱處理可在形成保護絕緣層或平坦化絕緣層於絕緣層 255 上之後予以執行。藉由此熱處理，可自使用氧化物絕緣層所形成之絕緣層 255 供應氧至氧缺乏，該氧缺乏係產生於第一熱處理中且包含於氧化物半導體層之中；因此，可降低用作施體之氧缺乏，且可獲得滿足化學計量組成比的結構。因此，可形成更 i 型或實質 i 型的氧化物半導體層 253。

在此實施例中，該第二熱處理係執行於 250℃ 的氮氣氛圍中，一小時。

進一步地，可執行熱處理於高於或等於 100℃ 且低於或等於 200℃ 的空氣中，大於或等於 1 小時且短於或等於 30 小時。場效應電晶體的可靠度可藉由該熱處理而增加。

透過上述步驟，可製造出包含 i 型或實質 i 型氧化物半導體層於通道區之中且具有極小的截止狀態電流之增強型場效應電晶體 102。

（實施例 5）

第 12 圖係半導體裝置之一實施例，其中將實施例 1 至 3 之任一者中所述之功率元件使用於保護元件。該保護

元件作用使得當輸入過電壓至電源端子時，電流流過保護元件之功率元件且過電流並不流過將被保護的電路。將被保護之電路包含具有低的耐壓且會由於過電壓之施加而被破壞的任何電路。在此實施例中，將使用實施例 1 及 2 中所述之具有四端子的功率 MOSFET 做為功率元件之實例來加以說明。

第 12 圖係半導體裝置，包含功率 MOSFET 501、控制電路 502、將被保護的電路 503、輸入端子 504、及輸出端子 505。控制電路 502 藉由偵測被施加至輸入端子 504 或輸出端子 505 之過電壓，而控制用作保護元件之功率 MOSFET 501 的操作。

第 13 圖係控制電路 502 的詳細圖式。控制電路 502 包含過電壓偵測電路 511、反相器 512、正電源 513、開關電晶體 514、515 及 516、電容器 517、負電壓產生電路 518、振盪器電路 519、分壓器電路 520、延遲電路 521、及 AND 電路 522。正電源 513 對應於實施例 1 中之高壓產生源 108。開關電晶體 514、515、及 516 分別對應於實施例 1 中之場效應電晶體 102、103、及 104。電容器 517 對應於實施例 1 中之電容器 105。負電壓產生電路 518 對應於實施例 1 中之低壓產生源 109。振盪器電路 519、分壓器電路 520、延遲電路 521、及 AND 電路 522 對應於實施例 1 中之更新控制電路 107。注意的是，控制電路 502 的結構並未受限於此結構。

其次，將敘述第 13 圖中之控制電路 502 及功率

MOSFET 501 的操作。過電壓偵測電路 511 係操作於其中超過正常電源供應電壓之過電壓被輸入至輸入端子 504 的情況中之電路。在此實施例中，過電壓偵測電路 511 具有在其中過電壓被輸入的情況中輸出具有高電位之脈波的功能。

過電壓偵測電路 511 的輸出端子係連接至開關電晶體 514 之閘極端子及反相器 512 之輸入端子。反相器 512 的輸出端子係連接至開關電晶體 515 的閘極端子。因此，當輸入過電壓時，開關電晶體 514 導通，功率 MOSFET 501 的閘極端子被連接至正電源 513，且功率 MOSFET 501 導通。因而，電流自輸入端子 504 流至輸出端子 505，且過電壓被阻止流過第 12 圖中之將被保護的電路 503。

當未施加過電壓時，來自過電壓偵測電路 511 的輸出低；因此，開關電晶體 514 係在截止狀態，且開關電晶體 515 係在導通狀態。負電壓產生電路 518 包含第 17 圖中之電荷泵電路及其類似物，以產生負電壓。

因為保護電路並非頻繁地操作，所以就功率消耗而言，恆常地供給大量的電流並不適當。因而，就降低功率消耗而言，透過小的電量之使用而充電電容器 517 係有效的。因此，功率消耗可以以此方式而降低，亦即，電容器 517 係透過開關電晶體 516 而藉由負電壓產生電路 518 來予以間歇地充電。

其中在振盪器電路 519 中所產生之振盪信號的信號係藉由分壓器電路 520 來予以畫分，且畫分之信號係供應至

開關電晶體 516 的閘極端子。也就是說，分壓器電路 520 之輸出端子的其中一者係連接至 AND 電路 522 的第一輸入端子。該分壓器電路 520 之輸出端子的另一者係透過延遲電路 521 而連接至 AND 電路 522 的第二輸入端子。因此，可獲得具有脈波寬度相等於延遲電路 521 之延遲時間且週期相似於分壓器電路 520 之輸出的脈波。透過該脈波的使用，可控制開關電晶體 516 的閘極端子。

做為振盪器電路 519，可使用諸如環形振盪器之通用的振盪器電路，但並未受限於此。進一步地，可使用正反器以供分壓器電路 520 之用。做為延遲電路 521，可使用利用反相器之電路、利用 CR 延遲電路之電路、或其類似電路，但並未特別地受限於此。再者，脈波可藉由其他方法而產生。

因此，負電壓係保持於電容器 517 中，且當過電壓並未被施加時，該負電壓係透過開關電晶體 515 而施加至功率 MOSFET 501。在施加負電壓至功率 MOSFET 501 的閘極端子之期間，功率 MOSFET 501 係在截止狀態中；因而，電流並不流動。

第 14 圖係半導體裝置，其中功率 MOSFET 及將被保護之電路係串聯連接。與第 12 圖不同地，當過電壓被施加至輸入端子時，功率 MOSFET 601 係關閉且對於將被保護的電路 603 之過電壓的施加會被阻止。

第 14 圖中所示之半導體裝置包含功率 MOSFET 601、控制電路 602，將被保護的電路 603、輸入端子 604、

及輸出端子 605。控制電路 602 藉由偵測被施加至輸入端子 604 或輸出端子 605 的過電壓而控制用作保護元件的功率 MOSFET 601。

第 15 圖係控制電路 602 的詳細圖式。控制電路 602 包含過電壓偵測電路 611、反相器 612、正電源 613、開關電晶體 614、615、及 616、電容器 617、負電壓產生電路 618、振盪器電路 619、分壓器電路 620、延遲電路 621、及 AND 電路 622。正電源 613 對應於實施例 1 中之高壓產生源 108。開關電晶體 614、615、及 616 分別對應於實施例 1 中之場效應電晶體 103、102、及 104。電容器 617 對應於實施例 1 中之電容器 105。負電壓產生電路 618 對應於實施例 1 中之低壓產生源 109。振盪器電路 619、分壓器電路 620、延遲電路 621、及 AND 電路 622 對應於實施例 1 中之更新控制電路 107。注意的是，控制電路 602 的結構並未受限於此結構。

接著，將敘述第 15 圖中之控制電路 602 及功率 MOSFET 601 的操作。過電壓偵測電路 611 係操作於其中超過正常電源供應電壓之過電壓被輸入至輸入端子 604 的情況中之電路。在此實施例中，過電壓偵測電路 611 具有在其中過電壓被輸入於此實施例中之情況中輸出具有高電位之脈波的功能。

過電壓偵測電路 611 的輸出端子係連接至開關電晶體 615 的閘極端子及反相器 612。反相器 612 的輸出端子係連接至開關電晶體 614 的閘極端子。因此，當輸入過電壓

至輸入端子 604，開關電晶體 615 導通、功率 MOSFET 601 的閘極端子被連接至負電壓產生源 618，且功率 MOSFET 601 關閉。因而，輸入端子 604 及將被保護的電路 603 係斷接的，且過電壓被阻止流過將被保護的電路 603。負電壓產生電路 618 包含第 17 圖中之電荷泵電路及其類似物，以產生負電壓。

當未施加過電壓時，過電壓偵測電路 611 的輸出低；因此，開關電晶體 615 係關閉，開關電晶體 614 係開啓，且功率 MOSFET 601 的閘極端子連接至電容器 617。因為來自正電源的正電壓係保持電容器 617（將於稍後說明）中，所以功率 MOSFET 601 係在導通狀態中。

因為保護電路並非頻繁地操作，所以就功率消耗而言，恆常地供給大量的電流並不適當。因而，就降低功率消耗而言，電容器 617 以小的電量而充電係有用的。因此，功率消耗可以以此方式而降低，亦即，電容器 617 係透過開關電晶體 616 而藉由正電源 613 來予以間歇地充電。

其中在振盪器電路 619 中所產生之振盪信號的信號係藉由分壓器電路 620 來予以畫分，且畫分之信號係供應至開關電晶體 616 的閘極端子。也就是說，分壓器電路 620 之輸出端子的其中一者係連接至 AND 電路 622 的第一輸入端子。該分壓器電路 620 之輸出端子的另一者係透過延遲電路 621 而連接至 AND 電路 622 的第二輸出端子。因此，可獲得具有脈波寬度相等於延遲電路 621 之延遲時間且週期相似於分壓器電路 620 之輸出的脈波。透過該脈波

的使用，可控制開關電晶體 616 的閘極端子。

做為振盪器電路 619，可使用諸如環形振盪器之通用的振盪器電路，但並未受限於此。進一步地，可使用正反器供分壓器電路 620 之用。做為延遲電路 621，可使用利用反相器之電路、利用 CR 延遲電路之電路、或其類似電路，但並未特別地受限於此。再者，脈波可藉由其他方法而產生。

因此，正電壓係保持於電容器 617 中，且當過電壓並未被施加時，該正電壓係透過開關電晶體 614 而施加至功率 MOSFET 601。在施加正電壓至功率 MOSFET 601 的閘極端子之期間，功率 MOSFET 601 係在導通狀態中；因此，輸入端子 604 與第 14 圖中之將被保護的電路 603 係彼此互相連接。

第 16 圖係過電壓偵測電路 511 及 611 之結構的實例。在第 16 圖中，包含其中電晶體 701 至 705 係二極體連接之二極體鏈、電晶體 707、電阻器 706、及反相器 708。當二極體鏈包含串聯連接之 n 個電晶體且電晶體的臨限電壓係 V_{th} 時，則 n 係設定使得滿足正常操作電壓 $< nV_{th}$ 。電晶體 701 至 705 係導通於當過電壓被施加時，且因此，電流流過二極體鏈。當電晶體 705 導通時，電晶體 707 亦會導通，且高電位係自反相器 708 的輸出而予以輸出。

在此實施例中，使用常態導通之功率 MOSFET 做為保護元件，其包含具備寬的能隙之氧化物半導體層於通道區之中；因此，可防止由於過電壓的施加之半導體裝置的

破壞。

(實施例 6)

在此實施例中，將敘述上述實施例中所描述之功率裝置的應用。例如，可使用上述實施例中所描述之功率裝置的半導體裝置於諸如可顯示影像之電腦顯示器的電子裝置中的電池保護電路，以及設置用於以來自固定電源之功率所驅動之電磁爐或車輛（例如，腳踏車）的電磁保護電路。

將參照第 18A 至 18C 圖來敘述其係作用為保護電路的功率裝置之半導體裝置的實例。

第 18A 圖描繪電磁爐 1000 做為用作保護電路之半導體裝置的應用實例。電磁爐 1000 藉由使用由流過線圈單元 1001 之電流所產生的電磁感應來加熱烤盤及其類似物。電磁爐 1000 包含：電池 1002，用以供應要流過線圈單元 1001 的電流；半導體裝置 1003，用作保護電路；以及太陽能電池 1004，用以充電該電池 1002。雖然太陽能電池 1004 係描繪為要充電第 18A 圖中之電池 1002 的裝置，但電池 1002 可藉由另一裝置來予以充電。用作保護電路之半導體裝置 1003 可減少過電壓對電池 1002 的施加，且因此，當保護電路未操作時，可降低功率消耗。

第 18B 圖描繪電動腳踏車 1010 做為用作保護電路之半導體裝置的應用實例。當電流流過馬達單元 1011 時，電動腳踏車 1010 獲得動力。電動腳踏車 1010 包含：電池

1012，用以供應電流過馬達單元 1011 的電流；以及半導體裝置 1013，用作保護電路。雖然要充電電池 1012 的裝置並未被特別地描繪於第 18B 圖之中，但電池 1012 可藉由額外所配置之發電機或其類似物來予以充電。用作保護電路之半導體裝置 1013 可減少充電中之過電壓對電池 1012 的施加，且因此，當保護電路未操作時，可降低功率消耗。注意的是，雖然腳踏板係描繪於第 18B 圖之中，但腳踏板無需一定要被設置。

第 18C 圖描繪電動車 1020 做為用作保護電路之半導體裝置的應用實例。當電流流過馬達單元 1021 時，電動車 1020 獲得動力。此外，電動車 1020 包含：電池 1022，用以供應要流過馬達單元 1021 的電流；以及半導體裝置 1023，用作保護電路。雖然要充電電池 1022 的裝置並未被特別地描繪於第 18C 圖之中，但電池 1022 可藉由額外所配置之發電機或其類似物來予以充電。用作保護電路之半導體裝置 1023 可減少充電中之過電壓對電池 1022 的施加，且因此，當保護電路未操作時，可降低功率消耗。

注意的是，在此實施例中，參照圖式而描述於此實施例之中者可適當地與其他實施例中所描述者自由地結合，或可適當地以其他實施例中所描述者來予以置換。

此申請案係根據 2010 年 1 月 22 日在日本專利局所申請之日本專利申請案序號 2010-012627，該申請案之全部內容係結合於本文以供參考。

【圖式簡單說明】

在附圖中：

第 1 圖係等效電路圖，描繪本發明之一實施例之半導體裝置；

第 2A 至 2C 圖各係等效電路圖，描繪本發明一實施例之半導體裝置；

第 3A 至 3C 圖各係等效電路圖，描繪本發明一實施例之半導體裝置；

第 4A 及 4B 圖各係等效電路圖，描繪本發明一實施例之半導體裝置；

第 5A 及 5B 圖係橫剖面視圖及頂視圖，描繪本發明一實施例之半導體裝置；

第 6A 及 6B 圖各係橫剖面視圖，描繪本發明一實施例之半導體裝置；

第 7A 至 7D 圖係橫剖面視圖，描繪本發明一實施例之半導體裝置的製造步驟；

第 8 圖係橫剖面視圖，描繪本發明一實施例之半導體裝置；

第 9A 及 9B 圖係橫剖面視圖及頂視圖，描繪本發明一實施例之半導體裝置；

第 10 圖係橫剖面視圖，描繪本發明一實施例之半導體裝置；

第 11A 至 11D 圖係橫剖面圖，描繪本發明一實施例之半導體裝置的製造步驟；

第 12 圖係等效電路圖，描繪本發明一實施例之半導體裝置；

第 13 圖係等效電路圖，描繪本發明一實施例之半導體裝置；

第 14 圖係等效電路圖，描繪本發明一實施例之半導體裝置；

第 15 圖係等效電路圖，描繪本發明一實施例之半導體裝置；

第 16 圖係等效電路圖，描繪本發明一實施例之半導體裝置；

第 17 圖係等效電路圖，描繪本發明一實施例之半導體裝置；以及

第 18A 至 18C 圖描繪電子裝置。

【主要元件符號說明】

100，502，602：控制電路

101，101A，101B，111A，111B，501，601：功率 MOSFET

102，103，104：場效應電晶體

105，401，517，617：電容器

106，511，611：過電壓偵測電路

107：更新控制電路

108：高壓產生源

109：低壓產生源

110，121：功率元件

200，250：基板

201，201A，206，206A，211，251：閘極

202，212，252：閘極絕緣層

203，213，253，253A，253B：氧化物半導體層

204A，204B，254A，254B：端子

205，255：絕緣層

208：區域

209：偏置區

214，215：佈線

503，603：電路

504，604：輸入端子

505，605：輸出端子

512，612，708：反相器

513，613：正電源

514，515，516，614，615，616：開關電晶體

518，618：負電壓產生電路

519，619：振盪器電路

520，620：分壓器電路

521，621：延遲電路

522，622：AND 電路

701～707：電晶體

1000：電磁爐

1001：線圈單元

1002 , 1012 , , 1022 : 電 池

1003 , 1013 , 1023 : 半 導 體 裝 置

1004 : 太 陽 能 電 池

1010 : 電 動 腳 踏 車

1011 , 1021 : 馬 達 單 元

1020 : 電 動 車

七、申請專利範圍：

1. 一種半導體裝置，包含：

第一電壓產生源；

第一電晶體，包含第一閘極、第一端子、及第二端子，
該第一端子係連接至該第一電壓產生源；

第二電晶體，包含第二閘極、第三端子、及第四端子，
該第三端子係連接至該第二端子；

功率元件，包含第三電晶體，該第三電晶體包含第三
閘極、第五端子、及第六端子，該第三閘極係連接至該第
二端子及該第三端子；

第四電晶體，包含第四閘極、第七端子、及第八端子，
該第七端子係連接至該第四端子；

第二電壓產生源，係連接至該第八端子；

過電壓偵測電路，係連接至該第一閘極及該第二閘
極；以及

電容器，係連接至該第四端子及該第七端子，

其中該功率元件係設置使得當電壓不被施加至該第三
閘極時，電流流動於該第五端子與該第六端子之間，

其中該第三電晶體包含：

該第三閘極；

氧化物半導體層，與該第三閘極重疊，而第一絕
緣層介於其間；以及

該第五端子及該第六端子電連接至該氧化物半導
體層；以及

其中該氧化物半導體層包含銦、鋅、及氧。

2. 一種半導體裝置，包含：

第一電壓產生源；

第一電晶體，包含第一閘極、第一端子、及第二端子，
該第一端子係連接至該第一電壓產生源；

第二電晶體，包含第二閘極、第三端子、及第四端子，
該第三端子係連接至該第二端子；

功率元件，包含第三電晶體，該第三電晶體包含第三
閘極、第五端子、及第六端子，該第三閘極係連接至該第
二端子及該第三端子；

第二電壓產生源，係連接至該第四端子；以及

過電壓偵測電路，係連接至該第一閘極及該第二閘極，

其中該功率元件係設置使得當電壓不被施加至該第三
閘極時，電流流動於該第五端子與該第六端子之間，

其中該第三電晶體包含：

該第三閘極；

氧化物半導體層，與該第三閘極重疊，而第一絕
緣層介於其間；以及

該第五端子及該第六端子電連接至該氧化物半導
體層；以及

其中該氧化物半導體層包含銦、鋅、及氧。

3. 如申請專利範圍第 2 項之半導體裝置，其中該第三
電晶體進一步包含第四閘極，該第四閘極係連接至該第二
端子、該第三端子、及該第三閘極。

4. 如申請專利範圍第 2 項之半導體裝置，進一步包含：
第四電晶體，包含第四閘極、第七端子、及第八端子；
以及

電容器，

其中該第七端子係連接至該第四端子及該電容器，

其中該第八端子係連接至該第二電壓產生源，且

其中該第四端子係透過該第四電晶體而連接至該第二電壓產生源。

5. 如申請專利範圍第 2 項之半導體裝置，其中當電壓不被分別施加至該第一閘極及該第二閘極的每一者時，電流不流動於該第一電晶體及該第二電晶體的每一者之中。

6. 一種半導體裝置，包含：

第一電壓產生源；

第一電晶體，包含第一閘極、第一端子、及第二端子，
該第一端子係連接至該第一電壓產生源；

第二電晶體，包含第二閘極、第三端子、及第四端子，
該第三端子係連接至該第二端子；

功率元件，包含第三電晶體，該第三電晶體包含第三閘極、第五端子、及第六端子，該第三閘極係連接至該第二端子及該第三端子；

第四電晶體，包含第四閘極、第七端子、及第八端子，
該第七端子係連接至該第四端子；

電容器，係連接至該第四端子及該第七端子；

第二電壓產生源，係連接至該第八端子；

過電壓偵測電路，係連接至該第一閘極及該第二閘極；以及

更新控制電路，係連接至該第四閘極，

其中該功率元件係設置使得當電壓不被施加至該第三閘極時，電流流動於該第五端子與該第六端子之間，

其中該第三電晶體包含：

該第三閘極；

氧化物半導體層，與該第三閘極重疊，而第一絕緣層介於其間；以及

該第五端子及該第六端子電連接至該氧化物半導體層；以及

其中該氧化物半導體層包含銦、鋅、及氧。

7. 如申請專利範圍第 1 或 6 項之半導體裝置，其中該第三電晶體進一步包含第五閘極，該第五閘極係連接至該第二端子、該第三端子、及該第三閘極。

8. 如申請專利範圍第 1、2、和 6 項中任一項之半導體裝置，

其中該第一電壓產生源係正電壓產生源，且

其中該第二電壓產生源係負電壓產生源。

9. 如申請專利範圍第 1、2、和 6 項中任一項之半導體裝置，

其中該第一電壓產生源係負電壓產生電路，且

其中該第二電壓產生源係正電壓產生電路。

10. 如申請專利範圍第 2 或 6 項之半導體裝置，進一

步包含反相器，

其中該第二閘極係透過該反相器而連接至該過電壓偵測電路。

11. 如申請專利範圍第 1 或 6 項之半導體裝置，其中當電壓不被分別施加至該第一閘極、該第二閘極、及該第四閘極的每一者時，電流不流動於該第一電晶體、該第二電晶體、及該第四電晶體的每一者之中。

12. 如申請專利範圍第 6 項之半導體裝置，其中該更新控制電路包含：

振盪器電路；

分頻器電路，係連接至該振盪器電路；

延遲電路，係連接至該分頻器電路；以及

AND 電路，包含第一輸入端子、第二輸入端子、及輸出端子，

其中該第一輸入端子係連接至該分頻器電路，

其中該第二輸入端子係連接至該延遲電路，且

其中該輸出端子係連接至該第四閘極。

13. 如申請專利範圍第 1、2、和 6 項中任一項之半導體裝置，

其中該第一絕緣層在該第三閘極之上，

其中該氧化物半導體層在該第一絕緣層之上，以及

其中該第五端子及該第六端子在該氧化物半導體層之上。

14. 如申請專利範圍第 13 項之半導體裝置，其中該第

三電晶體進一步包含：

第二絕緣層，在該第五端子及該第六端子之上；以及
第五閘極，在該第三閘極之上，而該第二絕緣層介於
其間。

15. 如申請專利範圍第 14 項之半導體裝置，其中該第五閘極部分重疊該第五端子且不重疊該第六端子。

16. 如申請專利範圍第 14 項之半導體裝置，其中該第五閘極不重疊該第五端子及該第六端子。

17. 如申請專利範圍第 1、2、和 6 項中任一項之半導體裝置，其中該第三電晶體包含：

該第五端子；

該氧化物半導體層，在該第五端子之上；

該第六端子，在該氧化物半導體層之上；

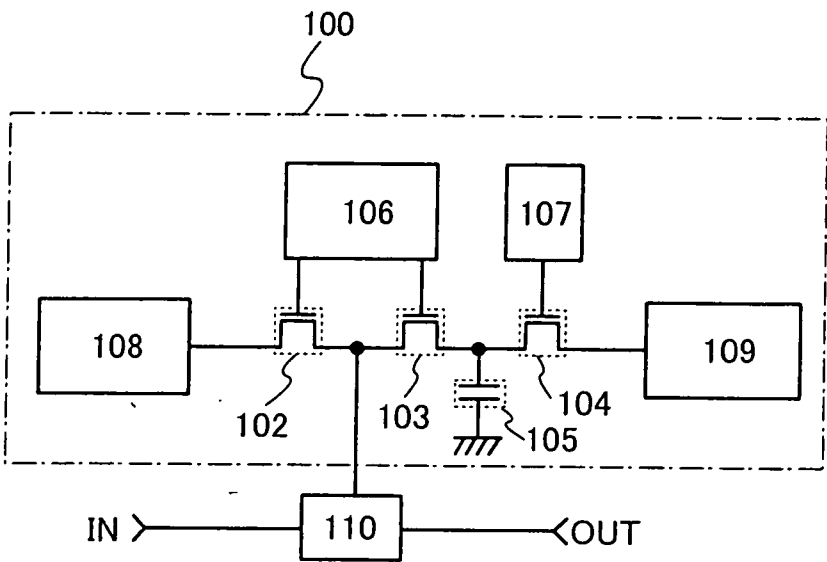
該第一絕緣層，在該第六端子之上；以及

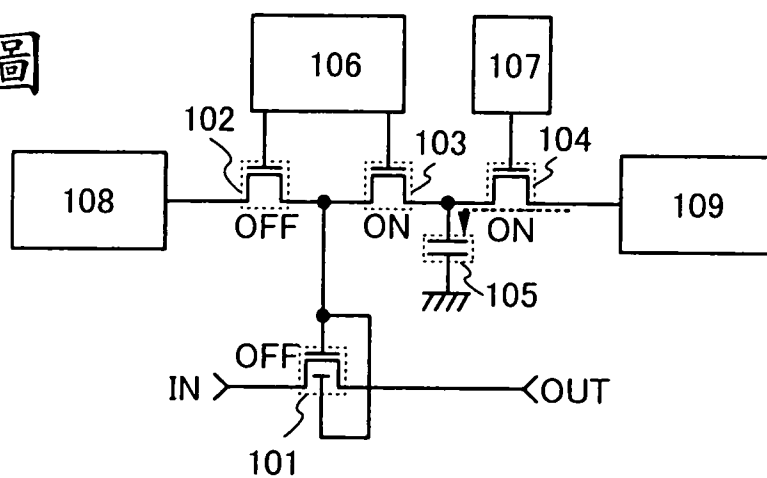
該第三閘極，在該第一絕緣層之上，

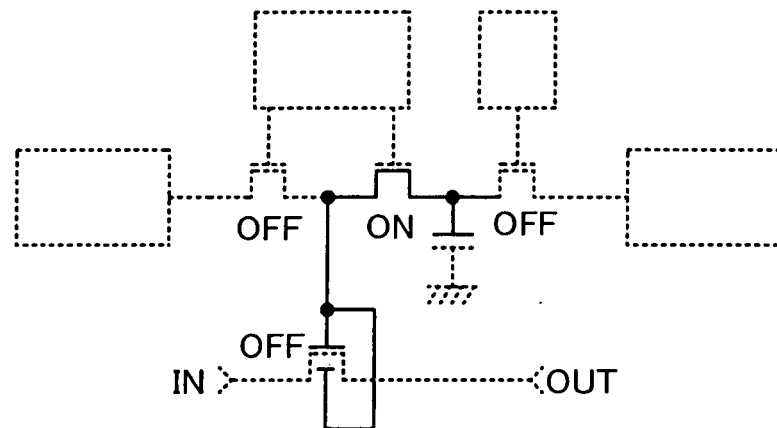
其中該第三閘極係設置於該第五端子與該第六端子之間的區域中。

18. 如申請專利範圍第 1 到 6 項中任一項之半導體裝置，其中該氧化物半導體層包含銻。

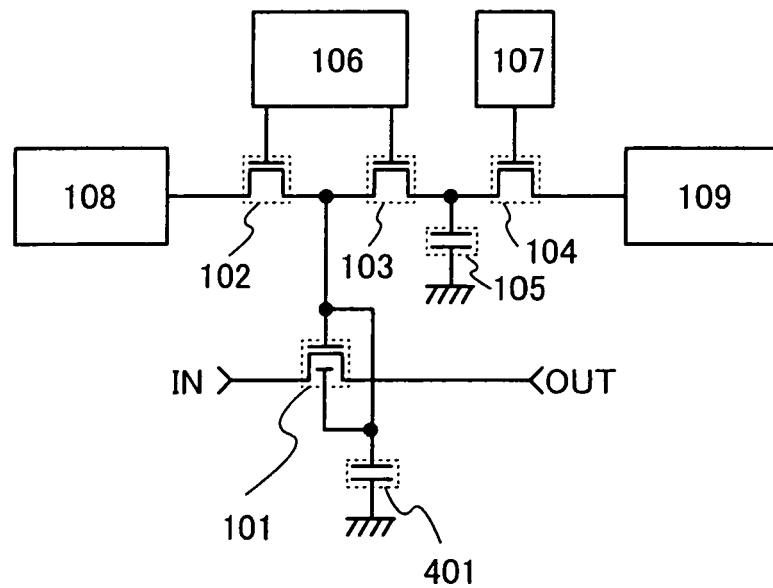
第1圖



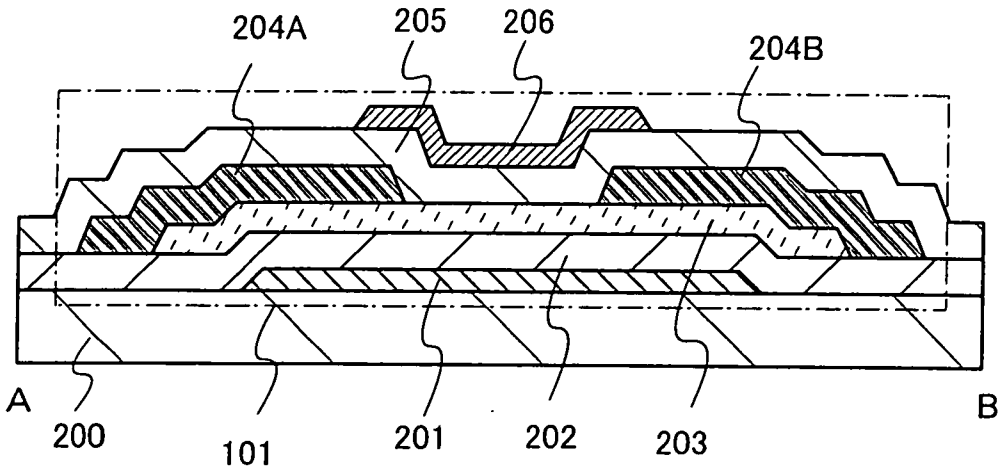




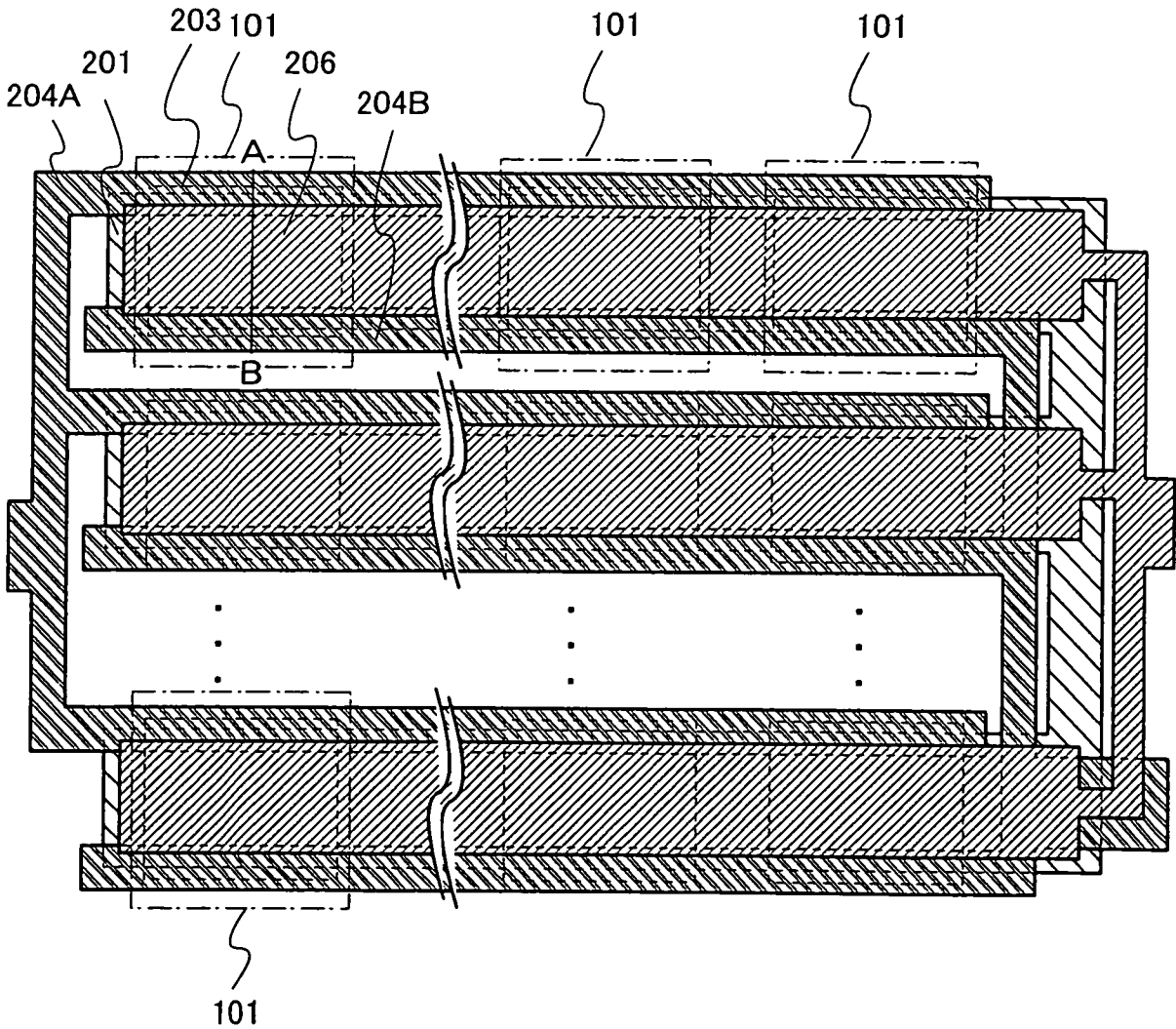
第4B圖



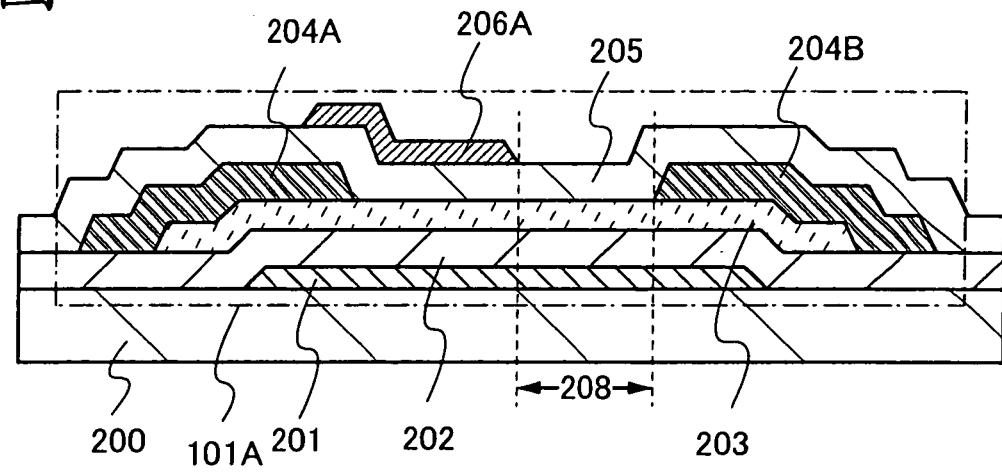
第5A圖



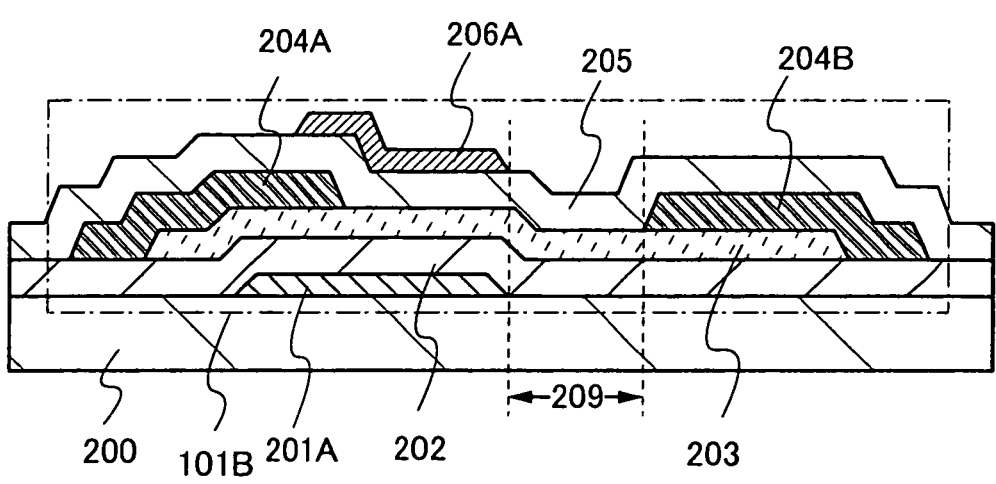
第5B圖



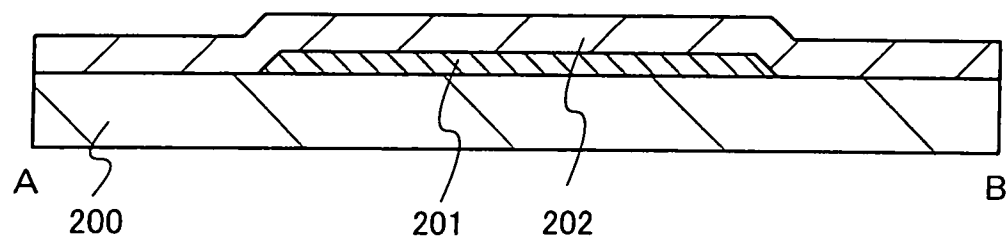
第6A圖



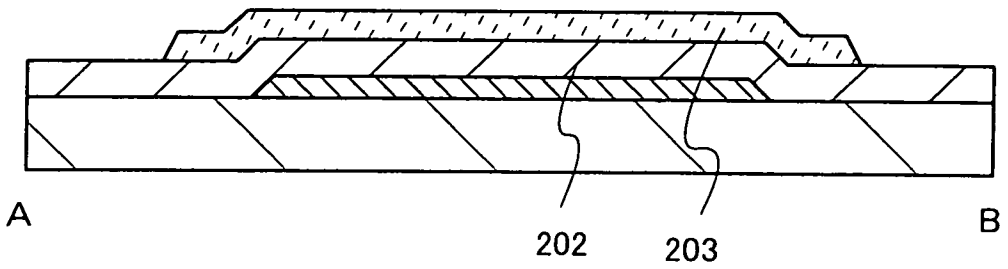
第6B圖



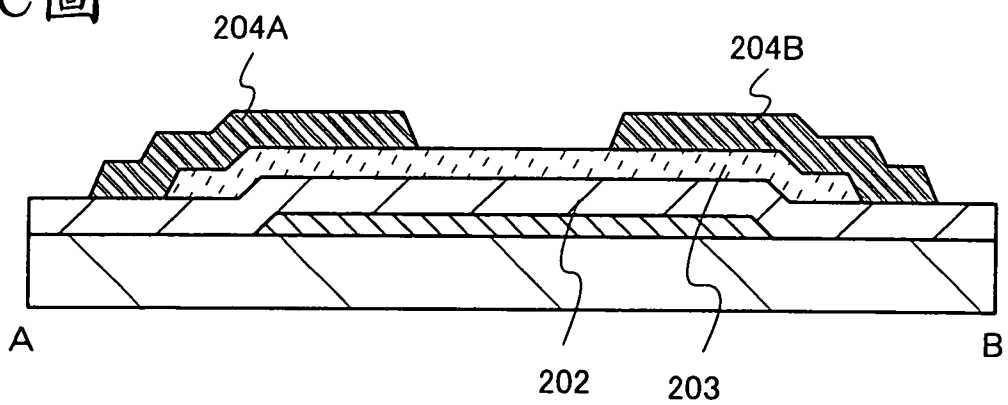
第7A圖



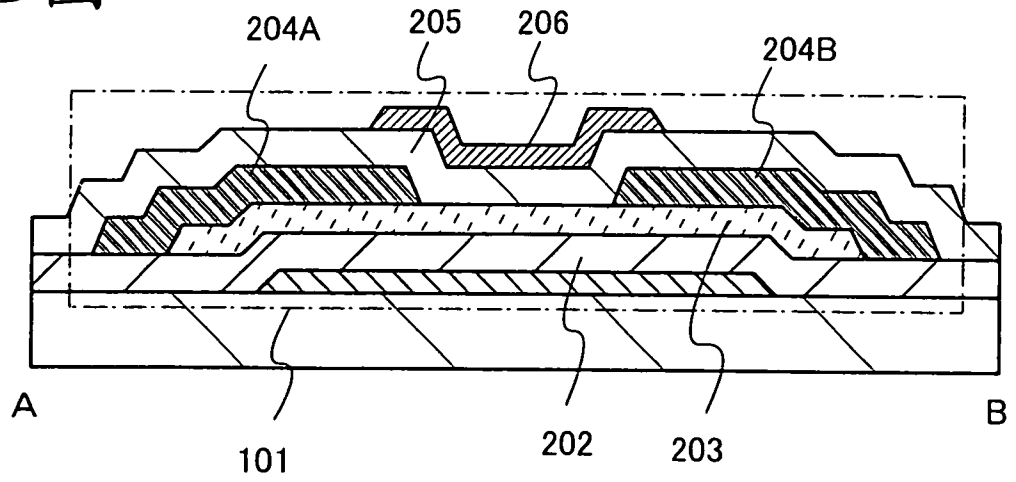
第7B圖



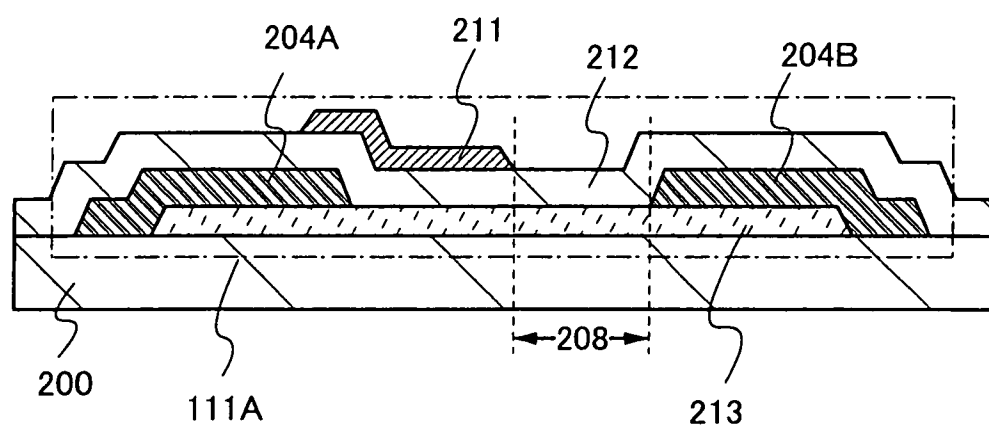
第7C圖



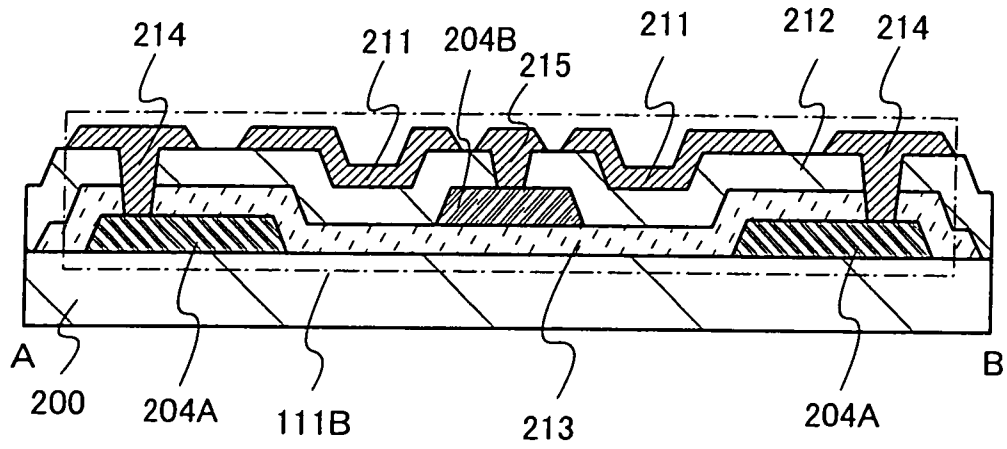
第7D圖



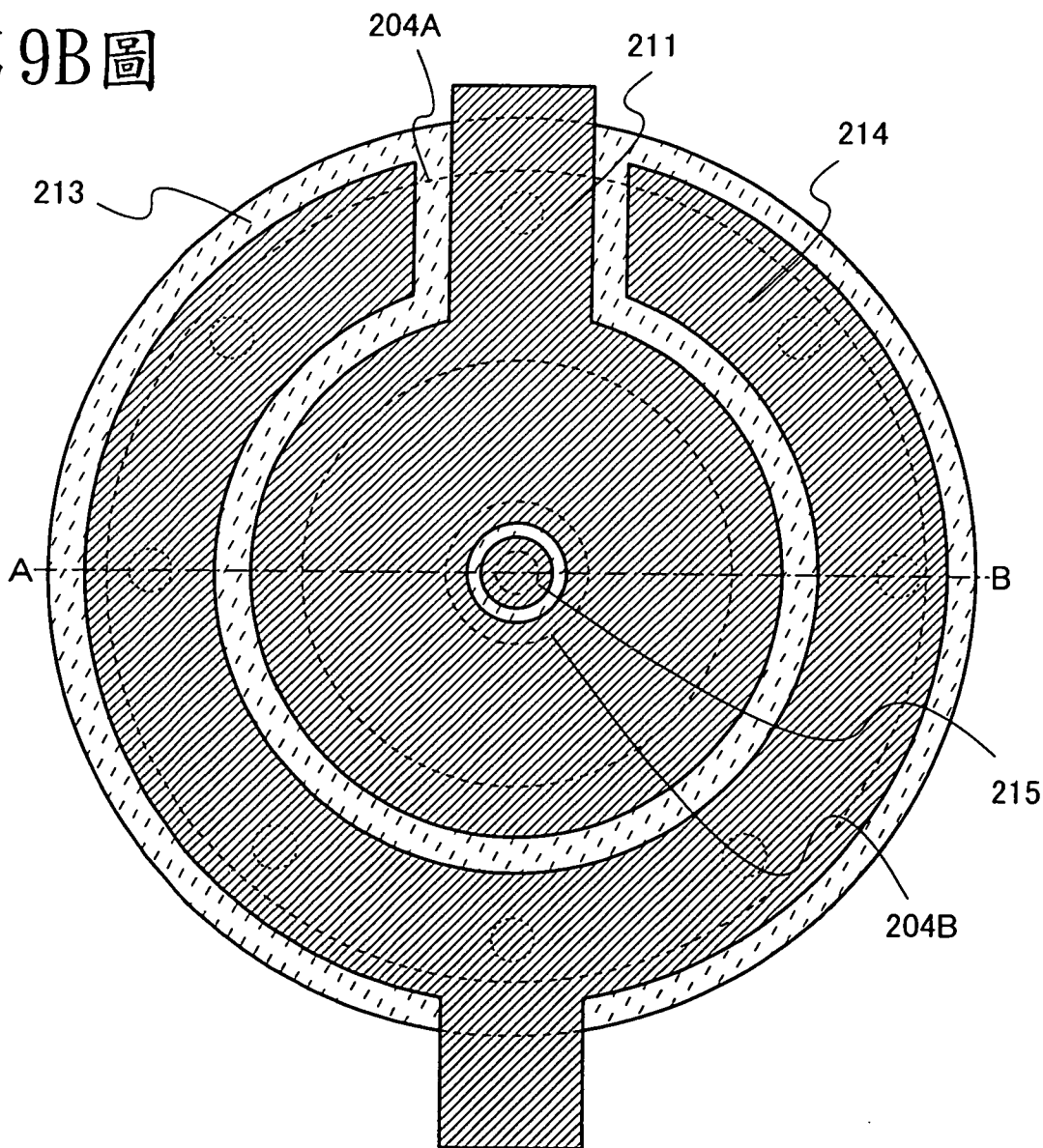
第8圖



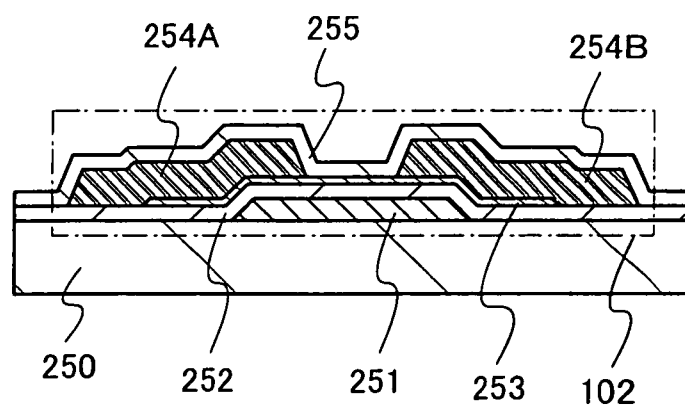
第9A圖



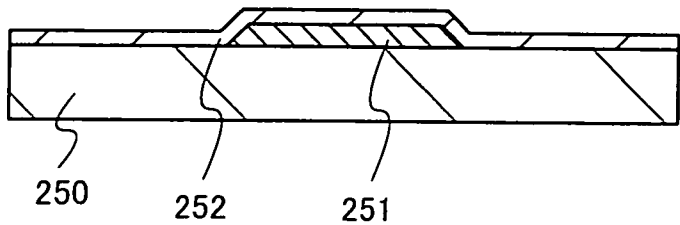
第9B圖



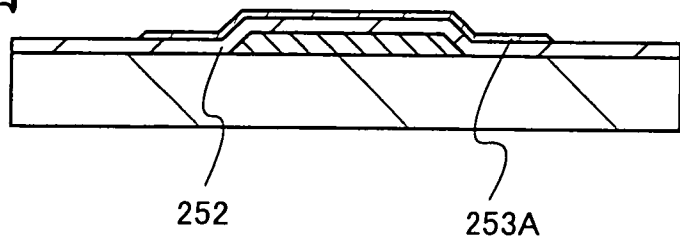
第10圖



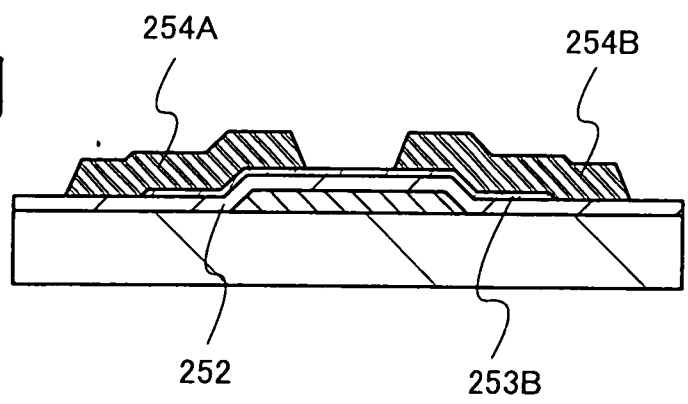
第11A圖



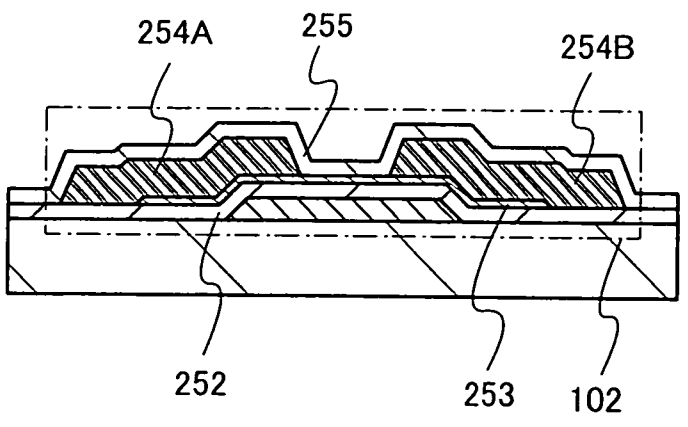
第11B圖



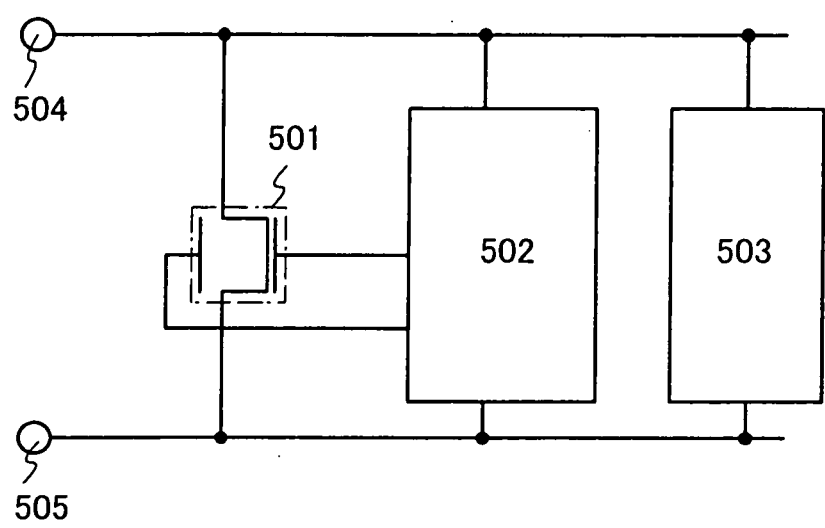
第11C圖



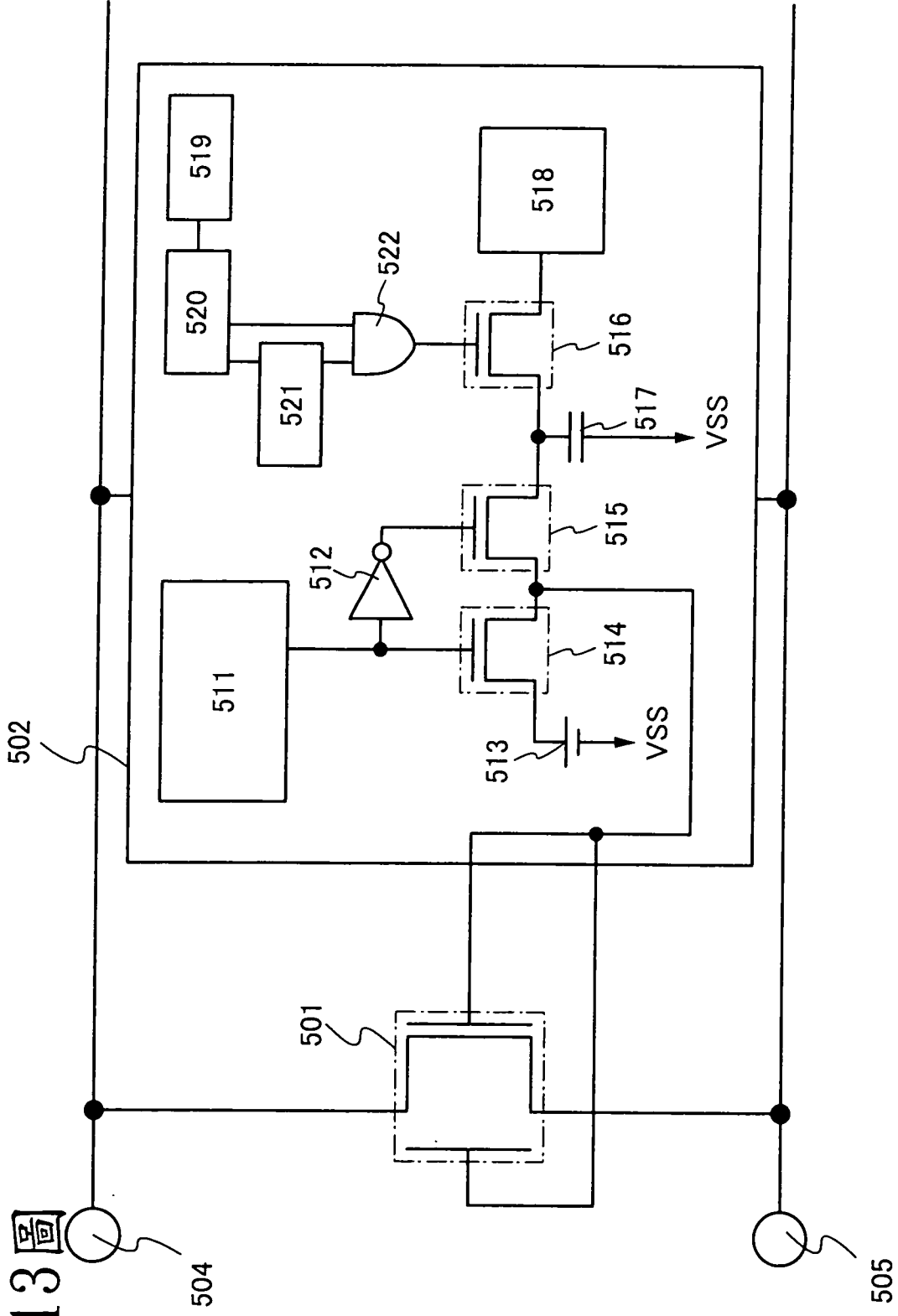
第11D圖



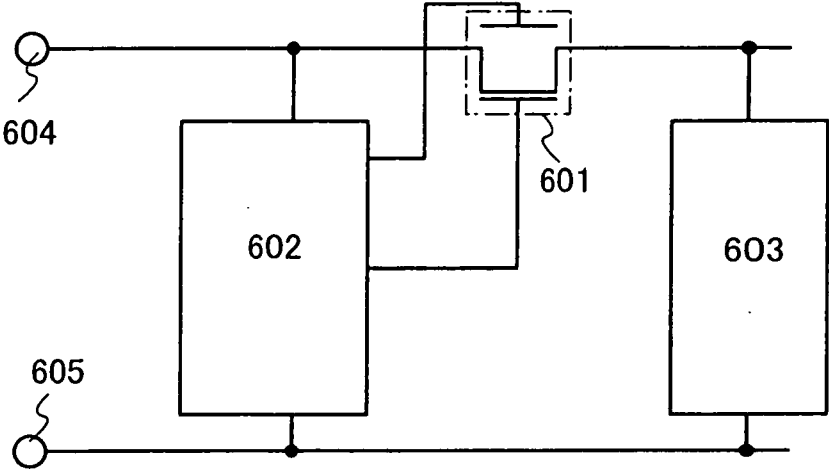
第12圖



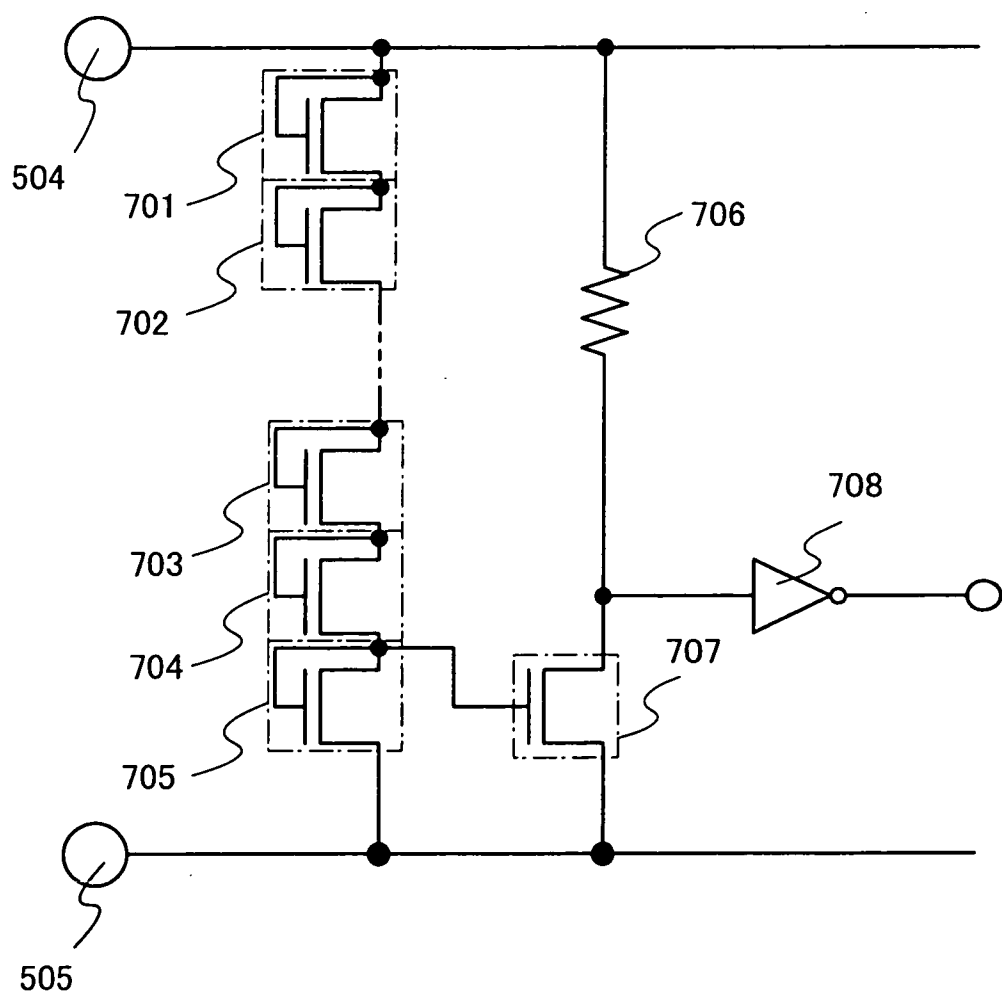
第13圖



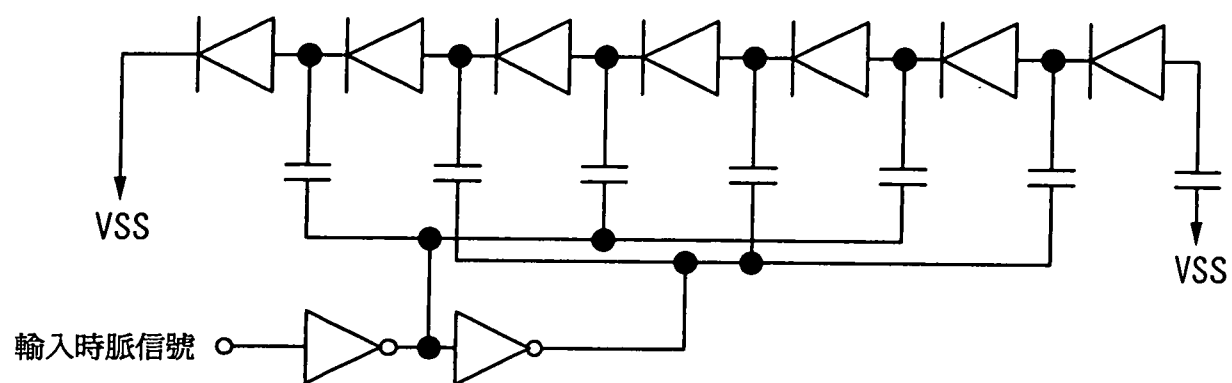
第14圖



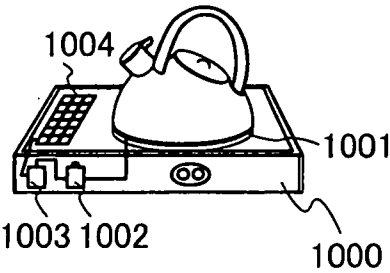
第16圖



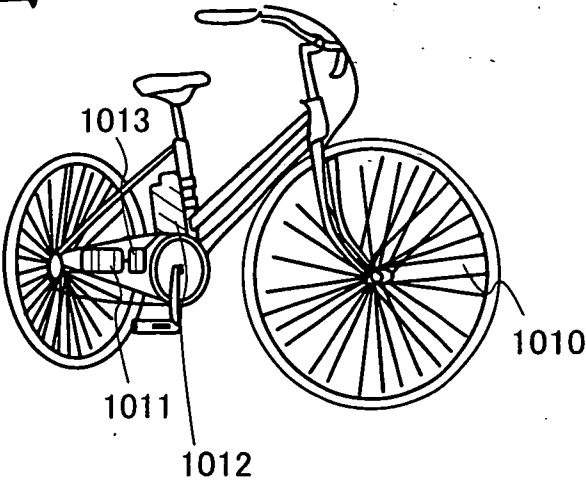
第17圖



第18A圖



第18B圖



第18C圖

