

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2024年8月22日 (22.08.2024)



(10) 国际公布号  
**WO 2024/169252 A1**

- (51) 国际专利分类号:  
*H01L 29/423* (2006.01) *H01L 29/739* (2006.01)
- (21) 国际申请号: PCT/CN2023/129176
- (22) 国际申请日: 2023年11月1日 (01.11.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
202310116479.4 2023年2月13日 (13.02.2023) CN
- (71) 申请人: 珠海格力电器股份有限公司  
(**GREE ELECTRIC APPLIANCES, INC. OF ZHUHAI**)  
[CN/CN]; 中国广东省珠海市横琴新区汇通三路  
108号办公608, Guangdong 519070 (CN)。
- (72) 发明人: 张福胜(**ZHANG, Fusheng**); 中国广东省珠海市  
横琴新区汇通三路108号办公608, Guangdong  
519070 (CN)。 谢梓翔(**XIE, Zixiang**); 中国广东

省珠海市横琴新区汇通三路108号办公608, Guangdong 519070 (CN)。 李春艳(**LI, Chunyan**); 中国广东省珠海市横琴新区汇通三路108号办公608, Guangdong 519070 (CN)。 廖勇波(**LIAO, Yongbo**); 中国广东省珠海市横琴新区汇通三路108号办公608, Guangdong 519070 (CN)。 马颖江(**MA, Yingjiang**); 中国广东省珠海市横琴新区汇通三路108号办公608, Guangdong 519070 (CN)。

- (74) 代理人: 北京康信知识产权代理有限责  
任公司 (**KANGXIN PARTNERS, P.C.**); 中国北京  
市海淀区知春路甲48号盈都大厦A座  
16层, Beijing 100098 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家  
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,  
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,  
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,

(54) **Title:** REVERSE-CONDUCTING INSULATED-GATE BIPOLAR TRANSISTOR AND PREPARATION METHOD THEREFOR

(54) 发明名称: 逆导型绝缘栅双极晶体管及其制备方法

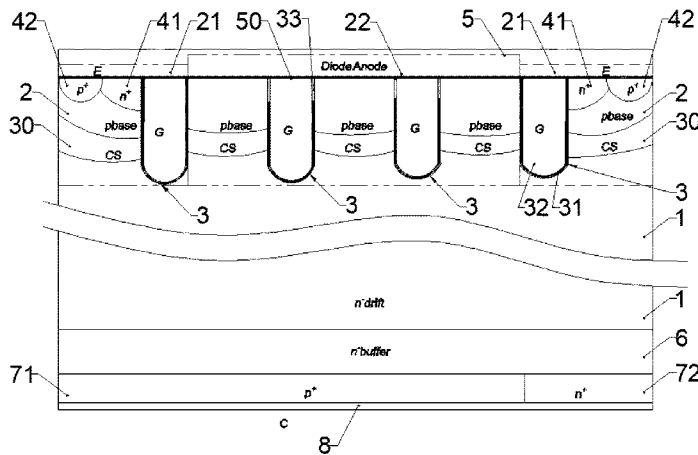


图 1

(57) **Abstract:** A reverse-conducting insulated-gate bipolar transistor (RC-IGBT) and a preparation method therefor. The RC-IGBT comprises: a first conductivity type doped drift region (1), a second conductivity type doped base region (2), and a plurality of trenches (3) extending into the drift region (1) from the surface of the drift region (1) and arranged in parallel. The trenches (3) penetrate the base region (2), and the bottom of each trench (3) is in contact with the drift region (1). An insulating dielectric layer (31) and a conductive material (32) surrounded by the insulating dielectric layer (31) are provided in each trench (3). The base region (2) comprises an active region (21) and a virtual cell region (22) distributed in a staggered manner. An emitter region (41) corresponding to the active region (21), a contact region (42) and the base region (2) adjacent to the contact region (42), the drift region (1), and a collector region (71) form an IGBT unit. The base region (2) corresponding to the virtual cell region (22), the contact region (42) adjacent to the base region (2), the drift region (1), and a cathode region (72) form a reverse recovery transistor unit; wherein a groove (33) is formed on the insulating dielectric layer (31) of the trench (3) located in the virtual cell region (22). The reverse recovery performance of the RC-IGBT is optimized, and the turn-off loss of a diode is reduced, without significantly increasing the process and cost.

IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,  
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,  
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,  
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,  
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,  
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区  
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,  
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚  
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,  
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,  
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,  
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,  
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,  
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种逆导型绝缘栅双极晶体管及其制备方法, 该逆导型绝缘栅双极晶体管包括: 第一导电类型掺杂的漂移区(1)、第二导电类型掺杂的基区(2)、从漂移区(1)的表面延伸入漂移区(1)且平行排列的多个沟槽(3), 沟槽(3)贯穿基区(2)且底部与漂移区(1)接触, 沟槽(3)内设置有绝缘介质层(31)和由绝缘介质层(31)包围的导电材料(32); 基区(2)包括交错分布的有源区(21)和虚拟元胞区(22); 由有源区(21)对应的发射区(41)、接触区(42)及其毗连的基区(2)、漂移区(1)和集电区(71)组成IGBT单元; 虚拟元胞区(22)对应的基区(2)及其毗连的接触区(42)、漂移区(1)和阴极区(72)组成反向恢复晶体管单元; 其中, 位于虚拟元胞区(22)内的沟槽(3)的绝缘介质层(31)设置有凹槽(33)。在不显著增加工艺和成本的基础上, 优化RC-IGBT的反向恢复性能, 降低二极管的关断损耗。

## 逆导型绝缘栅双极晶体管及其制备方法

### 交叉引用

本公开引用于 2023 年 2 月 13 日提交的专利名称为“逆导型绝缘栅双极晶体管及其制备方法”的第 202310116479.4 号中国专利申请，其通过引用被全部并入本公开。

### 技术领域

本公开涉及半导体技术领域，尤其涉及一种逆导型绝缘栅双极晶体管及其制备方法。

### 背景技术

绝缘栅双极晶体管（Insulated gate bipolar transistor，简称IGBT）是电子系统中的关键半导体元件，被广泛应用于各种中高压功率控制系统中，如马达驱动、电能转换等。IGBT器件包含三个电极：集电极、发射极以及用于控制器件开关的栅极。相关技术的IGBT在栅极关断时等效为一个基区开路的PNP型三极管，因此不具备反向续流能力，导致相关技术的IGBT只能作为一个单向导通器件，即电流只能从集电极流向发射极。但是多数功率电路系统都有电流双向导通的需求，因此，近年来一种新型的逆导型绝缘栅双极晶体管（Reverse-Conducting IGBT，简称RC-IGBT）结构被提出。

与相关技术的IGBT相比，RC-IGBT将反向并联二极管与相关技术的IGBT集成于同一块芯片上，使得RC-IGBT的电流既可以由集电极流向发射极，亦可由发射极流向集电极，以取代相关技术IGBT反并联分离式的续流二极管器件，节省总芯片面积约1/3，可大幅降低芯片生产制造成本及封装测试成本。同时这种集成二极管结构可以降低二极管的热阻，并较大幅度提高其抗浪涌电流，同时可显著降低芯片结温波动大的缺点，提高器件的功率循环能力。

但是，由于二极管与IGBT集成在同一颗芯片之中，RC-IGBT存在二极管的反向恢复性能较差的问题。如果采用载流子寿命控制技术提高二极管的反向恢复速度、降低反向恢复损耗，会对IGBT工作模式下的性能和可靠性产生不利影响。

### 发明内容

本公开的目的在于提供一种逆导型绝缘栅双极晶体管及其制备方法，其可以在不显著增加工艺和成本的基础上，优化 RC-IGBT 的反向恢复性能，降低二极管的关断损耗。

第一方面，本公开实施例提供了一种逆导型绝缘栅双极晶体管，包括：第一导电类型掺杂的漂移区；在漂移区的表面形成有第二导电类型掺杂的基区，基区包括交错分布的有源区和虚拟元胞区；从漂移区的表面延伸入漂移区且平行排列的多个沟槽，沟槽贯穿基区且底部与漂移区接触，沟槽内设置有绝缘介质层和由绝缘介质层包围的导电材料，导电材料从顶部的第一金属层引出形成栅电极；在基区的有源区的表面形成有第一导电类型重度掺杂的发射区和第二导电类型重度掺杂的接触区，发射区的第一侧面与对应的沟槽的侧面毗连，发射区的第二侧面与接触区毗连，发射区和接触区共同从第一金属层引出形成发射极；在漂移区的背面形成有第一导电类型掺杂的缓冲层；在缓冲层的表面形成有交错分布的第二导电类型重度掺杂的集电区和第一导电类型重度掺杂的阴极区，集电区和阴极区共同从第二金属层引出形成集电极；由有源区对应的发射区、接触区及其毗连的基区、漂移区和集电区组成 IGBT 单元；虚拟元胞区作为晶体管阳极区，由晶体管阳极区对应的基区及其毗连的接触区、漂移区和阴极区组成反向恢复晶体管单元；其中，位于虚拟元胞区内的沟槽的绝缘介质层设置有凹槽。

在一个示例性实施例中，凹槽的深度为  $0.8\mu\text{m}\pm 0.1\mu\text{m}$ 。

在一个示例性实施例中，第一金属层与多个沟槽的顶部之间还形成有氧化层。

在一个示例性实施例中，逆导型绝缘栅双极晶体管还包括位于漂移区与基区之间的载流子储存层，载流子储存层与相邻的沟槽的侧面毗连。

在一个示例性实施例中，绝缘介质层的材质为二氧化硅，导电材料的材质为多晶硅。

在一个示例性实施例中，第一导电类型和第二导电类型中的任一者为 n 型，第一导电类型和第二导电类型中的另一者为 p 型。

第二方面，本公开实施例提供了一种如前所述的逆导型绝缘栅双极晶体管的制备方法，包括：形成第一导电类型掺杂的漂移区；在漂移区的上表面通过离子注入和/或扩散的方式形成第二导电类型掺杂的基区，基区包括交错分布的有源区和虚拟元胞区；在漂移区的上表面刻蚀平行排列的多个沟槽，沟槽贯穿基区且底部与漂移区接触；在沟槽的内壁形成绝缘介质层，并在沟槽内填充导电材料；在位于虚拟元胞区内的沟槽的绝缘介质层通过干法刻蚀形成凹槽；在基区的有源区的上表面通过离子注入和/

或扩散的方式形成第一导电类型重度掺杂的发射区和第二导电类型重度掺杂的接触区；在发射区和接触区的表面沉积第一金属层，导电材料从顶部的第一金属层引出形成栅电极，发射区和接触区共同从第一金属层引出形成发射极；在漂移区的背面进行减薄，并通过离子深层注入和/或扩散的方式形成第一导电类型掺杂的缓冲层；在缓冲层的表面进行第一导电类型离子浅层注入，形成第一导电类型重度掺杂的阴极区；在缓冲层的表面进行第二导电类型离子浅层注入，形成第二导电类型重度掺杂的集电区，且集电区与阴极区交错分布；在集电区与阴极区的表面沉积第二金属层，集电区和阴极区共同从第二金属层引出形成集电极。

在一个示例性实施例中，在沉积第一金属层之前，制备方法还包括在多个沟槽的顶部形成的氧化层。

在一个示例性实施例中，在形成基区之前，制备方法还包括在漂移区的表面通过离子深层注入和/或扩散的方式形成第一导电类型掺杂的载流子储存层，且沟槽贯穿载流子储存层。

在一个示例性实施例中，干法刻蚀的气体为八氟环戊烯、四氟化碳和三氟甲烷中的任一者。

根据本公开实施例提供的逆导型绝缘栅双极晶体管及其制备方法，在第一导电类型掺杂的漂移区的表面形成有第二导电类型掺杂的基区，基区包括交错分布的有源区和虚拟元胞区；从漂移区的表面延伸入漂移区且平行排列的多个沟槽，沟槽贯穿基区且底部与漂移区接触，沟槽内设置有绝缘介质层和由绝缘介质层包围的导电材料，导电材料从顶部的第一金属层引出形成栅电极；在基区的有源区的表面形成有第一导电类型重度掺杂的发射区和第二导电类型重度掺杂的接触区，发射区的第一侧面与对应的沟槽的侧面毗连，发射区的第二侧面与接触区毗连，发射区和接触区共同从第一金属层引出形成发射极；在漂移区的背面形成有第一导电类型掺杂的缓冲层；在缓冲层的表面形成有交错分布的第二导电类型重度掺杂的集电区和第一导电类型重度掺杂的阴极区，集电区和阴极区共同从第二金属层引出形成集电极；由有源区对应的接触区、发射区及其毗连的沟槽、基区、漂移区和集电区组成 IGBT 单元；虚拟元胞区作为晶体管阳极区，由晶体管阳极区对应的沟槽、基区、漂移区和阴极区组成反向恢复晶体管单元；其中，位于虚拟元胞区内的沟槽的绝缘介质层设置有凹槽。由此，在不显著

增加工艺和成本的基础上，通过在虚拟元胞区内的沟槽的绝缘介质层刻蚀形成凹槽，可以减小附近的电子空穴浓度，从而降低载流子注入效率，优化 RC-IGBT 的反向恢复性能，降低二极管的关断损耗。

### 附图说明

为了更清楚地说明本公开实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。另外，在附图中，相同的部件使用相同的附图标记，且附图并未按照实际的比例绘制。

图 1 示出本公开实施例提供的逆导型绝缘栅双极晶体管的结构示意图；

图 2 示出图 1 所示的逆导型绝缘栅双极晶体管的虚拟元胞区的局部放大结构示意图；

图 3 示出图 1 所示的逆导型绝缘栅双极晶体管的反向恢复波形仿真示意图；

图 4 示出图 1 所示的逆导型绝缘栅双极晶体管的反向击穿电压与反向恢复损耗之间的平衡关系散点图。

附图标记说明：

1、漂移区；2、基区；21、有源区；22、虚拟元胞区；3、沟槽；30、载流子储存层；31、绝缘介质层；32、导电材料；33、凹槽；41、发射区；42、接触区；5、第一金属层；50、氧化层；6、缓冲层；71、集电区；72、阴极区；8、第二金属层；G、栅电极；E、发射极；C、集电极。

### 具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

图 1 示出本公开实施例提供的逆导型绝缘栅双极晶体管的结构示意图，图 2 示出图 1 所示的逆导型绝缘栅双极晶体管的虚拟元胞区的局部放大结构示意图。

如图 1 和图 2 所示，本公开实施例提供的逆导型绝缘栅双极晶体管（以下简称 RC-IGBT）包括：

第一导电类型掺杂的漂移区 1；

在漂移区 1 的表面形成有第二导电类型掺杂的基区 2，基区 2 包括交错分布的有源区 21 和虚拟元胞区（Dummy）22；

从漂移区 1 的表面延伸入漂移区 1 且平行排列的多个沟槽 3，沟槽 3 贯穿基区 2 且底部与漂移区 1 接触，沟槽 3 内设置有绝缘介质层 31 和由绝缘介质层 31 包围的导电材料 32，导电材料 32 从顶部的第一金属层 5 引出形成栅电极 G；

在基区 2 的有源区 21 的表面形成有第一导电类型重度掺杂的发射区 41 和第二导电类型重度掺杂的接触区 42，发射区 41 的第一侧面与对应的沟槽 3 的侧面毗连，发射区 41 的第二侧面与接触区 42 毗连，发射区 41 和接触区 42 共同从第一金属层 5 引出形成发射极 E；

在漂移区 1 的背面形成有第一导电类型掺杂的缓冲层 6；

在缓冲层 6 的表面形成有交错分布的第二导电类型重度掺杂的集电区 71 和第一导电类型重度掺杂的阴极区 72，集电区 71 和阴极区 72 共同从第二金属层 8 引出形成集电极 C；

由有源区 21 对应的发射区 41、接触区 42 及其毗连的基区 2、漂移区 1 和集电区 71 组成 IGBT 单元；

虚拟元胞区 22 作为晶体管阳极区，由晶体管阳极区对应的基区 2 及其毗连的接触区 42、漂移区 1 和阴极区 72 组成反向恢复晶体管单元；

其中，位于虚拟元胞区 22 内的沟槽 3 的绝缘介质层 31 设置有凹槽 33。

需要指出的是，本公开实施例中，第一导电类型和第二导电类型中的任一者为 n 型，第一导电类型和第二导电类型中的另一者为 p 型。器件的半导体衬底被认为由硅（Si）材料构成。但是，该衬底亦可由其他任何适合制造 RC-IGBT 的材料构成，如锗（Ge），碳化硅（SiC）等。在以下说明中，器件的绝缘介质层的材料可以由氧化硅（SiO<sub>x</sub>）构成，但其他电介质材料亦可被采用，如氮化硅（Si<sub>x</sub>N<sub>y</sub>）、氧化铝（Al<sub>x</sub>O<sub>y</sub>）及氮氧化硅（Si<sub>x</sub>N<sub>y</sub>O<sub>z</sub>）等。在以下说明中，一个 p 型导电的半导体区可以通过向原始半导体区掺入一种或几种杂质构成，这些杂质可以是但并不局限于：硼（B）、铝（Al）、镓（Ga）等。一个 n 型导电的半导体区亦可通过向原始半导体区掺入一种或几种杂质构成，这些杂质可以是但并不局限于：磷（P）、砷（As）、锑（Sb）、硒（Se）、质子（H<sup>+</sup>）等。在以下说明中，重度掺杂的 p 型导电的半导体区被标记为 p+区，重度

掺杂的 n 型导电的半导体区被标记为 n+区。例如，在硅材料衬底中，若无特别指出，一个重度掺杂的区域的杂质浓度一般在  $1 \times 10^{19} \text{cm}^{-3}$  至  $1 \times 10^{21} \text{cm}^{-3}$  之间。在以下说明中，轻度掺杂的 p 型导电的半导体区被标记为 p-区，轻度掺杂的 n 型导电的半导体区被标记为 n-区。例如，在硅材料衬底中，若无特别指出，一个轻度掺杂的区域的杂质浓度一般在  $1 \times 10^{12} \text{cm}^{-3}$  至  $1 \times 10^{15} \text{cm}^{-3}$  之间。

此外，以下实施例将采用 n 型 MOS 沟道的 RC-IGBT 器件予以说明，其中，第一导电类型为 n 型，第二导电类型为 p 型。但需要指出的是，本公开同样适用于 p 型 MOS 沟道的 RC-IGBT 器件。

如图 1 所示，漂移区 1 由 n-轻度掺杂而得，基区 2 是在漂移区 1 的基础上进行 p 型掺杂而得。发射区 41 由 n+重度掺杂而得，接触区 42 由 p+重度掺杂而得。缓冲层 6 由 n-轻度掺杂而得。集电区 71 由 p+重度掺杂而得，阴极区 72 由 n+重度掺杂而得。可选地，绝缘介质层 31 的材质为二氧化硅  $\text{SiO}_2$ ，导电材料 32 的材质为多晶硅 Si。

从漂移区 1 的表面延伸入漂移区 1 且平行排列的多个沟槽 3，例如图 1 所示的 4 个沟槽 3，沟槽 3 贯穿基区 2 且底部与漂移区 1 接触，沟槽 3 内设置有绝缘介质层 31 和由绝缘介质层 31 包围的导电材料 32，导电材料 32 从顶部的第一金属层 5 引出形成栅电极 G。另外，有源区 21 与虚拟元胞区 22 沿器件的横向方向交替分布，部分沟槽 3 位于有源区 21，例如图 1 所示的 2 个沟槽 3 位于有源区 21；部分沟槽 3 位于虚拟元胞区 22，例如图 1 所示的 2 个沟槽 3 位于虚拟元胞区 22。

如图 2 所示，虚拟元胞区 22 与有源区 21 的工艺参数一致，只是内部不含 n+重度掺杂区域，也无发射区引出，其可以作为反向二极管通路的阳极。虚拟元胞区 22 的作用主要是减小沟槽栅 IGBT 的电流增益，降低 IGBT 短路电流幅值，屏蔽二极管的尖峰电场，提高短路可靠性。进一步地，在虚拟元胞区 22 内的沟槽 3 的绝缘介质层 31 中刻蚀有凹槽 33，而有源区 21 内的沟槽 3 的绝缘介质层 31 中并未刻蚀凹槽 33。

本公开实施例中的 RC-IGBT 器件的工作原理如下：RC-IGBT 器件有三个电极：位于顶部的发射极 E，位于底部的集电极 C 以及栅电极 G。其中，栅电极 G、绝缘介质层 31、p 基区 2、n+型发射区 41、p+接触区 42 及 n-漂移区 1 共同构成了一个金属-氧化物-半导体（下文中称为“MOS”）结构。此外，p 基区 2、n-漂移区 1 及背面的 p+集电区 71 共同构成了一个 PNP 型双极性晶体管。MOS 结构与 PNP 管共同构成了一个 IGBT 结构，从而可以利用 MOS 结构控制 PNP 管的电流从集电极 C 流向发射极 E，称为 RC-IGBT 电流的正向导通。另一方面，p+接触区 42、p 基区 2、n-漂移区 1 及背面的 n+阴极区 72 共同构成了一个 P-I-N 二极管（即反向恢复晶体管单元），其中 p+接触区 42 和 p 基区 2 作为 P-I-N 二极管的阳极，n+阴极区 72 作为 P-I-N 二极管的阴极。当 RC-IGBT 器件的发射极 E 的电压高过集电极 C 的电压预设值时，P-I-N 二

极管可以导通，继而实现电流由发射极 E 流向集电极 C，称为 RC-IGBT 电流的逆向导通。

当 RC-IGBT 器件处于反向导通状态时，存在两条导电路径：第一条导电路径为从正面 p 基区 2 到 n-漂移区 1，然后经过 n-缓冲层 6，最后从背面 n+阴极区 72 流出，器件等效为 PIN 二极管结构，n-漂移区 1 内由正面注入的空穴和背面注入的电子进行电导调制，此时反向导通压降（VF）较低；第二条导电路径为经过正面 MOS 源区、n 型沟道区、n-漂移区 1 及 n-缓冲层 6，最后从背面 n+阴极区 72 流出，器件等效为 n 沟道 MOSFET 结构，此时器件同时处于 PIN 和 MOSFET 工作模式，由于正面 n 沟道电子载流子的注入抑制了正面二极管 p 基区的空穴注入，n-漂移区的电导调制被削弱，器件的反向导通压降（VF）会升高。

由此，在虚拟元胞区 22 内的沟槽 3 的绝缘介质层 31 刻蚀形成凹槽 33 后，当二极管经历反向恢复时，利用该凹槽 33 可以减小其附近的电子空穴浓度，从而降低载流子注入效率，优化 RC-IGBT 的反向恢复性能，降低二极管的关断损耗。

根据本公开实施例提供的逆导型绝缘栅双极晶体管，在第一导电类型掺杂的漂移区 1 的表面形成有第二导电类型掺杂的基区 2，基区 2 包括交错分布的有源区 21 和虚拟元胞区 22；从漂移区 1 的表面延伸入漂移区 1 且平行排列的多个沟槽 3，沟槽 3 贯穿基区 2 且底部与漂移区 1 接触，沟槽 3 内设置有绝缘介质层 31 和由绝缘介质层 31 包围的导电材料 32，导电材料 32 从顶部的第一金属层 5 引出形成栅电极 G；在基区 2 的有源区 21 的表面形成有第一导电类型重度掺杂的发射区 41 和第二导电类型重度掺杂的接触区 42，发射区 41 的第一侧面与对应的沟槽 3 的侧面毗连，发射区 41 的第二侧面与接触区 42 毗连，发射区 41 和接触区 42 共同从第一金属层 5 引出形成发射极 E；在漂移区 1 的背面形成有第一导电类型掺杂的缓冲层 6；在缓冲层 6 的表面形成有交错分布的第二导电类型重度掺杂的集电区 71 和第一导电类型重度掺杂的阴极区 72，集电区 71 和阴极区 72 共同从第二金属层 8 引出形成集电极 C；由有源区 21 对应的接触区 42、发射区 41 及其毗连的沟槽 3、基区 2、漂移区 1 和集电区 71 组成 IGBT 单元；虚拟元胞区 22 作为晶体管阳极区，由晶体管阳极区对应的沟槽 3、基区 2、漂移区 1 和阴极区 72 组成反向恢复晶体管单元；其中，位于虚拟元胞区 22 内的沟槽 3 的绝缘介质层 31 设置有凹槽 33。由此，在不显著增加工艺和成本的基础上，通过在虚拟元胞区 22 内的沟槽 3 的绝缘介质层 31 刻蚀形成凹槽 33，可以减小附近的电子空穴浓度，从而降低载流子注入效率，优化 RC-IGBT 的反向恢复性能，降低二极管的关断损耗。

在一些实施例中，凹槽 33 的深度为  $0.8\mu\text{m}\pm 0.1\mu\text{m}$ 。

如图 2 所示，虚拟元胞区 22 内的沟槽 3 的绝缘介质层 31 中刻蚀有凹槽 33，凹槽 33 的深度 d 需要进行优化测试，深度 d 太大容易造成器件稳定性和可靠性下降，深度

d 太小对载流子的调节效果不明显。

本公开在反向击穿电压为 600V、电流为 5A 的条件下对 RC-IGBT 进行仿真设计分析，得出凹槽 33 的深度为  $0.8\mu\text{m}\pm 0.1\mu\text{m}$  时，载流子的注入效率满足设计要求，可以优化 RC-IGBT 的反向恢复性能，降低二极管的关断损耗。

图 3 示出图 1 所示的逆导型绝缘栅双极晶体管的反向恢复波形仿真示意图；图 4 示出图 1 所示的逆导型绝缘栅双极晶体管的反向击穿电压与反向恢复损耗之间的平衡关系散点图。

如图 3 所示，实线曲线代表本公开实施例提供的 RC-IGBT 结构，虚线曲线代表相关技术的 RC-IGBT 结构，可以看出，在相同条件下，本公开实施例的 RC-IGBT 结构的关断电荷比相关技术的 RC-IGBT 结构低。如图 4 所示，圆形点代表本公开实施例的 RC-IGBT 结构，方形点代表相关技术的 RC-IGBT 结构，可以看出，尽管本公开实施例的 RC-IGBT 结构与相关技术的 RC-IGBT 相比，其反向击穿电压  $V_F$  会略微升高 0.2 V，但是本公开实施例的 RC-IGBT 结构的反向恢复损耗  $E_{rr}$  比相关技术的 RC-IGBT 结构降低了 32%。

另外，凹槽 33 通过干法刻蚀制作而成，刻蚀气体可以为八氟环戊烯 ( $C_5F_8$ )、四氟化碳 ( $CF_4$ ) 和三氟甲烷 ( $CHF_3$ ) 中的任一者。刻蚀气体对  $SiO_2/Si$  的高选择性有助于形成凹槽 33，为了优化刻蚀性能，如蚀刻速率、 $SiO_2/Si$  选择性和刻蚀轮廓控制，应保证  $SiO_2/Si$  的高选择性气体不会影响 IGBT 区域；在二极管经历反向恢复时，利用该凹槽 33 提升器件整体的二极管反向恢复性能，降低反向恢复损耗。

在一些实施例中，第一金属层 5 与多个沟槽 3 的顶部之间还形成有氧化层 50。氧化层 50 可以设置有接触过孔，以使沟槽 3 的导电材料 32 通过接触过孔与第一金属层 5 连接形成栅电极 G。另外，氧化层 50 还覆盖发射区 41 和接触区 42，发射区 41 和接触区 42 通过接触过孔与第一金属层 5 连接形成发射极 E。

在一些实施例中，RC-IGBT 还包括位于漂移区 1 与基区 2 之间的载流子储存层 (CS) 30，载流子储存层 30 与相邻的沟槽 3 的侧面毗连。载流子储存层 30 的作用是为了减小在二极管工作状态下的空穴注入效率，同时增加在 IGBT 工作状态下的发射极载流子浓度，从而减小导通压降。

另外，本公开实施例还提供一种如前所述的逆导型绝缘栅双极晶体管的制备方法，包括如下步骤 S1~S11：

步骤 S1：形成第一导电类型掺杂的漂移区 1；

步骤 S2：在漂移区 1 的上表面通过离子注入和/或扩散的方式形成第二导电类型掺

杂的基区 2，基区 2 包括交错分布的有源区 21 和虚拟元胞区 22；

步骤 S3：在漂移区 1 的上表面刻蚀平行排列的多个沟槽 3，沟槽 3 贯穿基区 2 且底部与漂移区 1 接触；

步骤 S4：在沟槽 3 的内壁形成绝缘介质层 31，并在沟槽 3 内填充导电材料 32；

步骤 S5：在位于虚拟元胞区 22 内的沟槽 3 的绝缘介质层 31 通过干法刻蚀形成凹槽 33；

步骤 S6：在基区 2 的有源区 21 的上表面通过离子注入和/或扩散的方式形成第一导电类型重度掺杂的发射区 41 和第二导电类型重度掺杂的接触区 42；

步骤 S7：在发射区 41 和接触区 42 的表面沉积第一金属层 5，导电材料 32 从顶部的第一金属层 5 引出形成栅电极 G，发射区 41 和接触区 42 共同从第一金属层 5 引出形成发射极 E；

步骤 S8：在漂移区 1 的背面进行减薄，并通过离子深层注入和/或扩散的方式形成第一导电类型掺杂的缓冲层 6；

步骤 S9：在缓冲层 6 的表面进行第一导电类型离子浅层注入，形成第一导电类型重度掺杂的阴极区 72；

步骤 S10：在缓冲层 6 的表面进行第二导电类型离子浅层注入，形成第二导电类型重度掺杂的集电区 71，且集电区 71 与阴极区 72 交错分布；

步骤 S11：在集电区 71 与阴极区 72 的表面沉积第二金属层 8，集电区 71 和阴极区 72 共同从第二金属层 8 引出形成集电极 C。

在一些实施例中，在沉积第一金属层 5 之前，还包括在多个沟槽 3 的顶部形成的氧化层 50。氧化层 50 可以设置有接触过孔，以使沟槽 3 的导电材料 32 通过接触过孔与第一金属层 5 连接形成栅电极 G。另外，氧化层 50 还覆盖发射区 41 和接触区 42，发射区 41 和接触区 42 通过接触过孔与第一金属层 5 连接形成发射极 E。

在一些实施例中，在形成基区 2 之前，还包括在漂移区 1 的表面通过离子深层注入和/或扩散的方式形成第一导电类型掺杂的载流子储存层 30，且沟槽 3 贯穿载流子储存层 30。载流子储存层 30 的作用是为了减小在二极管工作状态下的空穴注入效率，同时增加在 IGBT 工作状态下的发射极载流子浓度，从而减小导通压降。

在一些实施例中，干法刻蚀的气体为八氟环戊烯、四氟化碳和三氟甲烷中的任一者。刻蚀气体对  $\text{SiO}_2/\text{Si}$  的高选择性有助于形成凹槽 33，为了优化刻蚀性能，如蚀刻速率、 $\text{SiO}_2/\text{Si}$  选择性和刻蚀轮廓控制，应保证  $\text{SiO}_2/\text{Si}$  的高选择性气体不会影响 IGBT

区域；在二极管经历反向恢复时，利用该凹槽 33 提升器件整体的二极管反向恢复性能，降低反向恢复损耗。

需要指出的是，根据以上制备方法，本公开实施例的 RC-IGBT 器件相对于相关技术的 RC-IGBT 器件而言，并不需要额外的光刻版，即并不会增加制造成本。

根据本公开实施例提供的逆导型绝缘栅双极晶体管的制备方法，通过在位于虚拟元胞区 22 内的沟槽 3 的绝缘介质层 31 设置有凹槽 33，可以在不显著增加工艺和成本的基础上，在虚拟元胞区 22 内的沟槽 3 的绝缘介质层 31 刻蚀形成凹槽 33，减小了附近的电子空穴浓度，从而降低载流子注入效率，优化 RC-IGBT 的反向恢复性能，降低二极管的关断损耗。

应当指出，在说明书中提到的“一个实施例”、“实施例”、“示例性实施例”、“一些实施例”等表示所述的实施例可以包括特定特征、结构或特性，但未必每个实施例都包括该特定特征、结构或特性。此外，这样的短语未必是指同一实施例。此外，在结合实施例描述特定特征、结构或特性时，结合明确或未明确描述的其他实施例实现这样的特征、结构或特性处于本领域技术人员知识范围之内。

应当容易地理解，应当按照最宽的方式解释本公开中的“在……上”、“在……以上”和“在……之上”，以使得“在……上”不仅意味着“直接处于某物上”，还包括“在某物上”且其间具有中间特征或层的含义，并且“在……以上”或者“在……之上”不仅包括“在某物以上”或“之上”的含义，还可以包括“在某物以上”或“之上”且其间没有中间特征或层（即，直接处于某物上）的含义。

需要说明的是，在本文中，诸如“第一”和“第二”等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

# 权利要求书

1. 一种逆导型绝缘栅双极晶体管，包括：

第一导电类型掺杂的漂移区；

在所述漂移区的表面形成有第二导电类型掺杂的基区，所述基区包括交错分布的有源区和虚拟元胞区；

从所述漂移区的表面延伸入所述漂移区且平行排列的多个沟槽，所述沟槽贯穿所述基区且底部与所述漂移区接触，所述沟槽内设置有绝缘介质层和由所述绝缘介质层包围的导电材料，所述导电材料从顶部的第一金属层引出形成栅电极；

在所述基区的所述有源区的表面形成有第一导电类型重度掺杂的发射区和第二导电类型重度掺杂的接触区，所述发射区的第一侧面与对应的所述沟槽的侧面毗连，所述发射区的第二侧面与所述接触区毗连，所述发射区和所述接触区共同从所述第一金属层引出发射极；

在所述漂移区的背面形成有第一导电类型掺杂的缓冲层；

在所述缓冲层的表面形成有交错分布的第二导电类型重度掺杂的集电区和第一导电类型重度掺杂的阴极区，所述集电区和所述阴极区共同从第二金属层引出形成集电极；

由所述有源区对应的所述发射区、所述接触区及其毗连的所述基区、所述漂移区和所述集电区组成 IGBT 单元；

所述虚拟元胞区作为晶体管阳极区，由所述晶体管阳极区对应的所述基区及其毗连的所述接触区、所述漂移区和所述阴极区组成反向恢复晶体管单元；

其中，位于所述虚拟元胞区内的所述沟槽的所述绝缘介质层设置有凹槽。

2. 根据权利要求 1 所述的逆导型绝缘栅双极晶体管，其中，所述凹槽的深度为  $0.8\mu\text{m}\pm 0.1\mu\text{m}$ 。

3. 根据权利要求 1 所述的逆导型绝缘栅双极晶体管，其中，所述第一金属层与所述多个沟槽的顶部之间还形成有氧化层。

4. 根据权利要求 1 所述的逆导型绝缘栅双极晶体管，其中，还包括位于所述漂移区与所述基区之间的载流子储存层，所述载流子储存层与相邻的所述沟槽的侧面毗连。

5. 根据权利要求 1 所述的逆导型绝缘栅双极晶体管，其中，所述绝缘介质层的材质为二氧化硅，所述导电材料的材质为多晶硅。

6. 根据权利要求 1 所述的逆导型绝缘栅双极晶体管，其中，所述第一导电类型和所述第二导电类型中的任一者为 n 型，所述第一导电类型和所述第二导电类型中的另一者为 p 型。

7. 一种如权利要求 1 至 6 任一项所述的逆导型绝缘栅双极晶体管的制备方法，其中，包括：

形成第一导电类型掺杂的漂移区；

在所述漂移区的上表面通过离子注入和/或扩散的方式形成第二导电类型掺杂的基区，所述基区包括交错分布的有源区和虚拟元胞区；

在所述漂移区的上表面刻蚀平行排列的多个沟槽，所述沟槽贯穿所述基区且底部与所述漂移区接触；

在所述沟槽的内壁形成绝缘介质层，并在所述沟槽内填充导电材料；

在位于所述虚拟元胞区内的所述沟槽的所述绝缘介质层通过干法刻蚀形成凹槽；

在所述基区的所述有源区的上表面通过离子注入和/或扩散的方式形成第一导电类型重度掺杂的发射区和第二导电类型重度掺杂的接触区；

在所述发射区和所述接触区的表面沉积第一金属层，所述导电材料的顶部从所述第一金属层引出形成栅电极，所述发射区和所述接触区共同从所述第一金属层引出形成发射极；

在所述漂移区的背面进行减薄，并通过离子深层注入和/或扩散的方式形成第一导电类型掺杂的缓冲层；

在所述缓冲层的表面进行第一导电类型离子浅层注入，形成第一导电类型重度掺杂的阴极区；

在所述缓冲层的表面进行第二导电类型离子浅层注入，形成第二导电类型重度掺杂的集电区，且所述集电区与所述阴极区交错分布；

在所述集电区与所述阴极区的表面沉积第二金属层，所述集电区和所述阴极区共同从所述第二金属层引出形成集电极。

8. 根据权利要求 7 所述的制备方法，其中，在沉积所述第一金属层之前，还包括在所述多个沟槽的顶部形成的氧化层。

9. 根据权利要求 7 所述的制备方法，其中，在形成所述基区之前，还包括在所述

漂移区的表面通过离子深层注入和/或扩散的方式形成第一导电类型掺杂的载流子储存层，且所述沟槽贯穿所述载流子储存层。

10. 根据权利要求 7 所述的制备方法，其中，所述干法刻蚀的气体为八氟环戊烯、四氟化碳和三氟甲烷中的任一者。

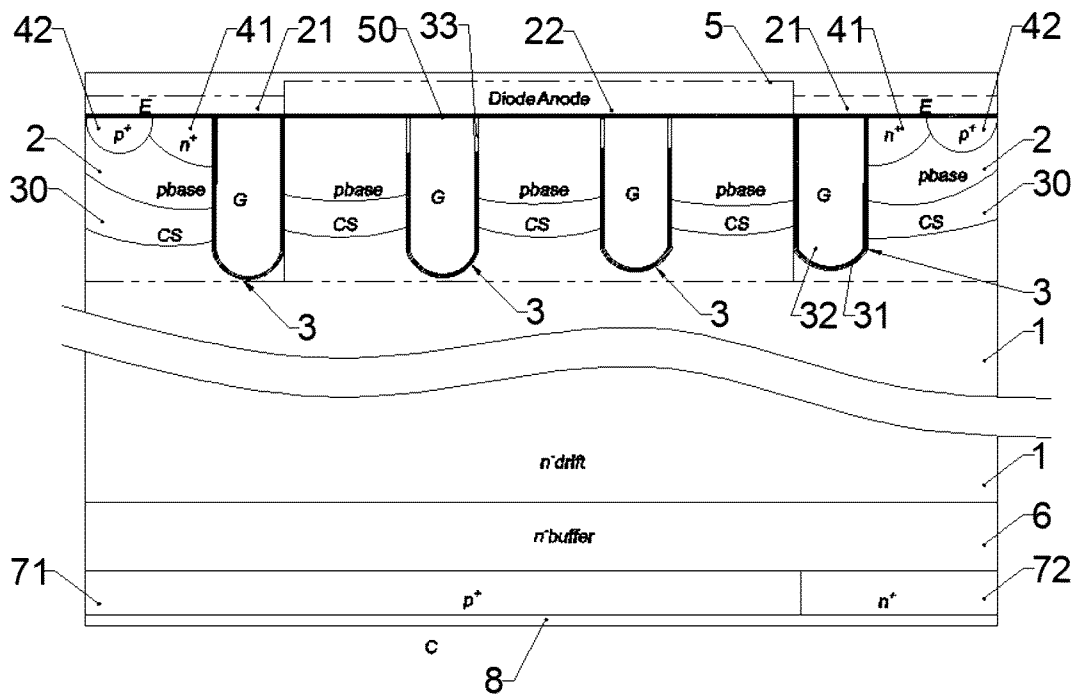


图 1

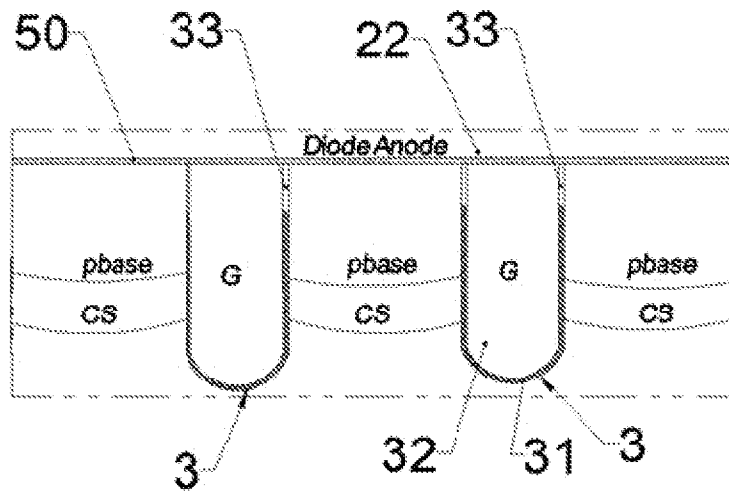


图 2

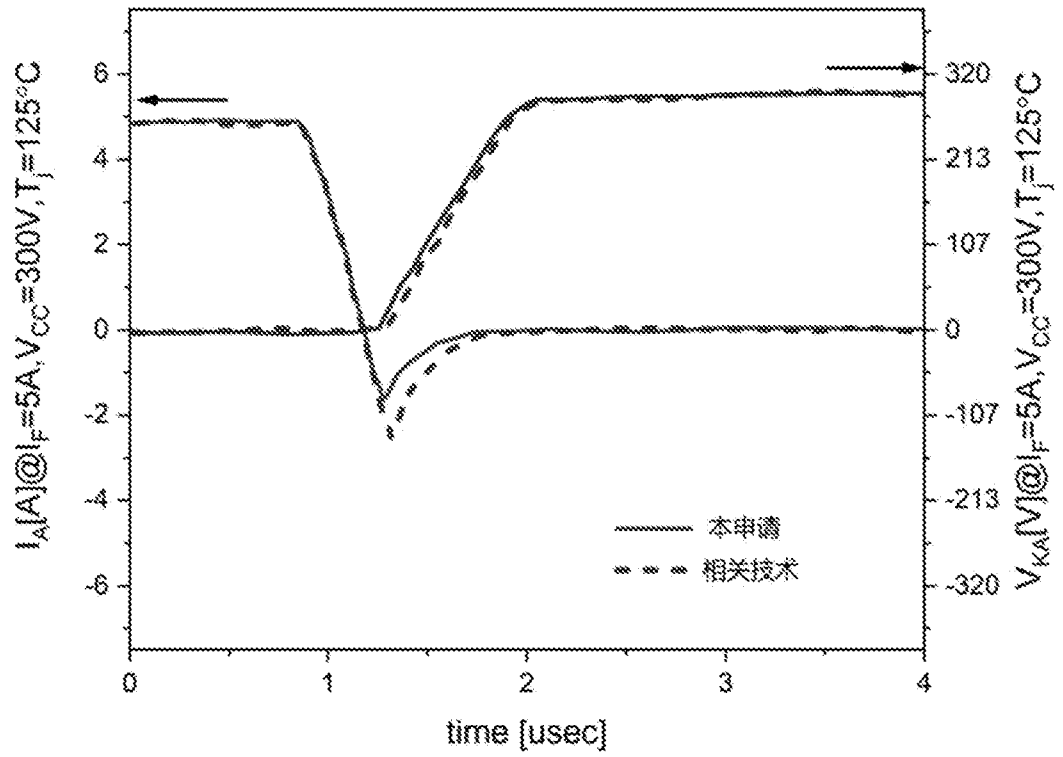


图 3

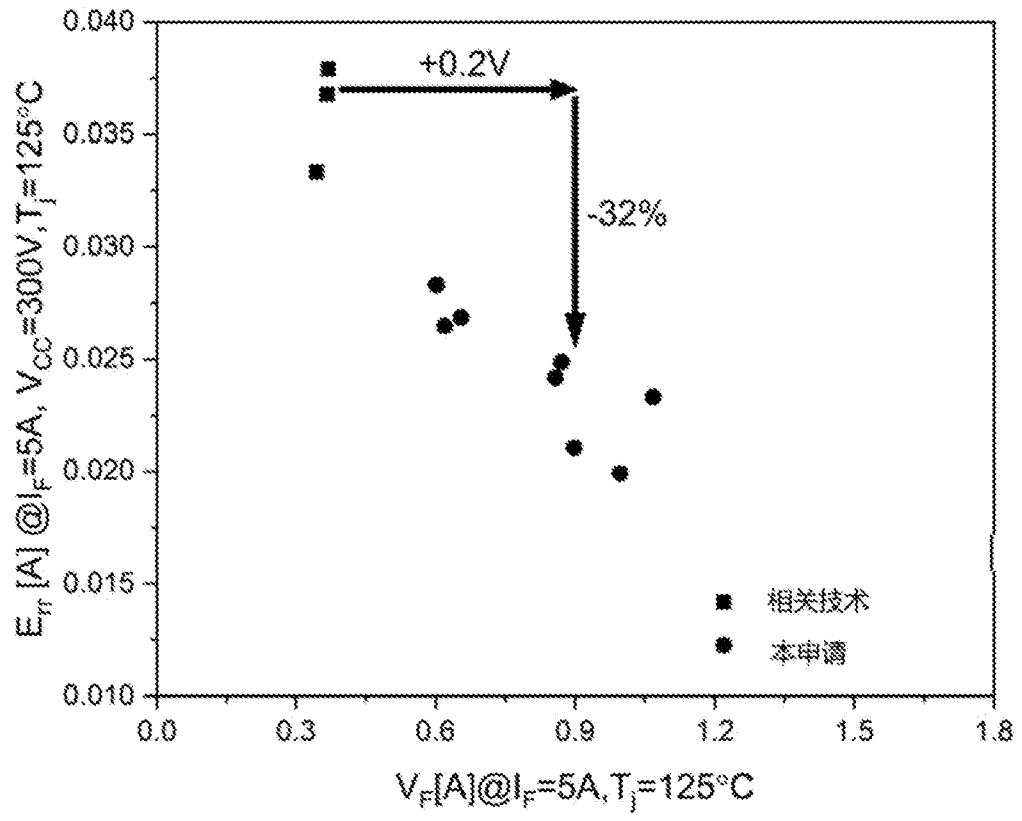


图 4

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/129176

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L29/423(2006.01)i; H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXTC, DWPI, ENTXT, VEN: 凹, 槽, 沟, 孔, 口, 逆向, 反向, 虚, 假, 厧, 元胞, dummy, IGBT, RC, reverse conduct, insulated gate bipolar transistor

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116230752 A (ZHUHAI GREE ELECTRIC APPLIANCES INC.) 06 June 2023 (2023-06-06) entire document	1-10
A	CN 115440801 A (INFINEON TECHNOLOGIES AG) 06 December 2022 (2022-12-06) description, paragraphs 26-123, and figures 8-9	1-10
A	CN 106449741 A (CHANGZHOU ZHONGMING SEMICONDUCTOR TECHNOLOGY CO., LTD.) 22 February 2017 (2017-02-22) entire document	1-10
A	CN 109860284 A (HONSON TECHNOLOGIES LIMITED) 07 June 2019 (2019-06-07) entire document	1-10
A	CN 110459597 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 15 November 2019 (2019-11-15) entire document	1-10
A	JP 2017108097 A (SUGAWARA YOSHITAKA) 15 June 2017 (2017-06-15) entire document	1-10

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 January 2024

Date of mailing of the international search report

20 January 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/  
CN)  
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,  
Beijing 100088

Authorized officer

Telephone No.



**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2023/129176**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116230752	A	06 June 2023	None			
CN	115440801	A	06 December 2022	DE	102021114434	A1	08 December 2022
				US	2022392892	A1	08 December 2022
CN	106449741	A	22 February 2017	CN	106449741	B	05 April 2019
CN	109860284	A	07 June 2019	CN	109860284	B	03 June 2022
CN	110459597	A	15 November 2019	CN	110459597	B	07 February 2023
JP	2017108097	A	15 June 2017	JP	6557925	B2	14 August 2019
US	2021384189	A1	09 December 2021	DE	102021110549	A1	09 December 2021
				JP	2021190639	A	13 December 2021
				JP	7390984	B2	04 December 2023
				US	11569225	B2	31 January 2023
				CN	113764520	A	07 December 2021

<p>A. 主题的分类</p> <p>H01L29/423(2006.01)i; H01L29/739(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																										
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>IPC:H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNTEXT,ENTXTC,DWPI,ENTXT,VEN:凹,槽,沟,孔,口,逆向,反向,虚,假,膜,元胞,dummy,LGBT,RC,reverse conduct,insulated gate bipolar transistor</p>																										
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 116230752 A (珠海格力电器股份有限公司) 2023年6月6日 (2023 - 06 - 06) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 115440801 A (英飞凌科技股份有限公司) 2022年12月6日 (2022 - 12 - 06) 说明书第26-123段, 附图8-9</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 106449741 A (常州中明半导体技术有限公司) 2017年2月22日 (2017 - 02 - 22) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 109860284 A (中山汉臣电子科技有限公司) 2019年6月7日 (2019 - 06 - 07) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 110459597 A (电子科技大学) 2019年11月15日 (2019 - 11 - 15) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2017108097 A (SUGAWARA YOSHITAKA) 2017年6月15日 (2017 - 06 - 15) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2021384189 A1 (MITSUBISHI ELECTRIC CORP) 2021年12月9日 (2021 - 12 - 09) 全文</td> <td>1-10</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:          “A” 认为不特别相关的表示了现有技术一般状态的文件          “D” 申请人在国际申请中引证的文件          “E” 在国际申请日的当天或之后公布的在先申请或专利          “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)          “O” 涉及口头公开、使用、展览或其他方式公开的文件          “P” 公布日先于国际申请日但迟于所要求的优先权日的文件          “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件          “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性          “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性          “&amp;” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 116230752 A (珠海格力电器股份有限公司) 2023年6月6日 (2023 - 06 - 06) 全文	1-10	A	CN 115440801 A (英飞凌科技股份有限公司) 2022年12月6日 (2022 - 12 - 06) 说明书第26-123段, 附图8-9	1-10	A	CN 106449741 A (常州中明半导体技术有限公司) 2017年2月22日 (2017 - 02 - 22) 全文	1-10	A	CN 109860284 A (中山汉臣电子科技有限公司) 2019年6月7日 (2019 - 06 - 07) 全文	1-10	A	CN 110459597 A (电子科技大学) 2019年11月15日 (2019 - 11 - 15) 全文	1-10	A	JP 2017108097 A (SUGAWARA YOSHITAKA) 2017年6月15日 (2017 - 06 - 15) 全文	1-10	A	US 2021384189 A1 (MITSUBISHI ELECTRIC CORP) 2021年12月9日 (2021 - 12 - 09) 全文	1-10
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
PX	CN 116230752 A (珠海格力电器股份有限公司) 2023年6月6日 (2023 - 06 - 06) 全文	1-10																								
A	CN 115440801 A (英飞凌科技股份有限公司) 2022年12月6日 (2022 - 12 - 06) 说明书第26-123段, 附图8-9	1-10																								
A	CN 106449741 A (常州中明半导体技术有限公司) 2017年2月22日 (2017 - 02 - 22) 全文	1-10																								
A	CN 109860284 A (中山汉臣电子科技有限公司) 2019年6月7日 (2019 - 06 - 07) 全文	1-10																								
A	CN 110459597 A (电子科技大学) 2019年11月15日 (2019 - 11 - 15) 全文	1-10																								
A	JP 2017108097 A (SUGAWARA YOSHITAKA) 2017年6月15日 (2017 - 06 - 15) 全文	1-10																								
A	US 2021384189 A1 (MITSUBISHI ELECTRIC CORP) 2021年12月9日 (2021 - 12 - 09) 全文	1-10																								
<p>国际检索实际完成的日期</p> <p>2024年1月5日</p>	<p>国际检索报告邮寄日期</p> <p>2024年1月20日</p>																									
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088</p>	<p>授权官员</p> <p>黄宇</p> <p>电话号码 (+86) 027-59371836</p>																									

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2023/129176

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	116230752	A	2023年6月6日	无			
CN	115440801	A	2022年12月6日	DE	102021114434	A1	2022年12月8日
				US	2022392892	A1	2022年12月8日
CN	106449741	A	2017年2月22日	CN	106449741	B	2019年4月5日
CN	109860284	A	2019年6月7日	CN	109860284	B	2022年6月3日
CN	110459597	A	2019年11月15日	CN	110459597	B	2023年2月7日
JP	2017108097	A	2017年6月15日	JP	6557925	B2	2019年8月14日
US	2021384189	A1	2021年12月9日	DE	102021110549	A1	2021年12月9日
				JP	2021190639	A	2021年12月13日
				JP	7390984	B2	2023年12月4日
				US	11569225	B2	2023年1月31日
				CN	113764520	A	2021年12月7日