【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成17年10月6日(2005.10.6)

【公開番号】特開2003-348038(P2003-348038A)
【公開日】平成15年12月5日(2003.12.5)
【出願番号】特願2002-149127(P2002-149127)
【国際特許分類第７版】
　Ｈ０４Ｊ　3/00
　Ｈ０４Ｊ　3/08
　Ｈ０４Ｌ　12/42
【ＦＩ】
　Ｈ０４Ｊ　3/00　U
　Ｈ０４Ｊ　3/08　B
　Ｈ０４Ｌ　12/42　Z

【手続補正書】
【提出日】平成17年5月17日(2005.5.17)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　複数のタイムスロットが多重される多重信号を伝送する高速回線に接続される高速側インタフェース部と、
　前記多重信号より多重度の低い低次群信号を伝送する複数の低速回線にそれぞれ接続される複数の低速側インタフェース部と、
　それぞれ前記高速側インタフェース部と前記複数の低速側インタフェース部との間で信号のアドドロップ処理を行なうＮ＋Ｍ個（Ｎは２以上の自然数、ＭはＮより小さい自然数）のスイッチ部と、
　これらのスイッチ部のうちＮ個をサービス系として動作させ、残りのＭ個のスイッチ部を前記サービス系スイッチ部のプロテクション系として待機させ、いずれかのサービス系スイッチ部に障害が発生した場合にはいずれかのプロテクション系スイッチ部をその代替として切り替え動作させるスイッチ部制御手段とを具備し、
　　前記高速側インタフェース部は、
　前記多重信号に多重されるタイムスロットを分離して前記Ｎ個のサービス系スイッチ部に分配する高速側分配手段と、
　前記Ｎ個のサービス系スイッチ部においてアッドされるタイムスロットを連結して前記多重信号を生成し、この多重信号を前記高速回線に送出する高速側連結手段とを備え、
　　前記複数の低速側インタフェース部のそれぞれは、
　前記Ｎ個のサービス系スイッチ部からドロップされるタイムスロットを連結して前記低次群信号を生成し、この低次群信号を前記低速回線に送出する低速側連結手段と、
　前記低次群信号のタイムスロットを分離して前記Ｎ個のサービス系スイッチ部に分配する低速側分配手段とを備えることを特徴とするノード装置。
【請求項２】
　前記スイッチ部制御手段は、前記サービス系およびプロテクション系のスイッチ部のスイッチング状態を全て同じに設定することを特徴とする請求項１に記載のノード装置。
【請求項３】

前記複数の低速側インタフェース部の少なくとも一つは、他の低速側インタフェース部に収容されるサービストラフィックと異なる副トラフィックを収容することを特徴とする請求項２に記載のノード装置。

【請求項４】

複数のタイムスロットが多重される多重信号を伝送する高速回線に接続される高速側インタフェース部と、前記多重信号より多重度の低い低次群信号を伝送する複数の低速回線にそれぞれ接続される複数の低速側インタフェース部とを備えるノード装置の冗長設計方法であって、

それぞれ前記高速側インタフェース部と前記複数の低速側インタフェース部との間で信号のアドドロップ処理を行なうスイッチ部をＮ＋Ｍ個（Ｎは２以上の自然数、ＭはＮより小さい自然数）備えて冗長構成をなし、これらのスイッチ部のうちＮ個をサービス系として動作させ、当該サービス系のスイッチ部に、前記高速側および低速側インタフェース部に収容される信号のタイムスロットを分離して分配供給するようにしたことを特徴とする冗長設計方法。

【請求項５】

前記Ｎ＋Ｍ個のスイッチ部のスイッチング状態を全て同じに設定することを特徴とする請求項４に記載の冗長設計方法。

【請求項６】

前記複数の低速側インタフェース部の少なくとも一つに、他の低速側インタフェース部に収容されるサービストラフィックと異なる副トラフィックを収容することを特徴とする請求項５に記載の冗長設計方法。