【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成17年10月6日(2005.10.6)

【公開番号】特開2000-30494(P2000-30494A)
【公開日】平成12年1月28日(2000.1.28)
【出願番号】特願平10-195409
【国際特許分類第７版】
　Ｇ１１Ｃ　29/00
　Ｇ０１Ｒ　31/28
【ＦＩ】
　Ｇ１１Ｃ　29/00　　６７１Ｆ
　Ｇ０１Ｒ　31/28　　Ｂ

【手続補正書】
【提出日】平成17年5月11日(2005.5.11)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】０００７
【補正方法】変更
【補正の内容】
　　【０００７】
　【課題を解決するための手段】
　この発明による半導体記憶装置は、行列状に配列された複数のメモリセルからなるセルアレイと、
　上記セルアレイの行の選択信号線となる複数のサブワード線と、
　上記複数のワード線の選択信号線となる複数のメインワード線と、
　アドレス信号をデコードして上記メインワード線の行選択信号と上記サブワード線の行選択信号を発生するロウデコーダと、
　バーンイン状態においてバーンイン用ストレス電圧を上記メインワード線の線間へ印加する電圧印加回路とを備えたことを特徴とするものである。