



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0083449
(43) 공개일자 2020년07월08일

- (51) 국제특허분류(Int. Cl.)
H02M 7/00 (2006.01) H02M 7/5387 (2007.01)
H02M 7/797 (2006.01)
- (52) CPC특허분류
H02M 7/003 (2013.01)
H02M 7/5387 (2013.01)
- (21) 출원번호 10-2020-7009758
- (22) 출원일자(국제) 2018년10월02일
심사청구일자 없음
- (85) 번역문제출일자 2020년04월03일
- (86) 국제출원번호 PCT/JP2018/036912
- (87) 국제공개번호 WO 2019/087655
국제공개일자 2019년05월09일
- (30) 우선권주장
JP-P-2017-212184 2017년11월01일 일본(JP)

- (71) 출원인
고오슈우하네쓰렌 가부시기가이샤
일본국 도쿄도 시나가와쿠 히가시고탄다 2초메 1
7반 1고
- (72) 발명자
카나이 타카히코
일본, 도쿄 1418639, 시나가와-쿠, 히가시-고탄다
2-초메, 17-1 씨/오 네쓰렌., 리미티드.,
요시다 하루키
일본, 도쿄 1418639, 시나가와-쿠, 히가시-고탄다
2-초메, 17-1 씨/오 네쓰렌., 리미티드.,
- (74) 대리인
허용록

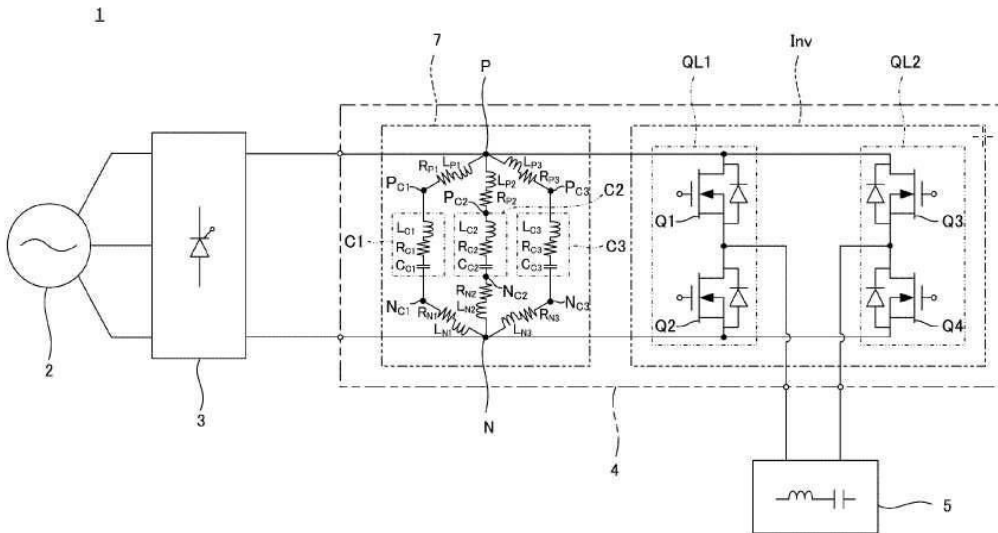
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 평활 회로, 인버터, 및 전원 공급 장치

(57) 요약

전원 공급 장치의 인버터는 평활 회로를 포함한다. 평활 회로는 양극 측 출력 단자 및 음극 측 출력 단자를 포함하는 회로 본체, 및 회로 본체 상에 실장되고 양극 측 출력 단자와 음극 측 출력 단자 사이에 병렬로 연결되는 복수의 커패시터들을 포함한다. 각각의 커패시터들에 대한 양극-음극 전기 경로 길이들($ln_{Pi} = ln_{Pi} + ln_{Ni}$)($i = 1, 2,$ 및 3) 중에서 최대 값과 최소 값 사이의 차이는 최소 값의 30% 이하이다.

대표도



(52) CPC특허분류
H02M 7/797 (2013.01)

명세서

청구범위

청구항 1

평활 회로로서,

양극 측 출력 단자 및 음극 측 출력 단자를 갖는 플레이트 형상의 회로 본체; 및

상기 회로 본체에 실장되고 상기 양극 측 출력 단자와 상기 음극 측 출력 단자 사이에 병렬로 서로 연결되는 복수의 커패시터들 - 각각의 커패시터는 양극 단자 및 음극 단자를 가짐-을 포함하며,

상기 회로 본체는 각각의 커패시터에 대해, 상기 커패시터의 상기 양극 단자 및 상기 양극 측 출력 단자를 서로 연결하는 양극 전기 경로 그리고 상기 커패시터의 상기 음극 단자 및 상기 음극 측 출력 단자를 서로 연결하는 음극 전기 경로를 포함하고,

상기 양극 전기 경로의 길이 및 상기 음극 전기 경로의 길이의 합은 각각의 커패시터에 대한 양극-음극 전기 경로 길이로서 정의되며, 상기 양극-음극 전기 경로 길이들 중에서 최대 양극-음극 전기 경로 길이와 최소 양극-음극 전기 경로 길이 사이의 차이는 상기 최소 양극-음극 전기 경로 길이의 30% 이하인, 평활 회로.

청구항 2

제1항에 있어서,

상기 회로 본체는:

상기 각각의 커패시터들에 대해 상기 양극 전기 경로들을 제공하는 양극 솔리드 패턴; 및

상기 각각의 커패시터들에 대해 상기 음극 전기 경로들을 제공하는 음극 솔리드 패턴; 및

상기 양극 솔리드 패턴과 상기 음극 솔리드 패턴 사이에 개재되는 절연층을 포함하며,

상기 양극 측 출력 단자와 상기 음극 측 출력 단자 사이의 중점이 기점으로서 정의되고 상기 기점에서 상기 양극 단자와 상기 음극 단자 사이의 중점까지의 거리가 각각의 커패시터에 대한 커패시터까지의 거리로서 정의될 때, 상기 각각의 커패시터들까지의 거리들 중에서 최대 거리와 최소 거리 사이의 차이는 상기 최소 거리의 30% 이하인, 평활 회로.

청구항 3

제2항에 있어서,

각각의 커패시터의 상기 양극 단자와 상기 음극 단자 사이의 상기 중점은 상기 기점을 중심으로하는 원 상에 배열되는, 평활 회로.

청구항 4

제3항에 있어서,

각각의 커패시터의 상기 양극 단자 및 상기 음극 단자는 상기 기점을 중심으로 하는 다른 원 상에 배열되는, 평활 회로.

청구항 5

제3항에 있어서,

상기 복수의 커패시터들의 상기 양극 단자들은 상기 기점을 중심으로 하는 제1 원 상에 배열되고,

상기 복수의 커패시터들의 상기 음극 단자들은 상기 기점을 중심으로 하는 제2 원 - 상기 제2 원은 상기 제1 원과 상이함 - 상에 배열되는, 평활 회로.

청구항 6

인버터로서,

제1항 내지 제5항 중 어느 한 항에 따른 평활 회로; 및

상기 평활 회로의 상기 양극 측 출력 단자 및 상기 음극 측 출력 단자에 연결되고, 상기 평활 회로로부터 공급되는 DC 전력을 AC 전력으로 변환하도록 구성되는 인버터 회로를 포함하는, 인버터.

청구항 7

전원 공급 장치로서,

제6항에 따른 인버터; 및

AC 전원으로부터 공급되는 AC 전력을 DC 전력으로 변환하고 상기 DC 전력을 상기 인버터의 상기 평활 회로에 공급하도록 구성되는 컨버터를 포함하는, 전원 공급 장치.

발명의 설명

기술 분야

[0001] [0001]

[0002] 본 발명은 평활 회로, 인버터, 및 전원 공급 장치에 관한 것이다.

배경 기술

[0003] [0002]

[0004] 유도 가열을 위해 사용되는 가열 코일에 인가되는 AC 전력은 일반적으로 상용 전원의 AC 전력을 컨버터를 통해 DC 전력으로 변환하고 변환된 DC 전력을 인버터를 통해 원하는 주파수의 AC 전력으로 역 변환하는 과정을 통해 생성된다. 인버터는 복수의 전력 반도체 디바이스들을 포함하고, DC 전력으로부터 AC 전력으로의 역 변환은 복수의 전력 반도체 디바이스들의 스위칭 동작들에 의해 수행된다.

[0005] [0003]

[0006] 전압 유형의 인버터에서, 커패시터를 통해 평활화되는 DC 전력이 전력 반도체 디바이스들에 공급된다. 제1 관련 기술의 전력 변환 장치는 제1 평활 커패시터 및 제1 평활 커패시터보다 더 작은 커패시턴스 및 고주파 임피던스를 갖고 제1 평활 커패시터보다 반도체 스위칭 요소에 더 인접하여 배치되는 제2 평활 커패시터를 포함한다 (예를 들어 JP2004-254355A 참고). 제2 관련 기술의 전원 공급 장치는 전력 반도체 디바이스에 인접하여 배열되는 복수의 커패시터들을 포함하고, 복수의 커패시터들은 서로 병렬로 연결된다(예를 들어, JP2017-004593A 참고).

[0007] [0004]

[0008] 전력 반도체 디바이스의 고속 스위칭 동작은 전력 반도체 디바이스를 통해 흐르는 전류를 급격하게 변화시키고, 전류 변화(di/dt)는 전력 반도체 디바이스와 전압 소스의 역할을 하는 커패시터 사이의 전기 경로의 인덕턴스 또는 커패시터의 내부 인덕턴스와 같은 인덕턴스(L)를 통해 전력 반도체 디바이스에 걸쳐 서지 전압(L×di/dt)을 생성한다. 과도 서지 전압은 전력 반도체 디바이스를 파괴할 수 있고, 따라서 방지될 필요가 있다. 전류 변화(di/dt)가 주로 전력 반도체 디바이스의 특성에 의해 결정되므로, 서지 전압은 인덕턴스(L)를 감소시킴으로써 방지될 수 있다.

[0009] [0005]

[0010] 인덕턴스(L)를 감소시키기 위한 방법으로서, 제1 관련 기술의 전력 변환 장치에서와 같이, 예를 들어, 커패시터는 전력 반도체 디바이스에 인접하여 배치될 수 있다. 따라서, 전력 반도체 디바이스와 커패시터 사이의 전기 경로의 인덕턴스는 감소될 수 있다.

[0011] [0006]

[0012] 인덕턴스(L)를 감소시키기 위한 다른 방법으로서, 제2 관련 기술의 전원 공급 장치에서와 같이, 복수의 커패시

터들은 전력 반도체 디바이스에 인접하여 배열되고, 서로 병렬로 연결될 있다. 따라서, 복수의 커패시터들의 결합된 내부 인덕턴스에 대응하는 등가 인덕턴스는 감소될 수 있고, 더 작은 커패시터들이 전력 반도체 디바이스에 근접하여 배치될 수 있다.

[0013] [0007]

[0014] 서로 병렬로 연결되는 복수의 커패시터들을 효과적으로 사용하기 위해, 커패시터들 각각을 통해 흐르는 전류의 변화(variation)를 억제할 필요가 있다. 그것은 상대적으로 많은 양의 전류가 흐르는 커패시터가 그것으로부터 생성되는 열에 의해 파괴될 가능성이 있기 때문이다. 더욱이, 변화가 서로 병렬로 연결되는 커패시터들 각각을 통해 흐르는 전류에서 발생할 때, 상대적으로 큰 양의 전류가 흐르는 커패시터의 내부 인덕턴스는 복수의 커패시터들의 결합된 내부 인덕턴스에서 지배적이 된다. 그 결과, 복수의 커패시터들의 결합된 내부 인덕턴스에 대응하는 등가 인덕턴스는 충분히 감소되지 않고, 서지 전압에 대한 방지 효과는 저하될 수 있다.

발명의 내용

해결하려는 과제

[0015] [0008]

[0016] 본 발명의 예시적 양태들은 서지 전압이 인버터에서 발생하는 것을 억제하고, 전류를 전압 형 전원(power supply)의 평활 회로에 제공되는 복수의 커패시터들에 균일하게 분배하여, 그것에 의해 각각의 커패시터들에서 생성되는 열로 인한 손상을 방지할 수 있는 평활 회로를 제공한다.

과제의 해결 수단

[0017] [0009]

[0018] 본 발명의 예시적 양태에 따르면, 평활 회로는 양극 측 출력 단자 및 음극 측 출력 단자를 갖는 플레이트 형상의 회로 본체, 및 회로 본체에 실장되고 양극 측 출력 단자와 음극 측 출력 단자 사이에 병렬로 서로 연결되는 복수의 커패시터들을 포함하며, 각각의 커패시터는 양극 단자 및 음극 단자를 갖는다. 회로 본체는 각각의 커패시터에 대해, 커패시터의 양극(positive) 단자와 양극 측 출력 단자를 서로 연결하는 양극 전기 경로 및 커패시터의 음극(negative) 단자 및 음극 측 출력 단자를 서로 연결하는 음극 전기 경로를 포함한다. 양극 전기 경로의 길이 및 음극 전기 경로의 길이의 합은 각각의 커패시터에 대한 양극-음극 전기 경로 길이로서 정의되며, 양극-음극 전기 경로 길이들 중에서 최대 양극-음극 전기 경로 길이와 최소 양극-음극 전기 경로 길이 사이의 차이는 최소 양극-음극 전기 경로 길이의 30% 이하이다.

[0019] [0010]

[0020] 본 발명의 다른 예시적 양태들에 따르면, 평활 회로는 양극 측 출력 단자 및 음극 측 출력 단자를 갖는 플레이트 형상의 회로 본체, 및 회로 본체 상에 실장되고 양극 측 출력 단자와 음극 측 출력 단자 사이에 병렬로 서로 연결되는 복수의 커패시터들을 포함하며, 각각의 커패시터는 양극 단자 및 음극 단자를 포함한다. 회로 본체는 각각이 커패시터에 대해, 커패시터의 양극 단자 및 양극 측 출력 단자를 서로 연결하는 양극 전기 경로를 제공하는 양극 솔리드(solid) 패턴, 각각의 커패시터에 대해, 커패시터의 음극 단자 및 음극 측 출력 단자를 서로 연결하는 음극 전기 경로를 제공하는 음극 솔리드 패턴, 및 양극 솔리드 패턴과 음극 솔리드 패턴 사이에 개재되는 절연층을 포함한다. 양극 측 출력 단자와 음극 측 출력 단자 사이의 중점(middle point)은 기점(base point)으로서 정의되고 기점에서 양극 단자와 음극 단자 사이의 중점까지의 거리는 각각의 커패시터에 대한 커패시터까지의 거리로서 정의되며, 각각의 커패시터들까지의 거리들 중에서 최대 거리와 최소 거리 사이의 차이는 최소 거리의 30% 이하이다.

[0021] [0011]

[0022] 본 발명의 다른 예시적 양태에 따르면, 인버터는 상술된 평활 회로, 및 평활 회로의 양극 측 출력 단자 및 음극 측 출력 단자에 연결되고, 평활 회로로부터 공급되는 DC 전력을 AC 전력으로 변환하도록 구성되는 인버터 회로를 포함한다.

[0023] [0012]

[0024] 본 발명의 다른 예시적 양태에 따르면, 전원 공급 장치는 상술된 인버터, 및 AC 전원으로부터 공급되는 AC 전

력을 DC 전력으로 변환하여 DC 전력을 인버터의 평활 회로에 공급하도록 구성되는 컨버터를 포함한다.

발명의 효과

- [0025] [0013]
- [0026] 본 발명의 예시적 양태들은 서지 전압이 인버터에서 발생하는 것을 억제할 수 있는 평활회로를 제공할 수 있고, 또한 전력 반도체 디바이스들에 대한 개선된 보호를 갖는 인버터 및 전원 공급 장치를 제공할 수 있다.

도면의 간단한 설명

- [0027] [0014]
- 도 1은 본 발명의 일 실시예에 따른 전원 공급 장치의 일 예를 예시하는 블록도이다.
- 도 2는 도 1의 평활 회로의 구성 예를 예시하는 개략도이다.
- 도 3은 도 2의 라인 III-III을 따라 취해진, 평활 회로의 횡단면도이다.
- 도 4는 도 1의 평활 회로의 다른 구성을 예시하는 개략도이다.
- 도 5는 도 1의 평활 회로의 더 다른 구성 예를 예시하는 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] [0015]
- [0029] 도 1은 본 발명의 일 실시예에 따른 전원 공급 장치의 예를 예시한다.
- [0030] [0016]
- [0031] 전원 공급 장치(1)는 AC 전원(2)으로부터 공급되는 AC 전력을 DC 전력으로 변환하도록 구성되는 컨버터(3) 및 컨버터(3)로부터 출력되는 DC 전력을 AC 전력으로 변환하도록 구성되는 인버터(4)를 포함한다.
- [0032] [0017]
- [0033] 컨버터(3)는 예를 들어, 다이오드 브리지를 사용하여 정류를 수행하거나, 외부 신호에 기초하여 전도를 제어할 수 있는 사이리스터(thyrister)와 같은 반도체 디바이스를 사용하여 출력 전압을 가변시키기 위해 정류를 수행할 수 있다.
- [0034] [0018]
- [0035] 도 1에 예시된 바와 같이, 인버터(4)는 스위칭 동작을 수행하도록 각각 구성되는 4개의 전력 반도체 디바이스들(Q1 내지 Q4)을 갖는다. 제1 레그(leg)(QL1)는 직렬로 서로 연결되는 전력 반도체 디바이스(Q1) 및 전력 반도체 디바이스(Q2)를 포함한다. 전력 반도체 디바이스(Q1)는 상부 아암으로서 제공되고 전력 반도체 디바이스(Q2)는 하부 아암으로서 제공된다. 제2 레그(QL2)는 직렬로 서로 연결되는 전력 반도체 디바이스(Q3) 및 전력 반도체 디바이스(Q4)를 포함한다. 전력 반도체 디바이스(Q3)는 상부 아암으로서 제공되고 전력 반도체 디바이스(Q4)는 하부 아암으로서 제공된다. 제1 레그(QL1) 및 제2 레그(QL2)는 함께 인버터 회로(Inv)를 형성한다.
- [0036] [0019]
- [0037] 제1 레그(QL1)의 상부 아암(전력 반도체 디바이스(Q1)) 및 제2 레그(QL2)의 하부 아암(전력 반도체 디바이스(Q4))은 서로 동기화되어 턴 온 되고, 제1 레그(QL1)의 하부 아암(전력 반도체 디바이스(Q2)) 및 제2 레그(QL2)의 상부 아암(전력 반도체(Q3))은 서로 동기화되어 턴 온 된다. 더욱이, 제1 레그(QL1)의 상부 아암 및 제2 레그(QL2)의 하부 아암 그리고 제1 레그(QL1)의 하부 아암 및 제2 레그(QL2)의 상부 아암은 주기적으로 교대로 턴 온 된다. 따라서, AC 전력은 DC 전력으로부터 생성되고, 제1 레그(QL1) 및 제2 레그(QL2) 각각의 상부 아암 및 하부 아암 사이의 직렬 접점(contact point)으로부터 출력된다.
- [0038] [0020]
- [0039] 가열 코일을 포함하는 부하(5)는 인버터(4)의 AC 출력에 연결되고, 인버터(4)에 의해 생성되는 AC 전력은 가열 코일에 공급된다. 더욱이, 가열 타겟은 가열 코일에 의해 유도-가열된다. 가열 타겟 및 가열 목적은 특별히 제한되지 않고, 강제에 대한 열처리(예를 들어, 퀸칭(quenching))가 예시될 수 있다.

- [0040] [0021]
- [0041] 전력 반도체 디바이스는 스위칭 동작을 수행할 수 있는 다양한 유형들의 전력 반도체 디바이스들, 예컨대 절연 게이트 바이폴라 트랜지스터(insulated gate bipolar transistor: IGBT) 및 금속 산화물 반도체 전계 효과 트랜지스터(metal-oxide-semiconductor field-effect transistor; MOSFET)를 포함할 수 있고, 규소(Si) 또는 탄화 규소(SiC)는 반도체 재료로서 사용될 수 있다.
- [0042] [0022]
- [0043] 인버터 회로(Inv)는 6개의 전력 반도체 디바이스들을 사용하여 제1 내지 제3 레그들을 구성하고, 3상 AC 전력을 생성할 수 있다. 인버터(4)는 복수의 인버터 회로들(Inv)을 포함할 수 있다. 인버터(4)가 복수의 인버터 회로들(Inv)을 포함할 때, 각각의 인버터 회로들(Inv)에 의해 생성되는 AC 전력들은 결합되고, 결합된 AC 전력은 인버터(4)로부터 부하(5)에 공급된다.
- [0044] [0023]
- [0045] 인버터(4)는 평활 회로(7)를 더 포함한다. 평활 회로(7)는 컨버터(3)로부터 출력되는 리플(ripple)을 포함하는 DC 전력을 평활화하고, 평활화된 DC 전력을 인버터 회로(Inv)에 공급한다.
- [0046] [0024]
- [0047] 도 1의 예에서, 하나의 평활 회로(7)는 하나의 인버터 회로(Inv)에 제공된다. 그러나, 복수의 인버터 회로들(Inv)이 제공될 때, 하나의 평활 회로(7)는 복수의 인버터 회로들(Inv)에 제공될 수 있거나, 복수의 평활 회로들(7)은 하나의 평활 회로(7)가 하나의 인버터 회로(Inv)에 제공되도록 사용될 수 있다.
- [0048] [0025]
- [0049] 도 1의 예에서, 하나의 평활 회로(7)는 제1 및 제2 레그들(QL1, QL2)을 포함하는 인버터 회로(Inv)에 제공된다. 그러나, 2개의 평활 회로들(7)은 제1 및 제2 레그들(QL1, QL2) 각각에 제공되도록 사용될 수 있다. 인버터 회로(Inv)가 제1 내지 제3 레그들을 포함할 때, 3개의 평활 회로들(7)이 제1 내지 제3 레그들 각각에 사용 및 제공될 수 있다.
- [0050] [0026]
- [0051] 평활 회로(7)는 컨버터(3)의 DC 출력 및 인버터 회로(Inv)의 DC 입력에 병렬로 연결되는 복수의 커패시터들을 포함한다. 도 1의 예에서, 평활 회로(7)는 3개의 커패시터들(C1, C2, C3)을 포함한다. 커패시터들(C1, C2, C3)은 플레이트 형상의 회로 본체에 실장되고, 회로 본체는 인버터 회로(Inv)의 DC 입력의 양극 측에 연결되는 양극 측 출력 단자(P) 및 인버터 회로(Inv)의 DC 입력의 음극 측에 연결되는 음극 측 출력 단자(N)를 포함한다. 도 1의 예에서, 양극 측 출력 단자(P) 및 음극 측 출력 단자(N)는 또한 컨버터(3)의 DC 출력에 연결되는 입력 단자들의 역할을 하지만, 입력 단자들이 별도로 제공될 수 있다.
- [0052] [0027]
- [0053] 커패시터(C1)는 그 내에 커패시턴스 성분(C_{C1}), 저항 성분(R_{C1}) 및 인덕턴스 성분(L_{C1})을 갖는다. 더욱이, 저항 성분(R_{P1}) 및 인덕턴스 성분(L_{P1})은 커패시터(C1)의 양극 단자(P_{C1})와 회로 본체의 양극 측 출력 단자(P) 사이의 양극 전기 경로에 존재하고, 저항 성분(R_{N1}) 및 인덕턴스 성분(L_{N1})은 또한 커패시터(C1)의 음극 단자(N_{C1})와 회로 본체의 음극 측 출력 단자(N) 사이의 음극 전기 경로에 존재한다.
- [0054] [0028]
- [0055] 유사하게, 커패시터(C2)는 그 내에 커패시턴스 성분(C_{C2}), 저항 성분(R_{C2}) 및 인덕턴스 성분(L_{C2})을 가지며, 저항 성분(R_{P2}) 및 인덕턴스 성분(L_{P2})은 커패시터(C2)의 양극 단자(P_{C2})와 회로 본체의 양극 측 출력 단자(P) 사이의 양극 전기 경로에 존재하고, 저항 성분(R_{N2}) 및 인덕턴스 성분(L_{N2})은 커패시터(C2)의 음극 단자(N_{C2})와 회로 본체의 음극 측 출력 단자(N) 사이의 음극 전기 경로에 존재한다.
- [0056] [0029]
- [0057] 더욱이, 커패시터(C3)는 또한 그 내에 커패시턴스 성분(C_{C3}), 저항 성분(R_{C3}) 및 인덕턴스 성분(L_{C3})을 가지며,

저항 성분(R_{P3}) 및 인덕턴스 성분(L_{P3})은 커패시터($C3$)의 양극 단자(P_{C3})와 회로 본체의 양극 측 출력 단자(P) 사이의 양극 전기 경로에 존재하고, 저항 성분(R_{N3}) 및 인덕턴스 성분(L_{N3})은 커패시터($C3$)의 음극 단자(N_{C3})와 회로 본체의 음극 측 출력 단자(N) 사이의 음극 전기 경로에 존재한다.

[0058] [0030]

[0059] 여기서, 커패시터들($C1, C2, C3$)을 통해 흐르는 전류는 양극 측 출력 단자(P)와 음극 측 출력 단자(N) 사이의 임피던스에 관련되고, 각각의 커패시터들에 대응하는 고주파 임피던스들(Z_i)($i = 1, 2, \text{ 및 } 3$)은 다음 방정식들에 의해 표현된다.

[0060] [0031]

[0061]
$$Z_i = \sqrt{(R_i)^2 + (\omega L_i)^2}$$

[0062] [0032]

[0063]
$$R_i = R_{C_i} + R_{P_i} + R_{N_i}$$

[0064] [0033]

[0065]
$$L_i = L_{C_i} + L_{P_i} + L_{N_i}$$

[0066] [0034]

[0067] 상기 방정식에 의해 표현되는 고주파 임피던스들(Z_i)($i = 1, 2, \text{ 및 } 3$)에서의 변화는 커패시터들($C1, C2, C3$)를 통해 흐르는 전류들의 변화를 야기한다. 저항 성분(R_i)은 전형적으로 대략 $m\Omega$ 의 극히 작은 값을 갖고, 고주파 임피던스(Z_i)를 결정하는 지배적인 요소는 인덕턴스 성분(L_i)으로 고려된다. 따라서, 인덕턴스 성분들(L_i)이 균일화될 때, 고주파 임피던스들(Z_i)의 변화를 감소시키는 것이 가능하며, 그것에 의해 커패시터들($C1, C2, C3$)을 통해 흐르는 전류들의 변화를 방지한다.

[0068] [0035]

[0069] 더욱이, 커패시터들($C1, C2, C3$)를 통해 흐르는 전류들이 균일화될 때, 각각의 커패시터들의 내부 인덕턴스들(L_{C_i})을 포함하는 인덕턴스들(L_i)을 결합함으로써 획득되는, 평활 회로(7)의 전체 등가 인덕턴스(L)을 감소시키는 것이 가능하며, 그것에 의해 전력 반도체 디바이스들($Q1$ 내지 $Q4$)에 걸쳐 생성되는 서지 전압($L \times di/dt$)을 방지한다.

[0070] [0036]

[0071] 동일한 커패시터들이 커패시터들($C1, C2, C3$)로서 사용되고, 커패시터들($C1, C2, C3$)의 인덕턴스 성분들(L_{C_i})($i = 1, 2, \text{ 및 } 3$)은 서로 동일하다. 따라서, 고주파 임피던스들(Z_i)의 인덕턴스 성분들(L_i)을 균일화하기 위해, 커패시터들($C1, C2, C3$)에서 양극 전기 경로들의 인덕턴스 성분들(L_{P_i}) 및 음극 전기 경로들의 인덕턴스 성분들(L_{N_i})의 합에 대응하는 인덕턴스($L_{P_{N_i}}$)($L_{P_{N_i}} = L_{P_i} + L_{N_i}$)가 균일화될 수 있다. 이하, 각각의 커패시터들에서 양극 및 음극 전기 경로들의 인덕턴스들($L_{P_{N_i}}$)을 균일화하기 위한 평활 회로(7)의 구성이 설명될 것이다.

[0072] [0037]

[0073] 도 2 및 도 3은 평활 회로(7)의 구성 예를 예시한다.

[0074] [0038]

[0075] 도 2 및 도 3에 예시되는 회로 본체(10)는 구리 플레이트들과 같은 금속 플레이트들(12, 13)이 적층 방식으로 절연 시트(11)의 전면(front surface) 및 후면(back surface) 상에 층들로서 제공되는 소위 적층 버스 바이다. 회로 본체(10)는 적층 버스 바에 제한되지 않고, 버스 바, 파워 보드 기관 등을 포함할 수 있다.

[0076] [0039]

[0077] 절연 시트(11)의 전면 상에 층들로서 제공되는 금속 플레이트(12)는 양극 측 출력 단자(P) 및 양극 측 출력 단자(P)로부터 분기 방식으로 연장되는 3개의 스트립 형상(strip-shaped) 도체들($P-P1, P-P2, P-P3$)을 포함한다. 3개의 도체들($P-P1, P-P2, P-P3$)은 그 각각의 단부들(양극 측 출력 단자(P)의 대향 측면에서의 단부들)에

제공되고 커패시터들(C1, C2, C3) 각각의 양극 단자들(PC1, PC2, PC3)에 연결되는 단자들(P1, P2, P3)을 갖는다. 도체들(P-P1, P-P2, P-P3)은 커패시터들(C1, C2, C3)에 대한 양극 전기 경로들을 형성한다.

[0078] [0040]

[0079] 절연 시트(11)의 후면 상에 층으로서 제공되는 금속 플레이트(13)는 음극 측 출력 단자(N) 및 음극 측 출력 단자(N)로부터 분기 방식으로 연장되는 3개의 스트립 형상 도체들(N-N1, N-N2, N-N3)을 포함한다. 3개의 도체들(N-N1, N-N2, N-N3)은 그 각각의 단부들(음극 측 출력 단자(N)의 대향 측면에서의 단부들)에 제공되고 커패시터들(C1, C2, C3)의 음극 단자들(NC1 내지 NC3) 각각에 연결되는 단자들(N1, N2, N3)을 갖는다. 도체들(N-N1, N-N2, N-N3)은 커패시터들(C1, C2, C3)에 대한 음극 전기 경로들을 형성한다.

[0080] [0041]

[0081] 스트립 형상 도체들(P-P1, P-P2, P-P3, N-N1, N-N2, N-N3)은 실질적으로 동일한 폭을 갖는다.

[0082] [0042]

[0083] 도 2 및 도 3의 예에서, 양극 측 출력 단자(P)가 회로 본체(10)를 관통하는 홀을 가짐으로써, 인버터 회로(Inv)(도 1 참조)의 DC 입력의 양극 측 단자 또는 양극 측 단자에 연결되는 버스 바는 양극 측 출력 단자(P)에 나사 결합되고, 도체들(P-P1, P-P2, P-P3)의 단자들(P1, P2, P3)이 또한 회로 본체(10)를 관통하는 홀들을 가짐으로써, 커패시터들(C1, C2, C3)의 양극 단자들(PC1, PC2, PC3)은 각각의 단자들(P1, P2, P3)에 나사 결합된다. 그러나, 양극 측 출력 단자(P) 및 단자들(P1, P2, P3)은 나사(screw) 단자들에 제한되지 않는다. 유사하게, 음극 측 출력 단자(N) 및 도체들(N-N1, N-N2, N-N3)의 단자들(N1, N2, N3)은 나사 단자들에 제한되지 않는다. 더욱이, 예시되지 않았지만, 금속 플레이트들(12, 13)은 단자들(P, P1, P2, P3, N 및 N1, N2, N3)이 노출되는 반면에 절연층으로 코팅된다.

[0084] [0043]

[0085] 스트립 형상 도체(P-P1)의 길이(l_{nP1})는 커패시터(C1)에 대한 양극 전기 경로의 길이이고, 스트립 형상 도체(N-N1)의 길이(l_{nN1})는 커패시터(C1)에 대한 음극 전기 경로의 길이이고, 길이들(l_{nP1} 및 l_{nN1})의 합은 커패시터(C1)에 대한 양극-음극 전기 경로 길이(l_{nP1})로서 정의된다($l_{nP1} = l_{nP1} + l_{nN1}$). 유사하게, 스트립 형상 도체(P-P2)의 길이(l_{nP2})는 커패시터(C2)에 대한 양극 전기 경로의 길이이고, 스트립 형상 도체(N-N2)의 길이(l_{nN2})는 커패시터(C2)에 대한 음극 전기 경로의 길이이고, 길이들(l_{nP2} 및 l_{nN2})의 합은 커패시터(C2)에 대한 양극-음극 전기 경로 길이(l_{nP2})로서 정의된다($l_{nP2} = l_{nP2} + l_{nN2}$). 스트립 형상 도체(P-P3)의 길이(l_{nP3})는 커패시터(C3)에 대한 양극 전기 경로의 길이이고, 스트립 형상 도체(N-N3)의 길이(l_{nN3})는 커패시터(C3)에 대한 음극 전기 경로의 길이이고, 길이들(l_{nP3} 및 l_{nN3})의 합은 커패시터(C3)에 대한 양극-음극 전기 경로 길이(l_{nP3})로서 정의된다($l_{nP3} = l_{nP3} + l_{nN3}$).

[0086] [0044]

[0087] 스트립 형상 도체들(P-P1, P-P2, P-P3, N-N1, N-N2, N-N3)이 실질적으로 동일한 폭을 가지므로, 각각의 커패시터들(C1, C2, C3)에 대한 양극-음극 전기 경로 길이들(l_{nP1} , l_{nP2} , l_{nP3})은 커패시터들(C1, C2, C3)에 대한 양극-음극 전기 경로들의 인덕턴스들(L_{PN1} 내지 L_{PN3})에 대응한다. 따라서, 양극-음극 전기 경로 길이들(l_{nP1} , l_{nP2} , l_{nP3})이 균일화될 때, 커패시터들(C1, C2, C3)에 대한 양극-음극 전기 경로들의 인덕턴스들(L_{PN1} 내지 L_{PN3})은 균일화된다. 더욱이, 커패시터들(C1, C2, C3)에 대한 양극-음극 전기 경로들의 인덕턴스들(L_{PN1} 내지 L_{PN3})이 균일화될 때, 커패시터들(C1, C2, C3)을 통해 흐르는 전류들의 변화는 방지된다. 그 결과, 서지 전압은 커패시터들(C1, C2, C3)에서 전력 반도체 디바이스들(Q1 내지 Q4)까지의 인덕턴스들이 매우 낮으므로 방지된다.

[0088] [0045]

[0089] 커패시터들(C1, C2, C3)을 통해 흐르는 전류들의 변화를 억제하기 위해, 차이(Δl_n)는 감소될 수 있으며, 여기서, Δl_n 은 커패시터들(C1, C2, C3)에 대한 양극-음극 전기 경로 길이들(l_{nP1} , l_{nP2} , l_{nP3}) 중에서 최대 양극-

음극 전기 경로 길이($l_{n_{max}}$)와 최소 양극-음극 전기 경로 길이($l_{n_{min}}$) 사이의 차이이다($\Delta l_n = l_{n_{max}} - l_{n_{min}}$). 차이(Δl_n)는 가능한 한 작은 것이 바람직하다. 차이(Δl_n)가 복수의 커패시터들을 포함하는 관련 기술의 평활 회로들에서 $l_{n_{min}}$ 의 50% 이상인 것으로 고려하면, 차이(Δl_n)는 예를 들어, $l_{n_{min}}$ 의 30% 이하가 되도록 설계될 수 있다($\Delta l_n \leq 0.3 \times l_{n_{min}}$).

[0090] [0046]

[0091] 도 4는 평활 회로(7)의 구성의 다른 예를 예시한다.

[0092] [0047]

[0093] 도 4에 예시된 예에서, 회로 본체(20)는 상술된 회로 본체(10)와 유사한 적층 버스 바로서 구성된다. 그러나, 절연 시트의 전면 상에 층으로서 제공되고 커패시터들(C1, C2, C3)에 대한 양극 전기 경로들을 형성하는 금속 플레이트는 절연 시트의 전체 전면을 커버하는 솔리드 패턴(solid pattern)으로서 구성되고, 절연 시트의 후면 상에 층으로서 제공되고 커패시터들(C1, C2, C3)에 대한 음극 전기 경로들을 형성하는 금속 플레이트는 절연 시트의 전체 후면을 커버하는 솔리드 패턴으로서 구성된다.

[0094] [0048]

[0095] 절연 시트의 전면 상의 금속 플레이트 층은 양극 측 출력 단자(P) 및 커패시터들(C1, C2, C3)의 양극 단자들(PC1, PC2, PC3)이 연결되는 단자들(P1, P2, P3)을 포함한다. 양극 측 출력 단자(P)는 대략 회로 본체(20)의 중심에 제공되고, 단자들(P1, P2, P3)은 양극 측 출력 단자(P) 주위에 배열된다. 전류가 균일한(homogeneous) 도체의 최단 경로를 따라 흐르기 때문에, 양극 측 출력 단자(P) 및 단자(P1)를 연결하는 직선(P-P1)은 커패시터(C1)에 대한 양극 전기 경로가 된다. 유사하게, 양극 측 출력 단자(P) 및 단자(P2)를 연결하는 직선(P-P2)은 커패시터(C2)에 대한 양극 전기 경로가 되고, 양극 측 출력 단자(P) 및 단자(P3)를 연결하는 직선(P-P3)은 커패시터(C3)에 대한 양극 전기 경로가 된다.

[0096] [0049]

[0097] 절연 시트의 후면 상의 금속 플레이트 층은 음극 측 출력 단자(N) 및 커패시터들(C1, C2, C3)의 음극 단자들(N_{C1} 내지 N_{C3})이 연결되는 단자들(N1, N2, N3)을 포함한다. 음극 측 출력 단자(N)는 대략 회로 본체(20)의 중심에 제공되고 양극 측 출력 단자에 인접하여 제공된다. 단자들(N1, N2, N3)은 음극 측 출력 단자(N) 주위에 배열된다. 단자(N1)는 단자(P1)에 인접하여 제공되고, 단자(N2)는 단자(P2)에 인접하여 제공되고, 단자(N3)는 단자(P3)에 인접하여 제공된다. 양극 전기 경로와 유사하게, 음극 측 출력 단자(N) 및 단자(N1)를 연결하는 직선(N-N1)은 커패시터(C1)에 대한 음극 전기 경로가 되고, 음극 측 출력 단자(N) 및 단자(N2)를 연결하는 직선(N-N2)은 커패시터(C2)에 대한 음극 전기 경로가 되고, 음극 측 출력 단자(N) 및 단자(N3)를 연결하는 직선(N-N3)은 커패시터(C3)에 대한 음극 전기 경로가 된다.

[0098] [0050]

[0099] 직선(P-P1)의 길이(l_{nP1})는 커패시터(C1)에 대한 양극 전기 경로의 길이이고, 직선(N-N1)의 길이(l_{nN1})는 커패시터(C1)에 대한 음극 전기 경로의 길이이고, 길이들(l_{nP1} 및 l_{nN1})의 합은 커패시터(C1)에 대한 양극-음극 전기 경로 길이(l_{nPn1})로서 정의된다($l_{nPn1} = l_{nP1} + l_{nN1}$). 유사하게, 직선(P-P2)의 길이(l_{nP2})는 커패시터(C2)에 대한 양극 전기 경로의 길이이고, 직선(N-N2)의 길이(l_{nN2})는 커패시터(C2)에 대한 음극 전기 경로의 길이이고, 길이들(l_{nP2} 및 l_{nN2})의 합은 커패시터(C2)에 대한 양극-음극 전기 경로 길이(l_{nPn2})로서 정의된다($l_{nPn2} = l_{nP2} + l_{nN2}$). 직선(P-P3)의 길이(l_{nP3})는 커패시터(C3)에 대한 양극 전기 경로의 길이이고, 직선(N-N3)의 길이(l_{nN3})는 커패시터(C3)에 대한 음극 전기 경로의 길이이고, 길이들(l_{nP3} 및 l_{nN3})의 합은 커패시터(C3)에 대한 양극-음극 전기 경로 길이(l_{nPn3})로서 정의된다($l_{nPn3} = l_{nP3} + l_{nN3}$).

[0100] [0051]

[0101] 각각의 커패시터들(C1, C2, C3)에 대한 양극-음극 전기 경로 길이들(l_{nPn1} , l_{nPn2} , l_{nPn3})은 상술된 회로 본체(10)에서와 같이, 커패시터들(C1, C2, C3)에 대한 양극-음극 전기 경로들에 대한 양극-음극 전기 경로들의 인덕턴스들(L_{nPn1} 내지 L_{nPn3})에 대응한다. 따라서, 차이(Δl_n)를 $l_{n_{min}}$ 의 30% 이하로 설계함으로써 커패시터들(C1, C2,

C3)를 통해 흐르는 전류들의 변화를 억제하는 것이 가능하며, 여기서, $\Delta \ln$ 은 각각의 커패시터들(C1, C2, C3)에 대한 양극-음극 전기 경로 길이들(\ln_{PN1} , \ln_{PN2} , \ln_{PN3}) 중에서 최대 양극-음극 전기 경로 길이(\ln_{max})와 최소 양극-음극 전기 경로 길이(\ln_{min}) 사이의 차이이다($\Delta \ln = \ln_{max} - \ln_{min}$).

[0102] [0052]

[0103] 커패시터들(C1, C2, C3)에 대한 양극-음극 전기 경로 길이들(\ln_{PN1} , \ln_{PN2} , \ln_{PN3})은 양극 측 출력 단자(P) 및 음극 측 출력 단자(N)에서 커패시터들(C1, C2, C3)까지의 거리들로 대체될 수 있다.

[0104] [0053]

[0105] 여기서, 단자(P1)(양극 단자(P_{C1}))와 단자(N1)(음극 단자(N_{C1})) 사이의 중점(M_{P1-N1})은 커패시터(C1)의 위치로서 정의된다. 유사하게, 단자(P2)(양극 단자(P_{C2}))와 단자(N2)(음극 단자(N_{C2})) 사이의 중점(M_{P2-N2})은 커패시터(C2)의 위치로서 정의되고, 단자(P3)(양극 단자(P_{C3}))와 단자(N3)(음극 단자(N_{C3})) 사이의 중점(M_{P3-N3})은 커패시터(C3)의 위치로서 정의된다. 양극 측 출력 단자(P)와 음극 측 출력 단자(N) 사이의 중점(M_{P-N})이 기점인 경우, 중점(M_{P1-N1})까지의 거리는 커패시터(C1)까지의 거리($d1$)로서 정의되고, 중점(M_{P2-N2})까지의 거리는 커패시터(C2)의 거리($d2$)로서 정의되고, 중점(M_{P3-N3})까지의 거리는 커패시터(C3)의 거리($d3$)로서 정의된다. 차이(Δd)를 d_{min} 의 30% 이하로 설계함으로써 커패시터들(C1, C2, C3)을 통해 흐르는 전류들의 변화를 억제할 수 있으며, 여기서, Δd 는 커패시터들(C1, C2, C3)까지의 거리들($d1$ 내지 $d3$) 중에서 최대 거리(d_{max})와 최소 거리(d_{min}) 사이의 차이이다($\Delta d = d_{max} - d_{min}$).

[0106] [0054]

[0107] 커패시터들(C1, C2, C3)을 통해 흐르는 전류들의 변화를 억제하기 위해, 차이(Δd)는 가능한 한 작은 것이 바람직하다. 따라서, 도 4의 예에서, 단자들(P1, P2, P3) 및 단자들(N1, N2, N3)은 양극 측 출력 단자(P)와 음극 측 출력 단자(N) 사이의 중점(M_{P-N})을 중심으로하는 원(O1) 상에 배열된다. 단자들(P1, P2, P3) 및 단자들(N1, N2, N3)의 이러한 배열에 따라, 거리들($d1$ 내지 $d3$)을 정의하는 커패시터들(C1, C2, C3)의 중점들(M_{P1-N1} , M_{P2-N2} , M_{P3-N3})은 또한 중점(M_{P-N}) 상에 센터링되는 다른 원(O) 상에 배열된다. 따라서, 커패시터들(C1, C2, C3)의 거리들($d1$ 내지 $d3$)은 서로 동일하게 되고, Δd 는 거의 제로가 된다. 다시 말해서, 커패시터들(C1, C2, C3)에서 양극 전기 경로들의 인덕턴스 성분들(L_{P1} , L_{P2} , L_{P3}) 및 음극 전기 경로들의 인덕턴스 성분들(L_{N1} , L_{N2} , L_{N3})이 서로 거의 동일하게 되고

[0108] $(L_{P1} \approx L_{P2} \approx L_{P3} \approx L_{N1} \approx L_{N2} \approx L_{N3})$,

[0109] 양극 전기 경로들의 인덕턴스 성분들 및 음극 전기 경로들의 인덕턴스 성분들의 합에 대응하는 인덕턴스들(L_{PN1} 내지 L_{PN3})이 또한 서로 거의 동일하게 된다

[0110] $(L_{PN1} \approx L_{PN2} \approx L_{PN3})$.

[0111] [0055]

[0112] 도 5의 예에서, 단자들(P1, P2, P3)은 양극 측 출력 단자(P)와 음극 측 출력 단자(N) 사이의 중점(M_{P-N})을 중심으로 하는 제1 원(O2) 상에 배열되고, 단자들(N1, N2, N3)은 중점(M_{P-N})을 중심으로 하는 제2 원(O3) 상에 배열되고 이는 제1 원(O2)과 상이하다. 단자들(P1, P2, P3) 및 단자들(N1, N2, N3)의 이러한 배열에 따라, 거리들($d1$ 내지 $d3$)을 정의하는 커패시터들(C1, C2, C3)의 중점들(M_{P1-N1} , M_{P2-N2} , 및 M_{P3-N3})은 중점(M_{P-N})을 중심으로 하는 하나의 원(O) 상에 배열된다. 따라서, 커패시터들(C1, C2, C3)의 거리들($d1$ 내지 $d3$)은 서로 거의 동일하게 되고, Δd 는 거의 제로가 된다. 이 경우, 커패시터들(C1, C2, C3)에서 양극 전기 경로들의 인덕턴스 성분들(L_{P1} , L_{P2} , L_{P3})은 서로 거의 동일하게 되고

[0113] $(L_{P1} \approx L_{P2} \approx L_{P3})$,

[0114] 커패시터들(C1, C2, C3)에서 음극 전기 경로들의 인덕턴스 성분들(L_{N1} , L_{N2} , L_{N3})은 서로 거의 동일하고

[0115] $(L_{N1} \approx L_{N2} \approx L_{N3})$,

[0116] 양극 전기 경로들의 인덕턴스 성분들 및 음극 전기 경로들의 인덕턴스 성분들의 합들에 대응하는 인덕턴스들(L_{PN1} 내지 L_{PN3})은 또한 거의 제로가 된다

[0117] $(L_{PN1} \approx L_{PN2} \approx L_{PN3})$.

[0118] [0056]

[0119] 지금까지, 3개의 커패시터들(C1, C2, C3)이 평활 회로(7)의 회로 본체 상에 실장되는 것으로 설명되었다. 그러나, 커패시터들의 수는 복수의 커패시터들이 제공되는 한, 이에 제한되지 않는다. 예를 들어, 커패시터들의 수는 2개, 4개 또는 그 이상일 수 있다.

[0120] [0057]

[0121] 상술된 바와 같이, 본 발명의 예시적 양태에 따라, 평활 회로는 양극 측 출력 단자 및 음극 측 출력 단자를 갖는 플레이트 형상의 회로 본체, 및 회로 본체 상에 실장되고 양극 측 출력 단자와 음극 측 출력 단자 사이에 병렬로 서로 연결되는 복수의 커패시터들을 포함하며, 각각의 커패시터는 양극 단자 및 음극 단자를 갖는다. 회로 본체는 각각의 커패시터에 대해, 커패시터의 양극 단자 및 양극 측 출력 단자를 서로 연결하는 양극 전기 경로 및 커패시터의 음극 단자 및 음극 측 출력 단자를 서로 연결하는 음극 전기 경로를 포함한다. 양극 전기 경로의 길이 및 음극 전기 경로의 길이의 합은 각각의 커패시터에 대한 양극-음극 전기 경로 길이로서 정의되며, 양극-음극 전기 경로 길이들 중에서 최대 양극-음극 전기 경로 길이와 최소 양극-음극 전기 경로 길이 사이의 차이는 최소 양극-음극 전기 경로 길이의 30% 이하이다.

[0122] [0058]

[0123] 본 발명의 다른 예시적 양태에 따르면, 회로 본체는 각각의 커패시터들에 대해 양극 전기 경로들을 제공하는 양극 솔리드 패턴, 각각의 커패시터들에 대해 음극 전기 경로들을 제공하는 음극 솔리드 패턴, 및 양극 솔리드 패턴과 음극 솔리드 패턴 사이에 개재되는 절연층을 포함할 수 있고, 양극 측 출력 단자와 음극 측 출력 단자 사이의 중점은 기점으로 정의되고 기점에서 양극 단자와 음극 단자 사이의 중점까지의 거리는 각각의 커패시터에 대한 커패시터까지의 거리로서 정의되며, 각각의 커패시터들까지의 거리들 중에서 최대 거리와 최소 거리 사이의 차이는 최소 거리의 30% 이하이다.

[0124] [0059]

[0125] 각각의 커패시터의 양극 단자와 음극 단자 사이의 중점은 기점을 중심으로 하는 원 상에 배열될 수 있다.

[0126] [0060]

[0127] 각각의 커패시터의 양극 단자 및 음극 단자는 기점을 중심으로 하는 다른 원 상에 배열될 수 있다.

[0128] [0061]

[0129] 복수의 커패시터들의 양극 단자들은 기점을 중심으로 하는 제1 원 상에 배열될 수 있고, 복수의 커패시터들의 음극 단자들은 기점을 중심으로 하는 제2 원 상에 배열될 수 있으며, 제2 원은 제1 원과 상이하다.

[0130] [0062]

[0131] 인버터는 평활 회로 및 평활 회로의 양극 측 출력 단자 및 음극 측 출력 단자에 연결되는 인버터 회로를 포함할 수 있다. 인버터는 평활 회로로부터 공급되는 DC 전력을 AC 전력으로 변환하도록 구성된다.

[0132] [0063]

[0133] 전원 공급 장치는 인버터 및 AC 전원으로부터 공급되는 AC 전력을 DC 전력으로 변환하고 변환된 DC 전력을 인버터의 평활 회로로 공급하도록 구성되는 컨버터를 포함할 수 있다.

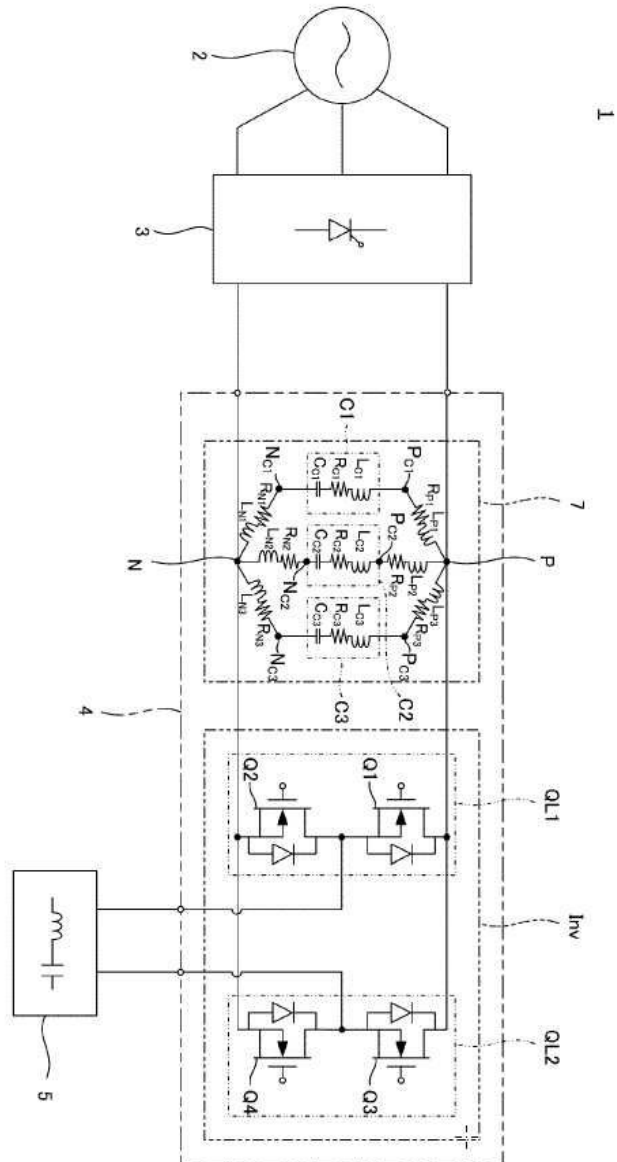
[0134] [0064]

[0135] 이 출원은 2017년 11월 1일자로 출원된 일본 특허 출원 번호 제2017-212184호에 대한 우선권을 주장하며, 그 전

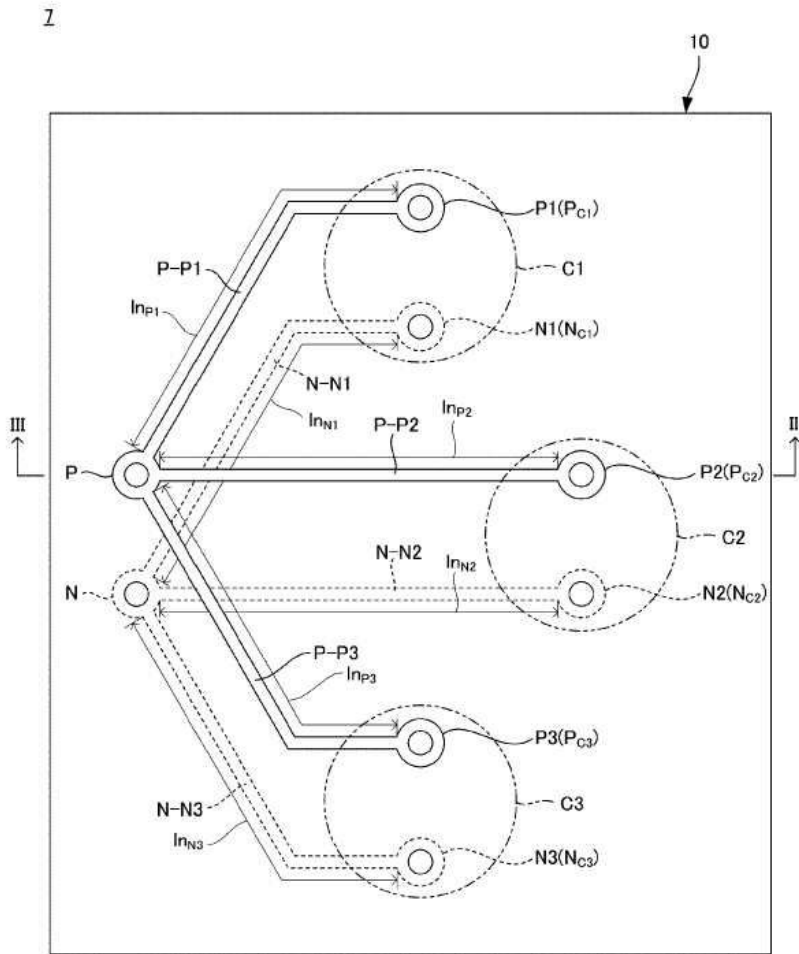
체 내용은 본원에 참조로 통합된다.

도면

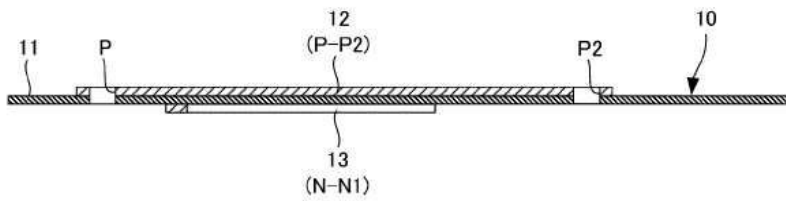
도면1



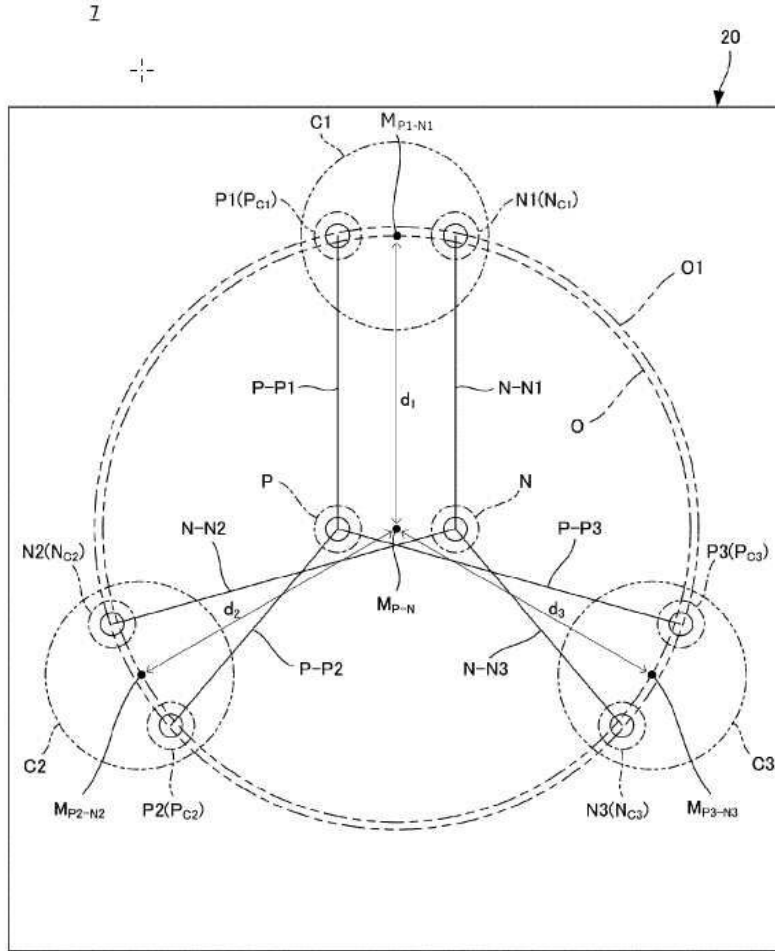
도면2



도면3



도면4



도면5

