

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4693257号
(P4693257)

(45) 発行日 平成23年6月1日(2011.6.1)

(24) 登録日 平成23年3月4日(2011.3.4)

(51) Int.Cl.

F I

HO 1 L 21/336 (2006.01)

HO 1 L 29/786 (2006.01)

HO 1 L 27/08 (2006.01)

GO 2 F 1/1368 (2006.01)

GO 9 F 9/30 (2006.01)

HO 1 L 29/78 6 1 6 A

HO 1 L 29/78 6 1 2 B

HO 1 L 29/78 6 1 7 L

HO 1 L 29/78 6 1 7 K

HO 1 L 27/08 3 3 1 E

請求項の数 7 (全 37 頁) 最終頁に続く

(21) 出願番号	特願2001-45840 (P2001-45840)	(73) 特許権者	000153878
(22) 出願日	平成13年2月21日 (2001.2.21)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2002-252352 (P2002-252352A)		神奈川県厚木市長谷398番地
(43) 公開日	平成14年9月6日 (2002.9.6)	(72) 発明者	山崎 舜平
審査請求日	平成20年1月24日 (2008.1.24)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		審査官	河本 充雄
		(56) 参考文献	特開2000-228527 (JP, A)
)
			特開2001-13525 (JP, A)
			特開2000-223714 (JP, A)
)
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

画素TFTを有する画素部と、該画素部の周辺に設けられた、pチャネル型TFTおよび第1のnチャネル型TFTとを有する駆動回路と、を同一の基板上に有し、

前記第1のnチャネル型TFTは、第1の島状半導体層、第1のゲート電極、ゲート絶縁膜を有し、

前記第1の島状半導体層は、第1のチャネル形成領域と、該第1のチャネル形成領域に接して2つの第1のLDD領域と、該2つの第1のLDD領域に接して第1のソース領域または第1のドレイン領域を有し、

前記2つの第1のLDD領域は前記第1のゲート電極と一部重なっており、前記第1のソース領域および前記第1のドレイン領域は前記第1のゲート電極と重なっておらず、

前記画素TFTは、マルチゲート構造の第2のnチャネル型TFTであって、第2の島状半導体層、2つの第2のゲート電極、ゲート絶縁膜を有し、

前記第2の島状半導体層は、2つの第2のチャネル形成領域、該2つの第2のチャネル形成領域のそれぞれに接して形成された4つの第2のLDD領域と、該4つの第2のLDD領域のそれぞれに接して形成された3つの第2のソース領域または第2のドレイン領域を有し、

前記2つの第2のチャネル形成領域の間に接して、4つのうち2つの前記第2のLDD領域が形成され、該2つの第2のLDD領域の間に接して、3つのうち1つの前記

10

20

第2のソース領域または前記第2のドレイン領域が形成され、

前記4つの第2のLDD領域並びに前記3つの第2のソース領域または第2のドレイン領域は前記第2のゲート電極と重なっておらず、

前記pチャネル型TFETは第3の島状半導体層、第3のゲート電極、ゲート絶縁膜を有し、

前記第3の島状半導体層は、第3のチャネル形成領域と、該第3のチャネル形成領域に接して第3のソース領域または第3のドレイン領域を有し、

前記第3のソース領域および前記第3のドレイン領域は前記第3のゲート電極と重なっておらず、

前記第2のLDD領域に含まれるn型不純物濃度は、前記第1のLDD領域に含まれるn型不純物濃度よりも高い半導体装置の作製方法であって、 10

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第1～第3の島状半導体層を形成し、

前記第1～第3の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第1の導電膜および該第1の導電膜上に第2の導電膜を積層形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

第1のプラズマエッチング処理を行って前記第1の導電膜および前記第2の導電膜をエッチングすることにより、 20

前記第1の島状半導体層上に、後に前記第1のゲート電極となる、端部がテーパ形状である第1の形状の導電層を形成し、

前記第2の島状半導体層上に、端部がテーパ形状である前記第2のゲート電極を形成し、

並びに前記第3の島状半導体層上に、端部がテーパ形状である前記第3のゲート電極を形成し、

前記第2のゲート電極の上面および側面を覆い、前記第3のゲート電極の上面および側面を覆う第2のレジストマスクをそれぞれ形成し、

前記第2のレジストマスク、後に前記第1のゲート電極となる第1の形状の導電層および該第1の形状の導電層上の前記第1のレジストマスクをドーピングマスクとして第1のドーピング処理を行って、 30

前記第1の島状半導体層中であって、前記第1のゲート電極と重なっていない部分に、

前記第2の島状半導体層中であって、後に前記3つの第2のソース領域および第2のドレイン領域となる部分に、

並びに前記第3の島状半導体層中であって、前記第2のレジストマスクに覆われていない部分に、高濃度のn型不純物を添加し、

前記第2のレジストマスクを保持したまま、第2のプラズマエッチング処理を行って、後に前記第1のゲート電極となる第1の形状の導電層中の前記第2の導電膜をエッチングして細くすることにより、該エッチングされた第2の導電膜および該第2の導電膜の端部から突出した突出部を有する第1の導電膜からなる前記第1のゲート電極を形成し、 40

前記第1のレジストマスクおよび前記第2のレジストマスクを除去し、

第2のドーピング処理を行って、

前記第1の島状半導体層中に、低濃度のn型不純物を添加して、前記第1のゲート電極の前記突出部と重なる前記第1のLDD領域、前記第1のソース領域および前記第1のドレイン領域を形成し、

前記第2の島状半導体層中に、低濃度のn型不純物を添加して、前記4つの第2のLDD領域、前記3つの第2のソース領域および第2のドレイン領域を形成し、

並びに前記第3の島状半導体層中に、前記第3のゲート電極と重なっていない部 50

分に低濃度の n 型不純物を添加し、

前記第 1 の島状半導体層および前記第 2 の島状半導体層を覆う第 3 のレジストマスクを形成し、

前記第 3 のレジストマスクおよび前記第 3 のゲート電極をドーピングマスクとして、第 3 のドーピング処理により p 型不純物を添加して、

前記第 3 の半導体層中に、前記第 3 のソース領域および前記第 3 のドレイン領域を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

画素 T F T と保持容量とを有する画素部と、該画素部の周辺に設けられた、p チャネル型 T F T および第 1 の n チャネル型 T F T とを有する駆動回路と、を同一の基板上に有し、

10

前記第 1 の n チャネル型 T F T は、第 1 の島状半導体層、第 1 のゲート電極、ゲート絶縁膜を有し、

前記第 1 の島状半導体層は、第 1 のチャンネル形成領域と、該第 1 のチャンネル形成領域に接して 2 つの第 1 の L D D 領域と、該 2 つの第 1 の L D D 領域に接して第 1 のソース領域または第 1 のドレイン領域を有し、

前記 2 つの第 1 の L D D 領域は前記第 1 のゲート電極と一部重なっており、前記第 1 のソース領域および前記第 1 のドレイン領域は前記第 1 のゲート電極と重なっておらず、

前記画素 T F T は、マルチゲート構造の第 2 の n チャネル型 T F T であって、第 2 の島状半導体層、2 つの第 2 のゲート電極、ゲート絶縁膜を有し、

20

前記第 2 の島状半導体層は、2 つの第 2 のチャンネル形成領域、該 2 つの第 2 のチャンネル形成領域のそれぞれに接して形成された 4 つの第 2 の L D D 領域と、該 4 つの第 2 の L D D 領域のそれぞれに接して形成された 3 つの第 2 のソース領域または第 2 のドレイン領域を有し、

前記 2 つの第 2 のチャンネル形成領域の間に接して、4 つのうち 2 つの前記第 2 の L D D 領域が形成され、該 2 つの第 2 の L D D 領域の間に接して、3 つのうち 1 つの前記第 2 のソース領域または前記第 2 のドレイン領域が形成され、

前記 4 つの第 2 の L D D 領域並びに前記 3 つの第 2 のソース領域または第 2 のドレイン領域は前記第 2 のゲート電極と重なっておらず、

30

前記 p チャネル型 T F T は第 3 の島状半導体層、第 3 のゲート電極、ゲート絶縁膜を有し、

前記第 3 の島状半導体層は、第 3 のチャンネル形成領域と、該第 3 のチャンネル形成領域に接して第 3 のソース領域または第 3 のドレイン領域を有し、

前記第 3 のソース領域および前記第 3 のドレイン領域は前記第 3 のゲート電極と重なっておらず、

前記保持容量は第 4 の島状半導体層、ゲート絶縁膜、容量配線を有し、

前記第 4 の島状半導体層は、前記容量電極と重ならない領域に 2 つの第 4 の不純物領域を有し、

前記第 4 の不純物領域は前記第 p チャネル型 T F T の前記第 3 のソース領域または前記第 3 のドレイン領域と同濃度の n 型不純物を含み、前記 p チャネル型 T F T の前記第 3 のソース領域または前記第 3 のドレイン領域と同濃度の p 型不純物を含み、

40

前記第 2 の L D D 領域に含まれる n 型不純物濃度は、前記第 1 の L D D 領域に含まれる n 型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第 1 ~ 第 4 の島状半導体層を形成し、

前記第 1 ~ 第 4 の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第 1 の導電膜および該第 1 の導電膜上に第 2 の導電膜を積層形

50

成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

第1のプラズマエッチング処理を行って前記第1の導電膜および前記第2の導電膜をエッチングすることにより、

前記第1の島状半導体層上に、後に前記第1のゲート電極となる、端部がテーパ形状である第1の形状の導電層を形成し、

前記第2の島状半導体層上に、端部がテーパ形状である前記第2のゲート電極を形成し、

前記第3の島状半導体層上に、端部がテーパ形状である前記第3のゲート電極を形成し、

並びに前記第4の島状半導体層上に、端部がテーパ形状である前記容量配線を形成し、

前記第2のゲート電極の上面および側面を覆い、前記第3のゲート電極の上面および側面を覆い、および前記第4の島状半導体層を覆う第2のレジストマスクをそれぞれ形成し、

前記第2のレジストマスク、後に前記第1のゲート電極となる第1の形状の導電層および該第1の形状の導電層上の前記第1のレジストマスクをドーピングマスクとして第1のドーピング処理を行って、

前記第1の島状半導体層中であって、前記第1のゲート電極と重なっていない部分に、

前記第2の島状半導体層中であって、後に前記3つの第2のソース領域および第2のドレイン領域となる部分に、

並びに前記第3の島状半導体層中であって、前記第2のレジストマスクに覆われていない部分に、高濃度のn型不純物を添加し、

前記第2のレジストマスクを保持したまま、第2のプラズマエッチング処理を行って、後に前記第1のゲート電極となる第1の形状の導電層中の前記第2の導電膜をエッチングして細くすることにより、該エッチングされた第2の導電膜および該第2の導電膜の端部から突出した突出部を有する第1の導電膜からなる前記第1のゲート電極を形成し、

前記第1のレジストマスクおよび前記第2のレジストマスクを除去し、

第2のドーピング処理を行って、

前記第1の島状半導体層中に、低濃度のn型不純物を添加して、前記第1のゲート電極の前記突出部と重なる前記第1のLDD領域、前記第1のソース領域および前記第1のドレイン領域を形成し、

前記第2の島状半導体層中に、低濃度のn型不純物を添加して、前記4つの第2のLDD領域、前記3つの第2のソース領域および第2のドレイン領域を形成し、

前記第3の島状半導体層中に、前記第3のゲート電極と重なっていない部分に低濃度のn型不純物を添加し、

並びに前記第4の島状半導体層中に、前記容量配線と重なっていない部分に低濃度のn型不純物を添加し、

前記第1の島状半導体層および前記第2の島状半導体層を覆う第3のレジストマスクを形成し、

前記第3のレジストマスク、前記第3のゲート電極および前記容量配線をドーピングマスクとして、第3のドーピング処理によりp型不純物を添加して、

前記第3の半導体層中に、前記第3のソース領域および前記第3のドレイン領域を形成し、

並びに前記第4の半導体層中に、前記2つの第4の不純物領域を形成し、

前記第1～第4の島状半導体層、前記ゲート絶縁膜および前記第1～第3のゲート電極および前記容量配線を覆って、第1の層間絶縁膜を形成し、

前記第1～第4の島状半導体層に添加された前記n型不純物および前記p型不純物を活性化し、

10

20

30

40

50

前記第 1 の層間絶縁膜上に有機絶縁膜からなる第 2 の層間絶縁膜を形成し、

前記第 1 ~ 第 3 の島状半導体層の各ソース領域およびドレイン領域に達するコンタクトホール並びに前記第 4 の島状半導体層の第 4 の不純物領域に達するコンタクトホールを形成し、

前記第 1 ~ 第 3 の島状半導体層の各ソース領域またはドレイン領域と電氣的に接続されるソース配線またはドレイン配線をそれぞれ形成するとともに、前記第 1 の島状半導体層の前記第 1 のソース領域または前記第 1 のドレイン領域並びに前記第 4 の島状半導体層の前記第 4 の不純物領域と電氣的に接続される画素電極を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

画素 T F T を有する画素部と、該画素部の周辺に設けられた、p チャネル型 T F T および第 1 の n チャネル型 T F T とを有する駆動回路と、を同一の基板上に有し、

前記第 1 の n チャネル型 T F T は、第 1 の島状半導体層、第 1 のゲート電極、ゲート絶縁膜を有し、

前記第 1 の島状半導体層は、第 1 のチャンネル形成領域と、該第 1 のチャンネル形成領域に接して 2 つの第 1 の L D D 領域と、該 2 つの第 1 の L D D 領域に接して第 1 のソース領域または第 1 のドレイン領域を有し、

前記 2 つの第 1 の L D D 領域は前記第 1 のゲート電極と一部重なっており、前記第 1 のソース領域および前記第 1 のドレイン領域は前記第 1 のゲート電極と重なっておらず、

前記画素 T F T は、マルチゲート構造の第 2 の n チャネル型 T F T であって、第 2 の島状半導体層、2 つの第 2 のゲート電極、ゲート絶縁膜を有し、

前記第 2 の島状半導体層は、2 つの第 2 のチャンネル形成領域、該 2 つの第 2 のチャンネル形成領域のそれぞれに接して形成された 4 つの第 2 の L D D 領域と、該 4 つの第 2 の L D D 領域のそれぞれに接して形成された 3 つの第 2 のソース領域または第 2 のドレイン領域を有し、

前記 2 つの第 2 のチャンネル形成領域の間に接して、4 つのうち 2 つの前記第 2 の L D D 領域が形成され、該 2 つの第 2 の L D D 領域の間に接して、3 つのうち 1 つの前記第 2 のソース領域または前記第 2 のドレイン領域が形成され、

前記 4 つの第 2 の L D D 領域並びに前記 3 つの第 2 のソース領域または第 2 のドレイン領域は前記第 2 のゲート電極と重なっておらず、

前記 p チャネル型 T F T は第 3 の島状半導体層、第 3 のゲート電極、ゲート絶縁膜を有し、

前記第 3 の島状半導体層は、第 3 のチャンネル形成領域と、該第 3 のチャンネル形成領域に接して第 3 のソース領域または第 3 のドレイン領域を有し、

前記第 3 のソース領域および前記第 3 のドレイン領域は前記第 3 のゲート電極と重なっておらず、

前記第 2 の L D D 領域に含まれる n 型不純物濃度は、前記第 1 の L D D 領域に含まれる n 型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第 1 ~ 第 3 の島状半導体層を形成し、

前記第 1 ~ 第 3 の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第 1 の導電膜および該第 1 の導電膜上に第 2 の導電膜を積層形成し、

前記第 2 の導電膜上に第 1 のレジストマスクを形成し、

第 1 のプラズマエッチング処理を行って前記第 1 の導電膜および前記第 2 の導電膜をエッチングすることにより、

前記第 1 の島状半導体層上に、後に前記第 1 のゲート電極となる、端部がテーパ

10

20

30

40

50

ー形状である第1の形状の導電層を形成し、

前記第2の島状半導体層上に、端部がテーパ形状である前記第2のゲート電極を形成し、

並びに前記第3の島状半導体層上に、端部がテーパ形状である前記第3のゲート電極を形成し、

前記後に第1のゲート電極となる第1の形状の導電層、前記第2のゲート電極、前記第3のゲート電極およびそれぞれの前記第1のレジストマスクをドーピングマスクとして第1のドーピング処理を行って、

前記第1の島状半導体層中であって、前記後に第1のゲート電極となる第1の形状の導電層と重なっていない部分に、

前記第2の島状半導体層中であって、前記第2のゲート電極と重なっていない部分に、

並びに前記第3の島状半導体層中であって、前記第3のゲート電極と重なっていない部分に、低濃度のn型不純物を添加し、

前記第1の島状半導体層および前記第2の島状半導体層を覆う第2のレジストマスクを形成し、

前記第2のレジストマスク、前記第3のゲート電極および前記第3のゲート電極上の第1のレジストマスクをドーピングマスクとして、第2のドーピング処理によりp型不純物を添加して、

前記第3の島状半導体層中に、前記第3のソース領域および前記第3のドレイン領域を形成し、

前記第1のレジストマスクおよび前記第2のレジストマスクを除去し、

第3のレジストマスクを、前記後に第1のゲート電極となる第1の形状の導電層上面に形成するとともに前記第2のゲート電極の上面および側面を覆い、前記第3の島状半導体層を覆うように形成し、

第2のプラズマエッチング処理を行って、後に前記第1のゲート電極となる第1の形状の導電層中の前記第2の導電膜をエッチングして細くすることにより、該エッチングされた第2の導電膜および該第2の導電膜の端部から突出した突出部を有する第1の導電膜からなる前記第1のゲート電極を形成し、

第2のドーピング処理により高濃度のn型不純物を添加して、

前記第1の島状半導体層中に、前記第1のゲート電極の前記突出部と重なる前記第1のLDD領域、前記第1のソース領域および前記第1のドレイン領域を形成し、

前記第2の島状半導体層中に、前記4つの第2のLDD領域、前記3つの第2のソース領域および第2のドレイン領域を形成することを特徴とする半導体装置の作製方法。

【請求項4】

画素TFETを有する画素部と、該画素部の周辺に設けられた、pチャネル型TFETおよび第1のnチャネル型TFETとを有する駆動回路と、を同一の基板上に有し、

前記第1のnチャネル型TFETは、第1の島状半導体層、第1のゲート電極、ゲート絶縁膜を有し、

前記第1の島状半導体層は、第1のチャネル形成領域と、該第1のチャネル形成領域に接して2つの第1のLDD領域と、該2つの第1のLDD領域に接して第1のソース領域または第1のドレイン領域を有し、

前記2つの第1のLDD領域は前記第1のゲート電極と一部重なっており、前記第1のソース領域および前記第1のドレイン領域は前記第1のゲート電極と重なっておらず、

前記画素TFETは、マルチゲート構造の第2のnチャネル型TFETであって、第2の島状半導体層、2つの第2のゲート電極、ゲート絶縁膜を有し、

前記第2の島状半導体層は、2つの第2のチャネル形成領域、該2つの第2のチャネル形成領域のそれぞれに接して形成された4つの第2のLDD領域と、該4つの第2

10

20

30

40

50

のＬＤＤ領域のそれぞれに接して形成された３つの第２のソース領域または第２のドレイン領域を有し、

前記２つの第２のチャネル形成領域の間に接して、４つのうち２つの前記第２のＬＤＤ領域が形成され、該２つの第２のＬＤＤ領域の間に接して、３つのうち１つの前記第２のソース領域または前記第２のドレイン領域が形成され、

前記４つの第２のＬＤＤ領域並びに前記３つの第２のソース領域または第２のドレイン領域は前記第２のゲート電極と重なっておらず、

前記ｐチャネル型ＴＦＴは第３の島状半導体層、第３のゲート電極、ゲート絶縁膜を有し、

前記第３の島状半導体層は、第３のチャネル形成領域と、該第３のチャネル形成領域に接して第３のソース領域または第３のドレイン領域を有し、

前記第３のソース領域および前記第３のドレイン領域は前記第３のゲート電極と重なっておらず、

前記第２のＬＤＤ領域に含まれるｎ型不純物濃度は、前記第１のＬＤＤ領域に含まれるｎ型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第１～第３の島状半導体層を形成し、

前記第１～第３の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第１の導電膜および該第１の導電膜上に第２の導電膜を積層形成し、

前記第２の導電膜上に第１のレジストマスクを形成し、

第１のプラズマエッチング処理を行って前記第１の導電膜および前記第２の導電膜をエッチングすることにより、

前記第１の島状半導体層上に、後に前記第１のゲート電極となる、端部がテーパ形状である第１の形状の導電層を形成し、

前記第２の島状半導体層上に、端部がテーパ形状である前記第２のゲート電極を形成し、

並びに前記第３の島状半導体層上に、端部がテーパ形状である前記第３のゲート電極を形成し、

前記後に第１のゲート電極となる第１の形状の導電層、前記第２のゲート電極、前記第３のゲート電極およびそれぞれの前記第１のレジストマスクをドーピングマスクとして第１のドーピング処理を行って、

前記第１の島状半導体層中であって、前記後に第１のゲート電極となる第１の形状の導電層と重なっていない部分に、

前記第２の島状半導体層中であって、前記第２のゲート電極と重なっていない部分に、

並びに前記第３の島状半導体層中であって、前記第３のゲート電極と重なっていない部分に、低濃度のｎ型不純物を添加し、

第２のレジストマスクを、前記第２のゲート電極の上面および側面を覆い、前記第３の島状半導体層を覆うように形成し、

第２のプラズマエッチング処理を行って、後に前記第１のゲート電極となる第１の形状の導電層中の前記第２の導電膜をエッチングして細くすることにより、該エッチングされた第２の導電膜および該第２の導電膜の端部から突出した突出部を有する第１の導電膜からなる前記第１のゲート電極を形成し、

第２のドーピング処理により高濃度のｎ型不純物を添加して、

前記第１の島状半導体層中に、前記第１のゲート電極の前記突出部と重なる前記第１のＬＤＤ領域、前記第１のソース領域および前記第１のドレイン領域を形成し、

前記第２の島状半導体層中に、前記４つの第２のＬＤＤ領域、前記３つの第２の

10

20

30

40

50

ソース領域および第2のドレイン領域を形成し、

前記第1のレジストマスクおよび前記第2のレジストマスクを除去し、

前記第1の島状半導体層および前記第2の島状半導体層を覆う第3のレジストマスクを形成し、

第3のドーピング処理によりp型不純物を添加して、

前記第3の島状半導体層中に、前記第3のソース領域および前記第3のドレイン領域を形成することを特徴とする半導体装置の作製方法。

【請求項5】

画素TFTを有する画素部と、該画素部の周辺に設けられた、pチャネル型TFTおよび第1のnチャネル型TFTとを有する駆動回路と、を同一の基板上に有し、

10

前記第1のnチャネル型TFTは、第1の島状半導体層、第1のゲート電極、ゲート絶縁膜を有し、

前記第1の島状半導体層は、第1のチャネル形成領域と、該第1のチャネル形成領域に接して2つの第1のLDD領域と、該2つの第1のLDD領域に接して第1のソース領域または第1のドレイン領域を有し、

前記2つの第1のLDD領域は前記第1のゲート電極と一部重なっており、前記第1のソース領域および前記第1のドレイン領域は前記第1のゲート電極と重なっておらず、

前記画素TFTは、マルチゲート構造の第2のnチャネル型TFTであって、第2の島状半導体層、2つの第2のゲート電極、ゲート絶縁膜を有し、

20

前記第2の島状半導体層は、2つの第2のチャネル形成領域、該2つの第2のチャネル形成領域のそれぞれに接して形成された4つの第2のLDD領域と、該4つの第2のLDD領域のそれぞれに接して形成された3つの第2のソース領域または第2のドレイン領域を有し、

前記2つの第2のチャネル形成領域の間に接して、4つのうち2つの前記第2のLDD領域が形成され、該2つの第2のLDD領域の間に接して、3つのうち1つの前記第2のソース領域または前記第2のドレイン領域が形成され、

前記4つの第2のLDD領域並びに前記3つの第2のソース領域または第2のドレイン領域は前記第2のゲート電極と重なっておらず、

前記pチャネル型TFTは第3の島状半導体層、第3のゲート電極、ゲート絶縁膜を有し、

30

前記第3の島状半導体層は、第3のチャネル形成領域と、該第3のチャネル形成領域に接して第3のソース領域または第3のドレイン領域を有し、

前記第3のソース領域および前記第3のドレイン領域は前記第3のゲート電極と重なっておらず、

前記第2のLDD領域に含まれるn型不純物濃度は、前記第1のLDD領域に含まれるn型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

40

前記結晶性シリコン膜をエッチングして前記第1～第3の島状半導体層を形成し、

前記第1～第3の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第1の導電膜および該第1の導電膜上に第2の導電膜を積層形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

第1のプラズマエッチング処理を行って前記第1の導電膜および前記第2の導電膜をエッチングすることにより、

前記第1の島状半導体層上に、後に前記第1のゲート電極となる、端部がテーパ形状である第1の形状の導電層を形成し、

前記第2の島状半導体層上に、端部がテーパ形状である前記第2のゲート電極

50

を形成し、

並びに前記第3の島状半導体層上に、端部がテーパー形状である前記第3のゲート電極を形成し、

前記第1の島状半導体層および前記第2の島状半導体層を覆う第2のレジストマスクを形成し、

前記第2のレジストマスク、前記第3のゲート電極および前記第3のゲート電極上の前記第1のレジストマスクをドーピングマスクとして第1のドーピング処理を行って、p型不純物を添加して、

前記第3の島状半導体層中に、前記第3のソース領域および前記第3のドレイン領域を形成し、

前記第1のレジストマスクおよび前記第2のレジストマスクを除去し、

前記後に前記第1のゲート電極となる第1の形状の導電層、前記第2のゲート電極および前記第3のゲート電極をドーピングマスクとして第2のドーピング処理を行って、

前記第1の島状半導体層中であって、前記後に第1のゲート電極となる第1の形状の導電層と重なっていない部分に、

前記第2の島状半導体層中であって、前記第2のゲート電極と重なっていない部分に、

並びに前記第3の島状半導体層中であって、前記第3のゲート電極と重なっていない部分に、低濃度のn型不純物を添加し、

第3のレジストマスクを、前記後に第1のゲート電極となる第1の形状の導電層上面に形成するとともに前記第2のゲート電極の上面および側面を覆い、前記第3のゲート電極および前記第3の島状半導体層を覆うように形成し、

第2のプラズマエッチング処理を行って、後に前記第1のゲート電極となる第1の形状の導電層中の前記第2の導電膜をエッチングして細くすることにより、該エッチングされた第2の導電膜および該第2の導電膜の端部から突出した突出部を有する第1の導電膜からなる前記第1のゲート電極を形成し、

第3のドーピング処理により高濃度のn型不純物を添加して、

前記第1の島状半導体層中に、前記第1のゲート電極の前記突出部と重なる前記第1のLDD領域、前記第1のソース領域および前記第1のドレイン領域を形成し、

前記第2の島状半導体層中に、前記4つの第2のLDD領域、前記3つの第2のソース領域および第2のドレイン領域を形成することを特徴とする半導体装置の作製方法。

【請求項6】

画素TFETを有する画素部と、該画素部の周辺に設けられた、pチャネル型TFETおよび第1のnチャネル型TFETとを有する駆動回路と、を同一の基板上に有し、

前記第1のnチャネル型TFETは、第1の島状半導体層、第1のゲート電極、ゲート絶縁膜を有し、

前記第1の島状半導体層は、第1のチャネル形成領域と、該第1のチャネル形成領域に接して2つの第1のLDD領域と、該2つの第1のLDD領域に接して第1のソース領域または第1のドレイン領域を有し、

前記2つの第1のLDD領域は前記第1のゲート電極と一部重なっており、前記第1のソース領域および前記第1のドレイン領域は前記第1のゲート電極と重なっておらず、

前記画素TFETは、マルチゲート構造の第2のnチャネル型TFETであって、第2の島状半導体層、2つの第2のゲート電極、ゲート絶縁膜を有し、

前記第2の島状半導体層は、2つの第2のチャネル形成領域、該2つの第2のチャネル形成領域のそれぞれに接して形成された4つの第2のLDD領域と、該4つの第2のLDD領域のそれぞれに接して形成された3つの第2のソース領域または第2のドレイン領域を有し、

前記2つの第2のチャネル形成領域の間に接して、4つのうち2つの前記第2の

10

20

30

40

50

LDD領域が形成され、該2つの第2のLDD領域の間に接して、3つのうち1つの前記第2のソース領域または前記第2のドレイン領域が形成され、

前記4つの第2のLDD領域並びに前記3つの第2のソース領域または第2のドレイン領域は前記第2のゲート電極と重なっておらず、

前記pチャネル型TFTは第3の島状半導体層、第3のゲート電極、ゲート絶縁膜を有し、

前記第3の島状半導体層は、第3のチャネル形成領域と、該第3のチャネル形成領域に接して第3のソース領域または第3のドレイン領域を有し、

前記第3のソース領域および前記第3のドレイン領域は前記第3のゲート電極と重なっておらず、

前記第2のLDD領域に含まれるn型不純物濃度は、前記第1のLDD領域に含まれるn型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第1～第3の島状半導体層を形成し、

前記第1～第3の島状半導体層上に前記ゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、第1の導電膜および該第1の導電膜上に第2の導電膜を積層形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

第1のプラズマエッチング処理を行って前記第1の導電膜および前記第2の導電膜をエッチングすることにより、

前記第1の島状半導体層上に、後に前記第1のゲート電極となる、端部がテーパ形状である第1の形状の導電層を形成し、

前記第2の島状半導体層上に、端部がテーパ形状である前記第2のゲート電極を形成し、

並びに前記第3の島状半導体層上に、端部がテーパ形状である前記第3のゲート電極を形成し、

前記第1の島状半導体層および前記第2の島状半導体層を覆う第2のレジストマスクを形成し、

前記第2のレジストマスク、前記第3のゲート電極および前記第3のゲート電極上の前記第1のレジストマスクをドーピングマスクとして第1のドーピング処理を行って、p型不純物を添加して、

前記第3の島状半導体層中に、前記第3のソース領域および前記第3のドレイン領域を形成し、

前記第1のレジストマスクを除去し、

第2のレジストマスクを、前記後に第1のゲート電極となる第1の形状の導電層上面に形成するとともに前記第2のゲート電極の上面および側面を覆い、前記第3のゲート電極および前記第3の島状半導体層を覆うように形成し、

第2のプラズマエッチング処理を行って、後に前記第1のゲート電極となる第1の形状の導電層中の前記第2の導電膜をエッチングして細くすることにより、該エッチングされた第2の導電膜および該第2の導電膜の端部から突出した突出部を有する第1の導電膜からなる前記第1のゲート電極を形成し、

第2のドーピング処理を行って、

前記第1の島状半導体層中であって、前記第1のゲート電極と重なっていない部分に、

前記第2の島状半導体層中であって、前記第2のレジストマスクに覆われていない部分に、高濃度のn型不純物を添加し、

前記第2のレジストマスクを除去し、

第3のドーピング処理を行って、低濃度のn型不純物を添加し、

10

20

30

40

50

前記第1の島状半導体層中に、前記第1のゲート電極の前記突出部と重なる前記第1のLDD領域、前記第1のソース領域および前記第1のドレイン領域を形成し、

前記第2の島状半導体層中に、前記4つの第2のLDD領域、前記3つの第2のソース領域および第2のドレイン領域を形成することを特徴とする半導体装置の作製方法。

【請求項7】

画素TFETを有する画素部と、該画素部の周辺に設けられた、pチャネル型TFETおよび第1のnチャネル型TFETとを有する駆動回路と、を同一の基板上に有し、

前記第1のnチャネル型TFETは、第1の島状半導体層、第1のゲート電極、ゲート絶縁膜を有し、

10

前記第1の島状半導体層は、第1のチャンネル形成領域と、該第1のチャンネル形成領域に接して2つの第1のLDD領域と、該2つの第1のLDD領域に接して第1のソース領域または第1のドレイン領域を有し、

前記2つの第1のLDD領域は前記第1のゲート電極と一部重なっており、前記第1のソース領域および前記第1のドレイン領域は前記第1のゲート電極と重なっておらず、

前記画素TFETは、マルチゲート構造の第2のnチャネル型TFETであって、第2の島状半導体層、2つの第2のゲート電極、ゲート絶縁膜を有し、

前記第2の島状半導体層は、2つの第2のチャンネル形成領域、該2つの第2のチャンネル形成領域のそれぞれに接して形成された4つの第2のLDD領域と、該4つの第2のLDD領域のそれぞれに接して形成された3つの第2のソース領域または第2のドレイン領域を有し、

20

前記2つの第2のチャンネル形成領域の間に接して、4つのうち2つの前記第2のLDD領域が形成され、該2つの第2のLDD領域の間に接して、3つのうち1つの前記第2のソース領域または前記第2のドレイン領域が形成され、

前記4つの第2のLDD領域並びに前記3つの第2のソース領域または第2のドレイン領域は前記第2のゲート電極と重なっておらず、

前記pチャネル型TFETは第3の島状半導体層、第3のゲート電極、ゲート絶縁膜を有し、

前記第3の島状半導体層は、第3のチャンネル形成領域と、該第3のチャンネル形成領域に接して第3のソース領域または第3のドレイン領域を有し、

30

前記第3のソース領域および前記第3のドレイン領域は前記第3のゲート電極と重なっておらず、

前記第2のLDD領域に含まれるn型不純物濃度は、前記第1のLDD領域に含まれるn型不純物濃度よりも高い半導体装置の作製方法であって、

前記基板上に下地絶縁膜を形成し、

前記下地絶縁膜上に非晶質シリコン膜を形成し、

前記非晶質シリコン膜を結晶化して結晶性シリコン膜を形成し、

前記結晶性シリコン膜をエッチングして前記第1～第3の島状半導体層を形成し、

前記第1～第3の島状半導体層上に前記ゲート絶縁膜を形成し、

40

前記ゲート絶縁膜上に、第1の導電膜および該第1の導電膜上に第2の導電膜を積層形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

第1のプラズマエッチング処理を行って前記第1の導電膜および前記第2の導電膜をエッチングすることにより、

前記第1の島状半導体層上に、後に前記第1のゲート電極となる、端部がテーパ形状である第1の形状の導電層を形成し、

前記第2の島状半導体層上に、端部がテーパ形状である前記第2のゲート電極を形成し、

並びに前記第3の島状半導体層上に、端部がテーパ形状である前記第3のゲ

50

ト電極を形成し、

前記第2のゲート電極の上面および側面を覆い、前記第3の島状半導体層を覆う第2のレジストマスクを形成し、

前記後に第1のゲート電極となる第1の形状の導電層、前記後に第1のゲート電極となる第1の形状の導電層上の第1のレジストマスクおよび第2のレジストマスクをドーピングマスクとして、第1のドーピング処理を行って

前記第1の島状半導体層中であって、前記第1のゲート電極と重なっていない部分に、

前記第2の島状半導体層中であって、前記第2のレジストマスクに覆われていない部分に、高濃度のn型不純物を添加し、

10

前記第1のレジストマスクおよび前記第2のレジストマスクを残したまま、第2のプラズマエッチング処理を行って、後に前記第1のゲート電極となる第1の形状の導電層中の前記第2の導電膜をエッチングして細くすることにより、該エッチングされた第2の導電膜および該第2の導電膜の端部から突出した突出部を有する第1の導電膜からなる前記第1のゲート電極を形成し、

前記第1のレジストマスクおよび前記第2のレジストマスクを除去し、

前記第1の島状半導体層および前記第2の島状半導体層を覆う第3のレジストマスクを形成し、

前記第3のレジストマスク、前記第3のゲート電極および前記第3のゲート電極上の前記第1のレジストマスクをドーピングマスクとして第2のドーピング処理を行って、p型不純物を添加して、

20

前記第3の島状半導体層中に、前記第3のソース領域および前記第3のドレイン領域を形成し、

前記第3のレジストマスクを除去し、

第3のドーピング処理を行って、低濃度のn型不純物を添加し、

前記第1の島状半導体層中に、前記第1のゲート電極の前記突出部と重なる前記第1のLDD領域、前記第1のソース領域および前記第1のドレイン領域を形成し、

前記第2の島状半導体層中に、前記4つの第2のLDD領域、前記3つの第2のソース領域および第2のドレイン領域を形成することを特徴とする半導体装置の作製方法。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に形成された結晶構造を有する半導体領域を用いた薄膜トランジスタ（Thin Film Transistor、以下TFTと記す）を用いた半導体装置及びその作製方法に関する。尚、本明細書において半導体装置とは、半導体特性を利用して機能する装置全般を指し、本発明により作製される半導体装置はTFTを内蔵した液晶表示装置に代表される表示装置、半導体集積回路（マイクロプロセッサ、信号処理回路または高周波回路等）を範疇に含んでいる。

【0002】

40

【従来の技術】

テレビ受像器、パーソナルコンピュータ、携帯電話など半導体素子を内蔵した様々な半導体装置において、文字や画像を表示するためのディスプレイは必要不可欠なものとなっている。従来、から用いられている代表的なディスプレイはCRTであったが、電子装置の軽量化及び小型化を図るために液晶表示装置に代表される平板型のディスプレイ（フラットパネルディスプレイ）の占める割合が飛躍的に増加している。

【0003】

フラットパネルディスプレイの一形態として、画素またはドット毎にTFTを設け、データ信号を順次書き込むことにより映像表示を行うアクティブマトリクス駆動方式が知られている。TFTはアクティブマトリクス駆動方式の表示装置において必要不可欠の素子と

50

なっているが、そのＴＦＴは様々な構造が考案されている。

【０００４】

アクティブマトリクス駆動方式を採用する表示装置は、特に液晶表示装置において製品開発が先行し、非晶質シリコンでチャネル形成領域を形成したＴＦＴで画素部を形成する技術が開発されている。当該ＴＦＴは高速動作が不可能なので駆動回路はＴＡＢ (Tape Automated Bonding)やＣＯＧ (Chip on Glass)により実装する外付けのＩＣ（ドライバＩＣ）で賄っていた。

【０００５】

しかしながら、画素密度が増加すると画素ピッチが狭くなるので、ドライバＩＣを実装する方式には限界があると考えられている。例えば、ＵＸＧＡ（１２００×１６００）を想定した場合、ＲＧＢカラー方式では単純に見積もっても６０００個の接続端子が必要になる。接続端子数の増加は接点不良の発生確率を増加させるものと考えられている。また、画素部の周辺部分の領域（額縁領域）が増大し、これをディスプレイとする半導体装置の小型化や外観のデザインを損なう要因となる。このような背景から、駆動回路一体型の表示装置の必要性が明瞭になっている。画素部と駆動回路を同一の基板に一体形成することで接続端子の数は激減し、また額縁領域の面積も縮小させることができる。

10

【０００６】

【発明が解決しようとする課題】

しかしながら、高精細を目的として、画素の高密度化が進むにつれ、必然的に画素一つ当たりのサイズは微細化する。また、アクティブマトリクス駆動方式の表示装置に要求される仕様は、大画面高精細化のみでなく、プロジェクターの用途などで見られるように小型（小画面）高精細化もある。また、駆動方式がアナログからデジタルへ変化すると、駆動回路に必要な回路構成もさらに複雑になり、トランジスタの集積度も向上させる必要がある。

20

【０００７】

いずれにしても、高精細化により、画素部ではＴＦＴ、ソース配線、ゲート配線などが占める面積の割合が大きくなり開口率が低下してしまう。従って、規定の画素サイズの中で各画素の高開口率を得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠となってくる。またＴＦＴにはオフ電流の低減が要求される。一方、駆動回路においては、高い電流駆動能力や高速動作と同時に及びホットキャリア効果により劣化しないＴＦＴが求められる。

30

【０００８】

オフ電流値を低減するためのＴＦＴ構造として、低濃度ドレイン（ＬＤＤ：Lightly Doped Drain）構造が知られている。この構造は、チャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域或いはドレイン領域との間に、低濃度に不純物元素を添加した不純物領域を設けたものである。

【０００９】

ホットキャリアによるオン電流値の劣化を防ぐのに有効である構造の中に、ＬＤＤ領域の一部がゲート電極と重なるＬＤＤ構造が知られている。しかし、画素部や駆動回路の要求に合わせてＴＦＴの構造を最適化しようとする、製造工程が複雑となり必要なフォトリソマスクの数が必然的に増加してしまう。一方、ゲート電極を利用して自己整合的にＬＤＤ等の不純物領域を形成する手法では、基板サイズの大型化に伴ってその加工精度がどうしても悪くなってしまう。画素部や駆動回路の要求に合わせてＴＦＴの構造を最適化しようとする、製造工程が複雑となり必要なフォトリソマスクの数が必然的に増加してしまう。その反面、ＴＦＴのサイズが縮小すると、サブミクロンサイズのＬＤＤをマスクを合わせて精度良く形成することは困難となってくる。

40

【００１０】

本発明はこのような問題点を解決することを目的とし、画素部や駆動回路の駆動条件に最適なＴＦＴの構造を、少ないフォトリソマスクの数で実現すると共に、ＴＦＴのサイズが縮小しても精度良くＬＤＤを形成する技術を提供することを課題とする。

50

【 0 0 1 1 】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体装置は、絶縁表面を有する基板上に島状に分離した第1半導体領域及び第2半導体領域を設け、該第1半導体領域上に、第1の導電膜と第2の導電膜とを積層し、かつ、第1の導電膜により突出部が形成された第1の電極を絶縁膜を介して設け、該第2半導体領域上に、第1の導電膜と第2の導電膜とを積層して形成された第2の電極を絶縁膜を介して設けた構造とする。第1半導体領域には、前記第1の電極の外側に第1濃度の一導電型不純物領域と、前記第1の導電膜の突出部と重なる第2濃度の一導電型不純物領域とを設け、第2半導体領域には、前記第2の電極の外側に第1濃度の一導電型不純物領域と、第3濃度の一導電型不純物領域とを設ける。

10

【 0 0 1 2 】

第1の電極及び第2の電極は、それぞれ絶縁膜を介して第1半導体領域及び第2半導体領域と重合して設けられ、TFTのゲート電極として機能するものである。第1半導体領域及び第2半導体領域に形成される第1濃度の一導電型不純物領域は、TFTのソース又はドレイン領域として機能するものである。また、第1半導体領域に形成される第2濃度の一導電型不純物領域は、第1の電極の突出部と重なる位置に設けられることで、ゲート電極と重なるLDD領域を形成する。また、第2半導体領域に形成される第3濃度の一導電型不純物領域も同様にLDD領域を形成する。

【 0 0 1 3 】

第1のTFTは第1半導体領域と第1の電極（ゲート電極）を構成要素として含み、第2のTFTは第2半導体領域と第2の電極（ゲート電極）を構成要素として含んでいる。このように、ゲート電極とLDDとの位置関係が異なるTFTを同一工程で同一基板上に設けることが本発明の特徴である。第1のTFTのLDD領域は、ゲート電極に対し自己整合的に形成されるものであり、そのために第1の電極は2段階のエッチング工程を経て形成している。

20

【 0 0 1 4 】

前記2段階のエッチング工程は、第1の導電膜と第2の導電膜が積層された状態から、マスクを用いて端部にテーパー部をもって形成される第1形状の電極を形成する段階と、第2の導電膜を選択的に異方性エッチングして第2形状の電極を形成する第2の段階とから成っている。それにより、第1の導電膜が第2の導電膜から突出した形状を有する第1の電極を形成することができる。

30

【 0 0 1 5 】

イオンドーピング法を用い、一導電型の不純物を半導体領域に添加する場合には、この第1の電極における第1の導電膜と第2の導電膜の膜厚差を利用して不純物領域を形成することができる。具体的には、第1の導電膜と第2の導電膜が重なった領域はイオンを通過させることができないので、マスクとなり、第1の導電膜のみで形成される突出部を通過させて、その下の半導体領域に不純物を選択的に添加させることが可能となる。

【 0 0 1 6 】

このような本発明の半導体装置の作製方法は、絶縁表面上に形成された第1半導体領域及び第2半導体領域上に絶縁膜を形成する工程と、絶縁膜上に第1導電膜及び第2導電膜を積層形成する工程と、第1のエッチング処理により前記第1導電膜及び第2導電膜をエッチングして前記第1半導体領域及び第2半導体領域に重なる第1形状の電極を形成する工程と、第2半導体領域に重なる第1形状の電極の上面及び側面を覆うマスクを形成する工程と、第1のドーピング処理により第1半導体領域の及び第2半導体領域のそれぞれに第1の不純物領域を形成する工程と、第2のエッチング処理により第1半導体領域に重なる第1形状の電極をエッチングして第2形状の電極を形成する工程と、マスクを除去して、第2のドーピング処理により第1導電膜及び第2導電膜をエッチングして前記より第1半導体領域の及び第2半導体領域のそれぞれに第2の不純物領域を形成する工程とを有することを特徴としている。

40

【 0 0 1 7 】

50

駆動回路一体型の表示装置における本発明の好適な実施形態は、駆動電圧が高くホットキャリア効果により劣化しやすい駆動回路にゲート電極とオーバーラップするＬＤＤを有する第１のＴＦＴを設け、オフ電流を重要視する画素部においてはＬＤＤ構造を有する第２のＴＦＴを設ける。

【００１８】

本発明によれば、画素部と駆動回路部の各種機能回路の駆動条件に最適なＴＦＴを、同一基板上に同一工程で形成することができる。また、ＴＦＴのサイズが縮小しても、ゲート電極に形成した突出部（段差部）を利用してドーピングすることにより、自己整合的に精度良くＬＤＤを形成することができる。

【００１９】

【発明の実施の形態】

以下、本発明の実施の形態を添付図面を用いて説明する。図１は本発明の半導体装置を得るための作製工程の一実施の形態を示す図である。

【００２０】

図１は第１のＴＦＴ及び第２のＴＦＴのゲート電極及び不純物領域を形成する工程を示す図である。図１（Ａ）では、基板１０１に第１絶縁膜１０２、半導体領域１０３、半導体領域１０４、第２絶縁膜１０５が形成された状態を示している。第１絶縁膜１０２はベースコート層であり、基板１０１からアルカリ金属などの不純物が拡散するのを防ぐ目的で設ける。プラズマＣＶＤ法やスパッタ法で形成される窒化シリコンや酸化窒化シリコンは、その目的に対し適した材料である。その他にも同様な効果が得られる絶縁膜であれば適用可能である。また、基板１０１が石英である場合にはベースコート層を必ずしも適用しない。

【００２１】

半導体領域は、非晶質半導膜を結晶化して得られる結晶構造を有する半導体膜で形成することが望ましい。非晶質半導体膜はプラズマＣＶＤ法やスパッタ法で形成したものをを用い、加熱処理やレーザー光の照射により結晶化させる。非晶質半導体膜の材料に限定はないが、代表的にはシリコンを用いる。その他に、またはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ ； $0 < x < 1$ 、代表的には、 $x = 0.001 \sim 0.05$ ）合金などで形成しても良い。

【００２２】

第１のエッチング処理により形成される第１形状の電極１２０、第１形状の電極１２１は、マスク１１０、１１１により形成する。第１形状の電極１２０は、第１の導電膜１０６と第２の導電膜１０８とから形成され、第２の電極１２１は、第１の導電膜１０７と第２の導電膜１０９から形成される。これら第１形状の電極は、端部に４５～８５度のテーパを付けて形成しても良い。

【００２３】

第１の導電膜はタングステン（Ｗ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タンタル（Ｔａ）の窒化物で形成され、厚さは１０～４０nm、好適には２０～３０nmの厚さで形成する。第２の導電膜はＷ、Ｔｉ、Ｍｏ、Ｔａから選ばれた一種又は複数種で形成する。第１の導電膜と第２の導電膜は、選択的にエッチング加工するために異なる材料で形成する。その他に、燐等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体領域を用いてもよい。

【００２４】

次に、図１（Ｂ）では、マスク１１２を形成し第１のドーピング処理を行う。マスク１１２は（Ｂ－２）で示するように、第１形状の電極１２１の上方及び側面を覆うように形成する。第１のドーピング処理はイオン注入法または、質量分離をしないでイオンを注入するイオンドーピング法により行う。添加する不純物は、ｎ型の不純物領域を形成するためには周期表１５族の元素を半導体領域１０３、１０４に添加する。ｐ型の不純物領域を形成するためには周期表１３族の元素を添加する。半導体領域１０３には第１形状の電極１２０の外側に第１濃度の一導電型不純物領域１１３を形成する。半導体領域１０４にはマスク１１２で覆われていない領域に第１濃度の一導電型の不純物領域１１４を形成する。

【 0 0 2 5 】

その後、マスク 1 1 0 ~ 1 1 2 を保持したまま第 2 のエッチング処理を行う。第 2 のエッチング処理は主に第 2 の導電膜を選択的にエッチングするものであり、マスク 1 1 0 を同時にエッチングして後退させながら第 2 の導電膜をエッチングする。その結果、図 1 (C) に示すように第 2 の導電膜 1 1 6 と、その端部から突出した形 (突出部 1 2 4) で第 1 の導電膜 1 1 5 を残すことができる。こうして第 2 形状の電極 1 2 3 を半導体領域 1 0 3 上に形成する。突出部 1 2 4 の長さは 0 . 1 ~ 2 . 0 μm 、好ましくは 0 . 5 ~ 1 . 5 μm で形成する。この長さは第 2 のエッチング処理におけるエッチング条件により行うことができる。

【 0 0 2 6 】

そして、図 1 (D) に示すように第 2 のドーピング処理を行う。この処理により、半導体領域 1 0 3 には第 2 形状の電極 1 2 3 の突出部 1 2 4 と重なる半導体領域に、第 2 濃度の一導電型の不純物領域 1 1 7 が形成される。また、半導体領域 1 0 4 には第 1 形状の電極 1 2 1 と、第 1 濃度の一導電型の不純物領域 1 1 4 との間に第 3 濃度の一導電型の不純物領域 1 1 8 が形成される。

【 0 0 2 7 】

以上のようにして形成される第 1 濃度 ~ 第 3 濃度の一導電型の不純物領域はそれぞれ濃度が異なっている。第 1 濃度の一導電型の不純物領域は、当該不純物元素の濃度が好適には $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度とする。第 2 濃度の一導電型の不純物領域は、当該不純物元素の濃度が好適には $1 \times 10^{16} \sim 1 \times 10^{18}/\text{cm}^3$ の濃度とする。第 1 濃度の一導電型の不純物領域は、当該不純物元素の濃度が好適には $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ の濃度とする。いずれにしても上記第 1 のドーピング処理及び第 2 のドーピング処理により形成される当該不純物領域は、第 1 濃度、第 3 濃度、第 2 濃度の順に低くなる。第 2 のドーピング処理では同じ加速電圧及びドーズ量で、第 3 濃度の一導電型の不純物領域 1 1 7 へは第 1 の導電膜と第 2 の絶縁膜 1 0 5 を通過させて不純物を添加するのに対し、第 2 濃度の一導電型の不純物領域 1 1 8 へは第 2 の絶縁膜 1 0 5 のみを通じた一導電型の不純物が添加されることになる。従って、不純物領域 1 1 7 の濃度の方が、不純物領域 1 1 8 よりも結果的に低くなる。

【 0 0 2 8 】

こうして、第 2 形状の電極 1 2 3 (第 1 の電極) と、第 1 濃度の一導電型の不純物領域 1 1 3 と、第 2 濃度の一導電型の不純物領域 1 1 7 とを半導体領域 1 0 3 に形成することができる。第 2 濃度の一導電型の不純物領域 1 1 7 は第 2 形状の電極 1 2 3 (第 1 の電極) をマスクとして用いることにより、自己整合的に形成することができる。第 1 形状の第 2 の電極 1 2 1 (第 2 の電極) と第 1 濃度の不純物領域 1 1 4 と第 3 濃度の不純物領域 1 1 8 とを半導体領域 1 0 4 に形成することができる。そして、これらの不純物領域を有する半導体領域、第 2 の絶縁膜、第 2 形状の電極又は第 1 形状の電極を用いて T F T を形成することができる。

【 0 0 2 9 】

第 2 形状の電極 1 2 3 (第 1 の電極) をゲート電極とすると、第 2 濃度の一導電型の不純物領域 1 2 4 はゲート電極と重なる L D D とすることができる。この L D D は、T F T の動作時にドレイン端に発生する高電界を緩和する作用を有し、ホットキャリア効果による劣化を抑制することができる。また、第 1 形状の電極 1 2 1 (第 2 の電極) をゲート電極とすると、第 3 濃度の一導電型の不純物領域 1 1 8 は、ゲート電極とオーバーラップしない L D D となり、オフ電流を減少させる作用を持っている。

【 0 0 3 0 】

このように、本発明は同一の工程で、ゲート電極と重なる L D D と、オーバーラップしない L D D をもつ T F T の構造を同時に作り込むことを可能としている。T F T においてチャネル長が縮小すれば、おのずと L D D の長さも短くする必要がある。しかしながら本発明は、ゲート電極と重なる L D D (即ち、第 2 濃度の一導電型の不純物領域) は、ゲート電極の突出部 (段差部) を利用して自己整合的に形成されるので、マスク合わせが必要な

10

20

30

40

50

く、デザインルールが縮小しても位置精度良く形成することができる。一方、同時に形成される、ゲート電極とオーバーラップしないLDD（即ち、第3濃度の一導電型の不純物領域）は、マスクを用いて形成するため、チャンネル長方向の長さを自由に設定することができるという特徴を有している。

【0031】

【実施例】

[実施例1]

本発明の実施例を図面を参照しながら説明する。ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFET（nチャネル型TFET及びpチャネル型TFET）を同時に作製する方法について詳細に説明する。

10

【0032】

図2（A）において、基板201はガラス基板、石英基板、セラミック基板などを用いることができる。また、シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0033】

この基板201上には、酸化窒化シリコン膜（ SiO_xN_y ）から成る第1の絶縁膜202、203を積層して形成する。第1の絶縁膜202は SiH_4 、 NH_3 、及び N_2O を反応ガスとしてプラズマCVD法で形成される第1酸化窒化シリコン膜を50nmの厚さに形成し、 SiH_4 、及び N_2O を反応ガスとしてプラズマCVD法で形成される第2酸化窒化シリコン膜を100nmの厚さに形成する構造を設けベースコート層とする。

20

【0034】

半導体領域は、下地膜101上にプラズマCVD法で形成した非晶質シリコン膜を結晶化させたものを適用する。非晶質シリコン膜は50nmの厚さで形成し、加熱処理やレーザー光の照射により結晶化させる。非晶質シリコン膜をレーザー光の照射により結晶化させるには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放出されたレーザー光を光学系で線状に集光し半導体領域に照射する。結晶化の条件は実施者が適宜選択すればよい。

【0035】

その後、得られた半導体膜を所望の形状にエッチング処理して島状に分離された半導体領域204～207を形成する。

30

【0036】

また、半導体領域204～207を形成した後、nチャネル型TFETのしきい値（ V_{th} ）を制御するためにp型を付与する不純物元素を添加してもよい。半導体に対してp型を付与する不純物元素には、硼素（B）、アルミニウム（Al）、ガリウム（Ga）など周期律第13族元素が知られている。

【0037】

次いで、半導体領域102～106を覆う第2の絶縁膜208を形成する。第2の絶縁膜208は、ゲート絶縁膜とするものでもあり、プラズマCVD法やスパッタ法でシリコンを含む絶縁膜で形成する。本実施例ではプラズマCVD法で SiH_4 、及び N_2O を反応ガスとして酸化窒化シリコン膜を75nmの厚さに形成する。

40

【0038】

第2の絶縁膜208上には第1の導電膜209として膜厚30nmの窒化タンタル（Ta₂N₅）膜と、第2の導電膜210として膜厚400nmのW膜とを積層形成する。この2つの導電膜はゲート電極を形成するためのものである。また、第1の導電膜をTa膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜をTa₂N₅膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜をTa₂N₅膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0039】

50

次に、図 2 (B) に示すように、レジストからなるマスク 2 1 1 ~ 2 1 4 を形成し、第 1 のエッチング処理を行う。エッチングには I C P (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法を用いる。そのエッチング用ガスに限定はないが、W や T a N のエッチングには $C F_4$ と $C l_2$ と O_2 とを用いることが適している。それぞれのガス流量比を 2 5 / 2 5 / 1 0 (SCCM) とし、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F (1 3 . 5 6 M H z) 電力を投入してプラズマを生成してエッチングを行う。基板側 (試料ステージ) にも 1 5 0 W の R F (1 3 . 5 6 M H z) 電力を投入し、実質的に負の自己バイアス電圧を印加する。

【 0 0 4 0 】

この第 1 のエッチング処理では、レジストからなるマスクの形状を適したものとし、同時にエッチングして退縮させることにより、第 1 の導電膜及び第 2 の導電膜の端部にテーパ部を持たせて形成することができる。このテーパ部の角度は 4 5 ~ 8 5 度となる。こうして、第 1 のエッチング処理により第 1 の導電膜と第 2 の導電膜から成る第 1 形状の電極 2 1 6 ~ 2 1 8 と第 1 形状の配線 2 1 9、2 2 0 (これらはそれぞれ第 1 の導電膜 2 1 6 a ~ 2 2 0 a と第 2 の導電膜 2 1 6 b ~ 2 2 0 b から成る) を形成する。この第 1 のエッチング処理により、第 2 の絶縁膜の露出した表面は 1 0 ~ 2 0 nm 程度エッチングされ、2 2 1 で示すように第 1 形状の電極 2 1 6 ~ 2 1 8 と第 1 形状の配線 2 1 4、2 1 5 で覆われていない部分が薄くなる。

【 0 0 4 1 】

次いで、図 3 (B) に示す如くレジストからなるマスク 2 2 2、2 2 3 を形成し、第 1 のドーピング処理を行う。イオンドープ法により行う第 1 のドーピング処理は、ドーズ量を $1.5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を 6 0 ~ 1 0 0 keV とし、一導電型の不純物として燐 (P) をドーピングする。ここでは、第 1 形状の電極又はマスク 2 2 2、2 2 3 により、各半導体領域に対して選択的に添加する。こうして、第 1 濃度の n 型不純物領域 2 2 4 ~ 2 2 6 が形成される。第 1 濃度の n 型不純物領域は $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で燐を添加する。

【 0 0 4 2 】

その後、このマスク 2 2 2、2 2 3 を保持したまま、第 2 のエッチング処理を行う。第 2 のエッチング処理は異方性エッチングを行うものであり、マスク 2 1 2 を同時にエッチングして後退させながら第 1 形状の電極 2 1 7 のエッチングを行う。エッチング用ガスには $C F_4$ と $C l_2$ と O_2 とを用い、それぞれのガス流量比を 2 0 / 2 0 / 2 0 (SCCM) とし、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F (1 3 . 5 6 M H z) 電力を投入してプラズマを生成してエッチングを行う。基板側 (試料ステージ) には 2 0 W の R F (1 3 . 5 6 M H z) 電力を投入し、第 1 のエッチング処理に比べ低い自己バイアス電圧を印加する。

【 0 0 4 3 】

このエッチング条件により W 膜をエッチングする。その結果、図 3 (B) に示すように第 2 の導電膜 2 2 8 b と、その端部から突出した (突出部) で第 1 の導電膜 2 2 8 a が形成される。こうして第 2 形状の第 1 の電極 2 2 8 を形成する (第 1 の導電膜 2 2 8 a と第 2 の導電膜 2 2 8 b)。

【 0 0 4 4 】

図 3 (B) ではさらに第 2 のドーピング処理を行い、半導体領域に n 型を付与する不純物元素として燐をドーピングする。イオンドープ法の条件はドーズ量を $1.5 \times 10^{14} / \text{cm}^3$ とし、加速電圧を 6 0 ~ 1 0 0 keV として行う。この処理により、半導体領域 2 0 5 には第 2 形状の電極 2 2 8 の突出部と重なる第 2 濃度の n 型不純物領域 2 3 0 が形成される。また、半導体領域 2 0 4、2 0 6、2 0 7 にはそれぞれ第 3 濃度の n 型不純物領域 2 2 9、2 3 1、2 3 2 が形成される。第 2 濃度の n 型不純物領域には $1 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ の濃度で、第 3 濃度の n 型不純物領域には $1 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^3$ の濃度で燐を含有している。

【 0 0 4 5 】

次いで、図 4 (A) に示すようにレジストからなるマスク 2 3 3、2 3 4 を形成し第 3 の

ドーピング処理を行う。この第3のドーピング処理により、半導体領域204にp型の導電性を付与する不純物元素として硼素を添加して、p型不純物領域235を形成する。p型不純物領域235には $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で硼素が添加する。

【0046】

また、p型不純物領域236は画素部において保持容量を形成する半導体領域207に形成されるものである。

【0047】

以上までの工程でそれぞれの半導体領域にn型またはp型の不純物領域が形成される。第1形状の電極216、218及び第2形状の電極228は、ゲート電極とする。また、第1の形状の配線219は画素部において保持容量を形成する一方の電極となる。さらに、第1の形状の配線220は画素部においてデータ線を形成する。

【0048】

次いで、プラズマCVD法またはスパッタ法を用い、厚さを100nmとして酸化窒化シリコン膜から成る第3の絶縁膜237を形成する。勿論、第3の絶縁膜237は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0049】

その後、図4(B)に示すように、それぞれの半導体領域に添加された不純物元素を活性化処理する工程を行う。この活性化はファーンズアニール炉または瞬間熱アニール(RTA)法を用いて行う。加熱処理の温度は窒素雰囲気中で400~700、代表的には450~500で行う。この他に、YAGレーザーの第2高調波(532nm)を用いたレーザーアニール法を適用することもできる。レーザー光の照射により活性化を行うには、YAGレーザーの第2高調波(532nm)を用いこの光を半導体領域に照射する。勿論、レーザー光に限らずランプ光源を用いるRTA法でも同様であり、基板の両面又は基板殻からランプ光源の輻射により半導体領域を加熱する。

【0050】

その後、図5に示すように、プラズマCVD法で窒化シリコンから成る第4の絶縁膜238を100nmの厚さに形成し、クリーンオープンを用いて410の熱処理を行い、窒化シリコン膜から放出される水素で半導体領域の水素化を行う。

【0051】

次いで、第4の絶縁膜238上に有機絶縁物材料から成る第5の絶縁膜239を形成する。有機絶縁物材料を用いる理由は第5の絶縁膜の最表面を平坦化させるためである。そして、エッチング処理により第3乃至第5の絶縁膜を貫通するコンタクトホールを形成する。このエッチング処理においては外部入力端子部の第3乃至第5の絶縁膜も除去する。そして、100nmのチタン膜と、300nmのアルミニウム膜を積層して形成される配線240~243、画素電極245、走査線246、接続電極244、外部入力端子に接続する配線247を形成する。

【0052】

以上のようにして、同一基板上にpチャネル型TF T250、nチャネル型TF T251を有する駆動回路260と、nチャネル型TF T252と容量部253を有する画素部255を形成することができる。容量部253は半導体領域207、第2の絶縁膜221で形成される絶縁膜、第1形状の容量配線219で形成されている。

【0053】

駆動回路260のpチャネル型TF T250にはチャネル形成領域248、ゲート電極を形成する第1の電極216の外側にp型不純物領域235(ソース領域またはドレイン領域として機能する領域)が形成されたいわゆるシングルドレイン構造を有している。nチャネル型TF T251はチャネル形成領域249、ゲート電極を形成する第2形状の電極228と重なる第2濃度のn型不純物領域230(LDD領域)と、ソース領域またはドレイン領域として機能する第1濃度のn型不純物領域225を有している。LDDのチャネル長方向の長さは0.1~1.5 μm で形成することが可能である。このようなLDD

10

20

30

40

50

領域の構成は、主にホットキャリア効果によるＴＦＴの劣化を防ぐことを目的としている。これらｎチャネル型ＴＦＴ及びｐチャネル型ＴＦＴによりシフトレジスタ回路、バッファ回路、レベルシフト回路、ラッチ回路などを形成することができる。特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、ｎチャネル型ＴＦＴ２５１の構造が適している。

【００５４】

画素部２５５のｎチャネル型ＴＦＴ２５２にはチャネル形成領域２５０、ゲート電極を形成する第１形状の電極２１８の外側に形成される第２濃度のｎ型不純物領域２２７と、ソース領域またはドレイン領域として機能する第１のｎ型不純物領域２２６を有している。また、容量部２５３の一方の電極として機能する半導体領域２０７にはｐ型不純物領域２

10

【００５５】

画素部２５５において、２４５は画素電極であり、２４４はデータ線２２０と半導体領域２０６の第１濃度のｎ型不純物領域とを接続する接続電極である。また、２４６はゲート配線であり、図中には示されていないが、ゲート電極として機能する第１形状の電極２１８と接続するものである。

【００５６】

画素部２５５の上面図を図１３に示す。図１３ではほぼ一画素分の上面図を示し、付与する符号は図５と共通なものとしている。また、Ａ－Ａ'線の断面構造が図５に対応している。図１３の画素構造において、ゲート配線とゲート電極とを異なる層上に形成することにより、ゲート配線と半導体領域を重畳させることが可能となり、ゲート配線に遮光膜としての機能が付加されている。また、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置され、遮光膜（ブラックマトリクス）の形成を省略できる構造としている。その結果、従来に比べ開口率を向上させることが可能となっている。

20

【００５７】

以上のように、本発明はゲート電極と重なるＬＤＤを有するｎチャネル型ＴＦＴと、オーバーラップしないｎチャネル型ＴＦＴを同一基板上に形成することを可能としている。これらのＴＦＴは駆動回路部と画素部というように動作条件のことなる回路に対応して適宜配置を決めることができる。この時、ｐチャネル型ＴＦＴはシングルドレイン構造を前提

30

【００５８】

本実施例で形成される、駆動回路部２６０、画素部２５５を備えた基板を便宜上アクティブマトリクス基板と呼ぶ。図１６はアクティブマトリクス基板の回路構成の一例を示す回路ブロックである。ＴＦＴを組み込まれて形成される画素部１６０１、データ信号線駆動回路１６０２、走査信号線駆動回路１６０６が形成されている。

【００５９】

データ信号線駆動回路１６０２は、シフトレジスタ１６０３、ラッチ１６０４、１６０５、その他バッファ回路などから構成される。シフトレジスタ１６０３にはクロック信号、スタート信号が入力し、ラッチにはデジタルデータ信号やラッチ信号が入力する。また、走査信号線駆動回路１６０６もシフトレジスタ、バッファ回路などから構成されている。画素部１６０１の画素数は任意なものとするが、ＸＧＡならば１０２４×７６８個の画素が設けられる。

40

【００６０】

このようなアクティブマトリクス基板を用いて、アクティブマトリクス駆動をする表示装置を形成することができる。本実施例では画素電極を光反射性の材料で形成したため、液晶表示装置に適用すれば反射型の表示装置を形成することができる。このような基板から液晶表示装置や有機発光素子で画素部を形成する発光装置を形成することができる。

【００６１】

[実施例２]

50

本発明の他の一実施例を図6を用いて説明する。図6(A)において基板301、第1絶縁膜302、303、半導体領域304、305、306、第2絶縁膜307は実施例1と同様なものとする。

【0062】

第2絶縁膜307上には実施例1と同様に第1の導電膜と第2の導電膜を形成する。その後、フォトリソストを用いてマスク308~310を形成し、第1のエッチング処理を行う。第1のエッチング処理により端部にテーパ部を有する第1形状の電極311~313(第1の導電膜311a~313aと第2の導電膜311bと313bから成る)を形成する。その後、第1のドーピング処理を行い、第3濃度のn型不純物領域314~316を形成する。第3濃度のn型不純物領域は $1 \times 10^{17} \sim 1 \times 10^{18}/\text{cm}^3$ の濃度で形成する。

10

【0063】

次いで、図6(B)に示すようにマスク317、318を形成し、で示すpチャネル型TFTを形成する半導体領域304にp型不純物領域319を形成する。p型不純物領域は $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度でp型を付与する不純物元素を添加する。

【0064】

その後、図6(C)で示すように、以前までの工程で形成したマスクを除去して、マスク320、第1形状の電極312上のマスク321、マスク322を形成する。この状態で第2のエッチング処理を行い、第1形状の電極312を異方性エッチングする。図6(D)に示すように第2の導電膜323bと、その端部から突出した形で第1の導電膜323aを残すことができる。こうして第2形状の第1の電極323を形成する。

20

【0065】

その状態を保持したまま第3のドーピングを行い、n型を付与する不純物を添加して第1濃度のn型不純物領域324、325を形成する。また、同時に第2濃度のn型不純物領域326も形成される。第2濃度のn型不純物領域は同じドーピング処理で形成されるが、第1の導電膜323aを通過させてドーピングすることにより第1濃度のn型不純物領域よりは低濃度となり、 $1 \times 10^{16} \sim 1 \times 10^{17}/\text{cm}^3$ の濃度でn型を付与する不純物が添加されることになる。

【0066】

こうして、ゲート電極と重なるLDDを有するnチャネル型TFTと、オーバーラップしないnチャネル型TFTを同一基板上に形成することを可能となる。以降、実施例1と同様にしてアクティブマトリクス基板を形成することができる。本実施例で示す工程は、第2濃度のn型不純物領域と、第3濃度のn型不純物領域を異なるドーピング処理の工程で行うことにより、それぞれの濃度を独立して制御することができる。

30

【0067】

[実施例3]

本発明の他の一実施例を図7を用いて説明する。まず、実施例2において、図6(A)で示す工程を行い、半導体領域304~306に第3濃度のn型不純物領域を形成する。その後、図7(A)において半導体領域304上にマスク330、半導体領域306上に第1形状の電極313を覆うマスク331を形成する。この状態で第2のエッチング処理により異方性エッチングを行い第2形状に電極332(第1の導電膜332a、第2の導電膜332b)を形成する。その後、第2のドーピング処理を行い第1濃度のn型不純物領域333、334を形成する。この時、実施例2と同様に第2濃度のn型不純物領域が同時に形成することができる。

40

【0068】

その後マスクは剥離して、半導体領域305、306上にマスク335、336を形成し、第3のドーピング処理により半導体領域304にp型不純物領域337を形成する。以降、実施例1と同様にしてアクティブマトリクス基板を形成することができる。本実施例で示す工程も、第2濃度のn型不純物領域と、第3濃度のn型不純物領域を異なるドーピング処理の工程で行うことにより、それぞれの濃度を独立して制御することができる。

50

【 0 0 6 9 】

[実施例 4]

本発明の他の一実施例を図 7 を用いて説明する。図 8 (A) において基板 3 0 1、第 1 絶縁膜 3 0 2、3 0 3、半導体領域 3 0 4、3 0 5、3 0 6、第 2 絶縁膜 3 0 7 は実施例 1 と同様なものとする。

【 0 0 7 0 】

第 2 絶縁膜 3 0 7 上には実施例 1 と同様に第 1 の導電膜と第 2 の導電膜を形成する。半導体領域 3 0 5、3 0 6 上にマスク 3 4 0、3 4 1 を形成した後、第 1 のドーピング処理により半導体領域 3 0 4 に p 型不純物領域 3 4 2 を形成する。これは第 1 形状の電極 3 1 1 をマスクとして自己整合的に形成する。

10

【 0 0 7 1 】

マスク 3 4 0、3 4 1 は除去して、図 8 (B) に示すように、第 2 のドーピング処理により第 3 濃度の n 型不純物領域 3 4 3、3 4 4 を形成する。この n 型不純物領域も第 1 形状の電極 3 1 2、3 1 3 をマスクとして形成される。その後、マスク 3 4 5 ~ 3 4 7 を形成し、第 2 のエッチング処理により、第 1 形状の電極 3 1 2 を異方性エッチングする。これにより、第 2 の導電膜 3 3 2 b と、その端部から突出した形で第 1 の導電膜 3 3 2 a を形成することができる。こうして第 2 形状の第 1 の電極 3 3 2 を形成する。

【 0 0 7 2 】

その後、第 3 のドーピング処理により第 1 濃度の n 型不純物領域 3 4 9、3 5 0 を形成する。以降、実施例 1 と同様にしてアクティブマトリクス基板を形成することができる。本実施例で示す工程は、第 2 濃度の n 型不純物領域と、第 3 濃度の n 型不純物領域を異なるドーピング処理の工程で行うことにより、それぞれの濃度を独立して制御することができる。

20

【 0 0 7 3 】

[実施例 5]

本発明の他の一実施例を図 9 を用いて説明する。まず、実施例 4 において、図 8 (A) で示す工程を行い、半導体領域 3 0 4 ~ 3 0 6 に p 型不純物領域を形成する。その後、マスク 3 5 0 ~ 3 5 2 を新たに形成し、第 2 のエッチング処理により、第 1 形状の電極 3 1 2 を異方性エッチングする。これにより、第 2 の導電膜 3 3 2 b と、その端部から突出した形で第 1 の導電膜 3 3 2 a を形成することができる。こうして第 2 形状の第 1 の電極 3 3 2 を形成する。

30

【 0 0 7 4 】

その後、第 2 のドーピング処理により第 1 濃度の n 型不純物領域 3 5 4、3 5 5 を形成する。さらに、マスク 3 5 0 ~ 3 5 2 を除去し、第 3 のドーピング処理により第 2 濃度の n 型不純物領域 3 5 6 及び第 3 濃度の n 型不純物領域 3 5 7 を形成する。こうして、ゲート電極と重なる LDD を有する n チャネル型 TFT と、オーバーラップしない n チャネル型 TFT を同一基板上に形成することを可能としている。これらの TFT は駆動回路部と画素部というように動作条件のことなる回路に対応して適宜配置を決めることができる。p チャネル型 TFT はシングルドレイン構造で形成される。その他、実施例 1 と同様にしてアクティブマトリクス基板を形成することができる。

40

【 0 0 7 5 】

[実施例 6]

本発明の他の一実施例を図 10 を用いて説明する。図 10 (A) において基板 3 0 1、第 1 絶縁膜 3 0 2、3 0 3、半導体領域 3 0 4、3 0 5、3 0 6、第 2 絶縁膜 3 0 7、第 2 絶縁膜 3 0 7、第 1 形状の電極 3 1 1 ~ 3 1 3 は実施例 1 と同様なものとする。

【 0 0 7 6 】

その後、マスク 3 6 0、3 6 1 を形成し、第 1 のドーピング処理により第 1 濃度の不純物領域 3 6 2、3 6 3 を形成する。この状態で第 2 のエッチング処理を行い、第 1 形状の電極 3 1 2 を異方性エッチングする。図 10 (B) に示すように第 2 の導電膜 3 2 3 b と、その端部から突出した形で第 1 の導電膜 3 2 3 a を残すことができる。こうして第 2 形状

50

の第 1 の電極 3 2 3 を形成する。

【 0 0 7 7 】

次いで、新たにマスク 3 6 5、3 6 6 を形成し第 2 のドーピング処理により半導体領域 3 0 4 に p 型不純物領域 3 6 7 を形成する。マスク 3 6 5、3 6 6 を剥離した後、第 3 のドーピング処理により第 2 濃度の n 型不純物領域 3 6 8 と第 3 濃度の n 型不純物領域を形成する。

【 0 0 7 8 】

こうして、ゲート電極と重なる L D D を有する n チャネル型 T F T と、オーバーラップしない n チャネル型 T F T を同一基板上に形成することを可能としている。これらの T F T は駆動回路部と画素部というように動作条件のことなる回路に対応して適宜配置を決めることができる。その他、実施例 1 と同様にしてアクティブマトリクス基板を形成することができる。

【 0 0 7 9 】

[実施例 7]

本実施例では透過型の表示装置を形成するためのアクティブマトリクス基板の構成について図 1 1 を用いて説明する。図 1 1 では実施例 1 で形成されるアクティブマトリクス基板、または実施例 2 乃至 6 の工程を実施例 1 に適用して作製されるアクティブマトリクス基板の画素部 2 5 5 の構成を示している。n チャネル型 T F T 2 5 2 や容量部 2 5 3 は実施例 1 と同様にして形成する。

【 0 0 8 0 】

図 1 1 (A) は第 4 絶縁膜 2 3 8、第 5 絶縁膜 2 3 9 を形成した後、コンタクトホールを形成し、透明電極 4 0 1 を第 5 絶縁膜 2 3 9 上に所定のパターンで形成した状態を示している。透明送電膜 4 0 1 は 1 0 0 nm の厚さに形成する。酸化インジウム、酸化スズ、酸化亜鉛またはこれらの酸化物同士の化合物を透明導電膜として適用することができる。また、端子部 2 5 4 上にも透明導電膜 4 0 2 を形成する。

【 0 0 8 1 】

次に、図 1 1 (B) に示すように透明電極 4 0 1 に接続する電極 4 0 4、4 0 5、走査線 4 0 6、接続電極 4 0 3 を形成する。これらは 1 0 0 nm のチタン膜と、3 0 0 nm のアルミニウム膜を積層して形成する。このような構成により透過型の表示装置に対応したアクティブマトリクス基板を形成することができる。

【 0 0 8 2 】

[実施例 8]

本実施例では、実施例 7 で作製したアクティブマトリクス基板から、アクティブマトリクス駆動の液晶表示装置を作製する工程を図 1 2 を参照して説明する。

【 0 0 8 3 】

図 1 1 (B) の状態のアクティブマトリクス基板を得た後、そのアクティブマトリクス基板上に配向膜 4 1 3 を形成しラビング処理を行う。なお、図示しないが、配向膜 4 1 3 を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成しておいても良い。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【 0 0 8 4 】

次いで、対向基板 4 1 0 上に対向電極 4 1 1 を形成し、その上に配向膜 4 1 2 を形成しラビング処理を施す。対向電極 4 1 1 は I T O で形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤 (図示せず) で貼り合わせる。シール剤にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 4 1 5 を注入し、封止剤 (図示せず) によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。

【 0 0 8 5 】

このようにして図 1 2 に示すアクティブマトリクス駆動の液晶表示装置が完成する。ここ

10

20

30

40

50

では、実施例 7 で作製される透過型のアクティブマトリクス基板を用いる例を示したが、同様に実施例 1 で作製される反射型のアクティブマトリクス基板を用いても同様に液晶表示装置を完成させることができる。また、実施例 2 乃至 6 のどの工程を実施例 1 または実施例 7 に組み合わせてアクティブマトリクス基板を形成し、液晶表示装置を完成させることが可能である。

【 0 0 8 6 】

[実施例 9]

図 1 4 は、本発明を用いたアクティブマトリクス駆動方式の発光装置における画素部の構成を示す一例である。画素部 2 5 8 の n チャネル型 T F T 2 5 2、2 5 6 は実施例 1 乃至実施例 6 のいずれか一つの工程により作製されたものが適用される。第 5 の絶縁膜 5 0 1 の表面は窒素又は不活性ガスのプラズマ処理により表面を緻密化させる。代表的にはアルゴンプラズマ処理が適用され、緻密化は表面に炭素を主成分とする極薄膜を形成することで成し遂げられる。その後、コンタクトホールを形成し配線を形成する。配線はチタン、アルミニウムなどを用いて形成する。

【 0 0 8 7 】

画素部 2 5 8 では、データ配線 5 0 2 が n チャネル型 T F T 2 5 2 のソース側に接続し、ドレイン側の配線 5 0 3 は n チャネル型 T F T 2 5 6 のゲート電極と接続している。また、n チャネル型 T F T 2 3 5 のソース側は電源供給配線 5 0 5 と接続し、ドレイン側の電極 5 0 4 が発光素子の陽極と接続している。

【 0 0 8 8 】

本実施例における発光装置は有機発光素子をマトリクス状に配列させて構成する。有機発光装置は陽極と陰極とその間に形成された有機化合物層とから成る。陽極 5 0 6 は I T O を使い、配線を形成した後に形成する。有機化合物層は、正孔移動度が相対的に高い正孔輸送性材料、その逆の電子輸送性材料、発光性材料などを組み合わせて形成する。それらは層状に形成しても良いし、混合して形成しても良い。

【 0 0 8 9 】

有機化合物材料は合計しても 1 0 0 nm 程度の薄膜層として形成する。そのため、陽極として形成する I T O の表面は平坦性を高めておく必要がある。平坦性が悪い場合は、最悪有機化合物層の上に形成する陰極とショートしてしまう。それを防ぐための他の手段として、1 ~ 5 nm の絶縁層 5 0 8 を形成する方法を採用することもできる。絶縁層 5 0 8 としては、ポリイミド、ポリイミドアミド、ポリアミド、アクリルなどを用いることができる。

【 0 0 9 0 】

陰極は、M g A g や L i F などのアルカリ金属またはアルカリ土類金属などの材料を用いて形成する陰極 6 2 4 とから成っている。有機化合物層 6 2 3 の詳細な構造は任意なものとする。

【 0 0 9 1 】

有機化合物層 5 0 9 や陰極 5 1 0 はウエット処理（薬液によるエッチングや水洗などの処理）を行うことができないので、陽極 5 0 6 に合わせて、有機絶縁膜 5 0 1 上に感光性樹脂材料で形成される隔壁層 5 0 7 を設ける。隔壁層 5 0 7 は陽極 5 0 6 の端部を被覆するように形成する。具体的には、隔壁層 5 0 7 はネガ型のレジストを塗布し、バーク後に 1 ~ 2 μm 程度の厚さとなるように形成する。或いは、可能性アクリル又は感光性ポリイミドを使用することもできる。

【 0 0 9 2 】

陰極 5 1 0 は、仕事関数の小さいマグネシウム（M g）、リチウム（L i）若しくはカルシウム（C a）を含む材料を用いる。好ましくは M g A g（M g と A g を M g : A g = 1 0 : 1 で混合した材料）でなる電極を用いれば良い。他にも M g A g A l 電極、L i A l 電極、また、L i F A l 電極が挙げられる。さらにその上層には、窒化シリコンまたは、D L C 膜で成る絶縁膜 5 1 1 を 2 ~ 3 0 nm、好ましくは 5 ~ 1 0 nm の厚さで形成する。D L C 膜はプラズマ C V D 法で形成可能であり、1 0 0 以下の温度で形成しても、被覆性良く隔壁層 6 2 2 の端部を覆って形成することができる。D L C 膜の内部応力は、アルゴ

ンを微量に混入させることで緩和することが可能であり、保護膜として用いることが可能である。そして、DLC膜は酸素をはじめ、CO、CO₂、H₂Oなどのガスバリア性が高いので、バリア膜として用いる絶縁膜511として適している。

【0093】

図14ではスイッチング用に用いるnチャネル型TFT252をマルチゲート構造とし、電流制御用に用いるnチャネル型TFT256にはゲート電極と重なる低濃度ドレイン(LDD)を設けている。本発明は同一の工程において異なるLDD構造のTFTを形成することが可能である。発光装置への好適な応用例は図14に示され、画素部において機能に応じてLDD構造の異なるTFT(オフ電流の十分に低いスイッチング用のnチャネル型TFT252と、ホットキャリア注入に強い電流制御用のnチャネル型TFT256)の形成を可能としている。その結果、高い信頼性を有し、且つ、良好な画像表示が可能な(動作性能の高い)発光装置を得ることができる。

10

【0094】

図15はこのような画素部258を有する発光装置の構成を示す図であり、画素部258に形成した絶縁膜511上に有機樹脂512を充填し、基板513封止している。端部にはシール部材515を設けさらに気密性を高めても良い。フレキシブルプリント回路(FPC)は端子部254に装着する。

【0095】

ここで本実施例のアクティブマトリクス型自発光装置の構成を図17の斜視図を用いて説明する。本実施例のアクティブマトリクス駆動の発光装置は、ガラス基板601上に形成された、画素部602と、走査線駆動回路603と、データ線駆動回路604で構成される。画素部のスイッチング用TFT605はnチャネル型TFTであり、ゲート側駆動回路603に接続されたゲート配線606、ソース側駆動回路604に接続されたソース配線607の交点に配置されている。また、スイッチング用TFT605のドレイン領域は電流制御用TFT608のゲートに接続されている。

20

【0096】

さらに、電流制御用TFT608のデータ線側は電源供給線609に接続される。本実施例のような構造では、電源供給線609には接地電位(アース電位)が与えられている。また、電流制御用TFT608のドレイン領域には有機発光素子610が接続されている。また、有機発光素子610のカソードには所定の電圧(本実施例では10~12V)が加えられる。

30

【0097】

そして、外部入出力端子となるFPC611には駆動回路まで信号を伝達するための入出力配線(接続配線)612、613、及び電源供給線609に接続された入出力配線614が設けられている。以上のように、TFTと有機発光装置を組み合わせることで画素部を形成し、発光装置を完成させることができる。

【0098】

[実施例10]

実施例1乃至6で用いる半導体領域の作製方法の一実施例を図18を用いて説明する。図18において、非晶質構造を有する半導体領域の全面に触媒作用のある金属元素を全面に添加して結晶化した後、ゲッタリングを行う方法である。

40

【0099】

図18(A)において、基板701はその材質に特段の限定はないが、好ましくはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラス、或いは石英などを用いることができる。基板701の表面には、第1絶縁膜としてプラズマCVD法でSiH₄、NH₃、N₂Oから作製される第1酸化窒化シリコン膜702を50nmの厚さに形成し、SiH₄とN₂Oから作製される第2酸化窒化シリコン膜703を100nmの厚さに形成したものを適用する。第1絶縁膜はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体領域中に拡散しないために設けるものであり、石英を基板とする場合には省略することも可能である。

50

【0100】

第1絶縁膜の上に形成する非晶質構造を有する半導体領域704は、シリコンを主成分とする半導体材料を用いる。代表的には、非晶質シリコン膜又は非晶質シリコンゲルマニウム膜などが適用され、プラズマCVD法や減圧CVD法、或いはスパッタ法で10~100nmの厚さに形成する。良質な結晶を得るためには、非晶質構造を有する半導体領域704に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18}/\text{cm}^3$ 以下に低減させておくことが良い。これらの不純物は非晶質半導体の結晶化を妨害する要因となり、また結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。そのために、高純度の材料ガスを用いることはもとより、反応室内の鏡面処理（電界研磨処理）やオイルフリーの真空排気系を備えた超高真空対応のCVD装置を用いることが望ましい。

10

【0101】

その後、非晶質構造を有する半導体領域704の表面に、結晶化を促進する触媒作用のある金属元素を添加する。半導体領域の結晶化を促進する触媒作用のある金属元素としては鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)、金(Au)などであり、これらから選ばれた一種または複数種を用いることができる。代表的にはニッケルを用い、重量換算で1~100ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布して触媒含有層705を形成する。この場合、当該溶液の馴染みをよくするために、非晶質構造を有する半導体領域704の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンなど半導体領域の表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

20

【0102】

勿論、触媒含有層705はこのような方法に限定されず、スパッタ法、蒸着法、プラズマ処理などにより形成しても良い。また、触媒含有層103は非晶質構造を有する半導体領域704を形成する前、即ち第1絶縁膜上に形成しておいても良い。

【0103】

非晶質構造を有する半導体領域704と触媒含有層705とを接触した状態を保持したまま結晶化のための加熱処理を行う。加熱処理の方法としては、電熱炉を用いるファーンেসアニール法や、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどを用いた瞬間熱アニール(Rapid Thermal Annealing)法(以下、RTA法と記す)を採用する。生産性を考慮すると、RTA法を採用することが好ましいと考えられる。

30

【0104】

RTA法で行う場合には、加熱用のランプ光源を1~60秒、好ましくは30~60秒点灯させ、それを1~10回、好ましくは2~6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体領域が瞬間的には $600 \sim 1000$ 、好ましくは $650 \sim 750$ 程度にまで加熱されるようにする。このような高温になったとしても、半導体領域が瞬間的に加熱されるのみであり、基板100はそれ自身が歪んで変形することはない。こうして、非晶質構造を有する半導体領域を結晶化させ、図18(B)に示す結晶構造を有する半導体領域706を得ることができるが、このような処理で結晶化できるのは触媒含有層を設けることによりはじめて達成できるものである。

40

【0105】

その他の方法としてファーンেসアニール法を用いる場合には、加熱処理に先立ち、500にて1時間程度の加熱処理を行い、非晶質構造を有する半導体領域704が含有する水素を放出させておく。そして、電熱炉を用いて窒素雰囲気中にて $550 \sim 600$ 、好ましくは 580 で4時間の加熱処理を行い結晶化を行う。こうして、図18(B)に示す結晶構造を有する半導体領域(第1半導体領域)706を形成する。

【0106】

50

さらに結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するためには、結晶構造を有する半導体領域706に対してレーザー光を照射することも有効である。レーザーには波長400nm以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波を用いる。いずれにしても、繰り返し周波数10～1000Hz程度のパルスレーザー光を用い、当該レーザー光を光学系にて100～400mJ/cm²に集光し、90～95%のオーバーラップ率をもって結晶構造を有する半導体領域706に対するレーザー処理を行っても良い。

【0107】

このようにして得られる結晶構造を有する半導体領域706には、触媒元素（ここではニッケル）が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{19}/\text{cm}^3$ を越える濃度で残存している。勿論、このような状態でもTFTをはじめ各種半導体素子を形成することが可能であるが、以降に示す方法でゲッタリングにより当該元素を除去する。

【0108】

まず、図18（C）に示すように結晶構造を有する半導体領域706の表面に薄いバリア層707を形成する。バリア層の厚さは特に限定されないが、簡便にはオゾン水で処理することにより形成されるケミカルオキサイドで代用しても良い。また、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液で処理しても同様にケミカルオキไซด์を形成することができる。他の方法としては、酸化雰囲気中でのプラズマ処理や、酸素含有雰囲気中での紫外線照射によりオゾンが発生させて酸化処理を行っても良い。また、クリーンオープンを用い、200～350 程度に加熱して薄い酸化膜を形成しバリア層としても良い。或いは、プラズマCVD法やスパッタ法、蒸着法などで1～5nm程度の酸化膜を堆積してバリア層としても良い。

【0109】

その上にプラズマCVD法やスパッタ法で半導体領域708を25～250nmの厚さで形成する。代表的にはアルゴンを用いたスパッタ法でアルゴンを0.01～20原子%含む非晶質シリコン膜で形成する。この半導体領域708は後に除去するので、結晶構造を有する半導体領域706とエッチングの選択比を高くするため、密度の低い膜としておくことが望ましい。非晶質シリコン膜中に希ガス元素を添加させて、膜中に希ガス元素を同時に取り込ませると、それによりゲッタリングサイトを形成することができる。

【0110】

希ガス元素としてはヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。本発明はゲッタリングサイトを形成するためにこれら希ガス元素をイオンソースとして用い、イオンドープ法或いはイオン注入法で半導体領域に注入することに特徴を有している。これら希ガス元素のイオンを注入する意味は二つある。一つは注入によりダングリングボンドを形成し半導体領域に歪みを与えることであり、他の一つは半導体領域の格子間に当該イオンを注入することで歪みを与えることである。不活性気体のイオンを注入はこの両者を同時に満たすことができるが、特に後者はアルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）などシリコンより原子半径の大きな元素を用いた時に顕著に得られる。

【0111】

ゲッタリングを確実に成し遂げるにはその後加熱処理をすることが必要となる。加熱処理はファーンズアニール法やRTA法で行う。ファーンズアニール法で行う場合には、窒素雰囲気中にて450～600 で0.5～12時間の加熱処理を行う。また、RTA法を用いる場合には、加熱用のランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体領域が瞬間的には600～1000 、好ましくは700～750 程度にまで加熱されるようにする。

【0112】

ゲッタリングは、被ゲッタリング領域（捕獲サイト）にある触媒元素が熱エネルギーによ

10

20

30

40

50

り放出され、拡散によりゲッタリングサイトに移動する。従って、ゲッタリングは処理温度に依存し、より高温であるほど短時間でゲッタリングが進むことになる。図 1 (E) において矢印で示すように、触媒元素が移動する方向は半導体領域の厚さ程度の距離であり、ゲッタリングは比較的短時間で完遂する。

【0113】

尚、この加熱処理によっても $1 \times 10^{20}/\text{cm}^3$ 以上の濃度で希ガス元素を含む半導体領域 708 は結晶化することはない。これは、希ガス元素が上記処理温度の範囲においても再放出されず膜中に残存して、半導体領域の結晶化を阻害するためであると考えられる。

【0114】

その後、非晶質半導体 708 を選択的にエッチングして除去する。エッチングの方法としては、 ClF_3 によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキシド（化学式 $(\text{CH}_3)_4\text{NOH}$ ）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層 707 はエッチングストッパーとして機能する。また、バリア層 707 はその後フッ酸により除去すれば良い。

【0115】

こうして図 18 (E) に示すように触媒元素の濃度が $1 \times 10^{17}/\text{cm}^3$ 以下にまで減じられた結晶構造を有する半導体領域 710 を得ることができる。こうして形成された結晶構造を有する半導体領域 710 は、触媒元素の作用により細い棒状又は細い扁平棒状結晶として形成され、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。本実施例で作製される結晶構造を有する半導体領域 710 は、実施例 1 乃至 6 で示す半導体領域に適用することができる。

【0116】

[実施例 11]

実施例 10 で得られた結晶構造を有する半導体領域 706 に残存する触媒元素をゲッタリングする他の方法を図 19 に示す。結晶構造を有する半導体領域 706 上にマスク用の酸化シリコン膜を 150 nm 形成し、レジストのマスク 712 を形成した後、当該酸化シリコン膜をエッチングすることによりマスク絶縁膜 711 を得る。その後、希ガス元素、または希ガス元素と燐、または燐のみをイオンドープ法で結晶構造を有する半導体領域 706 に注入し、ゲッタリングサイト 713 を形成する。

【0117】

その後、図 19 (B) で示すようにファーネスアニール法でにより、窒素雰囲気中にて 450 ~ 600 °C で 0.5 ~ 12 時間の加熱処理を行う。この加熱処理により、結晶構造を有する半導体領域 706 に残存する触媒元素はゲッタリングサイト 713 に移動し濃集させることができる。

【0118】

その後、マスク絶縁膜 711 及びゲッタリングサイトをエッチングして除去することにより結晶構造を有する半導体領域 710 を得ることができる。本実施例で作製される結晶構造を有する半導体領域 710 は、実施例 1 乃至 6 で示す半導体領域に適用することができる。

【0119】

[実施例 12]

本発明を用いることにより様々な半導体装置を製造することができる。その様な半導体装置として、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら半導体装置の具体例を図 20 および図 21 に示す。

【0120】

図 20 (A) はデスクトップ型パーソナルコンピュータなどのモニターであり、筐体 3

10

20

30

40

50

301、支持台3302、表示部3303などから成っている。表示部3303は実施例8で示すアクティブマトリクス駆動の液晶表示装置または実施例9で示す発光装置を適用可能であり、また、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いて、デスクトップ型パーソナルコンピュータなどのモニターを完成させることができる。

【0121】

図20(B)はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。表示部3312は実施例8で示すアクティブマトリクス駆動の液晶表示装置または実施例9で示す発光装置を適用可能であり、また、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いてビデオカメラを完成させることができる。

10

【0122】

図20(C)はヘッドマウントディスプレイの一部(右片側)であり、本体3321、信号ケーブル3322、頭部固定バンド3323、投影部3324、光学系3325、表示部3326等を含む。表示部3326は実施例8で示すアクティブマトリクス駆動の液晶表示装置または実施例9で示す発光装置を適用可能であり、また、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いてヘッドマウントディスプレイを完成させることができる。

【0123】

図20(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3331、記録媒体(DVD等)3332、操作スイッチ3333、表示部(a)3334、表示部(b)3335などから成っている。表示部(a)3334は主として画像情報を表示し、表示部(b)3335は主として文字情報を表示するが、表示部3334、3335は実施例8で示すアクティブマトリクス駆動の液晶表示装置または実施例9で示す発光装置を適用可能であり、また、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いて画像再生装置を完成させることができる。

20

【0124】

図20(E)はゴーグル型表示装置(ヘッドマウントディスプレイ)であり、本体3341、表示部3342、アーム部3343を含む。表示部3342は実施例8で示すアクティブマトリクス駆動の液晶表示装置または実施例9で示す発光装置を適用可能であり、また、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いてゴーグル型表示装置を完成させることができる。

30

【0125】

図20(F)はノート型パーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。表示部3353は実施例8で示すアクティブマトリクス駆動の液晶表示装置または実施例9で示す発光装置を適用可能であり、また、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いてノート型パーソナルコンピュータを完成させることができる。

40

【0126】

図21(A)は携帯電話であり、表示用パネル2701、操作用パネル2702、接続部2703から成り、表示用パネル2701には液晶表示装置またはEL表示装置に代表される表示装置2704、音声出力部2705、アンテナ2709などが設けられている。操作パネル2702には操作キー2706、電源スイッチ2702、音声入力部2705などが設けられている。表示部2904は実施例8で示すアクティブマトリクス駆動の液晶表示装置または実施例9で示す発光装置を適用可能であり、また、本発明のTFTを適用してその他の集積回路を形成することも可能である。このように本発明を用いて携帯電話を完成させることができる。

【0127】

図21(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部

50

３４１２、操作スイッチ３４１３、３４１４を含む。表示部３４１２は実施例８で示すアクティブマトリクス駆動の液晶表示装置または実施例９で示す発光装置を適用可能であり、また、本発明のＴＦＴを適用してその他の集積回路を形成することも可能である。このように本発明を用いて音響再生装置、具体的にはカーオーディオを完成させることができる。

【０１２８】

図２１（Ｃ）はデジタルカメラであり、本体３５０１、表示部（Ａ）３５０２、接眼部３５０３、操作スイッチ３５０４、表示部（Ｂ）３５０５、バッテリー３５０６を含む。表示部３５０２、３５０５は実施例８で示すアクティブマトリクス駆動の液晶表示装置または実施例９で示す発光装置を適用可能であり、また、本発明のＴＦＴを適用してその他の集積回路を形成することも可能である。このように本発明を用いてデジタルカメラを完成させることができる。

10

【０１２９】

以上の様に、本発明の適用範囲は極めて広く、様々な電子装置に適用することが可能である。また、本実施例の電子装置は実施例１～６のどのような組み合わせからなる構成を用いても実現することができる。

【０１３０】

【発明の効果】

以上、説明したように本発明は同一の工程で、ゲート電極と重なるＬＤＤと、オーバーラップしないＬＤＤをもつＴＦＴを同時に形成することができる特徴を有している。集積回路の微細化はあらゆる半導体装置を製造する上で重要な課題である。ＴＦＴにおいても例外ではないが、チャネル長が縮小すればおのずとＬＤＤの長さも短くする必要がある。本発明では、ゲート電極と重なるＬＤＤは自己整合的に形成され、その長さもドライエッチングで第２の導電膜を除去する量（エッチング時間）により制御可能であるので精度良く加工することができるという特徴を有している。

20

【図面の簡単な説明】

【図１】 本発明のＴＦＴの作製工程を説明する図。

【図２】 反射型の表示装置に対応するアクティブマトリクス基板の作製方法を説明する断面図。

【図３】 反射型の表示装置に対応するアクティブマトリクス基板の作製方法を説明する断面図。

30

【図４】 反射型の表示装置に対応するアクティブマトリクス基板の作製方法を説明する断面図。

【図５】 反射型の表示装置に対応するアクティブマトリクス基板の作製方法を説明する断面図。

【図６】 本発明のＴＦＴの作製工程を説明する断面図。

【図７】 本発明のＴＦＴの作製工程を説明する断面図。

【図８】 本発明のＴＦＴの作製工程を説明する断面図。

【図９】 本発明のＴＦＴの作製工程を説明する断面図。

【図１０】 本発明のＴＦＴの作製工程を説明する断面図。

40

【図１１】 透過型の表示装置の作製方法を説明する断面図。

【図１２】 透過型の液晶表示装置の構造を示す断面図。

【図１３】 反射型の表示装置に対応するアクティブマトリクス基板の画素部の構成を説明する上面図。

【図１４】 発光装置の画素部の構成を説明する断面図。

【図１５】 発光装置の構成を示す断面図。

【図１６】 アクティブマトリクス基板の回路構成を説明する図。

【図１７】 アクティブマトリクス基板の構成を説明する斜視図。

【図１８】 結晶構造を有する半導体領域の作製工程を説明する図。

【図１９】 結晶構造を有する半導体領域の作製工程を説明する図。

50

【図20】 半導体装置の一例を示す図。

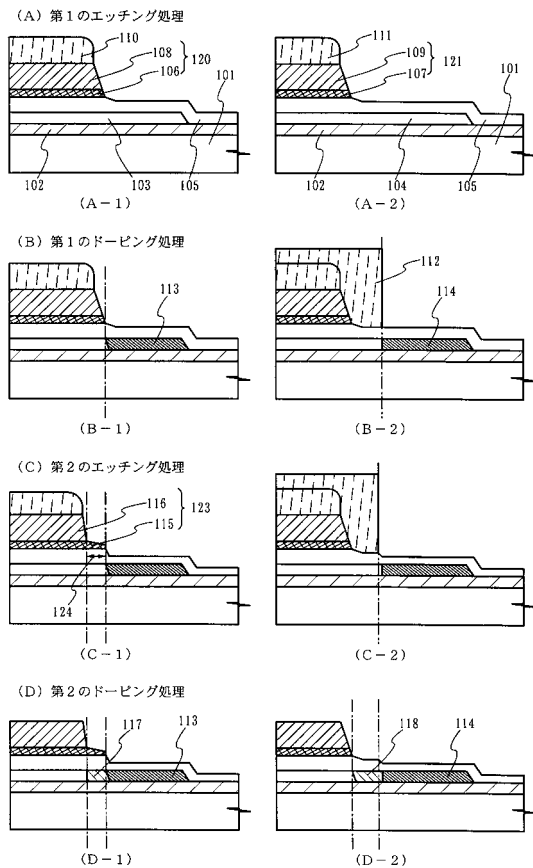
【図21】 半導体装置の一例を示す図。

【符号の説明】

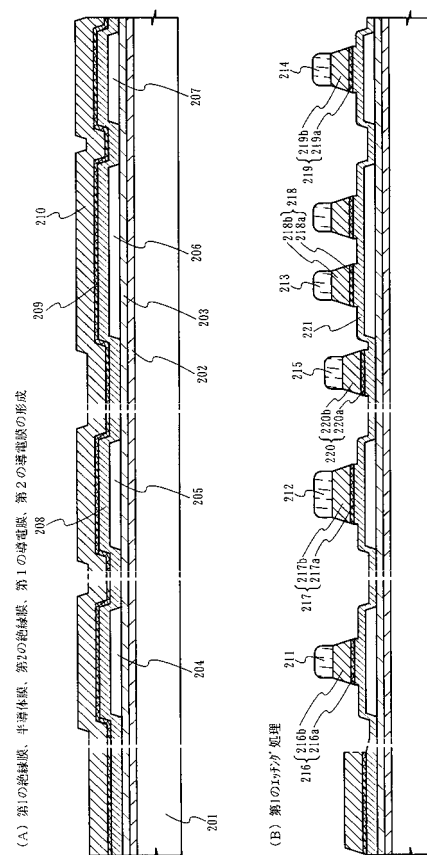
- 101 基板
- 102 第1絶縁膜
- 103、104 半導体領域
- 105 第2絶縁膜
- 113、114 第1濃度の一導電型の不純物領域
- 117 第2濃度の一導電型の不純物領域
- 118 第3濃度の一導電型の不純物領域
- 120、121 第1形状の電極
- 123 第2形状の電極
- 124 突出部

10

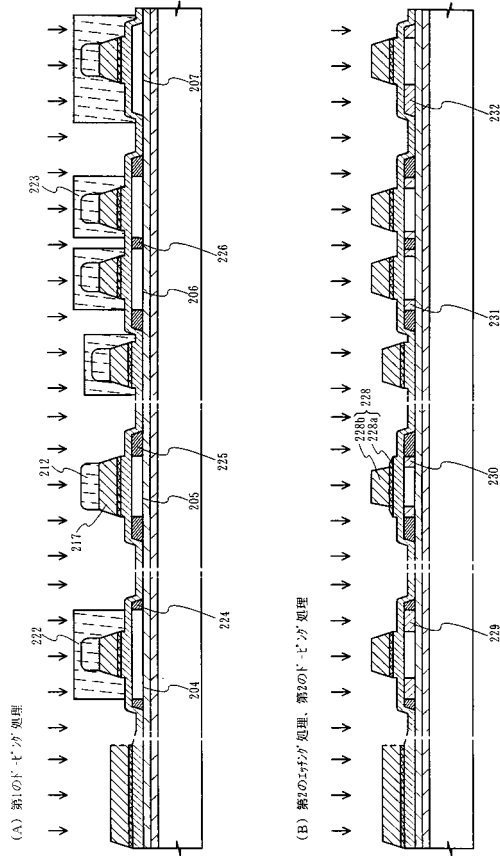
【図1】



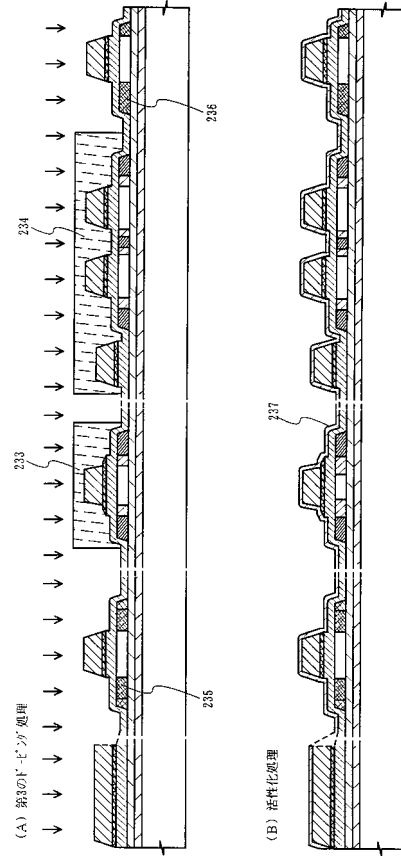
【図2】



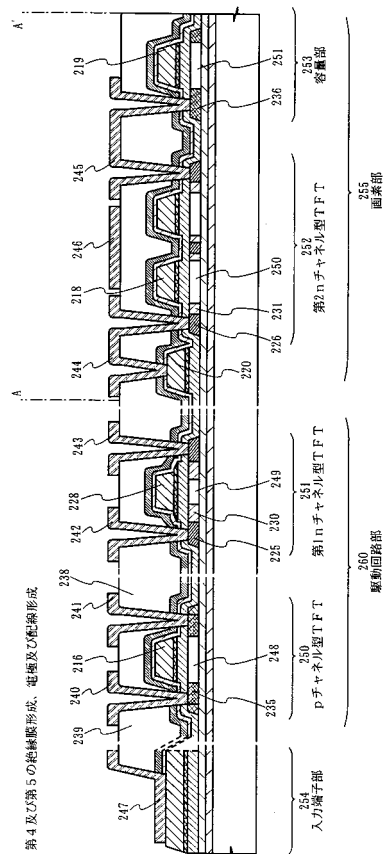
【図 3】



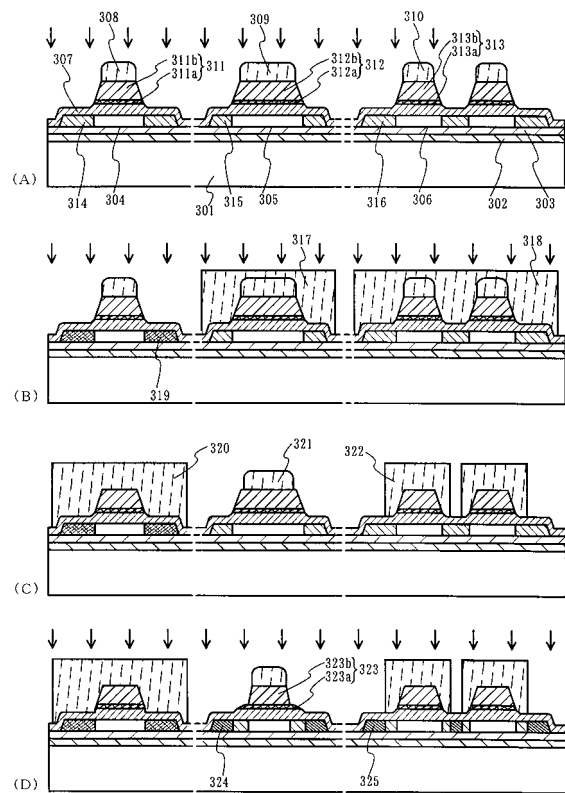
【図 4】



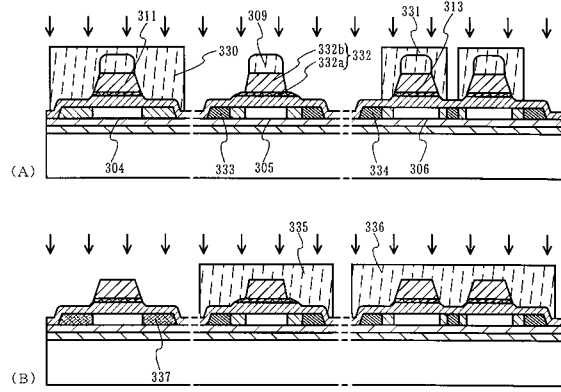
【図 5】



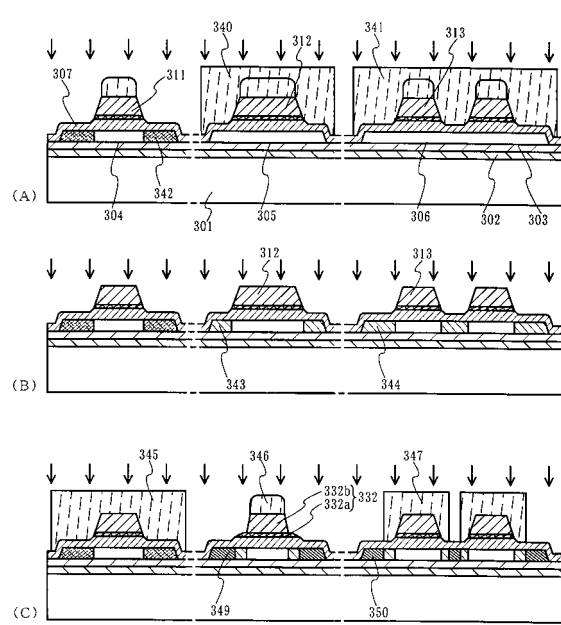
【図 6】



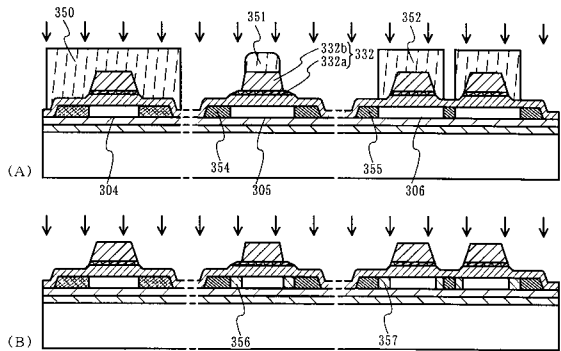
【図 7】



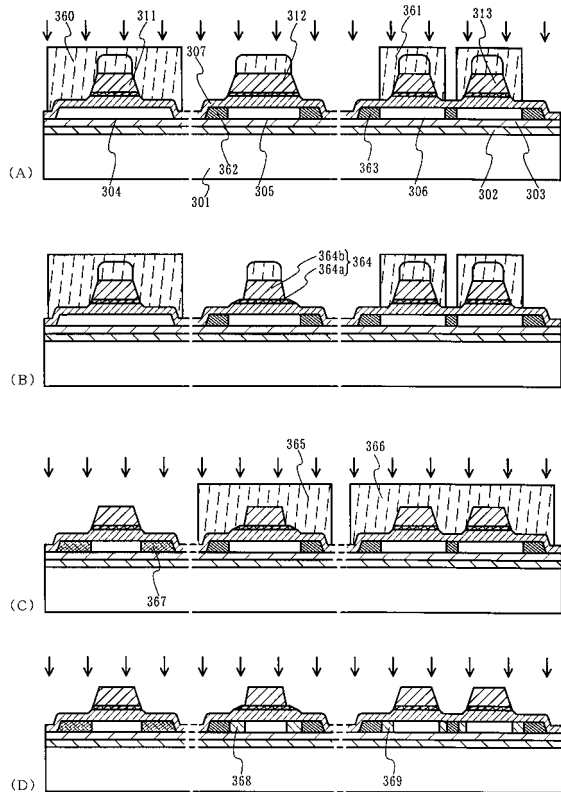
【図 8】



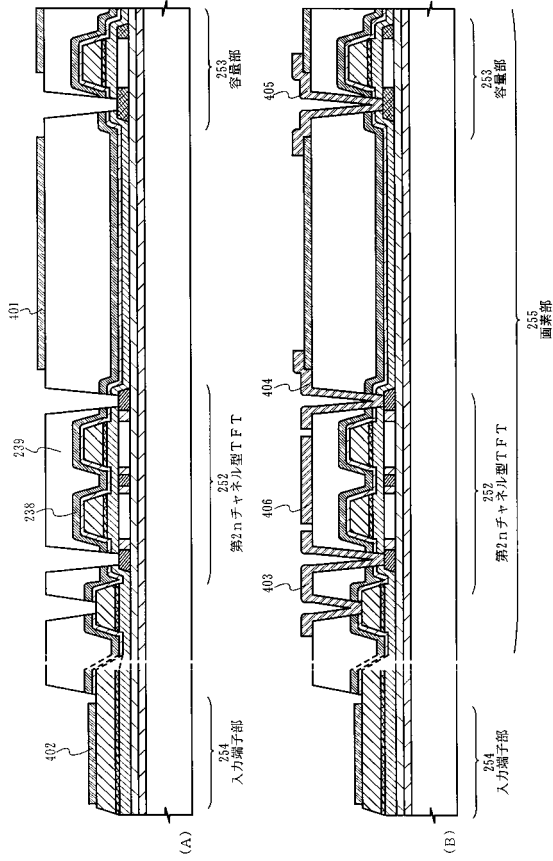
【図 9】



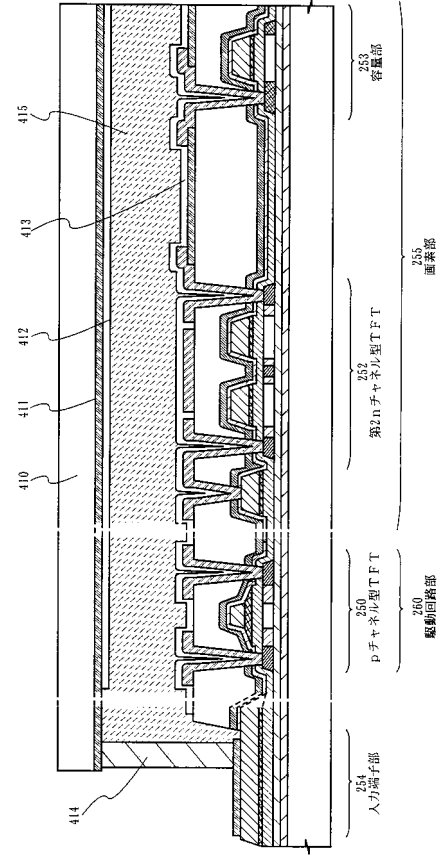
【図 10】



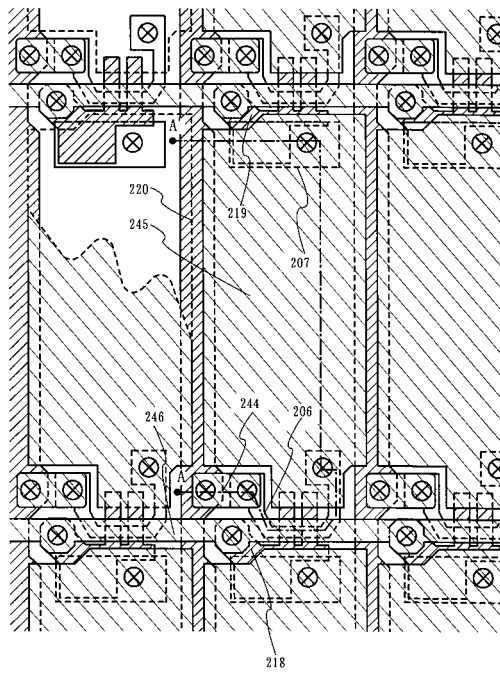
【図 1 1】



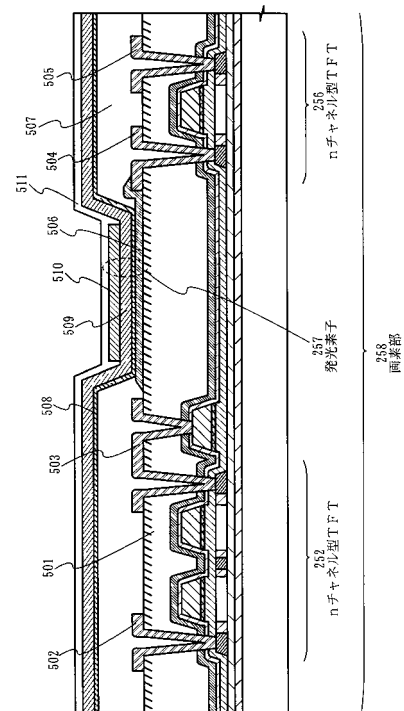
【図 1 2】



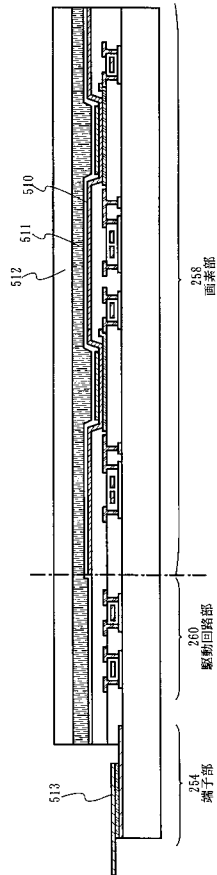
【図 1 3】



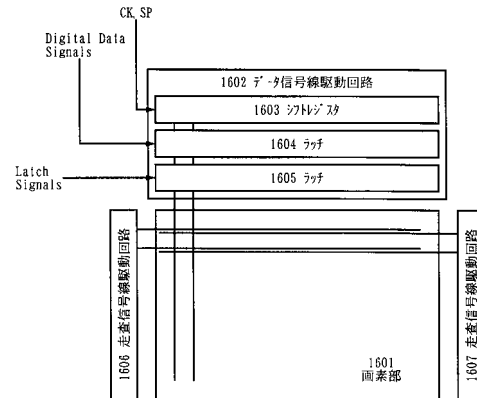
【図 1 4】



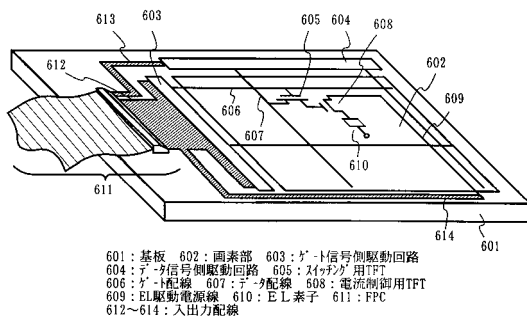
【図 15】



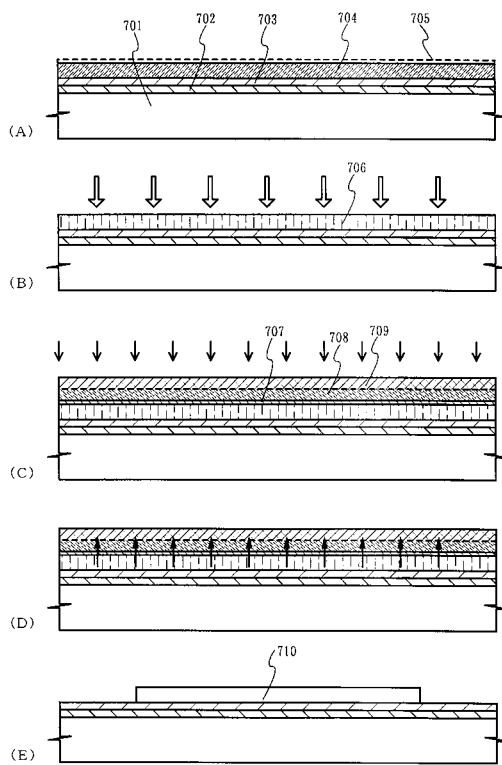
【図 16】



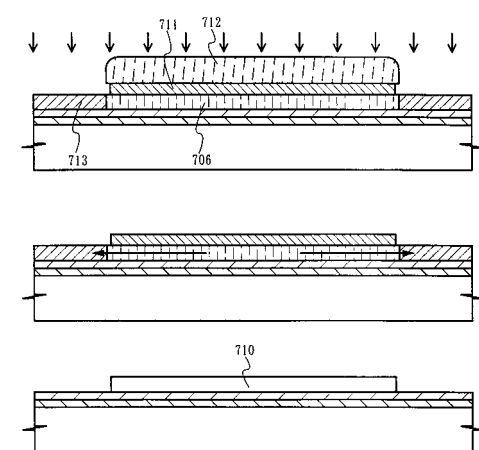
【図 17】



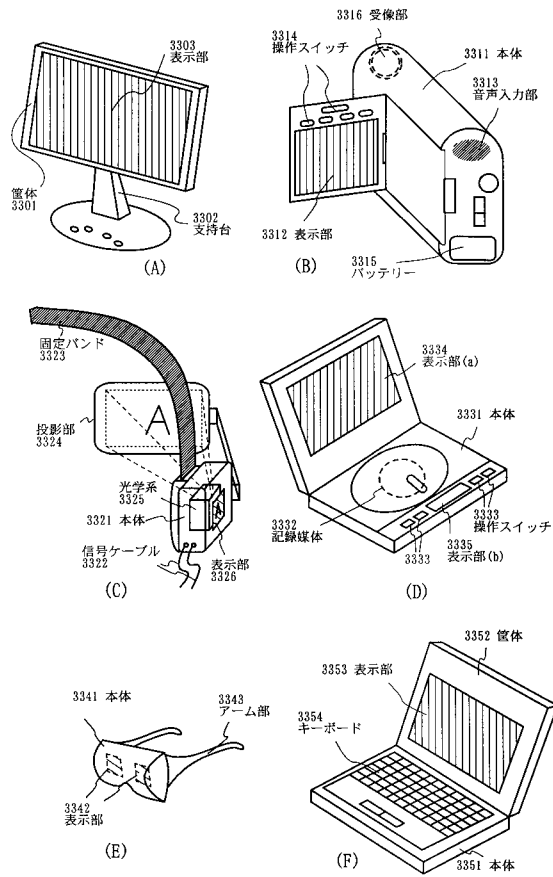
【図 18】



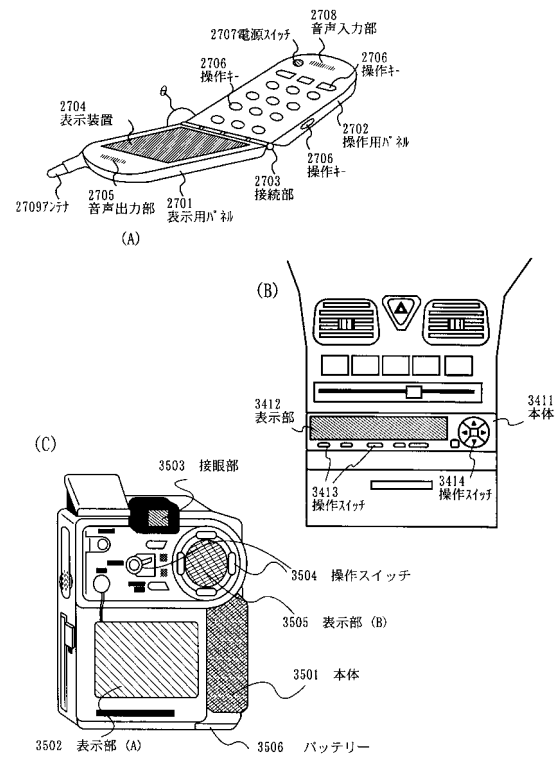
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl.

F I

G 0 2 F 1/1368

G 0 9 F 9/30 3 3 8

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/786

H01L 21/336

H01L 27/08

G02F 1/1368

G09F 9/30