

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4799391号
(P4799391)

(45) 発行日 平成23年10月26日 (2011.10.26)

(24) 登録日 平成23年8月12日 (2011.8.12)

(51) Int. Cl.	F I
H03M 1/36 (2006.01)	H03M 1/36
H03K 5/08 (2006.01)	H03K 5/08 E

請求項の数 24 外国語出願 (全 26 頁)

(21) 出願番号	特願2006-340442 (P2006-340442)	(73) 特許権者	502188642
(22) 出願日	平成18年12月18日 (2006.12.18)		マーベル ワールド トレード リミテッ ド
(65) 公開番号	特開2007-208964 (P2007-208964A)		バルバドス国 ビービー14027, セン トマイケル、ブリトンズ ヒル、ガンサイ トロード、エル ホライズン
(43) 公開日	平成19年8月16日 (2007.8.16)	(74) 代理人	100094318
審査請求日	平成21年12月16日 (2009.12.16)		弁理士 山田 行一
(31) 優先権主張番号	60/759869	(74) 代理人	100123995
(32) 優先日	平成18年1月18日 (2006.1.18)		弁理士 野田 雅一
(33) 優先権主張国	米国 (US)	(72) 発明者	セハット スタージャ
(31) 優先権主張番号	60/773029		アメリカ合衆国, カリフォルニア州, ロス アルトス ヒルズ, エレナ ロード 2 7330
(32) 優先日	平成18年2月14日 (2006.2.14)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	11/384855		
(32) 優先日	平成18年3月20日 (2006.3.20)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 改良型のフラッシュアナログデジタルコンバータ

(57) 【特許請求の範囲】

【請求項1】

中間ノードに接続する第1の端部、及び電流源に接続する第2の端部を有する二つの抵抗を含む第1の抵抗ラダーレッグと、

中間ノードに接続する第1の端部、及び電流源に接続する第2の端部を有する二つの抵抗を含む第2の抵抗ラダーレッグと、

入力信号の第1の相に基づく電圧を前記第1の抵抗ラダーレッグの前記中間ノードに印加する第1の増幅器と、

前記入力信号の第2の相に基づく電圧を前記第2の抵抗ラダーレッグの前記中間ノードに印加する第2の増幅器と、

各々が第1の入力及び第2の入力を有する複数の比較器であって、前記第1の入力が、前記第1の抵抗ラダーレッグの前記二つの抵抗のうち一方に接続しており、前記第2の入力が、前記第2の抵抗ラダーレッグの前記二つの抵抗のうち一方に接続している、該複数の比較器と、
を備え、

前記複数の比較器の前記第1の入力及び前記第2の入力は、前記第1の入力と前記中間ノードのうちの対応の中間ノードとの間の電氣的距離、及び前記第2の入力と前記中間ノードのうちの対応の中間ノードとの間の電氣的距離に基づく伝搬遅延を受け、

前記複数の比較器の前記第1の入力及び前記第2の入力に接続し、前記中間ノードのうちの対応の中間ノードから前記比較器の第1の入力までと、前記中間ノードのうちの対応

10

20

の中間ノードから前記比較器の第2の入力までとに、実質的に同一の総遅延を生成する遅延素子を更に備える差動アナログデジタルコンバータ（ADC）。

【請求項2】

前記複数の比較器の各々が較正される、請求項1記載のアナログデジタルコンバータ。

【請求項3】

前記第1の抵抗ラダーレグの前記電流源、及び前記第2の抵抗ラダーレグの前記電流源が、較正中に、ターンオフされる、請求項2記載のアナログデジタルコンバータ。

【請求項4】

前記第1の増幅器及び前記第2の増幅器が、較正中に、実質的にゼロに等しい入力信号に基づいて電圧を出力する、請求項3記載のアナログデジタルコンバータ。

10

【請求項5】

前記複数の比較器の各々が、それぞれのデジタル値に基づいて調整される可調電流源を有する、請求項2記載のアナログデジタルコンバータ。

【請求項6】

前記それぞれのデジタル値が、較正中に決定される、請求項5記載のアナログデジタルコンバータ。

【請求項7】

較正中に、前記複数の比較器の出力に基づいて、前記それぞれのデジタル値を変更する制御モジュールを更に備える、請求項6記載のアナログデジタルコンバータ。

20

【請求項8】

前記第1の増幅器及び前記第2の増幅器が、トランスインピーダンス増幅器を含む、請求項1記載のアナログデジタルコンバータ。

【請求項9】

前記第1の増幅器及び前記第2の増幅器が、ネスト型のトランスインピーダンス増幅器を含む、請求項1記載のアナログデジタルコンバータ。

【請求項10】

前記第1の抵抗ラダーレグの前記抵抗及び前記第2の抵抗ラダーレグの前記抵抗の各々が、N個の個別の抵抗を備え、Nが1より大きい整数である、請求項1記載のアナログデジタルコンバータ。

【請求項11】

30

前記個別の抵抗が、実質的に同じ抵抗値を有する、請求項10記載のアナログデジタルコンバータ。

【請求項12】

前記第1の抵抗ラダーレグの前記抵抗が、直列に接続されたN個の個別の抵抗を備える、請求項1記載のアナログデジタルコンバータ。

【請求項13】

前記第1の抵抗ラダーレグの前記抵抗が、直列に接続された複数の第1の抵抗と、前記複数の第1の抵抗の各々と並列に接続された第2の抵抗のグループと、を備える、請求項1記載のアナログデジタルコンバータ。

【請求項14】

40

前記第1の抵抗ラダーレグの前記抵抗が、直列に接続された複数の第1の抵抗と、前記第1の抵抗の各々と並列に接続された第2の抵抗のグループと、前記第2の抵抗の各々と並列に接続された第3の抵抗のグループと、を備える請求項1記載のアナログデジタルコンバータ。

【請求項15】

前記第1の抵抗ラダーレグの前記抵抗は、N個の個別の抵抗を備える、請求項1記載のアナログデジタルコンバータ。

【請求項16】

前記複数の比較器の前記第1の入力が、前記第1の抵抗ラダーレグの前記N個の個別の抵抗のうち二つの抵抗の間の接続部に接続しており、前記第2の入力が、前記第2の抵

50

抗ラダーレグの前記個別の抵抗のうちの二つの抵抗の間の接続部に接続している、請求項 15 記載のアナログデジタルコンバータ。

【請求項 17】

前記遅延素子が抵抗性の配線である、請求項 1 記載のアナログデジタルコンバータ。

【請求項 18】

前記遅延素子がトランジスタである、請求項 1 記載のアナログデジタルコンバータ。

【請求項 19】

各々が前記複数の比較器のうちの一つに対応する複数のラッチデバイスを更に備える、請求項 1 記載のアナログデジタルコンバータ。

【請求項 20】

10

前記複数のラッチデバイスが、前記複数の比較器のうちの対応の一つの比較器からの出力を、前記複数の比較器のうちの前記対応の一つの比較器の第 1 の入力及び第 2 の入力のうち少なくとも一方での伝搬遅延に基づく遅延時間で、ラッチする、請求項 19 記載のアナログデジタルコンバータ。

【請求項 21】

前記複数のラッチデバイスの出力を、前記複数のラッチデバイスのうち少なくとも一つが起動された後、実質的に同時に読み取る、請求項 20 記載のアナログデジタルコンバータ。

【請求項 22】

前記 ADC が、第 1 の金属層を有する集積回路上に実装されており、前記第 1 の抵抗ラダーレグ及び前記第 2 の抵抗ラダーレグが、前記第 1 の金属層内に実装されている、請求項 1 記載のアナログデジタルコンバータ。

20

【請求項 23】

前記第 1 の抵抗ラダーレグの前記二つの抵抗が、前記中間ノードで接続されており、互いに鏡像を成すようにレイアウトされており、前記第 2 の抵抗ラダーレグの前記二つの抵抗が、前記中間ノードで接続されており、互いに鏡像を成すようにレイアウトされている、請求項 22 記載のアナログデジタルコンバータ。

【請求項 24】

前記第 1 の抵抗ラダーレグ及び前記第 2 の抵抗ラダーレグの両者の前記抵抗の各々が、面積を最小化するために折り畳まれた形状にレイアウトされている、請求項 23 記載のアナログデジタルコンバータ。

30

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001]本出願は、2006 年 1 月 18 日に提出された米国特許仮出願第 60/759,869 号、及び 2006 年 2 月 14 日に提出された米国特許仮出願第 60/773,029 号の利益を主張するものであり、これら出願を、その全体を参照することによって本明細書に組み込むものである。

【発明の分野】

40

【0002】

[0002]本発明は、アナログデジタルコンバータに関するものであり、より詳細には、フラッシュ型（並列型）アナログデジタルコンバータに関するものである。

【発明の背景】

【0003】

[0003]ここで、図 1 を参照する。この図は、アナログデジタルコンバータ（ADC）用の差動抵抗ラダーの機能的な回路図を示している。差動抵抗ラダーは、正のレグ（leg）100 及び負のレグ 101 を有しており、これらはそれぞれ、入力信号の正相及び負相を受ける。正のレグ 100 は、第 1 の電圧源 102 を有しており、当該第 1 の電圧源 102 は、入力信号の正相（ V_+ ）に等しい AC 電圧を、グランド電位 104 を基準にし

50

て、出力する。この電圧は、抵抗 $106-1$, $106-2$, ..., $106-N$ を含む第1の抵抗 106 の第1の端子に印加される。第1の抵抗 106 の反対側の端子は、抵抗 $108-1$, $108-2$, ..., $108-N$ を含む第2の抵抗 108 の第1の端子に接続している。第2の抵抗 108 の反対側の端子は、第2の電圧源 110 に接続している。第2の電圧源 110 は、 V_+ から DC 電圧 (V_{DC}) を差し引いた値に等しい電圧を、グラウンド 104 を基準にして、出力する。

【0004】

[0004] 負のレッグ 101 は、第3の電圧源 112 を有しており、当該第3の電圧源 112 は、入力信号の負相 (V_-) に等しい AC 電圧を、抵抗 $114-1$, $114-2$, ..., $114-N$ を含む第3の抵抗 114 の第1の端子に出力する。第3の抵抗 114 の反対側の端子は、抵抗 $116-1$, $116-2$, ..., $116-N$ を含む第4の抵抗 116 の第1の端子に接続している。第4の抵抗 116 の反対側の端子は、第4の電圧源 118 に接続している。第4の電圧源は、 V_- から DC 電圧 (V_{DC}) を差し引いた値に等しい電圧を、グラウンドを基準にして、出力する。第1の抵抗 106 及び第2の抵抗 108 は、一般的には、多数（多くの場合には、2の累乗）の小さな抵抗を備えている。また、第3の抵抗 114 及び第4の抵抗 116 も、多数の小さな抵抗を備えている。線形の ADC の場合、抵抗 106 、 108 、 114 、及び 116 の各々を画成する小さな抵抗の数は、一般的には、等しい。

【0005】

[0005] 次に、図2を参照する。この図は、従来技術に係る別の差動抵抗ラダー構成の機能的な回路図を示す。差動抵抗ラダーは、正のレッグ 136 及び負のレッグ 138 を有しており、これらはそれぞれ、入力信号の正相及び負相を受ける。正のレッグ 136 は、第1の電圧源 140 を有しており、当該第1の電圧源 140 は、入力信号の正相 (V_+) に等しい電圧を、グラウンドを基準にして、出力する。この電圧は、抵抗 $142-1$, $142-2$, ..., $142-N$ を含む第1の抵抗 142 の第1の端子に印加される。第1の抵抗 142 の反対側の端子は、抵抗 $144-1$, $144-2$, ..., $144-N$ を含む第2の抵抗 144 の第1の端子、及び第2の電圧源 146 に接続している。第2の電圧源 146 は、 V_+ から DC 電圧 (V_{DC}) の $1/2$ の電圧を差し引いた値に等しい電圧を、グラウンドを基準にして、出力する。第2の抵抗 144 の反対側の端子は、第3の電圧源 148 に接続しており、当該第3の電圧源 148 は、 V_+ から V_{DC} を差し引いた値に等しい電圧を、グラウンドを基準にして、出力する。

【0006】

[0006] 負のレッグ 138 は、第4の電圧源 150 を有しており、当該第4の電圧源 150 は、入力信号の負相 (V_-) に等しい電圧を、グラウンドを基準にして、出力する。第4の電圧源 150 は、抵抗 $152-1$, $152-2$, ..., $152-N$ を含む第3の抵抗 152 の第1の端子に接続している。第3の抵抗 152 の反対側の端子は、抵抗 $154-1$, $154-2$, ..., $154-N$ を含む第4の抵抗 154 の第1の端子、及び第5の電圧源 156 に接続している。第5の電圧源 156 は、 V_- から $V_{DC}/2$ を差し引いた値に等しい電圧を、グラウンドを基準にして、出力する。第4の抵抗 154 の反対側の端子は、第6の電圧源 158 に接続しており、当該第6の電圧源 158 は、 V_- から V_{DC} を差し引いた値に等しい電圧を、グラウンドを基準にして、出力する。

【0007】

[0007] 抵抗 142 、 144 、 152 、及び 154 は、それぞれ、多数の小さな抵抗（一般的には、線形 ADC の場合の数に等しい）を備えている。図2の構成は、第2の電圧源 146 及び第5の電圧源 156 を有する場合の第1の構成に類似している。第2の電圧源 146 は、中央ノード、即ち第1の抵抗 142 と第2の抵抗 144 の間のノードに接続している。第2の電圧源 146 が無い場合、中央ノードは、駆動電圧源 140 及び 148 から等距離にあるので、入力信号を最後に受けるであろう。第2の電圧源 146 を追加することによって、このノードからの遅延を除いている。したがって、もっとも大きな遅延は、第1の抵抗 142 の中点と第2の抵抗 144 の中点にある。これら中点は、駆動電圧源

10

20

30

40

50

140及び146から離れて1/2の距離にあり、中央ノードが前に有していたRC遅延の1/4の遅延を受ける。同様の変更は、負のレッグ138にも成されており、第5の電圧源156が、さもなければ最も大きな遅延を受けるであろうノードに追加されている。

【発明の概要】

【0008】

[0008]差動アナログデジタルコンバータ（ADC）は、第1の抵抗ラダーレッグ及び第2の抵抗ラダーレッグ、第1の増幅器及び第2の増幅器、並びに、複数の比較器を備えている。第1の抵抗ラダーレッグは、中間ノードに接続する第1の端部と、電流源に接続する第2の端部とを有する二つの抵抗を含んでいる。第2の抵抗ラダーレッグは、中間ノードに接続する第1の端部と電流源に接続する第2の端部とを有する二つの抵抗を含んでいる。第1の増幅器は、入力信号の第1の相に基づく電圧を、第1の抵抗ラダーレッグの中間ノードに印加する。第2の増幅器は、入力信号の第2の相に基づく電圧を第2の抵抗ラダーレッグの中間ノードに印加する。複数の比較器はそれぞれ、第1の入力と第2の入力とを備えており、第1の入力は、第1の抵抗ラダーレッグの二つの抵抗のうちの一方に接続しており、第2の入力は、第2の抵抗ラダーレッグの二つの抵抗のうちの一方に接続している。

10

【0009】

[0009]別の特徴では、複数の比較器のそれぞれは、較正されている。第1の抵抗ラダーレッグの電流源及び第2の抵抗ラダーレッグの電流源は、較正中にターンオフされる。第1の増幅器及び第2の増幅器は、較正中に実質的にゼロに等しい入力信号に基づいて、電圧を出力する。複数の比較器の各々は、それぞれのデジタル値に基づいて調整される可調電流源を含んでいる。それぞれのデジタル値は、較正中に決定される。

20

【0010】

[0010]更に別の特徴では、ADCは、更に、制御モジュールを備えており、当該制御モジュールは、較正中に、上記それぞれのデジタル値を、複数の比較器の出力に基づいて、変更する。第1の増幅器及び第2の増幅器は、トランスインピーダンス増幅器を含んでいる。第1の増幅器及び第2の増幅器は、ネスト型（入れ子状）のトランスインピーダンス増幅器を含む。第1及び第2の抵抗ラダーレッグの抵抗のそれぞれは、N個の個別の抵抗を有している。ここで、Nは、1より大きい整数である。個々の抵抗は、実質的に同じ抵抗値を有している。

30

【0011】

[0011]更なる特徴では、第1の抵抗ラダーレッグの抵抗は、直列に接続されたN個の個別の抵抗を備えている。第1の抵抗ラダーレッグの抵抗は、直列に接続された複数の主（第1の）抵抗、及び主抵抗の各々に並列に接続された副（第2の）抵抗のグループを有している。第1の抵抗ラダーレッグの抵抗は、直列に接続された複数の主（第1の）抵抗、主抵抗の各々に並列に接続された副（第2の）抵抗のグループ、及び、副抵抗の各々に並列に接続された第3の抵抗のグループ、を備えている。

【0012】

[0012]別の特徴では、第1の抵抗ラダーレッグの抵抗は、N個の個別の抵抗を備えている。比較器の第1の入力は、第1の抵抗ラダーレッグのN個の個別の抵抗のうちの二つの間の接続部に接続されており、第2の入力は、第2の抵抗ラダーレッグの個別の抵抗のうちの二つの間の接続部に接続されている。複数の比較器の第1の入力及び第2の入力は、第1の入力及び第2の入力に対する中間ノードのうちの対応の中間ノードからの電氣的距離に基づく伝搬遅延を受ける。

40

【0013】

[0013]更に別の特徴では、ADCは、更に、複数の遅延素子を備えており、これら遅延素子はそれぞれ、比較器の第1の入力及び第2の入力に接続しており、比較器の第1の入力及び第2の入力に対する中間ノードのうちのそれぞれに対応の中間ノードまでの実質的に同じ総遅延を生成する。遅延素子は、抵抗性の配線、及び／又はトランジスタを備えている。ADCは、更に、各々が複数の比較器のうちの一つに対応する複数のラッチデバイ

50

スを備えている。複数のラッチデバイスは、複数の比較器のうちの対応の比較器からの出力を、複数の比較器のうちの対応の比較器の第1の入力及び第2の入力のうち少なくとも一方における伝搬遅延に基づく遅延時間で、ラッチする。

【0014】

[0014]更なる特徴では、ADCは、更に、復号モジュールを備え、当該復号モジュールは、複数のラッチデバイスの出力を、実質的に同時に、複数のラッチデバイスのうち最後の一つが駆動された後に、読み取る。ADCは、第1の金属層を有する集積回路上に実装されており、第1の抵抗ラダーレグ及び第2の抵抗ラダーレグは、第1の金属層内に実装されている。第1の抵抗ラダーレグの二つの抵抗は、中間ノードに接続されており、互いに鏡像となるように配置されており、第2の抵抗ラダーレグの二つの抵抗は、中間ノードに接続されており、互いに鏡像となるように配置されている。第1及び第2の抵抗ラダーレグの両者の抵抗の各々は、折り畳まれた形状で配置されており、面積を最小化している。

10

【0015】

[0015]アナログをデジタルに変換する方法は、中間ノードに接続する第1の端部、及び、電流源に接続する第2の端部を有する二つの抵抗を含む第1の抵抗ラダーレグを提供するステップと、中間ノードに接続する第1の端部、及び、電流源に接続する第2の端部を有する二つの抵抗を含む第2の抵抗ラダーレグを提供するステップと、入力信号の第1の相に基づく電圧を第1の抵抗ラダーレグの中間ノードに印加するステップと、入力信号の第2の相に基づく電圧を第2の抵抗ラダーレグの中間ノードに印加するステップと、各々が第1及び第2の入力を有する複数の比較器を提供するステップと、を含んでおり、第1の入力は、第1の抵抗ラダーレグの二つの抵抗のうち一方に接続しており、第2の入力は、第2の抵抗ラダーレグの二つの抵抗のうち一方に接続している。

20

【0016】

[0016]別の特徴では、この方法は、更に、複数の比較器を校正するステップを含む。本方法は、更に、第1の抵抗ラダーレグ及び第2の抵抗ラダーレグそれぞれの電流源を、校正中にターンオフするステップを含む。本方法は、更に、ゼロに実質的に等しい入力信号を校正中に設定するステップを含む。本方法は、更に、複数の比較器の各々の電流源を、それぞれのデジタル値に基づいて調整するステップを含む。本方法は、更に、上記それぞれのデジタル値を校正中に決定するステップを含む。

30

【0017】

[0017]更に別の特徴では、本方法は、更に、上記それぞれのデジタル値を、複数の比較器の出力に基づいて変更するステップを含む。本方法は、更に、比較器の第1の入力及び第2の入力に対する中間ノードのうちの対応の中間ノードからの遅延であって、各々の比較器に対して実質的に同一の遅延を生成するステップを含む。本方法は、更に、複数の比較器のうちの対応の比較器からの出力を、複数の比較器のうちの対応の比較器の第1の入力及び第2の入力のうち少なくとも一方における伝搬遅延に基づく遅延時間でラッチするステップを含む。本方法は、更に、ラッチされた出力を、実質的に同時に、最後のラッチイベントの後に、読み取るステップを含む。

【0018】

40

[0018]差動のアナログデジタルコンバータ(ADC)は、中間ノードに接続する第1の端部、及び電流を供給する電流源手段に接続する第2の端部を有する二つの抵抗を提供する第1のラダー手段と、中間ノードに接続する第1の端部、及び電流を供給する電流源手段に接続する第2の端部を有する二つの抵抗を提供する第2のラダー手段と、入力信号の第1の相に基づく電圧を第1のラダー手段の中間ノードに与える第1の増幅手段と、入力信号の第2の相に基づく電圧を第2のラダー手段の中間ノードに与える第2の増幅手段と、第1の入力の電圧及び第2の入力の電圧を比較する複数の比較手段と、を備えており、第1の入力は、第1のラダー手段の二つの抵抗のうち一方に接続しており、第2の入力は、第2のラダー手段の二つの抵抗のうち一方に接続している。

【0019】

50

[0019]別の特徴では、複数の比較手段の各々は、較正される。第1及び第2のラダー手段のそれぞれの電流源手段は、較正中にターンオフされる。第1及び第2の増幅手段は、ゼロに実質的に等しい入力信号に基づく電圧を、較正中に出力する。複数の比較手段の各々は、それぞれのデジタル値に基づいて調整される可調電流手段を含んでいる。上記それぞれのデジタル値は、較正中に決定される。

【0020】

[0020]更に別の特徴では、A D Cは、更に、上記それぞれのデジタル値を、複数の比較手段の出力に基づいて、較正中に変更する制御手段を備える。第1及び第2の増幅手段は、トランスインピーダンス増幅手段を含む。第1及び第2の増幅手段は、ネスト型（入れ子状）のトランスインピーダンス増幅手段を含む。第1及び第2のラダー手段の抵抗の各々は、N個の個別の抵抗を備える。ここで、Nは、1より大きい整数である。これら個別の抵抗は、実質的に等しい抵抗値を有する。

10

【0021】

[0021]更なる特徴では、第1のラダー手段の抵抗は、直列に接続されたN個の個別の抵抗を備える。第1のラダー手段の抵抗は、直列に接続された複数の第1の抵抗、主抵抗の各々に並列に接続された第2の抵抗のグループを備える。第1のラダー手段の抵抗は、直列に接続された複数の第1の抵抗、主抵抗の各々に並列に接続された第2の抵抗のグループ、第2の抵抗の各々に並列に接続された第3の抵抗のグループを備える。

【0022】

[0022]別の特徴では、第1のラダー手段の抵抗は、N個の個別の抵抗を備える。比較手段の第1の入力は、第1のラダー手段のN個の個別の抵抗のうちの二つの間の接続部に接続し、第2の入力は、第2のラダー手段の個別の抵抗のうちの二つの間の接続部に接続する。複数の比較手段の第1の入力及び第2の入力は、当該第1の入力及び第2の入力に対する中間ノードのうちの対応の中間ノードからの電氣的距離に基づく伝搬遅延を受ける。

20

【0023】

[0023]更に別の特徴では、本A D Cは、更に、中間ノードのうちの対応の中間ノードから比較手段の第1の入力及び第2の入力それぞれまでに実質的に同一の総遅延を生成する遅延手段を備える。遅延手段は、抵抗性の配線を備える。遅延手段は、トランジスタを備える。A D Cは、更に、複数の比較手段の出力をラッチするラッチ手段を備える。ラッチ手段は、複数の比較手段のうちの対応の比較手段からの出力を、複数の比較手段のうちの対応の比較手段の第1の入力及び第2の入力のうちの少なくとも一方における伝搬遅延に基づく遅延時間でラッチする。

30

【0024】

[0024]更なる特徴では、A D Cは、更に、複数のラッチデバイスの出力を、当該複数のラッチデバイスのうちの最後の一つが駆動された後に、実質的に同時に読み取る復号手段を備える。A D Cは、第1の金属層を有する集積回路上に実装され、第1及び第2のラダー手段は、第1の金属層内に実装される。第1のラダー手段の二つの抵抗は、中間ノードで接続され、互いに鏡像をなすように配置され、第2のラダー手段の二つの抵抗は、中間ノードで接続され、互いに鏡像をなすように配置される。第1及び第2のラダー手段の両者の抵抗の各々は、折り畳まれた形状に配置されて、面積を最小化する。

40

【0025】

[0025]本発明の応用の更なる範囲は、以下に提供する詳細な説明から明らかとなろう。この詳細な説明及び個別の例は、本発明の好適な実施の形態を示すが、例示のみを目的とするものであり、本発明の範囲を限定することを意図しないことを理解すべきである。

【0026】

[0026]本発明は、詳細な説明と添付の図面からより完全に理解されるであろう。

【好適な実施の形態の詳細な説明】

【0027】

[0047]以下の好適な実施の形態の説明は、本質的には単に例示のためのものであり、本発明、その用途、又は使用を限定することを全く意図しないものである。明確にするため

50

に、同一の参照番号を、図面において同一の要素を特定するために使用する。本明細書で使用されているものとして、モジュールとの用語は、特定用途向け集積回路（ASIC）、電子回路、1以上のソフトウェア又はファームウェアを実行するプロセッサ（共用、専用、又はグループ）及びメモリ、組合せ論理回路、及び／又は説明する機能を提供する他の適切な部品を指す。本明細書に使用されているものとして、A、B、及びCのうち少なくとも一つのとの分は、排他的論理ORを使用する論理学上の（A、又は、B、又はC）を意味するものと解釈されるべきものである。方法における各ステップは、本明細書の原理を変更することなく、異なる順序で実行してもよいことを理解すべきである。

【0028】

[0048]ここで、図3及び図5を参照する。これらの図は、差動アナログデジタルコンバータ（ADC）の機能的な回路図を示している。ADCは、三つのステージ、即ち、入力ステージ200、抵抗ラダー及びバイアスステージ202、比較器及び復号ステージ204を備えている。また、ADCは、例えば、不要な出力コードを削減するためのハーフグレイ（Half-Gray）符号化器のような更なるデジタルロジックを、復号ステージ204の後、又は復号ステージ204中に、備えていてもよい。ADCは、また、更なる調整回路（Conditioning Circuitry）、及び／又はサンプルホールド回路を、入力ステージの前段に、又はその一部として含んでいてもよい。

【0029】

[0049]入力ステージ200は、正相及び負相を有する差動信号を受ける。正相は、第1の増幅器210の入力に伝達され、負相は第2の増幅器212の入力に伝達される。第1の増幅器210の出力は、第3の増幅器214の入力及び第1のフィードバック抵抗216の第1の端子に接続している。第1のフィードバック抵抗216の反対側の端子は、第3の増幅器214の出力に接続しており、トランスインピーダンス増幅器（即ち、入力電流を出力電圧に変換する増幅器）を形成している。第1の増幅器210及び第3の増幅器214、並びに第1のフィードバック抵抗216は、ネスト型（入れ子状）のトランスインピーダンス増幅器を含む任意の適切な増幅器構成に置き換えてもよい。この及び他の適切なネスト型のトランスインピーダンス増幅器は、より完全に、例えば、2003年6月11に出願された米国特許出願10/459,731号に説明されており、この出願を、その全体を参照することによって本明細書に組み込む。

【0030】

[0050]第2の増幅器212の出力は、第4の増幅器の入力及び第2のフィードバック抵抗220の第1の端子に接続している。第2のフィードバック抵抗220の反対側の端子は、第4の増幅器の出力に接続している。第2の増幅器212及び第4の増幅器218、並びにフィードバック抵抗220も、ネスト型のトランスインピーダンス増幅器を含む、任意の適切な増幅器構成に置き換えることができる。

【0031】

[0051]抵抗ラダーステージ202は、正のレッグ226及び負のレッグ228を備えている。第3の増幅器214の出力は、正のレッグ226の入力ノードに接続している。第4の増幅器218の出力は、負のレッグ228の入力ノードに接続している。正のレッグ226の入力ノードは、抵抗203-1, 230-2, . . . , 230-Nを含む第1のラダー抵抗230の第1の端子、及び抵抗232-1, 232-2, . . . , 232-Nを含む第2のラダー抵抗232の第1の端子に接続している。第1のラダー抵抗230の反対側の端子は、第1の電流源234に接続しており、第1の電流源234は、電源電位236から電流を導く。第2のラダー抵抗232の反対側の端子は、第2の電流源238に接続されており、当該第2の電流源238は、電流をグランド電位240に流す。

【0032】

[0052]負のレッグ228の入力ノードは、抵抗242-1, 242-2, . . . , 242-Nを含む第3のラダー抵抗242の第1の端子、及び、抵抗244-1, 244-2, . . . , 244-Nを含む第4のラダー抵抗244の第1の端子に接続している。第3のラダー抵抗242の反対側の端子第3の電流源246に接続しており、当該第3の電流

10

20

30

40

50

源 2 4 6 は、電源電位 2 3 6 から電流を導く。第 4 のラダー抵抗 2 4 4 の反対側の端子は、第 4 の電流源 2 4 8 に接続しており、当該第 4 の電流源 2 4 8 は、グランド電位 2 4 0 に電流を流す。

【0033】

[0053] 四つの電流源 2 3 4、2 3 8、2 4 6、及び 2 4 8 は各々、バイアス電流 I_R を供給する。バイアス電流 I_R は、各ラダー抵抗 2 3 0、2 3 2、2 4 2、及び 2 4 4 に一定の電圧を生成する。この電圧は、ラダー抵抗 (R) に I_R を掛けた値に等しい。第 3 の増幅器 2 1 4 の出力は、正のレッグ 2 2 6 の入力ノードでの電圧を変更する。第 1 のラダー抵抗 2 3 0 及び第 2 のラダー抵抗 2 3 2 を介して流れる電流が一定に保たれるので、抵抗ラダー 2 3 0 及び 2 3 2 の反対側の端子での電圧は、入力ノードから離れて一定の電圧を維持する。

10

【0034】

[0054] 正のレッグ 2 2 6 の入力ノードでの電圧振幅は、従って、電流源 2 3 4 及び 2 3 8 の電圧変動 (Voltage limit) によって制限される。例えば、電源電位 2 3 6 が安定化した 1.5 V (これは、1.8 V の電源から導かれる) であり、各ラダー抵抗 (R) の値が 50 Ω とすると、適切な電流 I_R は 5 mA となるであろう。これによって、0.25 V の各ラダー抵抗における電圧が生成される。電流源 2 3 4 及び 2 3 8 が、少なくとも 0.25 V の電圧降下を要する場合には、入力ノードの電圧は、電源電位 2 3 6 の 0.5 V 以内及びグランド電位 2 4 0 の 0.5 V 以内に至る。これは、0.5 V から 1.0 V の電圧振幅、又は 0.5 V のピークツーピークの電圧振幅である。

20

【0035】

[0055] 同様の分析を負のレッグ 2 2 8 について行くと、負のレッグ 2 2 8 の入力ノードも、0.5 V V_{ppk} の振幅を達成することができる。負のレッグ 2 2 8 及び正のレッグ 2 2 6 が逆の方向に駆動される場合には、1.0 V の差動の V_{ppk} 振幅が可能である。電流源 2 3 4、2 3 8、2 4 6、及び 2 4 8 が、0.25 V のそれらの最小電圧に近い電圧で動作するときには、それらの電流は理想のものから変動することがある。この電流の変動を吸収するために、第 3 の増幅器 2 1 4 及び第 4 の増幅器 2 1 8 を、スーパーテランスコンダクタンス又は g_m 増幅器として設計してもよい。

【0036】

[0056] 比較器及び復号ステージ 2 0 4 は、比較器 2 5 0、2 5 2、2 5 3、及び 2 5 4 を有している。第 1 のラダー抵抗 2 3 0-1 の端子は、比較器 2 5 0 の第 1 の入力に接続している。第 4 のラダー抵抗 2 4 4-1 の端子は、比較器 2 5 0 の第 2 の入力に接続している。第 2 のラダー抵抗 2 3 2-1 の端子は、比較器 2 5 2 の第 1 の入力に接続している。第 3 のラダー抵抗 2 4 2-1 の端子は、比較器 2 5 2 の第 2 の入力に接続している。抵抗 2 3 0-1 と抵抗 2 3 0-2 の間の端子は、比較器 2 5 3 の第 1 の入力に接続している。第 4 のラダー抵抗 2 4 4-1 の端子は、比較器 2 5 3 の第 2 の入力に接続している。第 2 のラダー抵抗 2 3 2-1 の端子は、比較器 2 5 4 の第 1 の入力に接続している。抵抗 2 4 2-1 と抵抗 2 4 2-2 の間の端子は、比較器 2 5 4 の第 2 の入力に接続している。

30

【0037】

[0057] ラダー抵抗 2 3 0、2 3 2、2 4 6、及び 2 4 8 の各々を構成する抵抗の数 N は、一般的には、線形 ADC の場合と等しい。比較器 2 5 3 と比較器 2 5 4 の間の「...」との表示は、実際の ADC が含むことがある追加の比較器の表現として、説明の目的のために示されている。比較器とラダー抵抗 2 3 0、2 3 2、2 4 2、及び 2 4 4 それぞれの中間ノードの接続は、図 5 に関連して、以下により詳細に説明する。

40

【0038】

[0058] 比較器 2 5 0 の出力は、ラッチデバイス 2 6 0 の入力に接続している。比較器 2 5 2 の出力は、ラッチデバイス 2 6 1 の入力に接続している。比較器 2 5 3 の出力は、ラッチデバイス 2 6 2 の入力に接続している。比較器 2 5 4 の出力は、ラッチデバイス 2 6 3 の入力に接続している。ラッチデバイス 2 6 0 ~ 2 6 3 の出力は、復号モジュール 2 6 4 の入力に接続している。復号モジュール 2 6 4 は、その入力における信号を n ビットの

50

出力信号に変換する（多くの場合には、組合せの）ロジックを含む、復号モジュール 2 6 4 の入力での信号は、一般的には、サーモメータコードである。即ち、或るビットより上位の全てのビットが 0 であり、残りが 1 である（または逆である）。

【0039】

[0059] この A D C の性能特性の数値例として、各比較器が（0.4 p F の C_{in} の）入力キャパシタンスを有する場合を想定する。各ラダー抵抗（203、232、242、及び 244）は、その入力キャパシタンス（0.2 p F）の $1/2$ を見込むが、比較器の負荷が分散されるので、各ラダー抵抗で見込まれる実際のキャパシタンスは、0.1 p F より僅かに高いだけである。入力ノードからラダー抵抗のうちの一つのラダー抵抗の端部への最悪のケースの遅延は、R C 時定数から見積もることができる。50 Ω の抵抗では、遅延は、大よそ $50 \Omega \times 0.1 \text{ p F} = 5 \text{ p s}$ である。必要な帯域幅が、例えば 100 MHz（これは、ギガビットのイーサネット又は 2.5 Gb のイーサネットにとって適切である）である場合には、100 MHz の周期は 10 ns であり、 $5 \text{ p s} / 10 \text{ ns}$ 、即ち 0.5×10^{-3} の信号周期がもたらされる。これは、大よそ 10 ビットの信号分解能であり、2.5 Gb のイーサネットに必要とされる 7 又は 8 ビットより大きい。

10

【0040】

[0060] 比較器のオフセットを較正するとき、電流源 234、238、246、及び 248 を、シャットダウンすることができる。これによって、入力信号がない限り、全ての比較器がゼロの入力電圧差を見込むことが確実になる。次いで、キャリブレーションのために、入力信号を除去することができ、又は第 2 の増幅器 214 及び第 4 の増幅器 218 が、入力信号がゼロであるかのごとく動作することができる。加えて、比較器の各々を、動作コモンモード入力電圧のスイートスポット（中間電圧）で較正することができる。これは有益なものであり、その理由は、サーモメータコードの遷移を生成する比較器は、中間電圧の近傍で動作しているからである。

20

【0041】

[0061] 次に、図 4 A を参照する。この図は、比較器の第 1（プリアンプ）ステージの例示的な実装形態の機能的な回路図を示す。この回路は、第 1 のトランジスタ 272-1、第 2 のトランジスタ 272-2、第 3 のトランジスタ 274-1、第 4 のトランジスタ 274-2、第 5 のトランジスタ 276-1、第 6 のトランジスタ 276-2、及び第 7 のトランジスタ 278 を含んでいる。この実装形態では、第 1 及び第 2 のトランジスタ 272、第 3 及び第 4 のトランジスタ 274、第 5 及び第 6 のトランジスタ 276、並びに第 7 のトランジスタ 278 は、金属酸化物半導体電界効果トランジスタ（M O S F E T）であり、ゲート、ソース、及びドレインを有しているが、他のタイプのトランジスタを使用してもよい。

30

【0042】

[0062] 第 1 及び第 2 のトランジスタ 272 のソース（又は第 2 のターミナル）、並びに第 3 及び第 4 のトランジスタ 274 のソース（又は第 2 のターミナル）は、グラウンド電位 280 に接続している。第 1 及び第 2 のトランジスタ 272 のゲート端子（又はゲート端子）は、電流ミラーに接続しており、当該電流ミラーは、第 1 及び第 2 のトランジスタ 272 用のバイアス電流を設定する。電流ミラーは、第 7 のトランジスタ 278、第 1 の抵抗 282、電流源 284 を含んでいる。電流源 284 は、電源電位 286 に接続しており、第 1 の抵抗 282 の第 1 の端子に電流を出力する。第 1 の抵抗 282 の反対側の端子は、第 7 のトランジスタのドレイン（又は第 1 の端子）に接続している。第 1 の抵抗 282 のタップは、第 7 のトランジスタ 278 のゲートに接続している。幾つかの実装形態では、第 1 の抵抗 282 のタップは、センタータップである。第 7 のトランジスタ 278 のソースは、グラウンド電位 280 に接続している。

40

【0043】

[0063] 第 7 のトランジスタ 278 のゲートは、第 1 及び第 2 のトランジスタ 272 のゲートに接続している。第 3 及び第 4 のトランジスタ 274 のゲートは、それぞれ第 1 のデジタルアナログコンバータ（D A C）288-1 及び第 2 のデジタルアナログコンバータ

50

(DAC) 288-2によって制御される。第1のトランジスタ272-1及び第3のトランジスタ274-1のドレインは、互いに接続しており、且つ第5のトランジスタ276-1のドレイン及び第2の抵抗290の第1の端子に、接続している。第2のトランジスタ272-2及び第4のトランジスタ274-2のドレインは、互いに接続しており、且つ第6のトランジスタ276-2のドレイン及び第2の抵抗290の反対側の端子に、接続している。

【0044】

[0064]この回路構成では、第1のトランジスタ272-1及び第3のトランジスタ274-1を通る電流が加算されて、第5のトランジスタ276-1用のバイアス電流を生成する。同様に、第2のトランジスタ272-2及び第4のトランジスタ274-2を通る電流が加算されて、第6のトランジスタ276-2用の電流を生成する。第1のDAC2881-1及び第2のDAC288-2は各々、デジタル入力を受ける。このデジタル入力は、アナログに変換されたときに、第3及び第4のトランジスタ274を通る適切な補償電流を作る。DAC288-1へのデジタル入力の値は、電流が比較器から如何なるオフセット電圧をも取り除くように較正される。較正中に、比較器への入力である第5及び第6のトランジスタ276のゲートは、0.75Vといった参照電圧に維持される。

【0045】

[0065]第5のトランジスタ276-1のソースは、第3の抵抗292-1の第1の端子に接続している。第3の抵抗292-1の反対側の端子は、電源電位286に接続している。第6のトランジスタ276-2のソースは、第4の抵抗292-2の第1の端子に接続している。第4の抵抗292-2の反対側の端子は、電源電位286に接続している。

【0046】

[0066]次に、図4Bを参照する。この図は、比較器の第1（プリアンプ）のステージの例示の実装形態をより詳細に示す機能的な回路図である。この実装形態は、図4Aのものと類似するものであり、DAC288の一つの考えられる実装形態をより詳細に示すものである。図4AのDAC1は、この実装形態では、第1の選択入力294、及び第1のアナログマルチプレクサ296を備えている。図4AのDAC2288-2は、この実装形態では、第2の選択入力298、及び第2のアナログマルチプレクサ300を備えている。

【0047】

[0067]マルチプレクサ296及び300は、アナログ電圧を第1の抵抗282から受ける。三つの代表的な接続が示されているが、より多い接続又はより少ない接続も可能である。マルチプレクサ296及び300は、第1の抵抗282への同様の接続を用いて示されているが、異なる接続数及び異なる接続点も可能である。第1の選択入力294は、第1のマルチプレクサ296に、そのアナログ入力電圧のうち一つを選択するように命令する。この電圧は、マルチプレクサ286によって増幅されることがあるものであり、第3のトランジスタ274-1のゲートに接続している。第2の選択入力298は、第2のマルチプレクサ296に、そのアナログ入力電圧のうち一つを選択するように命令するものであり、第4のトランジスタ274-2のゲートに接続している。

【0048】

[0068]第1のマルチプレクサ296によって選択される電圧は、第7のトランジスタ278のゲートに接続する同じタップからのものであってもよい。この場合には、第3のトランジスタ274-1のゲートでの電圧は、第1のトランジスタ272-1のゲートでの電圧と同じである。第1のトランジスタ272-1及び第3のトランジスタ274-1が整合している場合には、それらの結合電流が倍になる。第3のトランジスタ274-1が第1のトランジスタ272-1の1/4のサイズである場合には、結合電流が第1のトランジスタ272-1単独のもの125%になる。この構成によって、同サイズのトランジスタと比べて、結合電流のより細かい調整が可能になる。

【0049】

[0069]次に、図4Cを参照する。この図は、本発明の原理に従う較正の実装形態の例を

示す機能ブロック図である。制御モジュール340は、デジタル値のセットを格納モジュール342に格納する。格納モジュールは、第1のセットのデジタルアナログコンバータ(DAC)344及び第2のセットのDAC346に接続している。DAC344及び346は、デジタル値を、格納モジュール342から受けて、これらの値をアナログ信号に変換する。これらのアナログ信号は、電圧及び／又は電流であってもよい。アナログデジタルコンバータ(ADC)348は、本発明の原理に従うものであり、N個の差動比較器350のセットを含んでおり、当該比較器350は、比較器350-1, 350-2, . . . , 350-Nを含んでいる。差動比較器350の各々は、第1のセットのDAC344のうち一つのDACによってバイアスされる正入力ノード、及び第2のセットのDAC346のうち一つのDACによってバイアスされる負入力ノードを有している。

10

【0050】

[0070]図4Cにおいては、例えば、第1の比較器350-1の正入力、DAC1-1344-1のアナログ出力によってバイアスされ、一方、負入力、DAC1-2346-1によってバイアスされる。第2の比較器350-2は、DAC2-1344-2によってバイアスされる正入力、及びDAC2-2346-2によってバイアスされる負入力を有している。N番目の比較器350-Nは、DACN-1344-Nによってバイアスされる正入力、DACN-2346-Nによってバイアスされる負入力を有している。制御モジュール340は、ADC348を、ゼロ入力電圧を維持する、及び／又は抵抗ラダーレグを通る電流をゼロに設定するといったように、ある状態に導く。較正は、例えば、ADCの起動時に、周期的な時間間隔で、温度変化といったパラメータを操作するとき、又は、他の適切な時間に、実施されてもよい。制御モジュール340は、ADC348のデジタル出力を受けて、ADC348の出力が所望の値に到達するまでの間、格納モジュール342内のパラメータを調整する。

20

【0051】

[0071]他の実装形態では、より多い数の又はより少ない数のDACが、ADC348における比較器の数に対応して、採用されてもよい。例えば、単一のDACが、全ての比較器の正入力側用のバイアス電流を制御し、一方、単一のDACが、全ての比較器の負入力側用のバイアス電流を制御してもよい。別の実装形態では、一つのDACを採用して、既知の入力電圧をADC348の入力に提供してもよい。ADC348の出力を、この既知の電圧と、制御モジュール340によって比較することが可能である。制御モジュール340は、次いで、格納モジュール342内の値を、ADC348の出力が所望の値に到達するまでの間、調整してもよい。

30

【0052】

[0072]次に図5を参照する。この図は、図3のADCの例示的なハイレベルの物理レイアウトを示している。正の抵抗ラダーレグ226、及び負の抵抗ラダーレグ228は、較正RAM(ランダムアクセスメモリ)358と一連の比較器との間にレイアウトされている。正のレグ226の電流源238及び234は、互いに隣接しており、また、負のレグ228の電流源248及び246に隣接している。ラダー抵抗230、232、242、及び244は、抵抗360-1、360-2、360-3、及び360-4といったそれらの構成要素である小抵抗として示してある。

40

【0053】

[0073]第2の増幅器214の出力は、第1のフィードバック抵抗216の反対側の端子に接続しており、正のレグ226の中間ノード、即ち、第1のラダー抵抗230と第2のラダー抵抗232の間のノードを駆動するように、示してある。同様に、第4の増幅器218の出力は、第2のフィードバック抵抗220の反対側の端子に接続しており、負のレグ228の中間ノードを駆動するように、示してある。正のレグ226及び負のレグ228の中間ノードは、この物理レイアウトの底部に設けられており、電流源238、234、248、及び246は、頂部に設けられている。

【0054】

[0074]比較器は、列を成して抵抗ラダーレグ226及び228の右に設けられている

50

。初めの二つの比較器 370-1 及び 370-2 は、ダミーの比較器である。次の二つの比較器 250 及び 252 は、図 3 において示したものであり、正のレッグ 226 及び負のレッグ 228 における同じノードに接続されているように示してある。次の二つの比較器 370-3 及び 370-4 は、ラダー抵抗 230、232、242、及び 244 の内部ノードに接続している。一連の比較器の底部には、最後の四つの比較器 370-127、370-128、370-129、及び 370-130 が存在する。比較器 370-129 及び 370-130 は、ダミーの比較器である。

【0055】

[0075] 比較器 250 及び 252 は、サーモメータコードにおけるビット 0 及びビット 127 にそれぞれ対応している。比較器 370-3 及び 370-4 は、ビット 1 及びビット 126 にそれぞれ対応しており、比較器 370-127 及び 370-128 は、ビット 63 及びビット 64 にそれぞれ対応している。本明細書に示す比較器の数は、7 ビット A/D (N=7) の例示の実装形態において必要とされる数である。 $2^N + 4$ (132) 個の比較器が存在し、当該比較器のうちの四つは、ダミーの比較器である。抵抗ラダーのレッグ 226 及び 228 は各々、 2^{N-1} (64) 個の抵抗を有している。ラダー抵抗 230、232、242、及び 244 は、従って、32 個の個別の抵抗を有している。

【0056】

[0076] 第 2 の増幅器 214 からの信号は、当該信号が抵抗ラダーの正のレッグ 226 に注入される点において、即ち、抵抗 360-1 と抵抗 360-2 の間のノードにおいて、最小の遅延を受ける。同様に、第 4 の増幅器 218 からの信号は、当該信号が抵抗ラダーの負のレッグ 226 に注入される点において、抵抗 360-3 と抵抗 360-4 の間の中央ノードにおいて、最小の遅延を受ける。信号が増幅器 214 及び 218 から抵抗ラダーレッグ 226 及び 228 の各々の対応の端部に伝搬するにつれて、最大の遅延が電流源 234、238、246、及び 248 の近傍において与えられる。抵抗ラダーの端部に置かれた比較器に到達する信号は最も遅延を受けており、A/D によって測定される電圧の極値は増幅器 214 及び 218 により近い比較器によって計測される中間の電圧と比べて遅らされる。

【0057】

[0077] この歪を、図 6 に図示する。理想の 1 周期のサイン波 400 が示されており、また、A/D に固有の伝搬遅延によって歪んだ 1 周期のサイン波が示されている。中間の電圧では、略無遅延であり、一方、電圧の極値では、プラス及びマイナスの両方で、より大きな遅延がある。二つの手法は、この歪みを軽減し、又は、更に除去することができる。

【0058】

[0078] 次に図 7 を参照する。この図は、プログレッシブ比較器の遅延素子を図示している。比較器の入力は、ここでは 408 で示されており、入力増幅器 410 の近傍にあり、通常は入力信号を無遅延で受ける。一方、比較器 412 のように増幅器 410 からより離れている側の比較器の入力は、より大きな遅延を受ける。この差異を補償するために、遅延が、比較器の入力に近い入力に通じる入力パスに加えられ、これによって全ての比較器の入力が同等の遅延を受ける。増幅器 410 に最も近い比較器の入力は、長い信号トレース 414 として図示されるように、最も大きい追加の遅延を必要とするであろう。追加の遅延は、最も離れている比較器 412 が、短い信号トレース 416 によって示されるように、追加の遅延を有さなくなるまで、比較器の入力が増幅器 410 から離れるにつれて減少される。

【0059】

[0079] 比較器の入力の遅延は、トランジスタを用いて、より好適に実装し得るものである。なお、注目の比較器が遷移領域（中程度の信号に近い）におけるものであるので、遅延は、同一のトランジスタ素子が遅延素子用に使用される場合には、比較器のコモンモード入力電圧が通常では異なっている、常に適正なものとなる。調整可能な遅延素子のサイズは、必要な最大の遅延の値を考慮して設計されるべきである。

【0060】

[0080]次に、図8を参照する。この図は、ADCにおける伝搬遅延に起因する歪みを最小化するための代替のスキームを図示している。ストロブ増幅器(strobe amplifier) 430は、ラッチデバイス(図3において最初に示した)に接続しており、当該ラッチデバイスのうちの三つ、即ち、第1のラッチデバイス432-1、第2のラッチデバイス432-2、及び第3のラッチデバイス432-3を同図に示している。ラッチデバイス432は、それらの入力を対応の比較器から受ける。

【0061】

[0081]ラッチデバイスは、ストロブによって起動され、その点で、当該ラッチデバイスはその入力における値(対応の比較器から受ける0又は1の何れか)を維持する。駆動増幅器から最も離れている比較器が最も大きな遅延を受けるので、それぞれのラッチデバ
10
イスを、それぞれの比較器が受ける遅延によって決定される対応のより遅れた時間において、起動することができる。全てのラッチデバイスがストロブされた(トリガされた)後、それらの内容を同時に読み取って、デジタル出力ストリングを決定することができる。このストリングは、サーモメータコードからバイナリーコードへ復号モジュール(例えば、図3の復号モジュール264)によって変換されてもよい。ラッチデバイスは、それらの内容がラッチされた後、全て同時に読み取られるので、それらが異なる時間にストロブされたという事実は出力に転換されない。

【0062】

[0082]ラッチデバイスを様々な時間でストロブするために、ストロブ増幅器430は、ストロブ信号をラッチデバイス432へ一連の遅延素子434を介して伝送する。
20
遅延素子434は、抵抗性の配線として図表現されているが、他の遅延素子、例えばトランジスタが使用されてもよい。第3のラッチデバイス432-3は、ストロブ増幅器430の最も近くにあり、従って、それに対応の比較器の出力を最も早くラッチする。第2のラッチデバイス432-2は、ストロブ増幅器430から更に離れて設けられており、従って、それに対応の比較器の出力を僅かに遅れてラッチする。第1のラッチデバイス432-1は、ストロブ増幅器430から更に離れて設けられており、従って、それに対応の入力を最後にラッチする。繰り返すと、最も離れたラッチデバイス432-1に到達する際のストロブ信号のより大きな遅延は、入力電圧信号が第1のラッチデバイス432-1に関連する最も離れた比較器に到達するための時間を考慮している。

【0063】

[0083]次に図9を参照する。この図は、セグメント型の抵抗ラダーの実装形態の機能的な回路図を示している。先の図、例えば図5では、抵抗ラダーは、直列接続の抵抗として示されていた。128個の抵抗をもつ100Ωの抵抗ラダーの場合(差動構成では8ビットの分解能を、シングルエンド構成では7ビットの分解能をもたらすことができる)、各抵抗は、約0.78Ω(100Ω/128)であろう。この小さな抵抗は、正確に作ることが難しいか、又は、多くのプロセスでは全く作ることができないものである。その解決手法は、セグメント型のラダーネットワークを使用することである。
30

【0064】

[0084]主(第1の)セグメント450は、多数の主(第1の)セグメント抵抗452を有しており、一方、副(第2の)セグメント454は、多数の副(第2の)抵抗456を
40
有している。M個の副抵抗456のグループは、互いに直列に接続されており、一つの主抵抗452と並列に接続されている。この並列の組合せは、抵抗ラダー用に必要とされるだけ何度も繰り返される。一例として、八つの主抵抗が主セグメントにある場合には、128個の総段数をもつ抵抗ラダーを作るために、副抵抗の各グループは、16個(M=128/8)の抵抗を含むべきである

【0065】

[0085]抵抗ラダーが、100Ωの抵抗をもつべき場合には、主抵抗に16個の副抵抗を持ち合わせる並列の組合せの各々が、12.5Ω(100Ω/8)となるべきである。主抵抗が15Ωの抵抗をもつ場合には、15Ωに並列の75Ωによって、必然的に12.5Ωがもたらされる。副抵抗の各々は、従って、4.69Ω(75Ω/16)であることが
50

可能である。

【0066】

[0086]次に、図10を参照する。この図は、3段のセグメント型のラダーネットワークを示す。図9の2段のセグメント型のネットワークによって必要とされる抵抗、例えば4.69Ωの抵抗が、実装するには未だ小さすぎる場合に、第3のセグメントを追加することができる。主、副、及び第3の抵抗からなる一つの並列の組合せの例を図10に示す。これら並列の組合せの八つによって、128個の総段数をもつ抵抗ラダーが達成されるであろう。主セグメントの15Ωの抵抗452は維持されている。第3の抵抗460のグループは、一つの副抵抗462と並列に設けられており、これら並列の組合せのグループが、互いに直列に設けられており、且つ、主抵抗462に並列に設けられている。

10

【0067】

[0087]第3の抵抗の各々が15Ωである場合には、直列の四つのグループが60Ωになる。27.3Ωに並列の60Ωは、18.75Ωを生成する。これら18.75Ωの並列の組合せを直列に四つ用いることによって、75Ωを生成する。15Ωの主抵抗に並列の75Ωは、12.5Ωを生成し、8回繰り返されると、適切な100Ωの総計の抵抗が抵抗ラダーに与えられる。このような抵抗のセグメント化は、必要とされる最も小さな抵抗が電流プロセス技術において作り出されるまで、続けることが可能である。

【0068】

[0088]抵抗がサイズにおいて未だ比較的小さいので、各種セグメントは、金属配線を用いて製造してもよい。副セグメントのサイズ次第では、抵抗がポリマー抵抗 (poly resistance) を用いて作られることもある。主抵抗セグメントは、等しい金属厚を保証するために、同材料の別の金属によって囲まれるべきである。これは、65nmプロセスにおいてより重要である。というのも、CMP (化学機械平坦化) は、金属密度が均一でない場合には、金属厚を主セグメントに沿って簡単に变化させることがあるからである。金属抵抗を、図5に示すように、較正RAMと比較器アレイの間に当該抵抗を置くことによって、囲むことができる。CMPのディッシング (dishing) 問題は、各々の金属レベルがより高くなるに伴って蓄積し、Metal 1をその均一性に起因して所望の抵抗材料にする。金属抵抗を用いると、最後の2〜3ビットを分解する (2又は4のみによって割る) ことを除いて、副抵抗を必要としない十分な可能性がある。なお、1によって割ることは、副抵抗がないことを意味する。

20

30

【0069】

[0089]次に、図11を参照する。この図は、抵抗ラダーの例示のレイアウトを示している。第1の金属 (Metal) 1の配線480は、抵抗としての役割を果たすものであり、折り畳まれた形状にレイアウトされて、必要な面積を最小化している。第2の金属1の配線481は、折り畳まれた構成を有しており、第1の金属1の配線480のそれと同一形状で対称にされたものであり、第1の金属1の配線480の隣に設けられている。第1の金属1の配線480の端部は、第2の金属1の配線481の隣接端部に接続されている。この接続点は、入力増幅器への接続のための接触部 (contact square) 482を含んでいる。接触部482は、第1の金属1の配線480及び第2の金属1の配線481によって形成される金属1の構造の中間に設けられている。金属1の配線480及び481は、(図3のラダー抵抗230及び232のような) 抵抗ラダーの半分を構成する。金属2の配線484は、金属1の配線480及び481と、追加の接触部485で接触する。

40

【0070】

[0090]次に図12A〜図12Gを参照する。これらの図は、本デバイスの種々の例示的な実装形態を示す。ここで、図12Aを参照する。本デバイスを、ハードディスクドライブ500において実装することが可能である。本デバイスは、図12Aにおいては大まかに502で特定されている信号処理回路及び／又は制御回路の何れか又は両者、並びに／若しくは、電源503におけるアナログデジタルコンバータに、実装してもよく、及び／又は実装されてもよい。幾つかの実装形態では、HDD500における信号処理及び／又は制御回路502、並びに／若しくは他の回路 (図示せず) は、データを処理し、符号化

50

及び／又は暗号化を実行し、計算を実行し、並びに／若しくは、磁気格納媒体 5 0 6 へ出力されるデータ及び／又は磁気格納媒体 5 0 6 から受信されるデータをフォーマットしてもよい。

【0071】

[0091]HDD 5 0 0 は、ホストデバイス（図示せず）と通信することがある。当該ホストデバイスは、例えば、コンピュータ、パーソナルデジタルアシスタントといった携帯計算デバイス、携帯電話、メディア又はMP3プレーヤ等、及び／又は、一又はそれより多い数の有線又は無線の通信リンク 5 0 8 を経由する他のデバイスのようなものである。HDD 5 0 0 は、メモリ 5 0 9 に接続されていてもよい。当該メモリ 5 0 9 は、ランダムアクセスメモリ（RAM）、フラッシュメモリのような低遅延不揮発性メモリ、リードオンリーメモリ（ROM）、及び／又は、他の適切な電子データ格納装置のようなものである。

10

【0072】

[0092]次に、図 1 2 B を参照する。本デバイスを、デジタル多用途ディスク（DVD）ドライブ 5 1 0 において実装することができる。本デバイスは、図 1 2 B においては基本的に 5 1 2 で特定されている信号処理回路及び／又は制御回路の何れか又は両者、DVD ドライブ 5 1 0 の大容量データ格納装置、並びに／若しくは、電源 5 1 3 におけるアナログデジタルコンバータに、実装してもよく、及び／又は実装されてもよい。信号処理及び／又は制御回路 5 1 2、並びに／若しくは、DVD 5 1 0 内の他の回路（図示せず）は、データを処理し、符号化及び／又は暗号化を実行し、計算を実行し、並びに／若しくは、磁気格納媒体 5 1 6 から読み出されるデータ及び／又は磁気格納媒体 5 1 6 へ書き込まれるデータをフォーマットしてもよい。幾つかの実装形態では、信号処理及び／又は制御回路 5 1 2、並びに／若しくはDVD 5 1 0 における他の回路（図示せず）は、また、符号化及び／復号、並びに／若しくは、DVD ドライブに関連する任意の他の信号処理機能のような他の機能を実行することができる。

20

【0073】

[0093]DVD ドライブ 5 1 0 は、出力デバイス（図示せず）と通信することがある。当該出力デバイスは、例えば、コンピュータ、テレビ、又は、一又はそれより多い数の有線又は無線の通信リンク 5 1 7 を経由する他のデバイスのようなものである。DVD 5 1 0 は、データを不揮発性の態様で格納する大容量データ格納装置 5 1 8 と通信してもよい。この大容量データストレージ 5 1 8 は、ハードディスクドライブ（HDD）を含み得るのである。このHDDは、図 1 2 A に示す構成を有していてもよい。HDDは、ミニHDDであってもよく、当該ミニHDDは、一又はそれより多い数のプラッタを含み、当該プラッタは、約 1.8 インチより小さい直径を有するものである。DVD 5 1 0 は、メモリ 5 1 9 に接続されていてもよい。当該メモリ 5 1 9 は、RAM、ROM、フラッシュメモリのような低遅延不揮発性メモリ、及び／又は他の適切な電子データ格納装置のようなものである。

30

【0074】

[0094]次に、図 1 2 C を参照する。本デバイスを、高精細テレビ（HDTV）5 2 0 において実装することが可能である。本デバイスは、図 1 2 E において基本的に 5 2 2 で特定されている信号処理回路及び／又は制御回路の何れか又は両者、WLAN インタフェイス、HDTV 5 2 0 の大容量データ格納装置、並びに／若しくは電源 5 2 3 におけるアナログデジタルコンバータに実装してもよく、及び／又は実装されてもよい。HDTV 5 2 0 は、HDTV 入力信号を有線又は無線形式の何れかで受信し、HDTV 出力信号をディスプレイ 5 2 6 に出力する。幾つかの実装形態では、信号処理回路及び／又は制御回路 5 2 2、並びに／若しくは、HDTV 5 2 0 の他の回路（図示せず）は、データを処理し、符号化及び／又は暗号化を実行し、計算を実行し、データをフォーマットし、並びに／若しくは、必要とされ得る任意の他の種別のHDTV処理を実装してもよい。

40

【0075】

[0095]HDTV 5 2 0 は、大容量データ格納装置 5 2 7 と通信してもよい。当該格納装

50

置 5 2 7 は、不揮発性の態様でデータを格納するものであり、光学式及び／又は磁気式の格納装置のようなものである。少なくとも一つの HDD が、図 1 2 A に示す構成を有していてもよく、及び／又は、少なくとも一つの DVD が、図 1 2 B に示す構成を有していてもよい。この HDD は、ミニ HDD であってもよく、当該ミニ HDD は、一又はそれより多い数のプラッタを含み、当該プラッタは、約 1.8 インチより小さい直径を有するものである。HDTV 5 2 0 は、メモリ 5 2 8 に接続されていてもよい。当該メモリ 5 2 8 は、RAM、ROM、フラッシュメモリのような低遅延不揮発性メモリ、及び／又は他の適切な電子データ格納装置のようなものである。HDTV 5 2 0 は、また、WLAN による WLAN ネットワークインタフェース 5 2 9 を介した接続をサポートしてもよい。

【0076】

10

[0096]次に図 1 2 D を参照する。本デバイスは、車両 5 3 0 の制御システム、WLAN インタフェース、車両制御システムの大容量データ格納装置、及び／又は電源 5 3 3 におけるアナログデジタルコンバータに実装してもよく、及び／又は、実装されてもよい。幾つかの実装形態では、本デバイスは、パワートレイン制御システム 5 3 2 を実現する。このパワートレイン制御システム 5 3 2 は、一又はそれより多い数のセンサ、例えば、温度センサ、圧力センサ、回転センサ、気流センサ、及び／又は他の適切なセンサからの入力を受けるものであり、及び／又は、一又はそれより多い数の出力制御信号、例えば、エンジン動作パラメータ、トランスミッション動作パラメータ、及び／又は他の制御信号を、生成するものである。

【0077】

20

[0097]本デバイスは、また、車両 5 3 0 の他の制御システム 5 4 0 に実装されてもよい。制御システム 5 4 0 は、同様に、入力センサ 5 4 2 からの信号を受信してもよく、及び／又は、制御信号を一又はそれより多い数の出力デバイス 5 4 4 に出力してもよい。幾つかの実装形態では、制御システム 5 4 0 は、アンチロックブレーキングシステム (ABS)、ナビゲーションシステム、テレマティックスシステム、車両テレマティックスシステム、車線脱線システム、適応走行制御システム、並びに、ステレオ、DVD 及びコンパクトディスク等の車両娯楽システムの一部であってもよい。更に別の実装形態も考えられる。

【0078】

[0098]パワートレイン制御システム 5 3 2 は、不揮発性の態様でデータを格納する大容量データ格納装置 5 4 6 と通信してもよい。大容量データ格納装置 5 4 6 は、光学式及び／又は磁気式の格納デバイスを含み得るものであり、例えば、ハードディスクドライブ HDD、及び／又は DVD である。少なくとも一つの HDD が、図 1 2 A に示す構成を有していてもよく、及び／又は、少なくとも一つの DVD が、図 1 2 B に示す構成を有していてもよい。この HDD は、ミニ HDD であってもよく、当該ミニ HDD は、一又はそれより多い数のプラッタを含み、当該プラッタは、約 1.8 インチより小さい直径を有するものである。パワートレイン制御システム 5 3 2 は、メモリ 5 4 7 に接続されていてもよい。このメモリ 5 4 7 は、RAM、ROM、フラッシュメモリのような低遅延不揮発性メモリ、及び／又は他の適切な電子データ格納装置といったものである。パワートレイン制御システム 5 3 2 は、また、WLAN による WLAN ネットワークインタフェース 5 4 8 を介して接続をサポートしてもよい。制御システム 5 4 0 は、また、大容量データ格納装置、メモリ、及び／又は WLAN インターフェイス (全て図示せず) を有していてもよい。

30

40

【0079】

[0099]次に、図 1 2 E を参照する。本デバイスを、携帯電話 5 5 0 内に実装することが可能である。携帯電話 5 5 0 は、携帯用アンテナ 5 5 1 を含み得るものである。本デバイスは、図 1 2 E では大まかに 5 5 2 で特定されている信号処理回路及び／又は制御回路の何れか又は両者、WLAN インタフェース、携帯電話 5 5 0 の大容量データ格納装置、並びに／若しくは、電源 5 5 3 におけるアナログデジタルコンバータに実装してもよく、及び／又は実装されてもよい。幾つかの実装形態では、携帯電話 5 5 0 は、マイクロフォン 5 5 6、スピーカ及び／又はオーディオ出力ジャックのようなオーディオ出力 5 5 8、デ

50

ィスプレイ 560、並びに／若しくは、キーボード、ポインティングデバイス、音声駆動器、及び／又は他の入力デバイスといった入力デバイスを含む。信号処理及び／又は制御回路 552、並びに／若しくは、携帯電話 550 内の他の回路（図示せず）は、データを処理し、符号化及び／又は暗号化を実行し、計算を実行し、データをフォーマットし、並びに／若しくは、他の形態電話機能を実行してもよい。

【0080】

[0100] 携帯電話 550 は、大容量データ格納装置 564 と通信してもよい。この格納装置 564 は、データを不揮発性の態様で格納するものであり、光学式及び／又は磁気式の格納装置、例えば、ハードディスクドライブ HDD、及び／又は DVD のようなものである。少なくとも一つの HDD が図 12A に示す構成を有していてもよく、及び／又は、少なくとも一つの DVD が、図 12B に示す構成を有していてもよい。この HDD は、ミニ HDD であってもよく、当該ミニ HDD は、一又はそれより多い数のプラッタを含み、当該プラッタは、約 1.8 インチより小さい直径を有するものである。携帯電話 550 は、メモリ 566 に接続されていてもよい。このメモリ 566 は、RAM、ROM、フラッシュメモリのような低遅延の不揮発性メモリ、及び／又は他の適切な電子データ格納装置といったものである。携帯電話 550 は、また、WLAN による WLAN ネットワークインタフェイス 568 を介する接続サポートしてもよい。

【0081】

[0101] 次に、図 12F を参照する。本デバイスを、セットトップボックス 580 内に実装することが可能である。本デバイスは、図 12F では 584 で大まかに特定されている信号処理回路及び／又は制御回路の何れか又は両者、WLAN インタフェイス、セットトップボックス 580 の大容量データ格納装置、並びに／若しくは、電源 583 におけるアナログデジタルコンバータに実装してもよく、及び／又は実装されてもよい。セットトップボックス 580 は、ブロードバンドソースのようなソースから信号を受信し、ディスプレイ 588 に適した標準の及び／又は高精細のオーディオ／ビデオ信号を出力する。このディスプレイ 588 は、テレビ及び／又はモニタ、並びに／若しくは、他のビデオ及び／又はオーディオの出力デバイスのようなものである。信号処理及び／又は制御回路 584、並びに／若しくは、セットトップボックス 580 の他の回路（図示せず）は、データを処理し、符号化及び／又は暗号化を実行し、計算を実行し、データをフォーマットし、並びに／若しくは、任意の他のセットトップボックスの機能を実行してもよい。

【0082】

[0102] セットトップボックス 580 は、不揮発性の態様でデータを格納する大容量データ格納装置 590 と通信してもよい。大容量データ格納装置 590 は、光学式及び／又は磁気式の格納装置、例えば、ハードディスクドライブ HDD、及び／又は DVD を含んでもよい。少なくとも一つの HDD が、図 12A に示す構成を有していてもよく、及び／又は、少なくとも一つの DVD が、図 12B に示す構成を有していてもよい。この HDD は、ミニ HDD であってもよく、当該ミニ HDD は、一又はそれより多い数のプラッタを含み、当該プラッタは、約 1.8 インチより小さい直径を有するものである。セットトップボックス 580 は、メモリ 594 に接続されていてもよい。このメモリ 594 は、RAM、ROM、フラッシュメモリのような低遅延不揮発性メモリ、及び／又は他の適切な電子データ格納装置といったものである。セットトップボックス 580 は、また、WLAN による WLAN ネットワークインタフェイス 596 を介した接続をサポートしてもよい。

【0083】

[0103] 次に図 12G を参照する。本デバイスを、メディアプレーヤ 600 に実装することが可能である。本デバイスは、図 12G では 604 で大まかに特定されている信号処理回路及び／又は制御回路の何れか又は両者、WLAN インタフェイス、メディアプレーヤ 600 の大容量データ格納装置、並びに／若しくは、電源 603 におけるアナログデジタルコンバータに実装してもよく、及び／又は実装されてもよい。幾つかの実装形態では、メディアプレーヤ 600 は、ディスプレイ 607、及び／又は、キーボード、タッチパッ

ド等のようなユーザ入力608を含む。幾つかの実装形態では、メディアプレーヤ600は、グラフィカルユーザインタフェース（GUI）を採用してもよい。GUIは、通常、ディスプレイ607及び／又はユーザ入力608を介するメニュー、ドロップダウンメニュー、アイコン、並びに／若しくはポイントアンドクリックインタフェースを採用する。メディアプレーヤ600は、更に、スピーカ、及び／又はオーディオ出力ジャックのようなオーディオ出力509を含む。信号処理及び／又は制御回路604、並びに／若しくは、メディアプレーヤ600の他の回路（図示せず）は、データを処理し、符号化及び／又は暗号化を実行し、計算を実行し、データをフォーマットし、並びに／若しくは、任意の他のメディアプレーヤの機能を実行してもよい。

【0084】

[0104]メディアプレーヤ600は、大容量データ格納装置610と通信してもよい。この格納装置610は、圧縮されたオーディオ及び／又はビデオのコンテンツを不揮発性の態様で格納するものである。幾つかの実装形態では、圧縮オーディオは、MP3フォーマット、若しくは他の適切な圧縮オーディオ及び／又はビデオフォーマットに準拠するファイルを含む。大容量データ格納装置は、光学式及び／又は磁気式の格納装置、例えば、ハードディスクドライブHDD、及び／又はDVDを含んでいてもよい。少なくとも一つのHDDが、図12Aに示す構成を有していてもよく、及び／又は、少なくとも一つのDVDが、図12Bに示す構成を有していてもよい。このHDDは、ミニHDDであってもよく、当該ミニHDDは、一又はそれより多い数のプラッタを含み、当該プラッタは、約1.8インチより小さい直径を有するものである。メディアプレーヤ600は、メモリ614に接続されていてもよい。このメモリ614は、RAM、ROM、フラッシュメモリのような低遅延不揮発性メモリ、及び／又は他の適切な電子データ格納装置といったものである。メディアプレーヤ600は、また、WLANによるWLANネットワークインタフェース616を介した接続をサポートしてもよい。更に別の実装形態が、上述したものに加えて、考えられる。

【0085】

[0105]当業者は、上述の説明から、本発明の広い教示を種々の形態で実装することが可能であることを理解できる。従って、本発明をその特定の例に関連して説明したが、本発明の真の範囲は、そのように限定されるべきではない。これは、他の変形態様が、図面、明細書、及び特許請求の範囲を検討すれば、当業者には明らかになるからである。

【図面の簡単な説明】

【0086】

【図1】アナログデジタルコンバータ（ADC）用の従来技術に係る差動抵抗ラダーの機能的な回路図である。

【図2】従来技術に係る別の差動抵抗ラダー構成の機能的な回路図である。

【図3】差動ADCの機能的な回路図である。

【図4A】比較器の第1（プリアンプ）のステージの例示の実装形態の機能的な回路図である。

【図4B】比較器の第1（プリアンプ）のステージの例示の実装形態の更に詳細化した機能的な回路図である。

【図4C】本発明の原理に従う実装形態の一例を示す機能ブロック図である。

【図5】図3のADCの例示的なハイレベルの物理的レイアウトを示す図である。

【図6】伝搬遅延歪みの効果を図形的に示す図である。

【図7】プログレッシブ比較器の遅延素子を図形的に示す図である。

【図8】tc伝搬遅延による歪を最小化する代替のスキームを示す図である。

【図9】セグメント型の抵抗ラダーの実装形態の機能的な回路図である。

【図10】3段のセグメント型ラダーネットワークの一つのコンポーネントの機能的な回路図である。

【図11】抵抗ラダーの例示的なレイアウトである。

【図12A】ハードディスクドライブの機能ブロック図である。

10

20

30

40

50

【図 1 2 B】 デジタル多用途ディスク（DVD）の機能ブロック図である。

【図 1 2 C】 高精細テレビの機能ブロック図である。

【図 1 2 D】 車両制御システムの機能ブロック図である。

【図 1 2 E】 携帯電話の機能ブロック図である。

【図 1 2 F】 セットトップボックスの機能ブロック図である。

【図 1 2 G】 メディアプレーヤの機能ブロック図である。

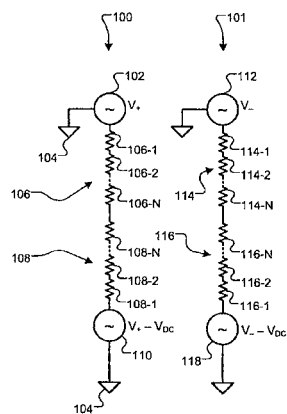
【符号の説明】

【0087】

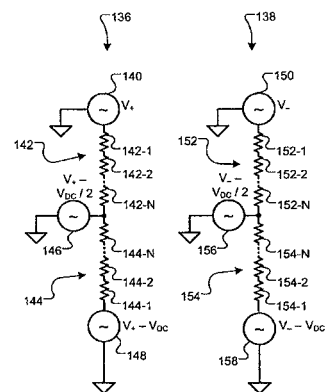
200…入力ステージ、202…抵抗ラダー及びバイアスステージ、204…比較器及び復号ステージ、226、228…レグ。

10

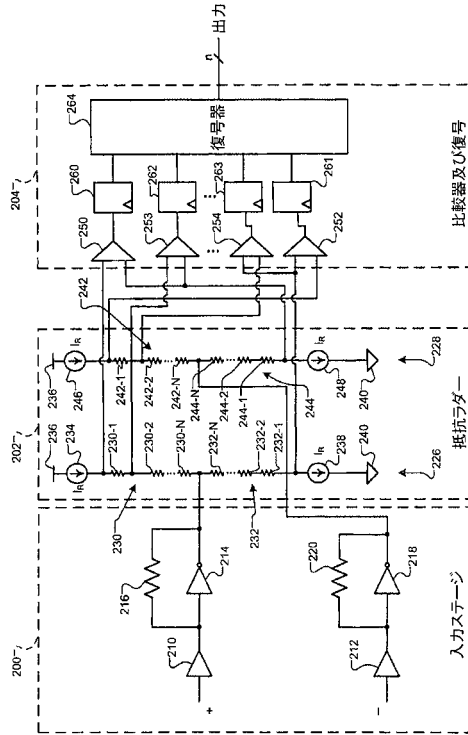
【図 1】



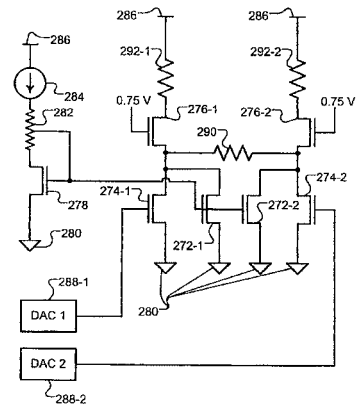
【図 2】



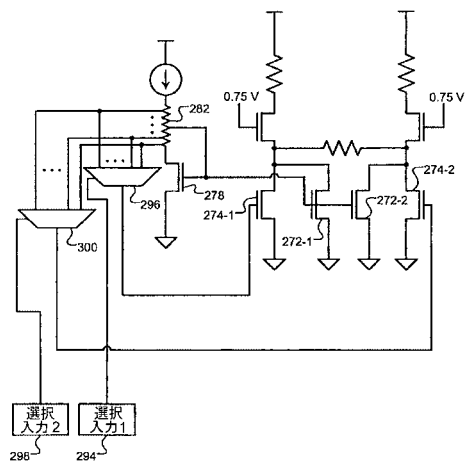
【図 3】



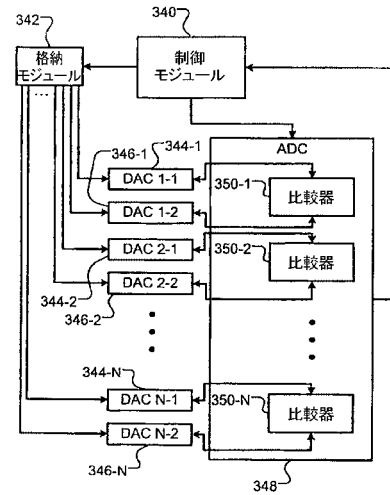
【図 4 A】



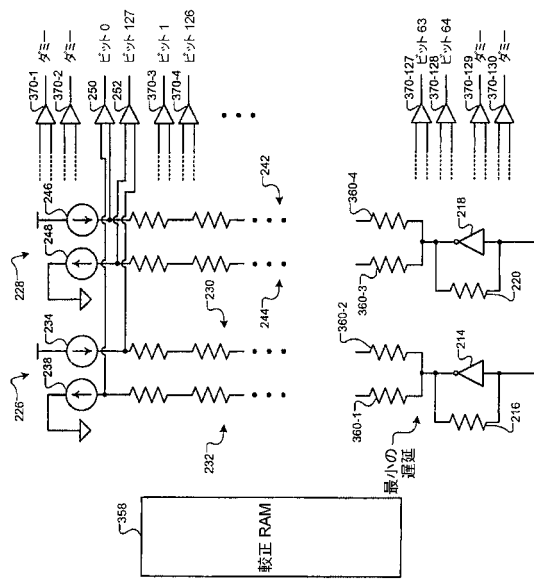
【図 4 B】



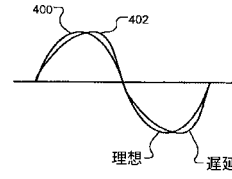
【図 4 C】



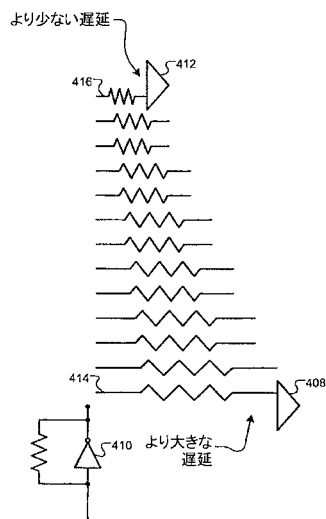
【図 5】



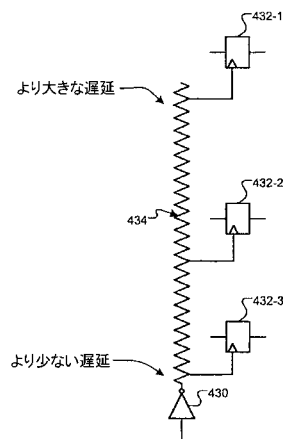
【図 6】



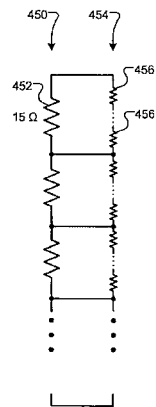
【図 7】



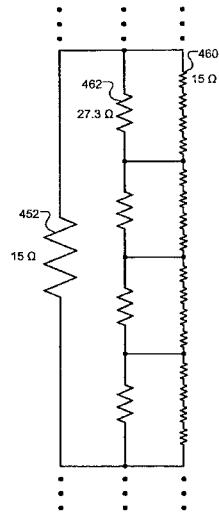
【図 8】



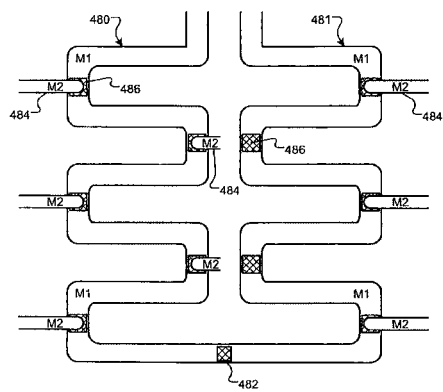
【図 9】



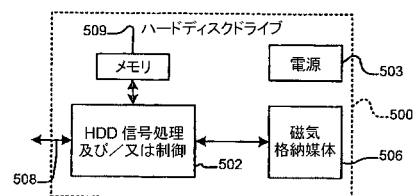
【図 10】



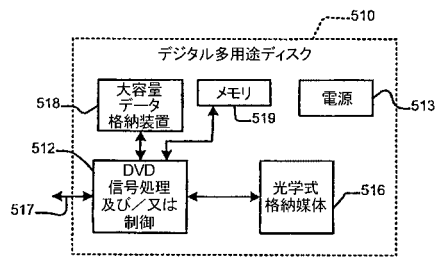
【図 11】



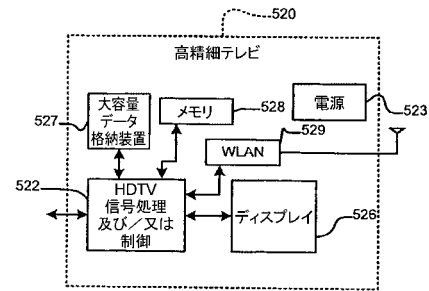
【図 12 A】



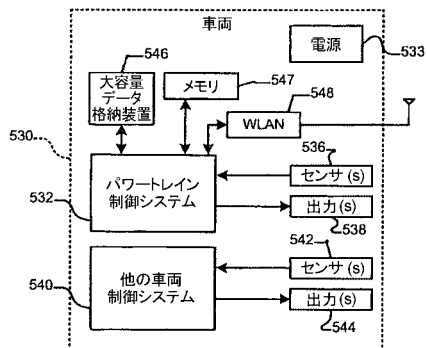
【図 1 2 B】



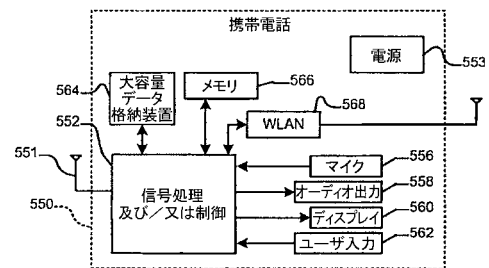
【図 1 2 C】



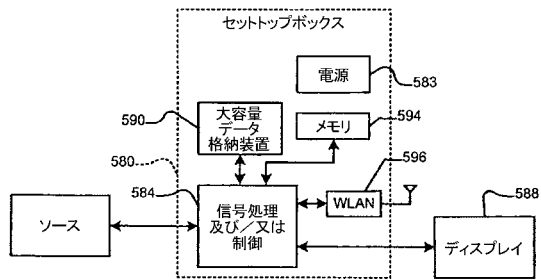
【図 1 2 D】



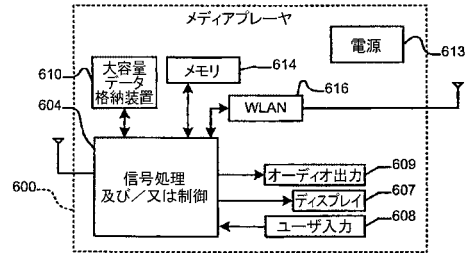
【図 1 2 E】



【図 1 2 F】



【図 1 2 G】



フロントページの続き

審査官 柳下 勝幸

- (56)参考文献 欧州特許出願公開第1 3 7 2 2 6 8 (EP, A 2)
特開平3-2 1 2 0 2 5 (JP, A)
米国特許第4 7 5 1 4 9 7 (US, A)
米国特許出願公開第2 0 0 3 / 0 0 4 3 0 6 6 (US, A 1)
米国特許出願公開第2 0 0 5 / 0 0 3 0 2 1 6 (US, A 1)
米国特許出願公開第2 0 0 5 / 0 1 2 8 1 1 8 (US, A 1)
米国特許第6 2 8 5 3 0 8 (US, B 1)
米国特許第6 7 6 2 6 4 4 (US, B 1)

- (58)調査した分野(Int.Cl., DB名)
H 0 3 M 1 / 0 0 - 1 / 8 8