

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7614322号
(P7614322)

(45)発行日 令和7年1月15日(2025.1.15)

(24)登録日 令和7年1月6日(2025.1.6)

(51)国際特許分類	F I			
H 1 0 B 12/00 (2023.01)	H 1 0 B 12/00	6 7 1 A		
H 1 0 D 86/40 (2025.01)	H 1 0 B 12/00	6 2 5		
H 1 0 D 86/60 (2025.01)	H 0 1 L 29/78	6 1 3 B		
H 1 0 D 30/67 (2025.01)	H 0 1 L 29/78	6 1 2 C		
	H 0 1 L 29/78	6 2 6 A		
請求項の数 13 (全30頁)				

(21)出願番号	特願2023-501201(P2023-501201)	(73)特許権者	522246670
(86)(22)出願日	令和4年8月1日(2022.8.1)		チャンシン メモリー テクノロジーズ
(65)公表番号	特表2024-527652(P2024-527652 A)		インコーポレイテッド
(43)公表日	令和6年7月26日(2024.7.26)		CHANGXIN MEMORY T E C
(86)国際出願番号	PCT/CN2022/109539		H N O L O G I E S , I N C .
(87)国際公開番号	WO2023/245818		中華人民共和国 2 3 0 6 0 1 アンファイ
(87)国際公開日	令和5年12月28日(2023.12.28)		プロヴィンス ヘーフェイ シティ エコ
審査請求日	令和5年1月6日(2023.1.6)		ノミック アンド テクノロジカル ディ
(31)優先権主張番号	202210723121.3		ベロップメント エリア エアポート イ
(32)優先日	令和4年6月21日(2022.6.21)		ンダストリアル パーク シンイェ アベ
(33)優先権主張国・地域又は機関	中国(CN)	(74)代理人	100205659
			弁理士 齋藤 拓也
		(74)代理人	100185269
			弁理士 小菅 一弘
最終頁に続く			

(54)【発明の名称】 半導体構造及びその製造方法、メモリチップ、電子機器

(57)【特許請求の範囲】

【請求項 1】

半導体構造であって、
基板及び複数のリードポストを含み、
前記基板上に積層構造が設けられ、前記積層構造は、第1方向に配列された複数のメモリセルグループを含み、前記メモリセルグループは、第2方向に配列された複数層のメモリセルを含み、
少なくとも2つの前記リードポストは、異なるメモリセルグループにおける異なる層の前記メモリセルにそれぞれ直接接続され、少なくとも2つの前記リードポストが貫通する前記メモリセルの数は互いに異なり、
前記第1方向は前記基板の表面に平行であり、前記第2方向は前記基板の表面に垂直である、半導体構造。

【請求項 2】

前記リードポストは前記第1方向に沿って一列に配列され、及び
前記リードポストは前記第1方向に沿って直列に配列される、
請求項1に記載の半導体構造。

【請求項 3】

同一の前記メモリセルグループ内の全ての前記メモリセルは、最大1つの前記リードポストに接続される、
請求項1に記載の半導体構造。

【請求項 4】

前記リードポストの数は、前記メモリセルの層数より大きいとか等しく、各層は少なくとも、前記リードポストに接続された前記メモリセルを含む、

請求項 1 に記載の半導体構造。

【請求項 5】

同一の前記メモリセルグループに接続されるリードポストの数は、前記メモリセルグループ内の前記メモリセルの層数より少ない、

請求項 1 に記載の半導体構造。

【請求項 6】

前記積層構造は更に、複数の平行信号線及び複数の垂直信号線を含み、複数の前記平行信号線は、第 2 方向に配列され且つ前記第 1 方向に沿って延在し、前記平行信号線は、一層の前記メモリセルに接続され、前記垂直信号線は、前記第 2 方向に沿って延在し且つ同一の前記メモリセルグループの複数層の前記メモリセルに接続され、

前記リードポストは、前記平行信号線に電気接続される、

請求項 1 に記載の半導体構造。

【請求項 7】

前記メモリセルは、第 3 方向に配列されたチャネル領域及びソースドレインドープ領域を含み、前記ソースドレインドープ領域は、前記チャネル領域の両側に位置し、前記第 3 方向は、前記基板の表面に平行であり、前記第 1 方向に垂直である、

請求項 6 に記載の半導体構造。

【請求項 8】

前記平行信号線はビット線であり、前記垂直信号線はワード線であり、

前記ビット線は前記ソースドレインドープ領域に接続され、前記ワード線は前記チャネル領域に接続され、

少なくとも 1 つの前記リードポストは、少なくとも 1 つの前記メモリセルの前記ソースドレインドープ領域を貫通し、

前記ソースドレインドープ領域は、第 1 ソースドレインドープ領域及び第 2 ソースドレインドープ領域を含み、前記第 1 ソースドレインドープ領域は、前記ビット線と前記チャネル領域との間に位置し、前記第 2 ソースドレインドープ領域は、前記チャネル領域の前記第 1 ソースドレインドープ領域から離れた側に位置し、

前記リードポストは、前記第 1 ソースドレインドープ領域を貫通する、

請求項 7 に記載の半導体構造。

【請求項 9】

前記平行信号線はワード線であり、前記垂直信号線はビット線であり、

前記ビット線は前記ソースドレインドープ領域に接続され、前記ワード線は前記チャネル領域に接続され、

少なくとも 1 つの前記リードポストは、少なくとも 1 つの前記メモリセルの前記チャネル領域を貫通する、

請求項 7 に記載の半導体構造。

【請求項 10】

前記平行信号線はビット線であり、前記メモリセルは更に、ビット線接触領域を含み、前記ビット線接触領域は、前記ビット線と前記ソースドレインドープ領域を接続し、

少なくとも 1 つの前記リードポストは、1 つの前記メモリセルの前記ビット線接触領域を貫通する、

請求項 7 に記載の半導体構造。

【請求項 11】

隣接する 2 つの前記リードポストは、少なくとも 1 つの前記メモリセルグループによって離間され、

隣接する 2 つの前記リードポスト間の前記メモリセルグループの数は同じであるか、又は、隣接する 2 つの前記リードポストの対向面積は、前記隣接する 2 つの前記リードポス

10

20

30

40

50

ト間の前記メモリセルグループの数に正比例する、
請求項 1 に記載の半導体構造。

【請求項 1 2】

前記積層構造の数は複数であり、同一の前記積層構造の複数の前記平行信号線は、第 2 方向上に順次に配列された第 1 ～ 第 N (N は 1 より大きい正の整数である) 平行信号線を含み、

2 つの前記積層構造は構造モジュールを構成し、前記構造モジュールは更に、複数の導線を含み、前記導線は、異なる前記積層構造を接続する 2 つの前記リードポストを接続し、2 つの前記リードポストに電気接続された 2 つの前記平行信号線のシーケンス番号の合計は $N + 1$ である、

10

請求項 6 に記載の半導体構造。

【請求項 1 3】

半導体構造の製造方法であって、
基板を提供することと、

前記基板上に積層構造を形成することであって、前記積層構造は、第 1 方向に配列された複数のメモリセルグループを含み、前記メモリセルグループは、第 2 方向に配列された複数層のメモリセルを含む、ことと、

複数のリードポストを形成することであって、少なくとも 2 つの前記リードポストは、異なるメモリセルグループにおける異なる層の前記メモリセルにそれぞれ直接接続され、
少なくとも 2 つの前記リードポストが貫通する前記メモリセルの数は互いに異なり、
前記第 1 方向は前記基板の表面に平行であり、前記第 2 方向は前記基板の表面に垂直である、 ことと、を含む、半導体構造の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願への相互参照)

本願は、2022 年 6 月 21 日に中国特許局に提出された、発明の名称が「半導体構造及びその製造方法、メモリチップ、電子機器」であり、出願番号が 202210723121.3 である中国特許出願の優先権を主張し、当該中国特許出願の全ての内容が参照として本願に援用される。

30

【0002】

本開示の実施例は半導体分野に属し、具体的には、半導体構造及びその製造方法、メモリチップ、電子機器に関する。

【背景技術】

【0003】

半導体構造は、複数のメモリセルを含み、メモリセルは、メモリ機能を実行するために周辺回路と接続する必要がある。半導体構造の集積度が高いほど、当該半導体構造に収容可能なメモリセルの数が多くなり、半導体構造の性能も向上する。しかしながら、現在の半導体構造では、多くの空間が無駄になっている。また、物理的特性の要因の限界により、メモリセルの体積はスケージングの限界に達し、プロセス要因の限界により、メモリセルの積層数を増やすことも困難である。

40

【0004】

したがって、半導体構造の集積度を向上させることができる、新しいアーキテクチャを有する半導体構造が緊急の課題となっている。

【発明の概要】

【0005】

本開示の実施例は、半導体構造の集積度を向上させることができる、半導体構造及びその製造方法、メモリチップ、電子機器を提供する。

【0006】

本開示のいくつかの実施例によれば、本開示の実施例の一態様は半導体構造を提供し、

50

ここで、半導体構造は、基板及び複数のリードポストを含み、前記基板上に積層構造が設けられ、前記積層構造は、第1方向に配列された複数のメモリセルグループを含み、前記メモリセルグループは、第2方向に配列された複数層のメモリセルを含み、少なくとも2つの前記リードポストは、異なるメモリセルグループにおける異なる層の前記メモリセルにそれぞれ接続される。

【0007】

本開示のいくつかの実施例によれば、本開示の実施例の別の態様は半導体構造の製造方法を更に提供し、半導体構造の製造方法は、基板を提供することと、前記基板上に積層構造を形成することとであって、前記積層構造は、第1方向に配列された複数のメモリセルグループを含み、前記メモリセルグループは、第2方向に配列された複数層のメモリセルを含む、ことと、複数のリードポストを形成することとであって、少なくとも2つの前記リードポストは、異なるメモリセルグループにおける異なる層の前記メモリセルにそれぞれ接続される、ことと、を含む。

10

【0008】

本開示のいくつかの実施例によれば、本開示の実施例の別の態様は半導体構造を更に提供し、ここで、半導体構造は、基板及び複数のリードポストを含み、前記基板上に積層構造が設けられ、前記積層構造は、第1方向に配列された複数のメモリセルグループを含み、前記メモリセルグループは、第2方向に配列された複数層のメモリセルを含み、少なくとも2つの前記リードポストは、同一の前記メモリセルグループにおける異なるメモリセルに接続される。

20

【0009】

本開示のいくつかの実施例によれば、本開示の実施例の別の態様はメモリチップを更に提供し、メモリチップは、上記の半導体構造を備える。

【0010】

本開示のいくつかの実施例によれば、本開示の実施例の別の態様は電子機器を更に提供し、電子機器は、上記のメモリチップを備える。

【0011】

本開示の実施例で提供される技術方案は、少なくとも以下の利点を有する。

【0012】

本開示の実施例で提供される半導体構造では、少なくとも2つのリードポストは、メモリセルグループ内の異なる層のメモリセルに接続される。つまり、少なくとも2つのリードポストは、メモリセルに直接接続され、これにより、段差数が減らし、或いは段差領域を別途配置する必要がなくなり、半導体構造の集積度を向上させるのに役に立つ。

30

【図面の簡単な説明】

【0013】

【図1】半導体構造の俯瞰図である。

【図2】図1の局部拡大図である。

【図3】図2のA - A1方向の断面図である。

【図4】本開示の実施例で提供される積層構造の概略図である。

【図5】本開示の実施例で提供される7つの異なる半導体構造のうちの1つの局部俯瞰図である。

40

【図6】本開示の実施例で提供される7つの異なる半導体構造のうちの1つの局部俯瞰図である。

【図7】本開示の実施例で提供される7つの異なる半導体構造のうちの1つの局部俯瞰図である。

【図8】本開示の実施例で提供される7つの異なる半導体構造のうちの1つの局部俯瞰図である。

【図9】本開示の実施例で提供される7つの異なる半導体構造のうちの1つの局部俯瞰図である。

【図10】本開示の実施例で提供される7つの異なる半導体構造のうちの1つの局部俯瞰

50

図である。

【図 1 1】本開示の実施例で提供される 7 つの異なる半導体構造のうちの 1 つの局部俯瞰図である。

【図 1 2】本開示の実施例で提供されるメモリセルグループの概略図である。

【図 1 3】本開示の実施例で提供される半導体構造の局部側面図である。

【図 1 4】本開示の実施例で提供される別のメモリセルグループの概略図である。

【図 1 5】本開示の実施例で提供される別の半導体構造の局部側面図である。

【図 1 6】本開示の実施例で提供される更に別のメモリセルグループの概略図である。

【図 1 7】本開示の実施例で提供される更に別の半導体構造の局部側面図である。

【図 1 8】本開示の実施例で提供される 4 つの異なるメモリセルグループのうちの 1 つの概略図である。

10

【図 1 9】本開示の実施例で提供される 4 つの異なるメモリセルグループのうちの 1 つの概略図である。

【図 2 0】本開示の実施例で提供される 4 つの異なるメモリセルグループのうちの 1 つの概略図である。

【図 2 1】本開示の実施例で提供される 4 つの異なるメモリセルグループのうちの 1 つの概略図である。

【図 2 2】本開示の実施例で提供される構造モジュールの概略図である。

【図 2 3】本開示の実施例で提供される半導体構造の製造方法における各ステップに対応する概略構造図である。

20

【図 2 4】本開示の実施例で提供される半導体構造の製造方法における各ステップに対応する概略構造図である。

【図 2 5】本開示の実施例で提供される半導体構造の製造方法における各ステップに対応する概略構造図である。

【図 2 6】本開示の実施例で提供される半導体構造の製造方法における各ステップに対応する概略構造図である。

【図 2 7】本開示の実施例で提供される半導体構造の製造方法における各ステップに対応する概略構造図である。

【図 2 8】本開示の実施例で提供される半導体構造の製造方法における各ステップに対応する概略構造図である。

30

【図 2 9】本開示の実施例で提供される半導体構造の製造方法における各ステップに対応する概略構造図である。

【図 3 0】本開示の実施例で提供される半導体構造の製造方法における各ステップに対応する概略構造図である。

【図 3 1】本開示の実施例で提供される半導体構造の製造方法における各ステップに対応する概略構造図である。

【図 3 2】本開示の実施例で提供される別の半導体構造の製造方法における各ステップに対応する概略構造図である。

【図 3 3】本開示の実施例で提供される別の半導体構造の製造方法における各ステップに対応する概略構造図である。

40

【図 3 4】本開示の実施例で提供される別の半導体構造の製造方法における各ステップに対応する概略構造図である。

【図 3 5】本開示の実施例で提供される別の半導体構造の製造方法における各ステップに対応する概略構造図である。

【図 3 6】本開示の実施例で提供される更に別のメモリセルグループの概略図である。

【図 3 7】本開示の実施例で提供される 2 つの異なる半導体構造のうちの 1 つの局部俯瞰図である。

【図 3 8】本開示の実施例で提供される 2 つの異なる半導体構造のうちの 1 つの局部俯瞰図である。

【発明を実施するための形態】

50

【 0 0 1 4 】

上記の図面は、本明細書に組み込まれ、本明細書の一部を構成し、上記の図面は、本開示に準拠する実施例を示し、本明細書とともに本開示の原理を説明するために使用される。明らかなこととして、以下の図面は、本開示のいくつかの実施例に過ぎず、当業者は創造的な努力なしに、これらの図面に基づいて他の図面を得ることができる。

【 0 0 1 5 】

図 1 は、半導体構造の俯瞰図であり、図 2 は、図 1 の点線円内の段差の拡大図であり、図 3 は、図 2 の A - A 1 方向の断面図である。図 1 ~ 図 3 を参照すると、半導体構造は、メモリセル領域 1 0 0 及び段差領域 2 0 0 を含む。メモリセル領域 1 0 0 に、複数層のメモリセルが設けられる。段差領域 2 0 0 には、複数の段差が設けられ、各段差と各層のメモリセルとは 1 対 1 に対応して設けられる。段差に接続層（未図示）が設けられてもよく、段差上にリードポスト 3 0 0 が設けられてもよく、リードポスト 3 0 0 は、段差内の接続層を介してメモリセルに電気接続され、これにより、メモリセルを引き出すことによって、メモリセルを周辺回路に接続することができる。しかしながら、メモリセルの積層数の増加に伴い、段差領域 2 0 0 が占める面積は大きくなる。例えば、合計 6 4 層のメモリセルがある場合、6 4 つの段差が必要であり、下段になるほど段差の面積は大きくなる。最上段の段差の面積が $0.25 \mu\text{m}^2$ である場合、最下段の段差の面積は $64 * 0.25 = 16 \mu\text{m}^2$ となる。図 3 を参照すると、各段差の下に接続層は、支持と電気接続にのみ使用されるため、下部の空間の浪費をもたらす。したがって、半導体構造の集積度を更に向上させる必要がある。

【 0 0 1 6 】

本開示の実施例は半導体構造を提供し、当該半導体構造では、複数のリードポストのうちの少なくとも 2 つは、異なるメモリセルグループにおける異なる層のメモリセルに接続される。つまり、少なくとも 2 つのリードポストはメモリセルに直接接続され、これにより、段差数を減らし、或いは段差領域を別途配置する必要がなくなり、空間利用率を向上させ、半導体構造の集積度を向上させるのに役に立つ。

【 0 0 1 7 】

以下、図面を参照して本開示の各実施例を詳細に説明する。しかしながら、当業者なら理解できるように、本開示の各実施例において、読者に本開示の実施例をよりよく理解させるための多くの技術的詳細が開示されているが、本開示の実施例で請求される技術的解決策は、これらの技術的詳細や、以下の各実施例に基づく種々の変更及び修正なしにも実現することができる。

【 0 0 1 8 】

図 4 ~ 図 2 2 に示すように、本開示の実施例は半導体構造を提供し、半導体構造は、基板 1 1（図 2 3 を参照）及び複数のリードポスト 5 を含み、基板 1 1 上に積層構造が設けられ、積層構造は、第 1 方向 X に配列された複数のメモリセルグループ T C 0 を含み、メモリセルグループ T C 0 は、第 2 方向 Z に配列された複数層のメモリセル T C を含み、少なくとも 2 つのリードポスト 5 は、異なるメモリセルグループ T C 0 における異なる層のメモリセル T C にそれぞれ接続される。

【 0 0 1 9 】

つまり、メモリセル T C を多層に積層し、少なくとも 2 つのリードポスト 5 をメモリセル T C に直接接続することで、段差数を減らすことができる。全てのリードポスト 5 がメモリセル T C に直接接続される場合、段差領域を別途に設ける必要がない。つまり、基板 1 1 の表面における、ストレージユニットメモリセル T C に接続されたリードポスト 5 の正投影は、基板 1 1 の表面における積層構造の正投影内に収まり、これにより、基板 1 1 の表面の利用率を向上させ、半導体構造の集積度を向上させることができる。更に、少なくとも 2 つのリードポスト 5 は、異なるメモリセルグループ T C 0 における異なる層のメモリセル T C に接続され、これは、少なくとも 2 つのリードポスト 5 が、異なるメモリセルグループ T C 0 の空間位置を利用できることを意味する。

【 0 0 2 0 】

以下、図面を参照して半導体構造を詳細に説明する。

【0021】

いくつかの実施例では、図4～図5、図8～図22を参照すると、同一のメモリセルグループTC0内の全てのメモリセルTCは、最大、1つのリードポスト5に接続される。つまり、各メモリセルグループTC0に、リードポスト5とメモリセルTCとの接続位置を1つだけ設ければよい。同一のメモリセルグループTC0内の接続位置は比較的少ないため、異なるメモリセルグループTC0における接続方式は比較的統一されており、異なるリードポスト5とメモリセルTCの接続工程を統一するのに役に立ち、これによって、製造コストを低減することができる。説明すべきこととして、リードポスト5と異なるメモリセルTCとを接続するために、メモリセルTC内の構造の一部を除去することで、少なくとも一部のリードポスト5が少なくとも1つのメモリセルTCを貫通するようにしてもよく、リードポスト5をメモリセルTCの側壁に設けることで、メモリセルTCを貫通するようにしてもよい。

10

【0022】

別のいくつかの実施例では、図6及び図7を参照すると、少なくとも2つのリードポスト5に接続されたメモリセルTCは、同一のメモリセルグループTC0に位置する。つまり、各メモリセルグループTC0には、リードポスト5とメモリセルTCとの接続位置が複数設けられてもよい。説明すべきこととして、リードポスト5とメモリセルTCとを接続するために、通常、メモリセルTC内の構造の一部を除去する必要がある、これによって、リードポスト5によって必要とされる空間位置を提供する。メモリセルTC内の構造の一部を除去した後、当該メモリセルTCは、もはやメモリ機能を実行しなくてもよい。複数のリードポスト5が同一のメモリセルグループTC0に位置する場合、これは、無効なメモリセルTCの数を減らすのに役に立ち、これにより、半導体構造内の空間利用率を向上させ、集積度を向上させることができる。

20

【0023】

具体的には、少なくとも2つのリードポスト5に接続されるメモリセルTCが同一のメモリセルグループTC0に位置することは、同一のメモリセルグループTC0に位置する少なくとも2つのリードポスト5が同一層のメモリセルTCに接続されるか、又は、同一のメモリセルグループTC0に位置する少なくとも2つのリードポスト5が異なる層のメモリセルTCに接続されるという2つの状況を含み得る。

30

【0024】

図6を参照すると、同一のメモリセルグループTC0に位置する少なくとも2つのリードポスト5は第1方向Xに沿って配列でき、図7を参照すると、同一のメモリセルグループTC0の少なくとも2つのリードポスト5は第3方向Yに沿って配列できる。

【0025】

いくつかの実施例では、図4を参照すると、リードポスト5の数は、メモリセルTCの層の数より大きいとか等しく、各層は少なくとも、リードポスト5に接続されたメモリセルTCを含む。つまり、各層のメモリセルTCは、段差領域を別途に設けることなく、リードポスト5に直接接続することができる。更に、各層のメモリセルTCは、1つ又は複数のリードポスト5によって引き出されてもよい。各層のメモリセルTCが1つのリードポスト5によって引き出される場合、製造過程を簡略化させるのに役に立ち、各層のメモリセルTCが複数のリードポスト5によって引き出される場合、接触面積を増大させるのに役に立ち、これにより、接触抵抗が低減する。

40

【0026】

説明すべきこととして、メモリセルグループTC0は、様々な異なる構造を有するため、同一のメモリセルグループTC0に接続されるリードポスト5の数が多すぎると、リードポスト5が必要とする空間位置が大きくなり、異なるリードポスト5は、メモリセルグループTC0内の異なる構造に接続される可能性があり、通常、異なる構造に対して異なる接続工程が必要とされる。いくつかの実施例では、同一のメモリセルグループTC0に接続されるリードポスト5の数は、メモリセルグループTC0内のメモリセルTCの層数

50

より少なく、同一のメモリセルグループTC0に接続されるリードポスト5の数を制御することにより、当該数を適切な範囲に抑えることで、リードポスト5とメモリセルTCとの接続工程を簡略化することができる。

【0027】

いくつかの実施例では、図6、図8及び図9を参照すると、リードポスト5は第1方向Xに沿って一列に配列される。つまり、第1方向Xにおいて、複数のリードポスト5は大体整列され、これにより、複数のリードポスト5をメモリセルTC内の同一構造に接続しやすくなり、リードポスト5とメモリセルTCとの接続工程を統一し、製造コストを低減するのに役に立つ。

【0028】

例えば、図8を参照すると、リードポスト5は第1方向Xに沿って直列に配列される。言い換えれば、リードポスト5は同一直線上に配列され、複数のリードポスト5の両端は第1方向Xに整列され、これにより、工程を簡略化し、半導体構造の均一性を向上させるのに役に立つ。更に、図9を参照すると、リードポスト5同士を少しずらしてもよく、つまり、複数のリードポスト5の両端を第1方向Xに整列させなくてもよく、これにより、リードポスト5の対向面積を削減し、隣接するリードポスト5間の寄生容量を低減することができる。

【0029】

図4、図12～図22を参照すると、少なくとも1つのリードポスト5は第2方向Zに延在し且つメモリセルグループTC0の少なくとも1つのメモリセルTCを貫通し、この場合、基板11の表面における少なくとも1つのリードポスト5の正投影は、基板11の表面におけるメモリセルTCの正投影内に位置する。以下、これについて詳細に説明し、理解を容易にするために、リードポスト5を、積み重ねられた接触部51と延在部52とに分ける。接触部51はメモリセルTCに接続されており、接触部51に接続されたメモリセルTCは、対応する層のメモリセルTCと呼ばれる。

【0030】

具体的には、少なくとも2つのリードポスト5は、異なるメモリセルグループTC0の異なる層のメモリセルTCにそれぞれ接続され、これは、少なくとも1つのリードポスト5が非最上層のメモリセルTCに接続されていることを意味する。非最上層のメモリセルTCに接続されたリードポスト5は、対応する層のメモリセルTCの空間位置に加えて、対応する層の上方のメモリセルTCの空間位置を占める必要がある。例えば、図12、図14及び図16を参照すると、上位2番目の層を対応する層として使用し、リードポスト5の接触部51が、上位2番目の層のメモリセルTCに接続される場合、リードポスト5の延在部52は、最上層のメモリセルTCを貫通する必要がある。貫通されたメモリセルTC、及びリードポストに接続されたメモリセルTCはメモリ機能を持たない。言い換えれば、対応する層の上方のメモリセルTCの構造の一部を直接除去することで、リードポスト5の延在部52に空間位置を提供することができ、このようにして、製造工程を簡略化することができる。

【0031】

説明すべきこととして、別のいくつかの実施例では、リードポスト5の延在部52は、対応する層の上方のメモリセルTCの空間位置を占めず、隣接するメモリセルTC間の空間位置を占めてもよい。具体的には、図10を参照すると、リードポスト5の接触部51の一部は、対応する層のメモリセルTCの位置から突出し、隣接するメモリセルTCとの間の空間に設けられ、これによって、対応する層の上方のメモリセルTCを貫通することなく、リードポスト5の延在部52を、隣接するメモリセルTC間の隙間から上方に引き出すことができ、これにより、無効なメモリセルTCの数を減らすことができる。或いは、図11を参照すると、リードポスト5の接触部51及び延在部52は、隣接するメモリセルTC間の空間に設けられ、接触部51は、対応する層のメモリセルTCの側壁に接触しており、これによって、対応する層の上方のメモリセルTCを貫通することなく、リードポスト5の延在部52を、隣接するメモリセルTC間の隙間から上方に引き出すことが

10

20

30

40

50

でき、これにより、無効なメモリセルＴＣの数を減らすことができる。

【００３２】

図４を参照すると、最上層のメモリセルＴＣに接続されるリードポスト５の場合、当該リードポスト５は、対応する層のメモリセルＴＣの空間位置のみを使用すればよく、他のメモリセルＴＣの空間位置を占める必要がなく、したがって、対応する層以外のメモリセルＴＣを貫通する必要がない。

【００３３】

留意すべきこととして、いくつかの実施例では、図４、図１２及び図１３を参照すると、リードポスト５は、対応する層のメモリセルＴＣを貫通してもよく、つまり、対応する層のメモリセルＴＣの構造の一部を除去することで、リードポスト５の接触部５１に空間位置を提供し、この場合、リードポスト５の側面の少なくとも一部の側面がメモリセルＴＣに接続される。

10

【００３４】

別のいくつかの実施例では、リードポスト５は、対応する層のメモリセルＴＣに貫通しなくてもよい。例えば、図１４及び図１５を参照すると、リードポスト５は、対応する層のメモリセルＴＣ内に埋め込まれており、この場合、リードポスト５の底面及び一部の側面は、メモリセルＴＣに接続される。更に、図１６及び図１７を参照すると、リードポスト５の底面は、対応する層のメモリセルＴＣの上面に接続される。

【００３５】

図４、図１３、図１５及び図１７を参照すると、少なくとも２つのリードポスト５が貫通するメモリセルＴＣの数は互いに異なる。つまり、少なくとも２つのリードポスト５は、異なる層のメモリセルＴＣに接続され、これにより、異なる層のメモリセルＴＣを引き出す。このようにして、少なくとも、２つの段差を減少させることができ、これによって、半導体構造の体積を縮小させることができる。

20

【００３６】

図１２、図１４、図１６、図１８～図２１を参照すると、半導体構造は更に、リードポスト５と、貫通されたメモリセルＴＣとの間の誘電体層６を含む。誘電体層６は、リードポスト５を、対応する層の上方のメモリセルＴＣから分離することができる。説明すべきこととして、リードポスト５が対応する層のメモリセルＴＣを更に貫通する場合、誘電体層６は、リードポスト５と、対応する層の上方のメモリセルＴＣとの間に位置し、対応する層のメモリセルＴＣ内に位置するリードポスト５の側壁を露出し、これによって、リードポスト５は側壁を介して対応する層のメモリセルＴＣに接続される。

30

【００３７】

図４を参照すると、隣接する２つのリードポスト５は、少なくとも１つのメモリセルグループＴＣ０によって離間されている。つまり、隣接する２つのリードポスト５は、互いに隣接するメモリセルグループＴＣ０に接続されず、このようにして、隣接するリードポスト５間の距離を増加させて、寄生容量を低減することができる。

【００３８】

具体的には、いくつかの例では、隣接する２つのリードポスト５間のメモリセルグループＴＣ０の数は同じであり、つまり、隣接するリードポスト５間の距離が固定され、これによって、半導体構造の均一性を向上させる。別のいくつかの例では、隣接する２つのリードポスト５の対向面積は、隣接する２つのリードポスト５間のメモリセルグループＴＣ０の数に正比例する。理解できることとして、隣接するリードポスト５間の寄生容量は、両者間の対向面積にも関係し、両者間の対向面積が大きいくほど、両者間のメモリセルグループＴＣ０の数を対応して増加させて、両者間の距離を増加させ、これによって、寄生容量を低減することができる。例示的に、最下層及び下位２番目の層のメモリセルＴＣに接続される２つのリードポスト５は隣接して設けられ、２つのリードポスト５間には、５つのメモリセルグループＴＣ０が設けられ、最上層及び上位２番目の層のメモリセルＴＣに接続される２つのリードポスト５は隣接して設けられ、２つのリードポスト５間には、１つのメモリセルグループＴＣ０が設けられる。

40

50

【 0 0 3 9 】

別のいくつかの実施例では、図 8 及び図 9 を参照すると、隣接する 2 つのリードポスト 5 は、隣接するメモリセルグループ T C 0 に位置してもよく、両者間にはメモリセルグループ T C 0 が設けられない。

【 0 0 4 0 】

以下、積層構造について具体的に説明する。

【 0 0 4 1 】

図 4 を参照すると、半導体構造は第 1 方向 X、第 2 方向 Z 及び第 3 方向 Y を有する。第 1 方向 X は基板 1 1 の表面に平行であり、第 2 方向 Z は基板 1 1 の表面に垂直であり、第 3 方向 Y は基板 1 1 の表面に平行である。第 3 方向 Y は第 1 方向 X とは異なる。例示的に、第 3 方向 Y は、第 1 方向 X に垂直であってもよい。

10

【 0 0 4 2 】

図 4 を引き続き参照すると、積層構造は更に、複数の平行信号線 3 及び複数の垂直信号線 4 を含み、複数の平行信号線 3 は第 2 方向 Z に配列され且つ第 1 方向 X に沿って延在し、平行信号線 3 は、一層のメモリセル T C に接続され、垂直信号線 4 は第 2 方向 Z に延在し且つ同一のメモリセルグループ T C 0 の複数層のメモリセル T C に接続される。リードポスト 5 は、平行信号線 3 に電気接続される。

【 0 0 4 3 】

つまり、平行信号線 3 は、基板 1 1 上に積層されており、後続での平行信号線 3 と周辺回路との電気接続を実現するために、リードポスト 5 を介して引き出す必要がある。垂直信号線 4 は、基板 1 1 に対して垂直に設けられており、したがって、リードポスト 5 を介して引き出す必要がない。いくつかの実施例では、リードポスト 5 は平行信号線 3 に直接接続され、これにより、リードポスト 5 と平行信号線 3 との電気接続を実現することができ、別のいくつかの実施例では、リードポスト 5 は、メモリセル T C 内の導電性構造を介して平行信号線 3 に電気接続される。以下、これらについて詳細に説明する。

20

【 0 0 4 4 】

図 4 ~ 図 2 2 を参照すると、いくつかの実施例では、メモリセル T C は、第 3 方向 Y に配列されたトランジスタ T 及びコンデンサ C を含み得、平行信号線 3 及び垂直信号線 4 は、トランジスタ T に接続される。例示的に、動的ランダムアクセスメモリ (D R A M : D y n a m i c R a n d o m A c c e s s M e m o r y) では、メモリセル T C は、1 つのトランジスタ T 及び 1 つのコンデンサ C を含む。別のいくつかの実施例では、メモリセル T C は、トランジスタ T のみを含んでもよく、例えば、静的ランダムアクセスメモリ (S R A M : S t a t i c R a n d o m - A c c e s s M e m o r y) では、メモリセル T C は、6 つのトランジスタ T で構成され、別の例として、キャパシタレス・ダブルゲート量子井戸シングルトランジスタ D R A M (1 T D R A M : C a p a c i t o r l e s s D o u b l e G a t e Q u a n t u m W e l l S i n g l e T r a n s i s t o r D R A M) では、メモリセル T C は、1 つのダブルゲートトランジスタ T で構成される。

30

【 0 0 4 5 】

トランジスタ T は、第 3 方向 Y に配列されたチャネル領域 2 2 及びソースドレインドープ領域 2 1 を含み、ソースドレインドープ領域 2 1 は、チャネル領域 2 2 の両側に位置する。平行信号線 3 及び垂直信号線 4 のうちの一方はビット線 B L であり、他方はワード線 W L である。ビット線 B L はソースドレインドープ領域 2 1 に接続され、ワード線 W L はチャネル領域 2 2 に接続される。例示的に、ソースドレインドープ領域 2 1 は、第 1 ソースドレインドープ領域 2 1 1 及び第 2 ソースドレインドープ領域 2 1 2 を含み、第 1 ソースドレインドープ領域 2 1 1 は、ビット線 B L とチャネル領域 2 2 との間に位置し、第 2 ソースドレインドープ領域 2 1 2 は、チャネル領域 2 2 の第 1 ソースドレインドープ領域 2 1 1 から離れた側に位置する。第 1 ソースドレインドープ領域 2 1 1 及び第 2 ソースドレインドープ領域 2 1 2 は、それぞれ、トランジスタ T のソース電極及びドレイン電極として機能することができる。更に、第 2 ソースドレインドープ領域 2 1 は更に、ライトド

40

50

ードレイン（ＬＤＤ）構造を含むことができ、ライトードレイン（ＬＤＤ）構造は、チャンネル領域とドレイン電極との間に位置する。

【００４６】

以下、リードポスト５とメモリセルＴＣ及び平行信号線３との間の具体的な位置関係について詳細に説明する。

【００４７】

平行信号線３がビット線ＢＬであり、垂直信号線４がワード線ＷＬである場合、リードポスト５とメモリセルＴＣ及び平行信号線３との間の位置関係は、具体的には、以下の通りである。

【００４８】

第１例では、図４、図１２～図１７を参照すると、少なくとも１つのリードポスト５の底面はソースドレインドープ領域２１に位置する。つまり、基板１１の表面におけるリードポスト５の正投影は、基板１１の表面におけるソースドレインドープ領域２１の正投影と重なり、リードポスト５は、ソースドレインドープ領域２１の空間位置を用いてビット線ＢＬとの電気接続を実現できる。説明すべきこととして、図１３、図１５及び図１７はすべて、概略的な局部側面図であり、チャンネル領域、垂直信号線及びコンデンサは図示されていない。

【００４９】

具体的には、少なくとも１つのリードポスト５は、対応する層の第１ソースドレインドープ領域２１１に接続される。第１ソースドレインドープ領域２１１は、第２ソースドレインドープ領域２１２よりもビット線ＢＬに近いため、第１ソースドレインドープ領域２１１の空間位置を用いてリードポスト５とビット線ＢＬとの電気接続を実現する場合、リードポスト５とビット線ＢＬとの間の距離を減少させることができ、これにより、抵抗を低減し、製造工程を簡略化するのに役に立つ。リードポスト５が第２ソースドレインドープ領域２１２の空間位置を用いてリードポスト５とビット線ＢＬとの電気接続を実現する場合、チャンネル領域２２及び第１ソースドレインドープ領域２１１に対して導体化処理を実行して、両者の抵抗を低減することができる。

【００５０】

いくつかの実施例では、図４、図１２及び図１３を参照すると、少なくとも１つのリードポスト５は、少なくとも１つのメモリセルＴＣのソースドレインドープ領域２１を貫通する。基板の表面におけるリードポスト５の正投影は、基板の表面におけるメモリセルＴＣ（例えば、第１ソースドレインドープ領域２１１）の正投影と少なくとも部分的に重なる。具体的には、少なくとも１つのリードポスト５は、対応する層のソースドレインドープ領域２１を貫通し、例えば、リードポスト５は、対応する層のメモリセルＴＣの第１ソースドレインドープ領域２１１を貫通することができる。この場合、リードポスト５は、側壁を介してビット線ＢＬに直接接続され得る。

【００５１】

別のいくつかの実施例では、図１４及び図１５を参照すると、リードポスト５の底面は、ソースドレインドープ領域２１内に埋め込まれる。つまり、リードポスト５の下端は、ソースドレインドープ領域２１内に位置するが、ソースドレインドープ領域２１を完全に貫通していない。この場合、リードポスト５は、ビット線ＢＬに直接接続されてもよいし、ソースドレインドープ領域２１を介して間接的にビット線ＢＬに電気接続されてもよい。

【００５２】

更に別のいくつかの実施例では、図１６及び図１７を参照すると、リードポスト５の底面は、ソースドレインドープ領域２１の上面に位置し、例えば、リードポスト５の底面は、第１ソースドレインドープ領域２１１の上面に位置する。この場合、リードポスト５は、ビット線ＢＬに直接接続されず、ソースドレインドープ領域２１を介してビット線ＢＬに電気接続される。ソースドレインドープ領域２１の抵抗を低減するために、ソースドレインドープ領域２１に対して導体化処理を実行することができ、例えば、金属シリサイド処理により、ソースドレインドープ領域２１に金属シリサイドを形成するか、又は、ソ

10

20

30

40

50

ースドレインドープ領域 2 1 に対してヘビードーピング処理を実行することができる。

【 0 0 5 3 】

説明すべきこととして、非最上層に接続されたメモリセル T C の場合、リードポスト 5 は、対応する層の上方のソースドレインドープ領域 2 1 を貫通してもよい。最上層のメモリセル T C に接続されたリードポスト 5 の場合、リードポスト 5 は、対応する層以外の他のソースドレインドープ領域 2 1 を貫通する必要がない。

【 0 0 5 4 】

第 2 例では、図 1 8 を参照すると、メモリセル T C は更に、ビット線接触領域 2 3 を含み、ビット線接触領域 2 3 は、ビット線 B L とソースドレインドープ領域 2 1 を接続する。ビット線接触領域 2 3 は、ビット線 B L とソースドレインドープ領域 2 1 との間の接触抵抗を低減することができる。例示的に、ビット線接触領域 2 3 は、ヘビードーピングされたポリシリコン又は金属シリサイドであってもよい。

【 0 0 5 5 】

少なくとも 1 つのリードポスト 5 の底面は、ビット線接触領域 2 3 に位置する。つまり、リードポスト 5 は、ビット線接触領域 2 3 の空間位置を用いてビット線 B L に電気接続され得る。例えば、少なくとも 1 つのリードポスト 5 は、1 つのメモリセル T C 内のビット線接触領域 2 3 を貫通する。或いは、少なくとも 1 つのリードポスト 5 は、対応する層のビット線接触領域 2 3 に埋め込まれる。或いは、少なくとも 1 つのリードポスト 5 の底面は、対応する層のビット線接触領域 2 3 の上面に接続される。

【 0 0 5 6 】

平行信号線 3 がワード線 W L であり、垂直信号線 4 がビット線 B L である場合、リードポスト 5 とメモリセル T C 及び平行信号線 3 との間の位置関係は、具体的には、以下の通りである。

【 0 0 5 7 】

第 1 例では、図 1 9 を参照すると、少なくとも 1 つのリードポスト 5 の底面はチャンネル領域 2 2 に位置する。つまり、基板 1 1 の表面におけるリードポスト 5 の正投影は、基板 1 1 の表面におけるチャンネル領域 2 2 の正投影と重なり、リードポスト 5 は、チャンネル領域 2 2 の空間位置を用いてワード線 W L との電気接続を実現することができる。

【 0 0 5 8 】

留意すべきこととして、ワード線 W L とチャンネル領域 2 2 との位置関係は様々である。例えば、ワード線 W L は、チャンネル領域 2 2 全体を覆うか、或いは、ワード線 W L は、チャンネル領域 2 2 の上面及び / 又は底面に接続される。

【 0 0 5 9 】

以下では、ワード線 W L が少なくともチャンネル領域 2 2 の上面を覆うことを例として、リードポスト 5 とワード線 W L との間の位置関係について説明する。

【 0 0 6 0 】

図 1 9 を参照すると、リードポスト 5 が非最上層のメモリセル T C に接続される場合、当該リードポスト 5 は、対応する層のメモリセル T C 上のワード線 W L に電気接続され且つ対応する層の上方に位置するチャンネル領域 2 2 及びワード線 W L を貫通する。基板の表面におけるリードポスト 5 の正投影は、基板の表面における、メモリセル T C のチャンネル領域 2 2 の正投影と少なくとも部分的に重なる。留意すべきこととして、リードポスト 5 はワード線 W L を貫通しているが、ワード線 W L を完全に切断するわけではない。例えば、リードポスト 5 はワード線 W L の中央を貫通する。リードポスト 5 と、対応する層の上方のワード線 W L との間には、誘電体層 6 が更に設けられ、これによって、リードポスト 5 と対応する層の上方のワード線 W L との電気接続を回避する。

【 0 0 6 1 】

リードポスト 5 が最上層のメモリセル T C に接続される場合、当該リードポスト 5 は、最上層のワード線 W L に電気接続され、いずれのワード線 W L 及びチャンネル領域 2 2 を貫通する必要がない。

【 0 0 6 2 】

10

20

30

40

50

半導体構造は、少なくとも、異なる層のメモリセルＴＣに接続されたリードポスト５を含むため、少なくとも１つのリードポスト５は、非最上層のメモリセルＴＣに接続され、したがって、少なくとも１つのリードポスト５は、少なくとも１つのメモリセルＴＣのチャネル領域２２を貫通する。

【００６３】

説明すべきこととして、ワード線ＷＬが、チャネル領域２２の上面を覆わず、チャネル領域２２の底面を覆う場合、最上層のメモリセルＴＣに接続されたリードポスト５は、チャネル領域２２の底面のワード線ＷＬに接続されるために、少なくとも１つのチャネル領域２２を貫通する必要がある。

【００６４】

第２例では、図２０及び図２１を参照すると、少なくとも１つのリードポスト５の底面は、ソースドレインドープ領域２１に位置し、リードポスト５の側面の一部は、対応する層のワード線ＷＬに接続される。更に、ワード線ＷＬは更に、対応する層の上方のソースドレインドープ領域２１を貫通する。つまり、リードポスト５は、ソースドレインドープ領域２１の位置を用いてワード線ＷＬとの電気接続を実現することができる。具体的には、図２０を参照すると、少なくとも１つのリードポスト５の底面は、第１ソースドレインドープ領域２１１に位置し、リードポスト５の側面の一部は、対応する層のワード線ＷＬに接続され、基板の表面におけるリードポスト５の正投影は、基板の表面における、メモリセルＴＣの第１ソースドレインドープ領域２１１の正投影と少なくとも部分的に重なる。図２１を参照すると、少なくとも１つのリードポスト５の底面は、第２ソースドレインドープ領域２１２に位置し、リードポスト５の側面の一部は、対応する層のワード線ＷＬに接続され、基板の表面におけるリードポスト５の正投影は、基板の表面における、メモリセルＴＣの第２ソースドレインドープ領域２１２の正投影と少なくとも部分的に重なる。

【００６５】

説明すべきこととして、リードポスト５の底面は、ソースドレインドープ領域２１に位置するが、ソースドレインドープ領域２１から電氣的に絶縁され、例えば、リードポスト５の底面に絶縁層（未図示）を形成してもよく、又は、リードポスト５を形成する前に、対応する層のソースドレインドープ領域２１の表面に対してパッシベーション処理を実行することができる。

【００６６】

以下、構造モジュールについて詳細に説明する。

【００６７】

図２２を参照すると、積層構造の数は複数であり、同一の積層構造の複数の平行信号線３は、第２方向Ｚ上に順次に配列された第１～第Ｎ（Ｎは１より大きい正の整数である）平行信号線を含む。

【００６８】

２つの積層構造は構造モジュールを構成する。構造モジュールは更に、複数の導線７を含み、導線７は、異なる積層構造の２つのリードポスト５に接続され、言い換えれば、異なる積層構造に位置する２つのリードポスト５は１つの導線７に接続され、２つのリードポスト５に電気接続された２つの平行信号線３のシーケンス番号の合計は、 $N + 1$ である。

【００６９】

つまり、シーケンス番号の合計が $N + 1$ である２つの平行信号線３は、リードポスト５及び導線７を介して電気接続される。電気接続された２つの平行信号線３は、平行信号線グループを構成することができる。電位が同じであるため、平行信号線グループの２つの平行信号線３は１つの平行信号線３と見なしてもよい。

【００７０】

例示的に、平行信号線３は、第１～第５平行信号線を含み、積層構造の第１平行信号線は、別の積層構造の第５平行信号線に接続され、積層構造の第２平行信号線は、別の積層構造の第４平行信号線に接続され、積層構造の第３平行信号線は、別の積層構造の第３平行信号線に接続される。第１平行信号線は最上層に位置し、第５平行信号線は最下層に位

10

20

30

40

50

置する。

【0071】

説明すべきこととして、リードポスト5はメモリセルTCを貫通するため、貫通されたメモリセルTCはもはやメモリ機能を実行しない。リードポスト5は異なる層のメモリセルTCに接続されるため、半導体構造内の異なる層における利用可能なメモリセルTCの数は異なる。例えば、合計5層のメモリセルTCがあり、第1層は最上層であり、第1層には5つのメモリセルTCが足りず、第2層には4つのメモリセルTCが足りず、第3層には3つのメモリセルTCが欠落しており、第4層には2つのメモリセルTCが欠落しており、第5層は最下層として使用され、第5層には1つのメモリセルTCが欠落している。導線7の作用により、異なる平行信号線グループに接続されたメモリセルTCの数は同じになる。

10

【0072】

更に、異なる層のメモリセルTCに接続されたリードポスト5の長さは異なるため、異なる抵抗を生じる。RC遅延効果により、異なるメモリセルTCの遅延時間は異なる。導線7の作用により、2つのリードポスト5が1つのリードポスト5グループを形成し、各リードポスト5グループの総長は大体同じであり、したがって、遅延時間を統一するのに役に立ち、これにより、半導体構造の性能を向上させる。

【0073】

更に、異なる層のメモリセルTCとリードポスト5の接触面積の一致性を保つことができ、そのため、一致した接触抵抗を得、それによって異なる遅延時間が生じるのを防ぐことができる。例えば、異なる層のメモリセルTCとリードポスト5の接触面積はいずれも、 $0.036 \sim 0.054 \mu\text{m}^2$ である。

20

【0074】

いくつかの実施例では、導線7に接続される2つのリードポスト5は真向かいに設けられ、導線7の延在方向は第1方向Xに垂直である。このようにして、2つのリードポスト5間の距離を縮小するのに役に立ち、これにより、導線の長さを短縮することができる。導線の長さが短縮すると、抵抗が低減し、消費電力が低下し、遅延時間が短縮する。別のいくつかの実施例では、図22を参照すると、導線7に接続される2つのリードポスト5は互いにずらして配置されてもよい。

【0075】

30

同一の構造モジュールにおいて、一方の積層構造のトランジスタTは、他方の積層構造のトランジスタTに対向して設けられる。つまり、積層構造のコンデンサCは、第3方向Yに配列された2つの対向する辺を有し、そのうち、別の積層構造に面する一方の辺は内側であり、別の積層構造に背向する一方の辺は外側であり。トランジスタTが互に対向して設けられることは、2つのトランジスタが、それらが所属する積層構造の内側に位置することを意味する。このようにして、2つのトランジスタT間の距離を短縮し、2つのリードポスト5間の距離を短縮するのに役に立ち、これにより、導線7の長さを短縮する。

【0076】

図22に示すように、別のいくつかの実施例では、同一の構造モジュールにおいて、一方の積層構造のトランジスタTは、他方の積層構造のトランジスタTと同じ方向に設けられる。或いは、同一の構造モジュールにおいて、一方の積層構造のトランジスタTは、他方の積層構造のトランジスタTとは反対方向に設けられる。トランジスタTが同じ方向に設けられることは、一方の積層構造のトランジスタTがコンデンサCの内側に位置し、他方の積層構造のトランジスタTがコンデンサCの外側に位置することを意味する。トランジスタTが反対方向に設けられることは、2つの積層構造のトランジスタTがいずれもコンデンサCの外側に位置することを意味する。

40

【0077】

要するに、本開示の実施例では、少なくとも2つのリードポスト5を段差領域からメモリセルTCが配置される領域に組み込むことにより、基板11の表面面積の利用率を向上させる。すべてのリードポスト5をメモリセルTCが配置される領域に設けると、段差領

50

域を別途に分割する必要がなくなり、半導体構造の集積度を向上させることができ、メモリセルＴＣの数を増加させるのに役に立つ。

【００７８】

図２３～図３５に示すように、本開示の別の実施例は、半導体構造の製造方法を提供する。当該半導体構造の製造方法は、上記の実施例で提供される半導体構造を製造することに用いられ、半導体構造に関する詳細な説明については、上記の実施例を参照することができる。説明すべきこととして、半導体構造の製造方法のステップを便宜に説明し、明確に示すために、図２３～図３５は、半導体構造の概略的な局部構造図であり、ここで、図２３、図２５、図２６、図２８～図３０は、チャンネル領域、垂直信号線及びコンデンサを省略した局部側面図であり、図２４、図２７及び図３１は、絶縁層１２を省略した局部俯瞰図である。図３２及び図３４は、第１方向Ｘ上の断面図であり、図３３、図３４は、絶縁層１２を省略した局部俯瞰図である。

10

【００７９】

図２３を参照すると、基板１１を提供し、基板１１上に積層構造を形成し、積層構造は、第１方向Ｘに配列された複数のメモリセルグループＴＣ０（図１を参照）を含み、メモリセルグループＴＣ０は、第２方向Ｚに配列された複数層のメモリセルＴＣを含む。同一のメモリセルグループＴＣ０の複数のメモリセルＴＣは、順次配列された第１メモリセル～第Ｎメモリセルを含む。第１メモリセルは最上層に位置し、第Ｎメモリセルは最下層に位置する。

【００８０】

例示的に、メモリセルＴＣは、トランジスタＴ及びコンデンサＣを含むことができる。

20

【００８１】

具体的には、トランジスタＴを形成するステップは、間隔をあけて設けられる複数層の活性層を形成することであって、各活性層は複数の活性構造を含む、ことと、活性構造に対してドーピング処理を実行して、ソースドレインドープ領域２１及びチャンネル領域２２を形成することと、チャンネル領域２２の表面にゲート誘電体層を形成することと、を含み得る。つまり、メモリセルＴＣは、第３方向Ｙに配列されたチャンネル領域２２及びソースドレインドープ領域２１を含み、ソースドレインドープ領域２１は、チャンネル領域２２の両側に位置し、第３方向Ｙは、基板１１の表面に平行である。

【００８２】

更に、隣接する層のトランジスタＴの間に絶縁層１２を形成して、隣接するトランジスタＴを分離する必要がある。

30

【００８３】

コンデンサＣを形成するステップは、コンデンサ支持層、及びコンデンサ支持層内に位置するコンデンサホールを形成することと、コンデンサホールの内壁に下電極を形成し、下電極の表面にコンデンサ誘電体層を形成し、コンデンサ誘電体層の表面に上電極を形成することと、を含み得る。下電極、コンデンサ誘電体層及び上電極はコンデンサＣを構成する。

【００８４】

半導体構造の製造方法は、複数の平行信号線３及び複数の垂直信号線４（図４を参照）を形成することを更に含み、複数の平行信号線３は、第２方向Ｚに配列され且つ第１方向Ｘに沿って延在し、各平行信号線３は、一層のメモリセルＴＣに接続され、垂直信号線４は第２方向Ｚに延在し且つ同一のメモリセルグループＴＣ０の複数層のメモリセルＴＣに接続される。第１方向Ｘは基板１１の表面に平行であり、第２方向Ｚは基板１１の表面に垂直である。

40

【００８５】

垂直信号線４及び平行信号線３のうちの一方はビット線ＢＬであり、他方はワード線ＷＬである。ビット線ＢＬはソースドレインドープ領域２１に接続され、ワード線ＷＬはゲート電極としてチャンネル領域２２に接続される。

【００８６】

50

垂直信号線 4 を形成する方法は、絶縁構造を形成し、分離構造をエッチングして、分離構造内に充填孔を形成し、充填孔は第 2 方向 Z に延在することと、充填孔内に導電材料を堆積して、垂直信号線 4 を形成することと、を含み得る。

【 0 0 8 7 】

平行信号線 3 を形成するステップは、活性構造の表面に導電材料を堆積して、導電材料が同一層の活性構造を覆うようにすることを含み得る。この後、隣接する平行信号線 3 の間に分離構造を形成する。

【 0 0 8 8 】

図 2 3 ~ 図 3 5 を参照すると、複数のリードポスト 5 を形成し、ここで、少なくとも 2 つのリードポスト 5 はそれぞれ、異なるメモリセルグループ T C 0 内の異なる層のメモリセル T C に接続される。

10

【 0 0 8 9 】

以下、リードポスト 5 の形成ステップについて詳細に説明する。

【 0 0 9 0 】

平行信号線 3 がビット線 B L であり、垂直信号線 4 がワード線 W L である場合、リードポスト 5 の形成ステップは、具体的には、以下のとおりである。

【 0 0 9 1 】

先ず、説明すべきこととして、同一のメモリセルグループ T C 0 の複数のソースドレインドープ領域 2 1 は、順次配置された第 1 層のソースドレインドープ領域 ~ 第 N (N は正の整数である) 層のソースドレインドープ領域を含む。第 1 層のソースドレインドープ領域は最上層に位置し、第 N 層のソースドレインドープ領域は最下層に位置する。

20

【 0 0 9 2 】

図 2 3 及び図 2 4 を参照すると、マスク層 7 1 を形成し、マスク層 7 1 には N 個の開口部 7 2 が設けられ、N は正の整数であり、開口部 7 2 は、ソースドレインドープ領域 2 1 の上方 (例えば、第 1 ソースドレインドープ領域 2 1 1 の上方) に位置する。例示的に、マスク層 7 1 はフォトレジスト層であり得、フォトレジスト層をフォトエッチングして、開口部 7 2 を形成する。或いは、マスク層 7 1 は、積層された、ハードマスク層及びフォトレジスト層であってもよく、フォトレジスト層をフォトエッチングしてから、ハードマスク層をフォトエッチングして、開口部 7 2 を形成する。

【 0 0 9 3 】

図 2 5 を参照すると、開口部 7 2 に沿って第 1 メモリセルをエッチングして、複数の第 1 サブスルーホール 8 1 1 を形成し、ここで、1 つの第 1 サブスルーホール 8 1 1 は第 1 スルーホール 8 1 として使用される。具体的には、開口部 7 2 に沿ってソースドレインドープ領域 2 1 をエッチングする。また、第 1 メモリセルをエッチングする前に、第 1 メモリセルの上方の絶縁層 1 2 をエッチングする必要がある。

30

【 0 0 9 4 】

図 2 6 及び図 2 7 を参照すると、第 1 サブスルーホール 8 を充填する犠牲層 7 3 を形成する。例示的に、酸化ケイ素などの低誘電率材料を第 1 サブスルーホール 8 内に堆積して、犠牲層 7 3 として使用する。

【 0 0 9 5 】

図 2 6 及び図 2 7 を引き続き参照すると、マスク層 7 1 をパターンニングして、マスク層 7 1 が N - 1 個の開口部 7 2 を有するようにする。具体的には、フォトレジスト層を再びスピニングし、フォトレジスト層をフォトエッチングして、開口部 7 2 を形成してもよい。

40

【 0 0 9 6 】

図 2 8 を参照すると、開口部 7 2 に沿って犠牲層 7 3 及び第 2 メモリセルをエッチングすることによって、第 N - 1 個の第 2 サブスルーホール 8 2 1 を形成し、ここで、1 つの第 2 サブスルーホール 8 2 1 は第 2 スルーホール 8 2 として使用される。犠牲層 7 3 をエッチングした後、第 2 メモリセル上の絶縁層 7 2 をエッチングする必要がある。

【 0 0 9 7 】

50

図 2 9 を参照すると、犠牲層 7 3 を形成し、マスク層 7 1 をパターニングし、エッチングするステップは、第 N 層のソースドレインドープ領域が貫通されるまで繰り返される。別のいくつかの実施例では、犠牲層 7 3 を形成し、マスク層 7 1 をパターニングし、エッチングするステップは、第 N - 1 メモリセルが貫通され且つ第 N メモリセルが露出するまで繰り返され、或いは、第 N - 1 メモリセルが貫通され且つ部分的な厚さの第 N メモリセルが除去されるまで繰り返される。

【 0 0 9 8 】

このとき、図 2 3 ~ 図 2 9 に基づいて、スルーホール 8 を形成することができ、スルーホール 8 は、第 1 スルーホール ~ 第 N スルーホールを含む。例示的に、図 2 9 を参照すると、第 1 スルーホール 8 1、第 2 スルーホール 8 2、第 3 スルーホール 8 3、第 4 スルーホール 8 4 及び第 5 スルーホール 8 5 を形成することができる。いくつかの実施例では、第 1 スルーホール 8 1 は、第 1 層のソースドレインドープ領域を貫通することができ、第 N スルーホールは、第 1 層のソースドレインドープ領域 ~ 第 N 層のソースドレインドープ領域 2 1 を貫通することができる。別のいくつかの実施例では、第 1 スルーホール 8 は第 1 層のソースドレインドープ領域 2 1 を露出し、第 N スルーホールは、第 1 層のソースドレインドープ領域 ~ 第 N - 1 層のソースドレインドープ領域を貫通し且つ第 N 層のソースドレインドープ領域 2 1 を露出する。更に別のいくつかの実施例では、第 1 スルーホール 8 の底部は、第 1 層のソースドレインドープ領域 2 1 に埋め込まれ、第 N スルーホールは、第 1 層のソースドレインドープ領域 ~ 第 N - 1 層のソースドレインドープ領域を貫通し、第 N スルーホールの底部は、第 N 層のソースドレインドープ領域に埋め込まれる。説明すべきこととして、第 1 方向 X において、順次配置された第 1 スルーホール 8 1、第 2 スルーホール 8 2、第 3 スルーホール 8 3、第 4 スルーホール 8 4 及び第 5 スルーホール 8 5 の深さは漸増する。他の実施例では、第 1 方向 X において、順次配置された第 1 スルーホール 8 1、第 2 スルーホール 8 2、第 3 スルーホール 8 3、第 4 スルーホール 8 4 及び第 5 スルーホール 8 5 の深さは、漸増又は漸減せずに交互に変化し、これにより、後続に形成されるリードポスト 5 のうち、深さの深いリードポスト 5 間の寄生容量が大きくなりすぎるのを防ぐことができる。

【 0 0 9 9 】

図 3 0 及び図 3 1 を参照すると、スルーホール 8 の側壁を覆う誘電体層 6 を形成し、スルーホール 8 を充填するリードポスト 5 を形成し、リードポスト 5 は、対応するソースドレインドープ領域 2 1 と接触する。

【 0 1 0 0 】

具体的には、第 N スルーホールが第 N 層のソースドレインドープ領域 2 1 を貫通するか、又は第 N スルーホールが第 N - 1 層のソースドレインドープ領域 2 1 を貫通し且つその底部が第 N 層のソースドレインドープ領域 2 1 に埋め込まれる場合、誘電体層 6 及びリードポスト 5 を形成するステップは、以下のステップを含み得る。

【 0 1 0 1 】

スルーホール 8 の底部に接触部 5 1 を形成し、接触部 5 1 は、対応する層のメモリセル TC に接続される。接触部 5 1 を形成した後、スルーホール 8 の側壁に誘電体層 6 を形成する。例示的に、化学気相堆積工程により、スルーホール 8 の側壁及び接触部 5 1 の表面に初期誘電体層を形成し、接触部 5 1 の表面に位置する初期誘電体層を除去し、スルーホール 8 の側壁に位置する初期誘電体層を誘電体層 6 として使用する。誘電体層 6 を形成した後、スルーホール 8 を充填する延在部 5 2 を形成する。延在部 5 2 と接触部 5 1 とがリードポスト 5 を構成する。

【 0 1 0 2 】

第 N スルーホール 8 が、第 N - 1 層のソースドレインドープ領域を貫通し且つ第 N 層のソースドレインドープ領域を露出する場合、誘電体層 6 及びリードポスト 5 を形成するステップは、スルーホール 8 の内壁に誘電体層 6 を形成し、誘電体層 6 を形成した後、スルーホール 8 を充填するリードポスト 5 を形成することを含み得る。この場合、金属シリサイド化工程により、対応する層のソースドレインドープ領域 2 1 内に金属シリサイドを形

10

20

30

40

50

成することができ、これによって、接触抵抗を低減することができる。具体的には、スルーホール8の内壁に金属層を堆積し、熱処理を行うことによって、金属層をソースドレインドープ領域21と反応させ、その後、未反応の金属層を除去し、未反応の金属層は、主にスルーホール8の側壁に位置し、その後、誘電体層6及びリードポスト5を形成する。

【0103】

平行信号線3がワード線WLであり、垂直信号線4がビット線BLである場合、リードポスト5の形成ステップは、具体的には、以下のとおりである。

【0104】

先ず、説明すべきこととして、同一のメモリセルグループTC0の複数のチャネル領域22は、順次配置された第1チャネル領域～第N（Nは正の整数である）チャネル領域を含む。第1チャネル領域は最上層に位置し、第Nチャネル領域は最下層に位置する。

10

【0105】

図32及び図33を参照すると、スルーホール8を形成し、スルーホール8は、第1スルーホール81～第Nスルーホールを含む。第1スルーホール8は、第1チャネル領域に接続されたワード線WLを露出し、第Nスルーホール8は、第1チャネル領域22～第N-1チャネル領域を貫通し且つ第Nチャネル領域に接続されたワード線WLを露出する。スルーホール8の形成ステップについては、上記の詳細な説明を参照することができる。

【0106】

図34及び図35を参照すると、スルーホール8の側壁を覆う誘電体層6を形成する。具体的には、スルーホール8の内壁に初期誘電体層を形成し、スルーホール8の底壁に位置する初期誘電体層を除去して、対応する層のワード線WLを露出し、スルーホール8の側壁に位置する初期誘電体層を誘電体層6として使用する。

20

【0107】

図34及び図35を引き続き参照すると、スルーホール8を充填するリードポスト5を形成し、リードポスト5は、対応するワード線WLと接触する。例示的に、銅、アルミニウム、チタン、又はタングステンなどの金属をスルーホール8内に堆積して、リードポスト5として使用する。

【0108】

説明すべきこととして、上記のリードポスト5の形成方法は、例示的な説明に過ぎず、リードポスト5の形成方法はこれに限定されず、リードポスト5の具体的な構造に応じてリードポスト5の形成方法を調整することができる。

30

【0109】

要するに、本開示の実施例では、メモリセルTCをエッチングしてスルーホール8を形成し、スルーホール8を充填する誘電体層及びリードポスト5を形成する。このようにして、リードポスト5は、メモリセルTCの空間位置を用いて、メモリセルTCに直接に電気接続され、これにより、段差数を減らすことができ、又は別個の段差領域を形成する必要がなくなり、したがって、半導体構造の集積度を向上させるのに役に立つ。

【0110】

図36～図38を参照すると、本開示の更に別の実施例は半導体構造を更に提供し、当該半導体構造は、上記の実施例における半導体構造とはほぼ同じであり、主な違いは、当該半導体構造の少なくとも2つのリードポスト5は、同一のメモリセルグループTC0の異なるメモリセルTCに接続されることである。当該半導体構造において、上記の実施例における半導体構造と同じ又は類似の部分については、上記の実施例の詳細な説明を参照することができ、ここでは繰り返して説明しない。

40

【0111】

半導体構造は、基板11（図34を参照）及び複数のリードポスト5を含み、基板11上に積層構造が設けられ、積層構造は、第1方向Xに配列された複数のメモリセルグループTC0を含み、メモリセルグループTC0は、第2方向Zに配列された複数層のメモリセルTCを含み、少なくとも2つのリードポスト5は、同一のメモリセルグループTC0内の異なるメモリセルTCに接続される。

50

【0112】

異なるリードポスト5が異なるメモリセルグループTC0に位置する場合と比較して、少なくとも2つのリードポスト5は、同一のメモリセルグループTC0の空間位置を用いることができ、これにより、同一のメモリセルグループのTC0内の空間利用率を向上させ、利用可能なメモリセルTCの数を増加させることができる。例えば、2つのリードポスト5はそれぞれ、最上層及び上位2番目の層のメモリセルTCに接続される場合、当該2つのリードポスト5が異なるメモリセルグループTC0に位置すると、3つのメモリセルTCが無効になり、これらが同一のメモリセルグループTC0に位置すると、2つのメモリセルTCが無効になる。

【0113】

説明すべきこととして、同一の半導体構造では、上記の2つの方案を組み合わせてもよい。例えば、半導体構造は、少なくとも4つのリードポスト5を含み、ここで、少なくとも2つのリードポスト5は、異なるメモリセルグループTC0の異なる層のメモリセルTCにそれぞれ接続され、少なくとも2つのリードポスト5は、同一のメモリセルグループTC0の異なる層のメモリセルTCにそれぞれ接続される。

【0114】

図36～図38を引き続き参照すると、同一のメモリセルグループTC0の異なるメモリセルTCに接続される少なくとも2つのリードポスト5は、第1方向Xに沿って配列され、このようにして、リードポスト5とメモリセルTCとの接続位置を統一させ、接続工程を簡略化するのに役に立つ。

【0115】

いくつかの実施例では、積層構造は更に、複数の平行信号線3及び複数の垂直信号線4を含み、複数の平行信号線3は第2方向Zに配列され且つ第1方向Xに沿って延在し、平行信号線3は、一層のメモリセルTCに接続され、垂直信号線4は第2方向Zに延在し且つ同一のメモリセルグループTC0の複数層のメモリセルTCに接続される。リードポスト5は、平行信号線3に電気接続される。

【0116】

いくつかの実施例では、同一のメモリセルグループTC0の異なるメモリセルTCに接続されるリードポスト5は、第1方向Xに沿って一列に配列される。つまり、リードポスト5は第1方向Xに大体整列される。このようにして、複数のリードポスト5と平行信号線3との間の距離はほぼ同じであり、これにより、複数のリードポスト5と平行信号線3との接触抵抗をバランスさせるのに役に立つ。更に、工程を簡略化するのにも役に立ち、半導体構造の均一性を向上させる。例えば、図37を参照すると、複数のリードポスト5の両端は第1方向Xに整列され、これにより、工程を簡略化するのに役に立つ。図38を参照すると、第1方向Xにおける複数のリードポスト5の両端を若干ずらして配置することで、対向面積を低減することができ、これによって寄生容量を低減することができる。

【0117】

要するに、本開示の実施例では、少なくとも2つのリードポスト5を、段差領域からメモリセルTCが配置される領域に組み込むことにより、基板11の表面面積の利用率を向上させることができる。更に、少なくとも2つのリードポスト5は、同一のメモリセルグループTC0における異なる層のメモリセルTCに接続され、これは、少なくとも2つのリードポスト5が同一のメモリセルグループTC0の空間位置を用いることができることを意味し、これにより、無効なメモリセルTCの数を減らすのに役に立ち、半導体構造の集積度を向上させることができる。

【0118】

本開示の実施例は、上記の実施例で提供される半導体構造を備えたメモリチップを更に提供する。

【0119】

メモリチップは、プログラム及び様々なデータ情報を記憶するための記憶部である。例示的に、メモリチップは、ランダムアクセスメモリチップ又は読み取り専用メモリチップ

10

20

30

40

50

であってもよく、例えば、ランダムアクセスメモリチップは、動的ランダムアクセスメモリ又は静的ランダムアクセスメモリを含むことができる。上記の半導体構造の集積度は高いため、メモリチップの超小型化を実現するのに役に立つ。

【0120】

本開示の実施例は、上記の実施例で提供されるメモリチップを備えた電子機器を更に提供する。

【0121】

例示的に、電子機器は、テレビ、コンピュータ、携帯電話又はタブレットコンピュータなどの機器であってもよい。電子機器は、回路基板及びパッケージ構造を備えることができ、メモリチップは、回路基板上に溶接され、パッケージ構造によって保護される。更に、電子機器は更に、メモリチップに動作電圧を供給するための電源を備えることができる。

10

【0122】

本明細書の説明において、「いくつかの実施例」、「例示的に」などの用語に関する説明は、当該実施例又は例を参照して説明された具体的な特徴、構造、材料又は特性が、本開示の少なくとも1つの実施例又は例に含まれることを意味する。本明細書では、上記の用語の例示的な表現は、必ずしも同じ実施例又は例を指すとは限らない。さらに、説明された具体的な特徴、構造、材料又は特性は、任意の1つ又は複数の実施例又は例において、適切な方式で組み合わせることができる。更に、競合しない限り、当業者は、本明細書に記載された異なる実施例又は例、及び異なる実施例又は例の特徴を統合又は結合することができる。

20

【0123】

以上では、本開示の実施例を示し説明したが、理解できるように、上記の実施例は、例示的なものであり、本開示を限定するものとして解釈されるべきではない。当業者は、本開示の範囲内で、上記の実施例に対して変更、修正、置換及び変換を行うことができ、したがって、本開示の特許請求の範囲及び明細書に従ってなされた変更及び修正は、本開示の保護範囲内に含まれるものとする。

30

40

50

【図面】

【図 1】

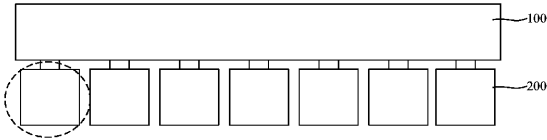


图 1

【図 2】

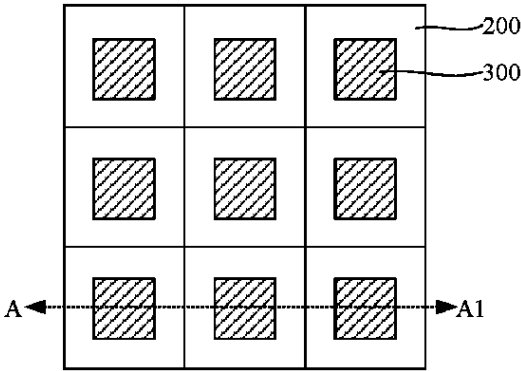


图 2

【図 3】

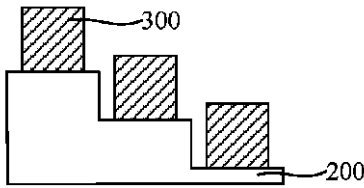


图 3

【図 4】

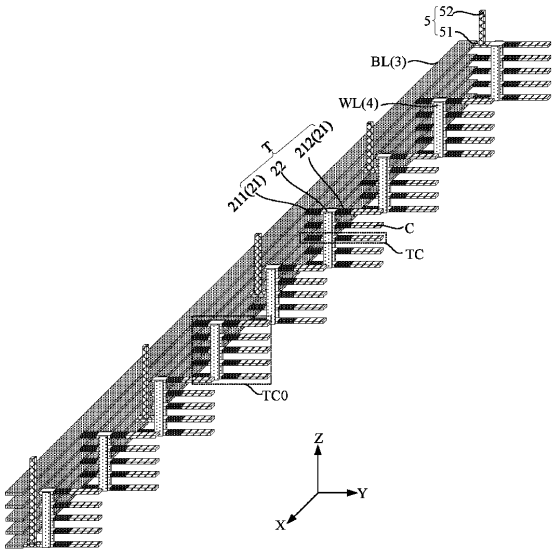


图 4

10

20

30

40

50

【 図 5 】

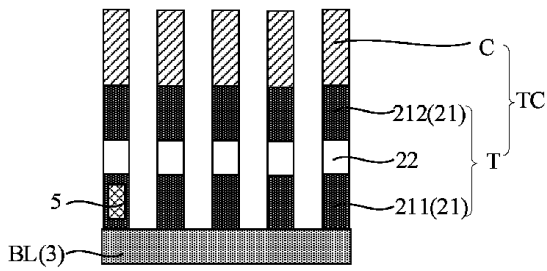


图 5

【 图 6 】

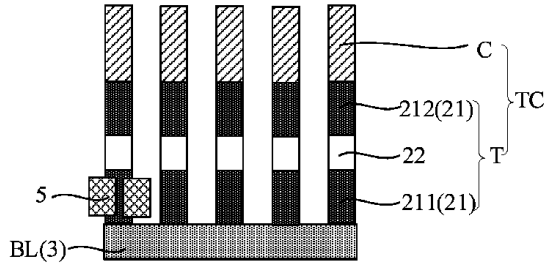


图 6

10

【 图 7 】

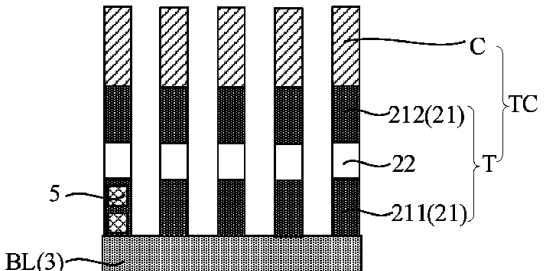


图 7

【 图 8 】

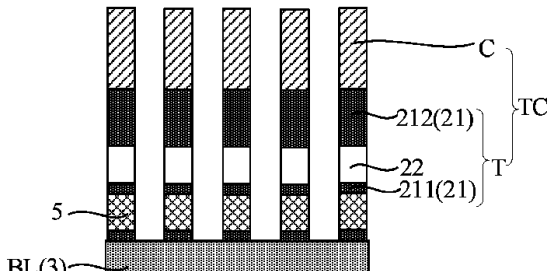


图 8

20

【 图 9 】

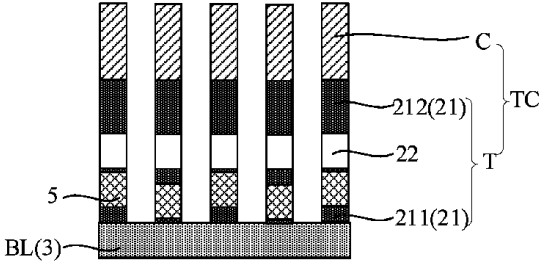


图 9

【 图 1 0 】

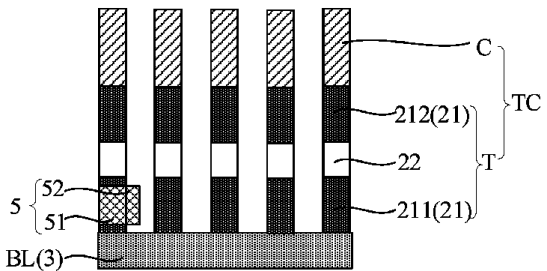


图 10

30

40

50

【図 1 1】

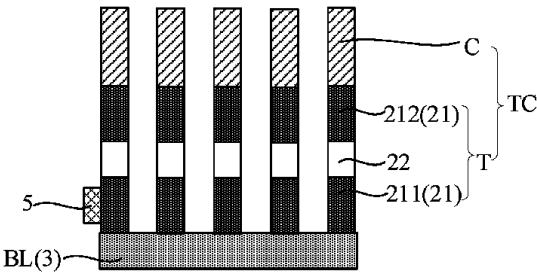


图 11

【図 1 2】

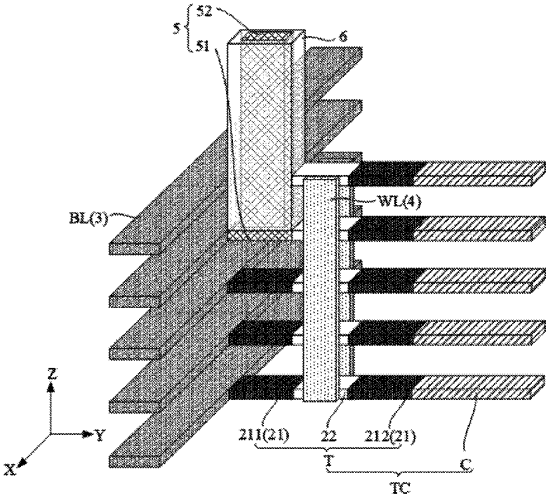


图 12

【図 1 3】

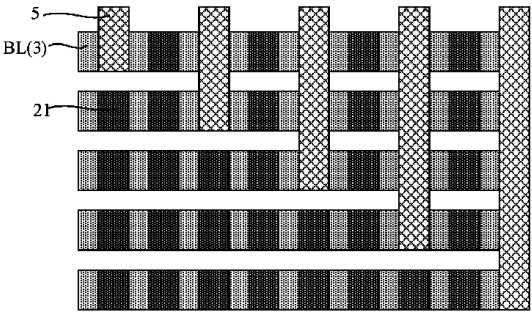


图 13

【図 1 4】

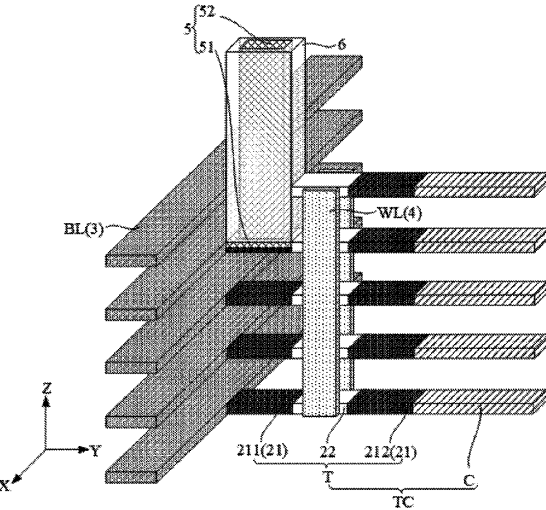


图 14

10

20

30

40

50

【図 15】

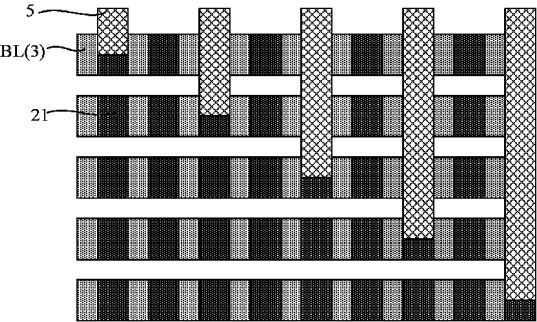


图 15

【図 16】

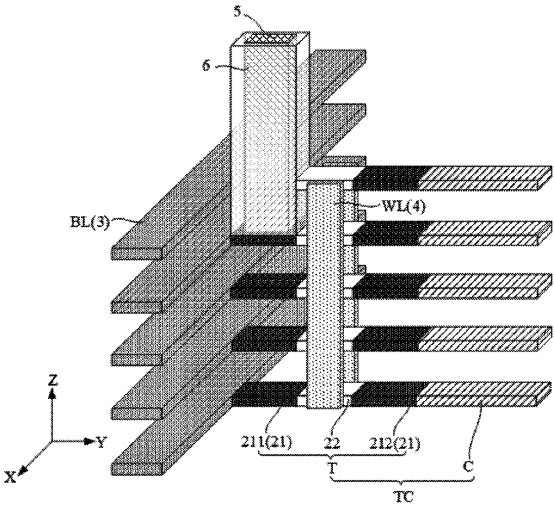


图 16

【図 17】

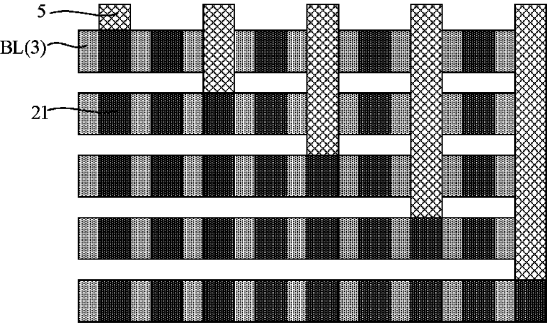


图 17

【図 18】

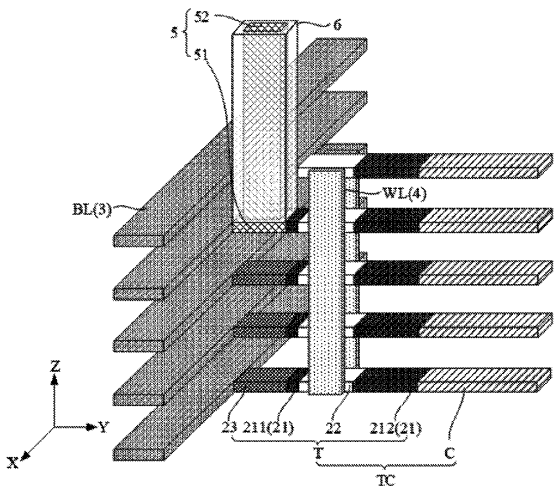


图 18

10

20

30

40

50

【 図 1 9 】

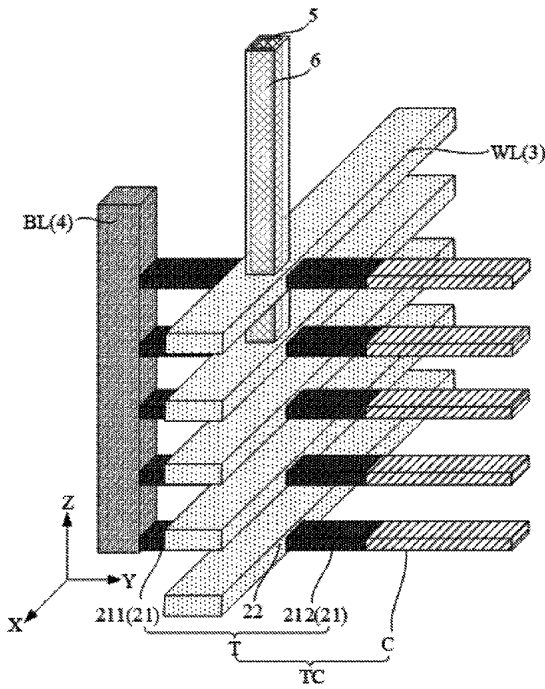


图 19

【 图 2 0 】

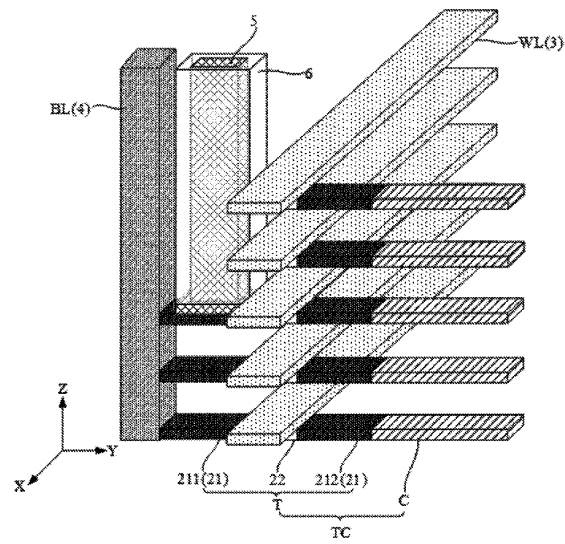


图 20

【 图 2 1 】

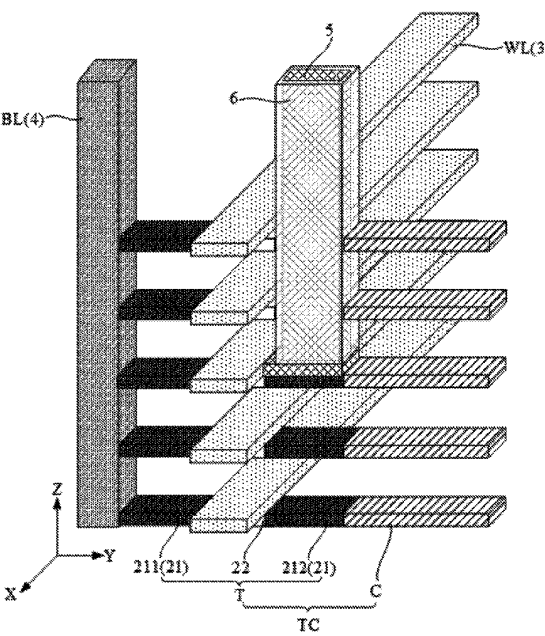


图 21

【 图 2 2 】

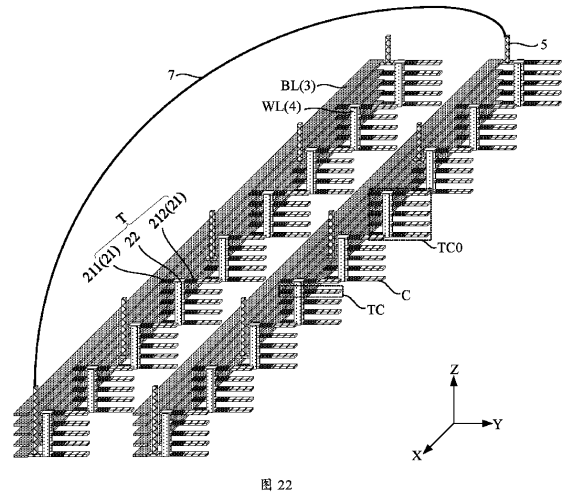


图 22

10

20

30

40

50

【図 2 3】

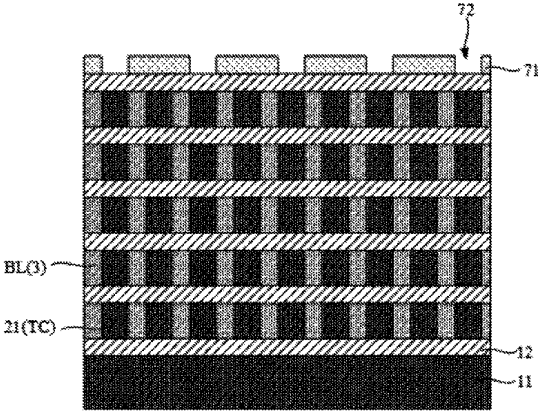


图 23

【图 2 4】

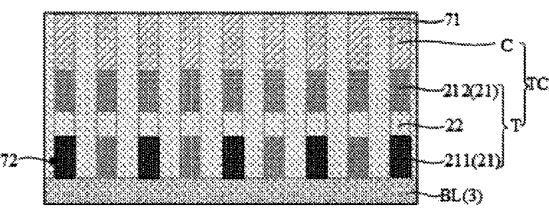


图 24

10

【图 2 5】

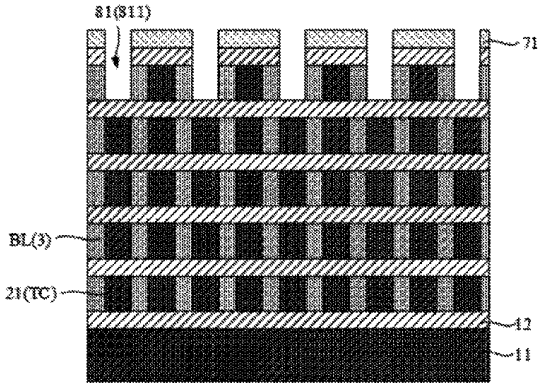


图 25

【图 2 6】

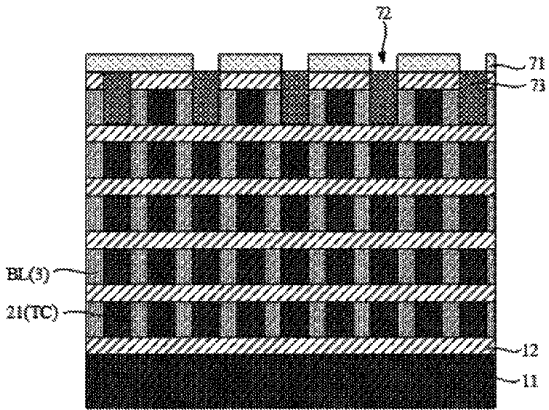


图 26

20

30

40

50

【 図 2 7 】

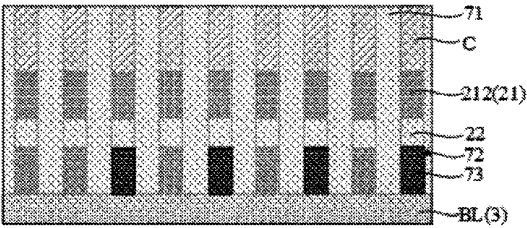


图 27

【 图 2 8 】

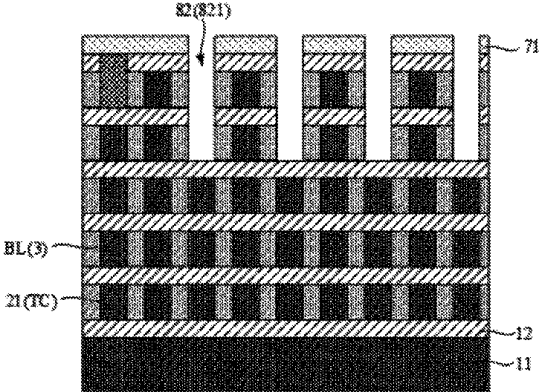


图 28

【 图 2 9 】

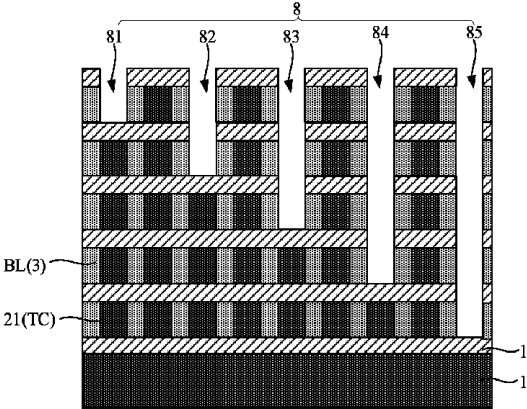


图 29

【 图 3 0 】

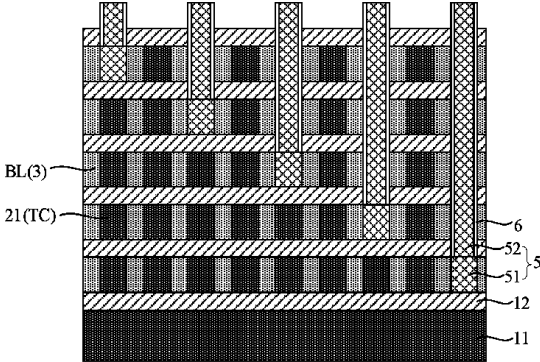


图 30

10

20

30

40

50

【 3 1 】

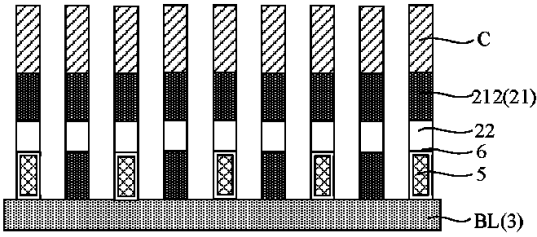


图 31

【 3 2 】

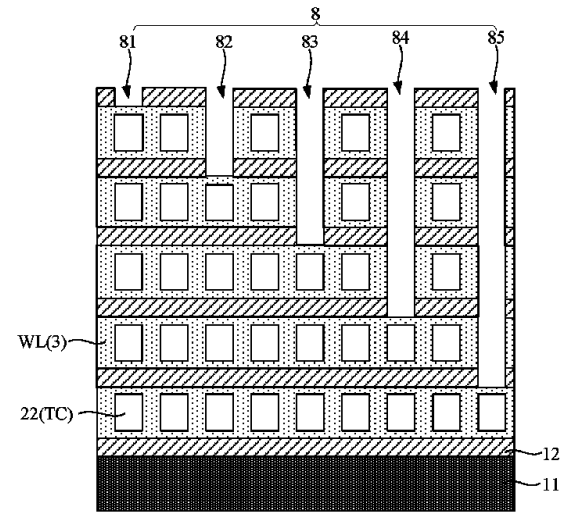


图 32

【 3 3 】

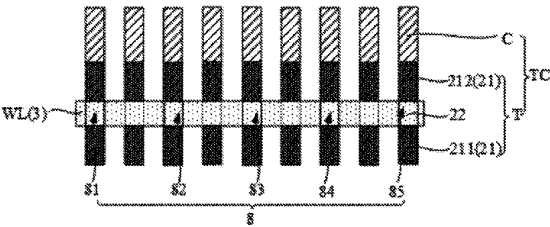


图 33

【 3 4 】

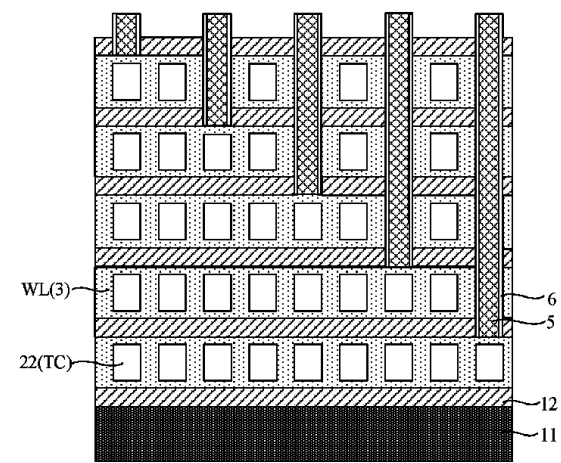


图 34

10

20

30

40

50

【 3 5 】

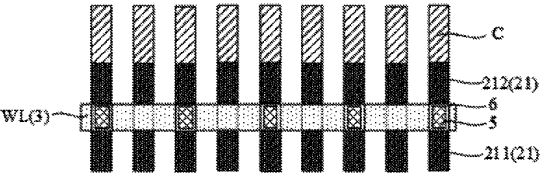


图 35

【 3 6 】

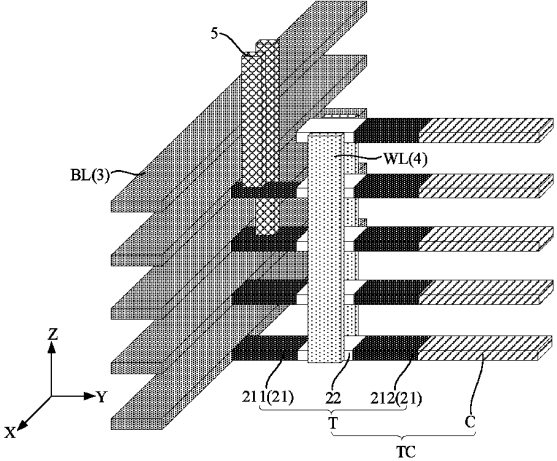


图 36

【 3 7 】

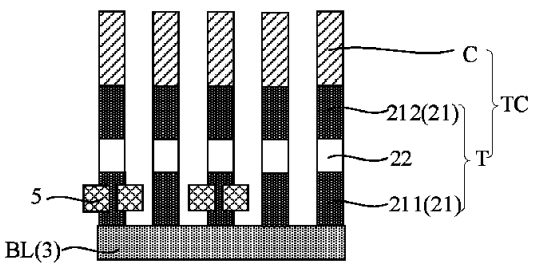


图 37

【 3 8 】

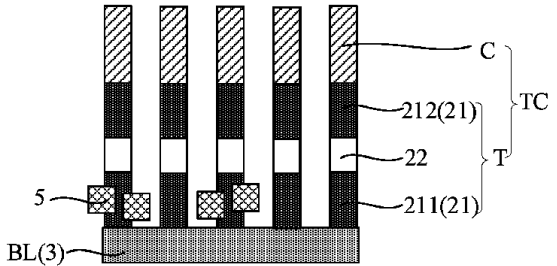


图 38

10

20

30

40

50

フロントページの続き

(72)発明者 ワン ホン

中華人民共和国 230601 アンフィ プロヴィンス ヘーフェイ シティ エコノミック アンド
テクノロジカル ディベロップメント エリア エアポート インダストリアル パーク シンイエ ア
ベニュー ナンバー 388

(72)発明者 リー シャオジエ

中華人民共和国 230601 アンフィ プロヴィンス ヘーフェイ シティ エコノミック アンド
テクノロジカル ディベロップメント エリア エアポート インダストリアル パーク シンイエ ア
ベニュー ナンバー 388

審査官 脇水 佳弘

(56)参考文献

特開2012-150876(JP,A)

特開2019-068067(JP,A)

米国特許出願公開第2022/0045064(US,A1)

米国特許出願公開第2021/0104527(US,A1)

米国特許出願公開第2022/0130831(US,A1)

米国特許出願公開第2020/0227418(US,A1)

(58)調査した分野 (Int.Cl., DB名)

H10B 12/00

H01L 29/786