(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 23/36

(45) 공고일자 2001년12월15일
(11) 등록번호 10-0310398
(24) 등록일자 2001년09월17일

(21) 출원번호 10-1993-0010844
(22) 출원일자 1993년06월15일

(65) 공개번호 특1994-0002993
(43) 공개일자 1994년02월19일

(30) 우선권주장 913,312 1992년07월15일 미국(US)

(73) 특허권자
모토로라 인코포레이티드
비센트 비.인그라시아, 알크 엠 아헨
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303

(72) 발명자
죤알.파스토어
미국,텍사스78641,리앤더,쉽쇼리버드라이브16803
빅터케이.노미
미국,텍사스78681,라운드락,모빙버드드라이브2405
하워드피.월슨
미국,텍사스78748,오스틴,듀포인트코우브2702

(74) 대리인
이병호

심사관 : 유환철

(54) 열전도체를구비한패드어레이반도체소자및그제조방법

요약

패드 어레이 반도체 소자(35)는 회로화 기판(14)에 집적되는 열전도체(28)를갖는다. 기판상에는 반도체 다이(12)가 열전도체 위에 장착되어 다이와 이격된 열통로를 형성한다. 열 전도체는 또한 반도체 소자내의 기평면으로 함께 작용하는 금속화 영역(37, 39)으로 덮이거나 둘러싸일수도 있다.

열 및 전기적 성능을 향상시키기 위해 열전도체에는 보통 하나 이상의 터미널(26)이 부착된다. 기판내에 열전도체를 집적시키는 한가지 방법은 금속 플러그를 기판의 개구부(30)에 위치시키는 것이다. 이후 플러그는 압축 또는 소성 변형되어 개구부를 채우고 거의 편평한 기판 표면을 형성한다.

대표도
도 1

명세서

[발명의 명칭]

열전도체를 구비한 패드 어레이 반도체 소자 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명에 따른 반도체 소자의 단면도.

제2도는 본 발명에 따른 다른 반도체 소자의 단면도.

제3도는 제2도의 반도체 소자에 사용된 회로화 기판의 상면의 평면도.

제4도는 제2도의 반도체 소자에 사용된 회로화 기판의 바닥면의 평면도.

제5도는 다층 회로화 기판을 사용하는 본 발명에 따른 반도체 소자의 단면도.

제6도 내지 제8도는 본 발명에 따른 반도체 소자를 형성하는데 사용된 공정을 도시하는 회로화 기판 일부분의 단면도.

제9도 및 제10도는 본 발명에 따른 반도체 소자를 형성하는데 사용된 공정을 도시하는 회로화 기판 일부분의 단면도.

제11도는 본 발명과 함께 사용하기에 적합한 다른 형상의 열 전도체를 도시하는 회로화 기판 일부분의 단면도.

제12도 내지 제15도는 본 발명에 따른 반도체 소자를 형성하는데 사용된 다른 공정을 도시하는 회로화 기판 일부분의 단면도.

* 도면의 주요부분에 대한 부호의 설명

10, 35, 40 : 반도체 소자 12 : 반도체 다이

15 : 패키지 본체 18 : 전도성 트레이스

24 : 전도성 패드 37, 39 : 금속화 영역

42, 43, 44 : 기판 56, 66, 76, 89 : 플러그

78 : 지주부 88 : 마스킹 층

[발명의 상세한 설명]

(발명의 분야)

본 발명은 반도체 소자에 관한 것으로, 특히 열적 성능 개선 부재를 구비한 패드 어레이 반도체 소자 및 그 제조 방법에 관한 것이다.

(발명의 배경)

반도체 소자의 파워 및 성능이 증가함에 따라, 효과적인 열방산이 필요해졌다. 반도체 소자내의 열을 방산하기 위한 여러가지 방법들이 공지되어 있다. 이중 한가지 방법은 패키지 본체의 외부에 열 싱크(heat sink)를 부착하는 것이다. 열을 제거하는 다른 실용화된 방법은 소자의 리이드로부터 냉각된 기판으로 열을 빼내는 것이다. 또는 소자 위로 찬 공기 또는 찬 액체를 이동시키는 방법도 열 방산을 위해 사용되어 왔다.

상기 및 기타 널리 사용되는 열 제거 방법은 일반적으로 적어도 두가지의 공통적인 목적을 갖고 있다. 하나는 가능한한 넓은 표면적으로부터 열을 제거하는 것이다. 열 싱크를 이용할 경우 이는 외형, 홈, 핀 또는 기타 특징부들을 열 싱크에 적합하게 형성해야 하는데 이는 표면적을 늘리는 결과를 초래한다.

두번째 목적은 열 싱크, 공기 또는 냉각 액체와 같은 열제어 매체를 가능한한 열 공급원에 가깝게 위치시켜 최소한의 열 저항 경로를 형성하는 것이다. 반도체 소자에 있어서, 가장 큰 발열 소스는 반도체 다이, 특히 이 다이의 작동면이다.

반도체 소자내의 열을 제거하기 위한 기존의 여러 가지 방법들이 갖는 문제점은 이들 방법이 얇거나 낮은 프로파일의 패키지에서는 효과적으로 사용될 수 없다는 점이다. 전통적인 열 제거 방법이 효과적이지 못한 낮은 프로파일의 패키지의 예로서 과도성형 패드 어레이 캐리어(OMPAC : an over-molded pad array carrier)소자가 있다. 기존의 OMPAC 소자는 통상 반도체 다이가 장착되는 얇은 인쇄회로판(PCB) 기판을 포함한다. 상기 다이는 PCB 의 상면에 형성된 전도성 트레이스에 전기적으로 연결된다. 각각의 전도성 트레이스는 PCB를 통해 연장되는 전도성 바이어스(vias)에 의해 PCB 바닥면상의 대응 전도성 트레이스를 향한다. PCB 바닥면상의 트레이스 각각은 전도성 패드에서 종결되어 형성한다(이런 연유로 " 패드 어레이" 소자로 지칭). PCB 의 상면과 반도체 다이는 패키지 본체를 형성하기 위해 얇은 성형 콤파운드로 둘러싸인다. PCB 의 바닥에서 각각의 패드에는 납땜 볼이 부착되어, 둘러싸인 다이에 대한 외부로부터의 전기적 접근을 제공한다.

전통적인 열 제거 방법을 사용하여 전술된 목적들을 달성하는데 있어서는, OMPAC 소자의 여러가지 바람직한 특징들이 절충된다. 예를 들어, OMPAC 소자내에서 넓은 노출 열 싱크 표면적을 달성하기 위하여 패키지 본체의 상부에 열 싱크를 부가하면 반도체 소자의 높이나 두께가 바람직하지 않게 증가한다. 높이 증대를 최소화 하기 위하여, 패키지 본체의 오목부 내에 열 싱크가 위치되지만, 이는 열싱크를 소자내의 와이어 본드에 단락시키는 기회를 증대시킨다. 다른 예로서, 종래의 방법을 사용하여 반도체 다이를 열싱크에 직접 장착하면 전도성 트레이스가 다이 아래로 향하는 것 즉, OMPAC 가 사용자의 보드상에서 최소한의 면적을 차지할 수 있게 하는 매력적인 특징을 금지한다.

전술된 OMPAC 소자에서 열을 제거하는데 있어서의 문제점을 해결하기 위한 한가지 제안 방법은 열제거를 위해 " 모형(dummy)" 전도성 바이어스를 사용하는 것이다. 열 바이어스로도 공지되어 있는 " 모형" 전도성 바이어스는 통상, 전기 신호를 전송하는데는 사용되지 않지만 대신에 열을 OMPAC 소자에서 주위 대기로 방출하는 도금된 바이어스이다. 대부분의 경우 열 바이어스는 반도체 다이 바로 아래에 위치한다. 상기와 같은 열 바이어스를 사용하면 여러가지 단점이 생기는데, 그중 가장 큰 단점은 열을 제거하기 위한 제한된 면적이다. 통상 각각의 도금된 바이어스는 단면적이 단지 0.02 ㎟ 정도인 전도성 재료를 갖는다. 따라서, 반도체 소자내에서 열을 효과적으로 제거하기 위해서는 다수의 열 바이어스가 요구된다. 열 바이어스는 그렇지 않을 경우 신호 바이어스로서 사용될 공간을 차지하므로, 반도체 제조업자는 전체 소자 크기가 불필요하게 증가되지 않도록 다수의 열 바이어스를 사용하기를 꺼려한다.

열 바이어스 사용에 있어서의 다른 단점은 잠재적인 신뢰도 문제이다. 전도성 바이어스의 가운데가 비어있으므로, 다이 바로 아래에 습기 및 오염 경로가 위치한다. 통상, 열 바이어스를 통한 오염의 유일한 장애물은 얇은 납땜 저항 마스크이다.

그러나, 납땜 저항 마스크 재료는 습기를 흡수하는 것으로 알려져 있다.

(발명의 개요)

본 발명에 따르면 전술된 종래기술의 한계사항들이 극복되고 기타 장점들이 달성된다. 본 발명의 한가지 형태에서 반도체 소자는 회로화 기판(a circuitized substrate)을 갖는다.

기판은 그 상면에 형성되는 다수의 전도성 트레이스와 이를 통해 연장되는 다수의 전도성 바이어스를 갖는다. 전도성 바이어스는 전도성 트레이스에 전기적으로 연결된다. 기판은 또한 다이 수용 영역과 개구부를 포함한다. 개구부는 다이 수용 영역으로부터 기판의 바닥면으로 연장된다. 개구부는 다이 수용 영역보다 작은 면적을 갖는다. 열전도체가 이 개구부를 채우며 다이 수용 영역 및 기판의 바닥면과 거의 동일 평면을 이룬다.

이 다이 수용 영역상에 그리고 개구부와 열전도체 위에 반도체 다이가 위치한다. 이 다이는 다수의 전도성 바이어스에 그리고 그로인해 기판의 다수의 전도성 트레이스에 전기적으로 결합된다. 반도체 다이에 대한 외부로부터의 전기적 접근을 제공하기 위해 다수의 터미널이 기판의 바닥면에 부착되어 다수의 전도성 트레이스에 전기적으로 연결된다. 본 발명의 다른 특징은 반도체 소자 제조 방법을 포함한다.

상기 및 기타의 특징과 장점은 첨부 도면과 관련한 하기 상세한 설명에서 보다 명백해질 것이다. 도면은 반드시 축척 도시할 필요가 없으며, 특정화해서 서술 하지는 않은 본 발명의 다른 변경이 있을 수 있음에 주의하는 것이 중요하다.

(양호한 실시예의 상세한 설명)

본 발명은 반도체 소자, 특히 크기를 증대시키지 않고 패드 레이아웃을 현저히 제한하지 않은 상태에서 효과적으로 열을 제거하는 패드 어레이 소자를 반도체 제조업자가 제조할 수 있게 한다. 본 발명의 한 형태에서, 단단한 구리 디스크 형태의 열 전도체는 기판이 편평함을 유지하도록 회로화 기판의 중앙 집중 구멍으로 가압된다. 반도체 다이는 열 전도체 위의 기판에 장착된다. 열전도체의 면적은 신호 루팅(routing)및 터미널이 다이 아래에 계속 존재될 수 있도록 다이 면적보다 작다.

필요하다면 다이는 또한 열전도체를 둘러싸서 커버하는 도금된 금속 영역을 이용하여 열 전도체에 전기적으로 결합될 수 있다.

금속 영역은 상기 소자에 대한 접지면으로서 작용할 수도 있다.

제 1 도는 본 발명에 따른 반도체 소자(10)를 단면 도시한다. 상기 반도체 소자(10)는 회로화 기판(14) 상면의 다이 수용 영역에 장착되는 반도체 다이(12)를 포함한다.

기판의 부분들과 다이는 본 발명에 따라 다른 형태의 패키지 본체가 사용될수도 있으나 종래의 에폭시 수지 패키지 본체(15)로 둘러싸인다. 다이(12)를 기판(14)에 장착하기 위해, 은이 충전된 에폭시와 같은 종래의 다이 부착 재료(16)가 사용된다. 대부분의 예에서 다이(12)는 작동 도중 상당량의 열을 발생하는 마이크로프로세서나 메모리와 같은 집적 회로가 될것이다. 그러나, 본 발명은 거의 모든 IC 가 어느 정도의 열을 발생시키므로 모든 형태의 소자에 대해 유익하다.

기판(14)은 전기 신호를 반도체 다이(12)에 대해 그리고 이 다이로부터 루팅시키기 위해 사용되므로 회로화된 기판을 지칭한다. 신호 루팅을 달성하기 위해, 기판(14)은 그 상면에 다수의 전도성 트레이스(18)를 갖는다. 대부분의 예에서, 전도성 트레이스는 제 4 도에 명확히 도시된 바와같이 기판의 바닥면에도 있을 것이다. 그러나, 제 1 도의 특정 단면도는 바닥쪽 트레이스를 도시하지 않는다. 반도체 다이(12)는 종래의 와이어 본드(20)에 의해, 또는 테이프 - 자동화 - 본딩(TAB), 플립 - 칩 본딩, 직접 - 칩 - 부착 등과 같은 다른 공지된 결합 방법에 의해 전도성 트레이스(18)에 전기적으로 결합된다. 또한 신호 루팅을 가능하게 하기 위해 회로화기판(14)은 다수의 전도성 바이어스(22)를 갖는다.

전도성 바이어스(22)는 기판(14)을 통해 연장되며 기판 상면상의 전도성 트레이스를 바닥면상의 그것과 전기적으로 연결시킨다.

통상 기판 상면의 한 트레이스를 바닥상의 한 트레이스와 연결시키는데는 하나의 전도성 바이어스가 사용된다. 회로화 기판 바닥면상의 각 전도성 트레이스의 일단부에는 납땜 볼(26)을 수용하기 위한 일체식 전도성 패드(24)가 위치한다. 납땜 볼(26)은 반도체 다이(12)에 대한 외부에서의 전기적 접근을 가능케 하는 반도체 소자(10)의 단자이다. 통상, 패드(24)와 납땜 볼(26)은 기판(14)의 바닥에 어레이 형태로 배치되며 따라서 상기 소자(10)는 패드 어레가 또는 볼 어레이 소자로 지칭된다. 납땜 볼을 사용하는 대신, 전도성 핀(비도시)이 패드(24)에 결합되어 본 발명에 따른 핀 그리드 어레이 소자를 형성할 수도 있다.

기판(14)은 종래의 공정을 이용하여 제조된다. 기판에 사용되는 원재료는 통상 에폭시, 폴리이미드, 트리아진, 또는 페놀 수지와 같은 수지이다. 보다 상세히 말하면, 비스말레이미드-트리아진(BT) 수지가 선호되지만 다른 에폭시-유리 재료도 적합하다. 예를 들어, 다양한 에폭시-유리 합성물, 인쇄회로판(PCB) 재료, 가요성 회로 또는 세라믹 기판이 사용될 수도 있다. 상기 기판에 대개 구리인 전도성 포일(foil)을 적층하므로써 기판(14)상에는 통상 전도성 트레이스(18)와 패드(24)가 형성된다. 트레이스와 패드는 석판 인쇄 기술을 이용하여 포일을 성형(patterning)하므로써 형성된다.

다른 방법으로 트레이스 및 패드는 스크린 프린트되거나 그렇지 않으면 기판표면상에 증착될 수도 있다. 전도성 트레이스와 패드는 와이어 본드(20)를 본딩하여 납땜 볼(26)을 부착하기 위해 비산화성 표면을 형성하도록 통상 금으로 도금된다.

따라서, 트레이스와 패드는 통상 두층을, 즉 구리가 적층된 층과 그위의 금 도금된 층 또는 니켈과 금의 조합층을 포함한다.

그러나, 명료성을 위해 본원 명세서에서의 전도성 트레이스, 패드 및 바이어스는 단일 재질층인 것으로 도시된다. 드릴링 또는 펀칭으로 기판에 구멍을 뚫고 이 구멍을 그 측벽만이 전도성이 되도록 구리로 또는 종종 니켈 및 금으로 도금하므로써 기판(14)에는 전도성 바이어스(22)가 형성된다. 구멍의 내부는 대개 가운데가 비어 있다. 각각의 볼을 용제(flux)의 존재하에 패드상에 물리적으로 위치시키고 납땜 재유동 작업을 수행하여 금속 결합을 형성하므로써 납땜 볼(26)은 패드(24)에 결합된다.

본 발명에 따르면, 회로화 기판(14)은 또한 기판의 개구부(30)에 위치하는 열 전도체(28)를 포함한다. 제 1 도에 도시된 소자(10)에서 개구부(30)는 기판의 상면에서 바닥면으로 연장되고 열전도체(28)는 상면 및 바닥면과 동일 평면이다.

기판의 상면 및 바닥면과 열 전도체 사이에 정확한 편평도가 얻어질 수도 있으나, 열 전도체(28)의 형성 또는 삽입 방법에 따라서는, 열 전도체 위에 반도체 다이(12)를 신뢰할 수 있고 제조가능하게 부착할 수 있도록 충분한 편평도를 갖는 것이 바람직하다. 개구부(30)는 본 발명에 따라 다른 방법이 사용될 수도 있으나 종래의 드릴링이나 편칭 가공을 이용하여 기판(14)에 형성된다. 드릴링되면, 개구(30)와 그로인해 열 전도체(28)는 종래의 드릴 바이트 형상으로 인해 대부분 원형이다. 패드 어레이 소자에 사용된 종래의 BT 수지 기판의 두께는 0.25 내지 0.51mm [10 내지 20 밀(mil)] 정도이며, 따라서 열전도체(28)는 본 발명의 양호한 실시예에서 상기 범위 이내의 두께를 갖는다. 반도체 다이(12)로부터 열을 충분히 제거하기 위해, 열 전도체(28)의 폭 또는 길이는 그 두께보다 커야한다. 하나의 적절한 예로서, 본 발명에 따라 사용된 디스크 형상 열 전도체는 0.5 mm(20 밀) 또는 그 이하의 두께와 2.0 mm (80 밀) 또는 그 이상의 직경을 갖는다. 그러나 후술되듯이, 열전도체(28)의 면적은 반도체 다이(12)의 면적보다 작아야 한다.

전도성 트레이스(18) 및 전도성 패드(24)와 마찬가지로 열 전도체(28)도 도금될 수도 있다. 예를 들어 제 1 도에 도

시된 바와 같이 기판(14) 바닥면상에서의 열 전도체의 노출된 부분은 도금된 영역(32)으로 커버된다. 편리하게, 전도성 트레이스(18) 및 전도성 패드(24)가 도금되는 것과 동시에 도금된 영역이 형성될 수 있다. 본 발명의 양호한 실시예에서, 열 전도체(28)는 구리나 구리 합금으로 제조되며, 따라서 금 또는 니켈로 도금된 영역 및 금으로 도금된 영역은 하나 이상의 납땜 볼(26)을 열 전도체에 부착하기 위한 보다 납땜성이 양호한 표면을 형성하는데 사용될 수 있다. 납땜 볼이나 다른 단자를 열 전도체에 부착하거나, 보다 양호하게 열 전도체를 커버하는 금속화된 영역에 부착하는 것에는 여러가지 장점이 있다.

한가지 장점은 납땜 볼이 열 제거 경로를 열 전도체를 지나 사용자 기판으로연장한다는 것이다. 연장된 열 경로는 냉각 기구를 구비한 사용자 기판에 반도체소자(10)가 장착될 경우 특히 유용하다. 납땜 볼이나 기타 단자를 열 전도체에 결합하는 것의 다른 장점은 제 2 도 내지 제 4 도를 참고하여 후술하듯이 열 전도체를 접지 평면으로서 사용할 수 있다는 것이다.

제 2 도는 열 전도체가 접지 평면의 부분으로서 사용되는, 본 발명에 따른 반도체 소자의 단면도이다. 제 3 도는 제 2 도의 회로화 기판의 평면도이고 제 4 도는 이 기판의 저면도이다. 제 3 도 및 제 4 도의 2-2 선은 기판(14) 중의 제 2 도 단면도가 취해진 부분을 나타낸다. 본 발명의 명세서의 여러 도면들과 잔여부분을 통해서, 기언급된 부분과 동일하거나 대응하는 부분에는 유사한 도면부호가 병기된다. 제 2 도의 반도체 소자(35)는 기판(14)의 상면에 형성되는 도금된 금속화 영역(37)위에 장착된 반도체 다이(12)를 포함한다. 트레이스(18)와 마찬가지로, 금속화 영역(37)은 두개의 층, 즉 적층된 전도층과 그 위의 도금된 전도층을 갖는다. 그러나, 두개의 층을 도시하는 대신 명료함을 위해 단 하나의 층만이 도시되어 있다. (통상 개구부(30)를 형성하기 이전에) 트레이스(18)가 형성되는 것과 동시에 적층된 층이 가장 편리하게 형성되지만, 도금된 층은 도금된 금속화 영역의 적어도 일부분이 열전도체(28)를 커버하여 이에 열적으로 그리고 전기적으로 접속되도록 열전도체(28)가 개구부(30) 내부로 삽입된 후 증착된다. 기판의 부분들과 열전도체를 커버하는 도금된 영역은 또한 열전도체(28)를 개구부(30)내에 약간 고정시킨다. 반도체 소자(35)는 또한, 금속화 영역(37)과 동등하지만 기판(14)의 바닥면에 형성되는 도금된 금속화 영역(39)을 포함한다.

반도체 소자(35)내의 금속화 영역(37, 39)의 목적은 두가지이다. 먼저, 두 영역은 열전도를 위한 부가의 영역을 제공한다. 열 전도체(28)와 관련한 금속화 영역(37)은 다이(12)로부터 열 전도체 보다 많은 열을 전도 방출할 수 있다.

마찬가지로, 열전도체(28)와 관련한 금속화 영역(39)은 열전도체 보다 많은 열을 분포시킬 수 있다. 둘째로, 금속화 영역(37, 39)은 반도체 소자(35)의 접지 평면으로서 사용될 수 있다. 제 3 도 및 제 4 도에 도시된 바와같이 지정된 접지 트레이스(38)를 금속화 영역(37, 39)과 합체시키므로써, 상기 소자(35)의 전기적 성능은 신호 잡음이 접지 평면을 갖지 않는 소자에 비해 감소되므로 개선된다. 부가의 열 및 전기적 성능 향상을 위해서, 전도성 바이어스(비도시)는 금속화 영역(37, 39)을 함께 연결하도록 기판(14)내에 형성될 수도 있다.

소자(35)를 참조하여 기술된 바람직한 열 및 전기적 특성을 달성하기 위해서는 제 3 도 및 제 4 도에 도시된 정확한 금속화 영역 형상을 이용할 필요가 없다는 것은 중요한 주의 사항이다.

이상적으로 반도체 소자 성능 관점에서 보더라도 두 금속화 영역은 가능한한 크게 형성되어야 하지만, 다른 사항들이 금속화 영역의 크기 및 레이아웃을 지배할 것이다. 예를 들어 기판 상면의 금속화 영역은 다이 본딩 공정의 신뢰성 및 제조성을 향상시키도록 형성될 수도 있으며, 금속화 영역은 전도성 트레이스의 루팅 및 납땜 볼의 위치를 부적절하게 제한해서는 안되고 반도체 소자의 전체 크기는 작게 유지되어야 한다. 또한, 사용한다면 두 금속화 영역을 사용할 필요가 없음을 지적하는 것도 중요하다. 반도체 소자 성능은 기판의 상면이나 바닥면 둘중 어느 하나의 금속화 영역을 사용하여 개선될 수 있다.

제 2 도 및 제 4 도에도 도시되어 있듯이, 납땜 볼(26)은 금속화 영역(39)에 연결된다. 이들 납땜 볼은 상기 금속화 영역의 두가지 목적을 달성하는데 도움을 준다. 즉, 납땜 볼은 열전도 경로를 열전도체(28)와 금속화 영역(39)을 지나 사용자 기판(비도시)으로 연장하므로써 반도체 소자의 열 방산을 돕는다. 또한, 금속화 영역(39)에 부착된 납땜 볼은 금속화 영역(37, 39) 및 열 전도체(28)를 바닥 전위로 유지하기 위해 반도체 소자(35)의 접지 단자로서 사용될 수도 있다.

제 5 도는 본 발명의 다른 형태의 단면도이다. 반도체 소자(40)는 다층 회로화 기판(42)을 사용한다. 상면 및 바닥면 상에 전도성 트레이스를 갖는 것에 더하여, 기판(42)은 또한 내부 전도층을 갖는다. 다층 기판은 전도성 다층이 기판내 회로 밀도를 높게 하므로 통상 터미널 카운트가 큰 반도체 소자내에 사용된다. 다층 기판의 제조는 산업 분야에서 양호하게 이해되고 있으며, 따라서 제조에 대해서는 상세히 설명하지 않는다. 일반적으로, 다층 기판은 두개 이상의 단일층 기판을 적층하므로써 형성된다. 적층되면, 다층 기판은 기판의 여러 레벨에서 전도성 트레이스와 바이어스를 갖는다. 다층 기판(42)은 적층된 두개의 단일층 기판(43, 44)을 포함하며, 하나 이상의 레벨에서는 전도성 트레이스(18)와 전도성 바이어스(22)를 갖는다.

본 발명에 따른 다층 기판의 사용에 있어서, 다층 기판(42)의 상면에는 제 5도에 도시된 바와같이 개구부(45)가 형성되어 있다. 이 개구부(45)는 기판(42)을 완전히 통과하여 연장되지 않으나, 그 대신 반도체 다이(12)가 장착되는 기판내에 다이 수용 공동부를 형성한다. 개구부(45)는 다층 기판(42) 형성을 위한 적층 이전에 단일층 기판(43)에 형성될 수도 있다.

그렇지 않으면, 개구부(45)는 기판(43, 44)이 예를 들어 밀링이나 루팅 작업을 이용하여 함께 적층된 후에 형성될 수도 있다.

마찬가지로, 열전도체(28)를 포함하는 개구부(30)는 기판(43, 44)이 적층되기 전이나 적층된 후에 형성될 수도 있다.

개구부(30)를 단지 두 단일층 기판(43, 44)을 통해 연장시키지 않고 개구부(45)를 제공하는 목적은 소자(40)의 높이 또는 프로파일을 감소시키는 것이다. 개구부(45)가 없으면, 반도체 다이(12)는 다층 기판(42)의 상면에 장착될 것이고 패키지 본체는 다이 및 와이어 본드를 적절히 둘러싸기 위해 패키지 본체(15)보다 커야 할 것이다. 그러나 중요한 것은 본 발명의 다층 기판을 사용하면 개구부(45)가 필요치 않고 높이가 낮은 형상의(low-profile)소자를 달성하기 위해서만 바람직하다는 것이다. 회로화 기판내의 일정 갯수 층은 본 발명과 함께 사용될 수도 있다.

본 발명에 따르면, 열전도체(28)를 수용하는 개구부(30)는 제 1 도 내지 제5 도 각각의 도면에 나타나 있듯이, 반도체 다이(12)보다 면적이 작다. 보다 상세히 말하면, 열전도체(28)의 면적은 다이(12) 면적의 대략 10-75% 인 것이 바람직하다. 한편, 이 관계는 가능한 한 큰 전도 영역을 갖는 열 싱크와 열 전도체를 사용하는 표준 산업 관행에 어긋난다. 그러나 이 관계는 여러가지 장점을 갖는다. 먼저, 전도성 트레이스와 터미널은 적소에 위치한 열전도체(28)에 의해서도 반도체 다이(12)아래에서 루팅될 수 있다. 터미널을 다이 아래에 루팅 및 위치시키는 능력은 터미널 고밀도와 함께 콤팩트한 소자 크기를 달성한다. 또한, 터미널은 열전도체에 직접 부착될 수 있다. 둘째로, 열 전도체(28)의 적은 영역 및 두께는 많은 종래의 열 싱크와 달리 소자의 중량을 별로 증대시키지 않는다. 반도체 소자에 있어서 과도한 중량은 특히 대부분의 소비자 제품 응용과 관련하여 결점이 된다. 그리고 세번째로, 열전도체(28) 면적이 반도체 다이(12) 보다 적더라도, 열전도체(28)를 통한 열전달은 패드 어레이 소자에 사용된 기존의 열 제거 방법보다 현저히 높다. 예로서 직경 2 mm의 구리 디스크는 3.14㎟ 의 단면적을 갖는다. 패드 어레이 소자 각각에 사용된 종래의 열 바이어스는(바이어스가 0.3mm 의 직경과 0.02mm 의 도금 두께를 갖는다고 가정할때) 0.02 ㎟ 정도의 단면적을 갖는다. 따라서, 열전도체(28)의 전도 면적은 150 이상의 전도 바이어스에 상당하지만 여전히 기판 면적의 1/3 이하를 차지한다.

본 발명의 반도체 소자내에 열 전도체를 사용하는 이점을 깨닫는다면 이같은 열 전도체가 회로화 기판내로 합체될 수 있는 방법을 이해하는 것이 유용하다. 제 6 도 내지 제 8 도는 본 발명에 따른 하나의 방법을 단면 도시한다. 제 6 도는 내부에 개구부(54)가 형성된 회로화 기판의 일부분을 도시한다.

전도성 트레이스, 전도성 패드 및, 바이어스와 같은 기판(52)의 다른 부재는 제 6 도 내지 제 8 도에 도시되어 있지 않다.

그러나 이들 부재가 개구부(54) 형성 이전, 도중, 또는 이후에 힝성될 수도 있음에 주의하는 것은 중요한 일이다. 전술된 바와같이, 개구부(54)는 통상 기판(52)을 통해 드릴링 또는 펀칭된다. 이 개구부(54)내에는 금속 플러그(56)가 위치한다.

금속 플러그(56)의 폭은 개구부에 플러그를 위치시키는 것을 용이하게 하기 위해 개구부(54)의 폭보다 약간 작다. 플러그(56)의 다른 치수는 후술된다. 개구부(54)에 위치된 후 플러그(56)는 제 7 도에 도시된 바와 같이 개구부(54)를 완전히 채우도록 소성 변형된다. 플러그를 변형시키는 일반적인 방법은 열전도체를 기판과 편평하게 만들기 위해 편평판(비도시)으로 플러그의 위 아래를 가압하는 것이다. 이 방법을 사용하면, 기판(52)에 대한 플러그(56)의 편평도는 개구부(54)의 체적과 비교되는 플러그(56)의 체적에 따라 달라진다. 이상적으로 플러그와 기판사이에 거의 완벽한 편평도를 달성하기 위해 두 체적은 제 7 도에 도시된 바와 같이 동일하다. 비편평도의 정도에 따라서는, 열전도체 플러그(56)의 노출된 표면을 편평하게 하기 위해 에칭 또는 폴리싱과 같은 연속 가공을 실시할 필요가 있다. 예를 들어, 비편평면이 기판(52)의 상면에 대한 반도체 다이 부착이나 기관(54)의 바닥면에 대한 터미널 부착을 방해한다면, 보다 편평한 평면이 필요할 수도 있다. 그러나, 완벽하게 편평한 표면은 필요치 않다.

본 발명에 따른 반도체 소자내에 열전도체를 조립하는 다른 방법이 제 9 도 및 제 10 도에 도시되어 있다. 이 방법은 여러가지 방식에서 리벳 공정과 유사하다. 제 9 도는 회로 기판(62)의 일부 단면도이다. 다시, 제 9 도 및 제 10 도에는 명료성을 위해 기판의 전도성 부재 전체를 도시하지 않았다.

기판(62)내에는 개구부(64)가 포함된다. 전술된 개구부와 달리, 개구부(64)는 I 형상을 갖고 있다. 개구부(64)의 이같은 형상은 완벽히 수직한 측벽을 갖는 개구부를 형성하는데 사용되는 하나의 펀칭 또는 드릴링 작업보다 복잡한 제조 과정을 요한다.

개구부(64)가 기판(62)에 형성될 수 있는 한가지 방법은 드릴링 및 루팅 기술을 조합하여 사용하는 것이다. 작은 구멍이 기판(62)을 통해 완벽히 드릴링 또는 펀칭될 수 있으며, 이후에 기판의 상면과 하면은 개구부(64)의 넓은 부분을 형성하도록 루팅 또는 밀링된다. 어떤 임의의 사용가능한 방법을 사용하여 개구부(64)를 형성하면, 제 9 도에 도시된 바와같이 개구부 내로 전도성 플러그(66)가 삽입된다. 플러그(66)는 제 1 헤드 부분(67)과 스템 부분(68)을 갖는다. 스템 부분(68)은 개구부(64)의 보다 작은 중앙부분으로 끼워지며, 헤드 부분(67)은 개구부(64) 내부에 위치하는 기판(62)의 돌출 부분에 얹혀진다. 플러그(66)를 개구부(64)내에 위치시킨후, 스템(68)의 기판(62) 아래 연장부분은 제 10 도에 도시되어 있듯이 개구부(64)를 완전히 채우기 위해 가압된다. 개구부(64)를 채우기 위해 스템(68)을 가압하거나 달리 변형하면, 플러그(66)상에 제 2 헤드 부분(69)이 생성되고, 그로인해 플러그(66)는 개구부(64)의 I 형상에 적합하게 된다.

제 9 도 및 제 10 도에 도시된 방법에 대한 약간의 변경은 하나 이상의 스템부를 갖는 전도성 플러그의 사용을 포함한다. 제 11 도에는 기관에 형성된 다수의 개구부에 적합한 전도성 플러그(76)를 갖는 회로화 기판(72)의 일부가 도시되어 있다. 전도성 플러그(76)는 상기 압축 기술을 사용하거나 접착 재료로 열전도체를 기판(72)에 접합하므로써 기판(72)에 합체될 수도 있다. 전도성 플러그(76)는 기판의 바닥에서 노출되는 세 지주 부분(78)을 갖는다. 제 11 도에 도시된 전도성 플러그 형상을 사용하는 장점은 전도성 플러그(76)의 바닥이 상면과 동일한 표면적을 갖는 것보다 기판(72) 바닥면상에서 보다 많은 기판 표면적을 사용할 수 있다는 것이다. 또한, 기판(72)이 다층 기판이면, 전도성 트레

이스는 보다 높은 트레이스 밀도에 대해 지주부(78) 사이에 위치할 수 있다.

제 12 도 내지 제 15 도에는 본 발명에 따른 반도체 소자내에 열전도체를 형성하기 위한 다른 방법이 도시되어 있다.

이 방법에서 열 전도체는 도금 기술을 이용하여 형성된다.

제 12 도는 개구부(84)를 갖는 회로화 기판(82)의 일부분의 단면 도시도이다. 개구부(84)의 측벽에 위치하여 이 개구부를 기판(82)의 상면 및 바닥면상에서 둘러싸는 것은 도금된 부분(86)이다. 도금된 부분(86)은 종래의 회로화 기판 도금 공정중에 개구부 주위에 형성될 수도 있다. 예를 들어 도금된 부분(86)은 종래의 전도성 바이어스 도금중에 형성될 수도 있다(비도시). 따라서 적어도 처음에, 도금된 부분(86)은 0.01-0.03 mm 정도의 표준 도금 두께를 가질 것이다. 제 12 도에 도시된 도금된 부분(86)을 본 발명에 따른 반도체 소자에서 사용하기에 적합한 열전도체로 변형시키기 위해서는 통상의 도금 두께 이상의 부가의 도금이 필요하다.

그러나, 도금된 부분(86)을 넘어선 영역에서의 부가의 도금은 회피되어야 한다.

이를 달성하기 위해서는 기판의 개구부 인접 부분(86)만이 추가로 도금되도록 기판(82)상에 마스킹 층(88)이 형성된다.

제 13 도 및 제 14 도는 도금 시간이 늘어날수록 도금된 부분(86)의 두께가 어떻게 변하는지를 도시한다. 결국 개구부(84)의 대향 측부에서의 도금 부분은 수렴될 것이다. 도금 단독으로는 적절한 열전도체를 형성하지 않을 가능성이 있으나, 부가의 작업이 필요할 것으로 기대된다. 예를 들어, 제 14 도에서는, 도금된 부분(86)이 수렴되더라도, 도금이 기판(82)에 편평면을 형성하지 않거나 개구부(84)가 완전히 충전되지 않는다. 이들 문제를 해결하기 위한 한가지 방법은 연속적인 압축 또는 폴리싱 작업을 실시하여 제 15 도에 도시된 바와 같이 개구부(84) 내에서 도금 재료를 완전히 변형시키므로써 열전도성 플러그(89)를 형성하는 것이다.

본원에 담겨 있는 상기 내용 및 도면은 본 발명과 관련한 여러가지 장점들을 나타내고 있다. 특히, 본 발명에 따른 열전도체를 사용한 패드 어레이 반도체 소자는 종래의 열 바이어스를 사용하는 것에 비해 열전도 면적을 현저히 증대시키는 것으로 나타났다. 더구나, 패드 어레이 소자내에 열전도체를 사용하므로써 회로화된 기판 면적의 이용을 향상시키기 위해 전도성 트레이스와 터미널을 반도체 다이 아래에 루팅 시킬 수 있게 된다. 또 다른 장점은 본 발명에 따른 소자의 열적 성능 향상이 소자의 중량이나 전체 크기를 별로 증대시키지 않는다는 것이다. 또한, 본 발명의 소자내 열 전도체는 단독으로 또는 기평면으로서의 회로화된 기판상의 하나 이상의 금속화된 영역과 함께 사용되므로써 전기적 성능을 향상시킬 수 있다.

따라서, 본 발명에 따르면 전술된 요구사항과 장점들을 완전히 만족시키는, 열전도체를 갖는 패드 어레이 반도체 소자와, 이를 수행하기 위한 공정이 제공되는 것이 명백하다.

본 발명은 그 특정 실시예와 관련하여 기술 및 도시되었으나, 이들 실시예에 한정시키고자 함은 아니었다. 본원 기술분야의 숙련자라면 본 발명의 취지로부터 벗어남이 없이 수정 및 변경이 가능함을 인정할 것이다. 예를 들어 열전도체는 본원에 개시된 방법들만을 사용하여 회로화 기판에 합체될 필요가 없다.

기판내 개구부에 열전도체를 고정시키기 위해서는 다른 방법이 사용될 수 있을 것으로 기대된다. 예를 들어, 나사 형성된 열전도체가 기판내 개구부로 나사결합될 수 있다 (기판 재료는 나사형 전도체를 수용하기 위한 기판내 개구부가 나

사 형성될 필요 없을 정도로 충분히 연성을 가질 수도 있다). 또한, 본 발명은 본원에 기술 및 도시된 열 전도체의 특정 형상이나 치수에 한정되지 않는다. 또한, 본 발명은 도시된 특정 전도성 트레이스, 전도성 바이어스, 또는 납땜 볼 설비에 한정되지도 않는다. 또한 본 발명에 따라 사용되는 열전도체는 위에 위치하거나 인접한 금속화 또는 도금면적을 가질 필요가 없다. 또한, 본원에 도시된 바와 같이 하나의 열전도체를 사용하는 것과 달리 어떤 적용에 있어서는 다수의 보다 작은 열전도체가 바람직할 수도 있을 것으로 생각된다. 따라서, 본 발명은 청구범위의 범주에 포함되는 모든 수정 및 변경을 포함하고자 하는 것이다.

(57) 청구의 범위

청구항 1.

상면, 바닥면, 상기 상면에 형성된 다수의 전도성 트레이스, 기판을 통해 연장되고 상기 다수의 전도성 트레이스에 전기적으로 결합되는 다수의 전도성 바이어스 및, 다이 수용 영역을 갖는 회로화 기판과;

상기 다이 수용 영역으로부터 바닥면으로 연장되며, 다이 수용 영역보다는 면적이 작고 전도성 바이어스 각각 보다는 면적이 큰 상기 기판내의 개구부와;

상기 기판의 개구부에 고정 배치되어 이를 충전시키며 다이 수용 면적 및 기판 바닥면과 동일 평면에 놓이는 열 전도체와;

상기 기판의 바닥면상에서 열 전도체를 커버하는 금속화 영역과;

상기 기판의 다이 수용 면적에 장착되며 상기 개구부와 열전도체 위에 위치하고 다수의 전도성 트레이스에 전기적으로 연결되는 반도체 다이와;

상기 기판의 바닥면에 물리적으로 결합되고 다수의 전도성 바이어스에 전기적으로 결합되는 다수의 터미널; 및

상기 금속화 영역에 물리적으로 결합되고 열 전도체에 열적으로 결합되는 하나 이상의 터미널을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 2.

제 1 항에 있어서,

상기 금속화 영역은 열 전도체를 지나서 기판의 바닥면상으로 연장되는 것을 특징으로 하는 반도체 소자.

청구항 3.

반도체 소자 제조 방법으로서,

상면, 바닥면, 상기 상면에 형성된 다수의 전도성 트레이스, 기판을 통해 연장되고 상기 다수의 전도성 트레이스에 전기적으로 결합되는 다수의 전도성 바이어스, 다이 수용 영역을 갖는 회로 기판과, 상기 다이 수용 영역으로부터 바닥면으로 연장되며 다이 수용 영역보다는 면적이 작고 전도성 바이어스 각각 보다는 면적이 큰 개구부와, 상기 기 기판의 개구부에 고정 배치되고 다이 수용 면적 및 기판 바닥면과 동일 평면에 놓이도록 개구부를 충전하는 열 전도체 및, 상기 기판의 바닥면상에서 열 전도체를 커버하는 금속화 영역을 제공하는 단계와, 반도체 다이를 제공하는 단계와,

상기 다이 수용 영역에서 기판에 반도체 다이를 장착하여 열 전도체 위에 배치하는 단계와,

상기 반도체 다이를 다수의 전도성 트레이스에 전기적으로 커플링시키는 단계와,

다수의 신호 터미널을 상기 다수의 바이어스에 전기적으로 커플링되도록 기판의 바닥면에 물리적으로 커플링시키는 단계, 및

적어도 하나의 터미널을 상기 열전도체에 열적으로 커플링되도록 금속화 영역에 물리적으로 커플링시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 4.

회로화 기판 제조 방법으로서,

상면, 바닥면 및 다이 수용 영역을 갖는 수지를 기초로 한 기판을 제공하는 단계와,

상기 기판의 상면에 다수의 제 1 전도성 트레이스를 형성하는 단계와,

상기 기판의 바닥면에 다수의 제 2 전도성 트레이스를 형성하는 단계와,

상기 기판을 통해 연장되고 다수의 제 1 및 제 2 전도성 트레이스를 전기적으로 연결시키는 다수의 전도성 바이어스를 형성하는 단계와,

상기 기판의 다이 수용 영역에 기판을 통해 연장되고 전도성 바이어스 각각 보다 큰 면적을 갖는 개구부를 형성하는 단계와,

그 적어도 일부분이 개구부를 통해 끼워질 수 있도록 치수를 갖는 열 전도체를 제공하는 단계와,

상기 개구부에 열전도체를 위치시키는 단계, 및

상기 열전도체를 가압하여 이것을 개구부를 채우고 기판의 상면 및 바닥면과 동일 평면에 놓이는 형상으로 변형시켜서 가압 끼워맞춤에 의해 개구부내에 고정시키는 단계를 포함하는 것을 특징으로 하는 회로화 기판 제조 방법.

청구항 5.

반도체 소자 제조 방법으로서,

상면, 바닥면 및 다이 수용 영역을 갖는 수지를 기초로 한 기판을 제공하는 단계와, 상기 기판의 다이 수용 영역에 기판을 통해 연장되는 개구부를 형성하는 단계와, 그 적어도 일부분이 개구부를 통해 끼워질 수 있도록 치수를 갖는 열 전도체를 제공하는 단계와, 상기 개구부에 열전도체를 위치시키는 단계, 및 상기 열전도체를 가압하여 이것이 개구부를 채우고 열전도체를 개구부내에 고정하는 형상으로 변형시켜서 기판의 상면 및 바닥면과 동일 평면에 놓이도록 하는 단계를 포함하는 방법으로 제조되는 회로화 기판을 제공하는 단계와;

반도체 다이를 제공하는 단계와;

상기 반도체 다이를 기판의 다이 수용 영역에서 기판에 장착하고 상기 압축된 열전도체 위에 배치하는 단계와;

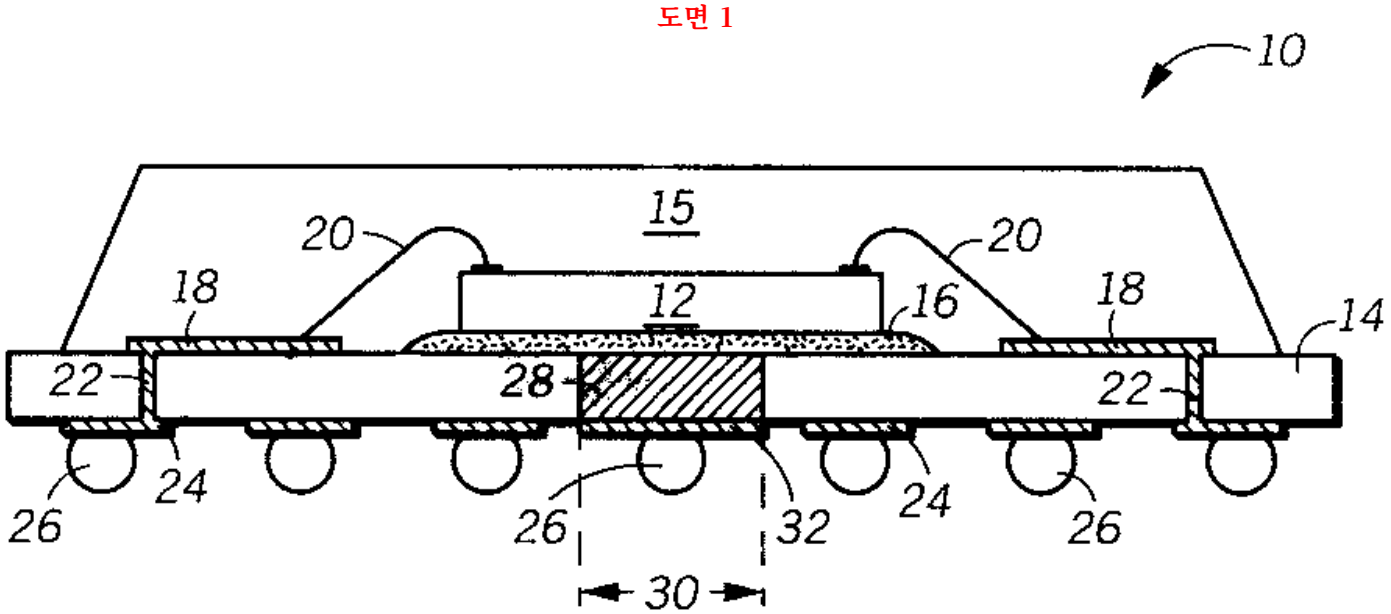
상기 반도체 다이를 회로화 기판에 전기적으로 커플링시키는 단계와;

상기 기판 윗면의 부분과 반도체 다이를 둘러싸는(encapsulating) 단계; 및

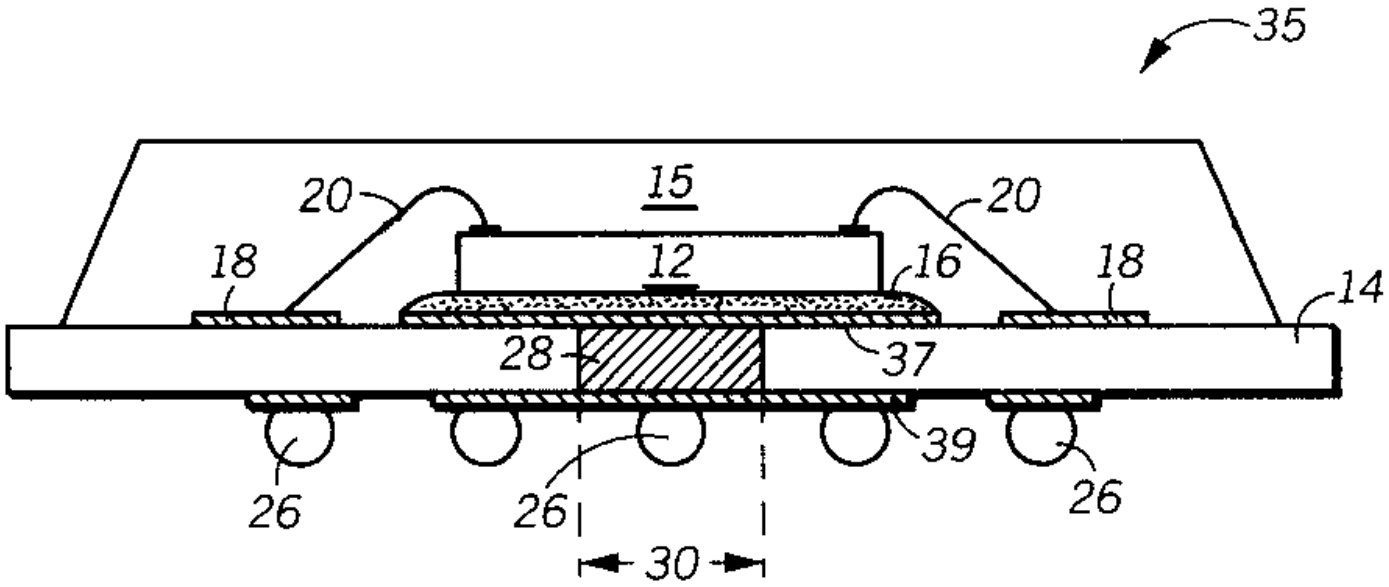
다수의 터미널을 그 일부가 반도체 다이에 전기적으로 연결되고 그중 하나 이상의 터미널이 열전도체에 전기적 및 열적으로 커플링되도록 기판의 바닥면에 물리적으로 연결시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

도면

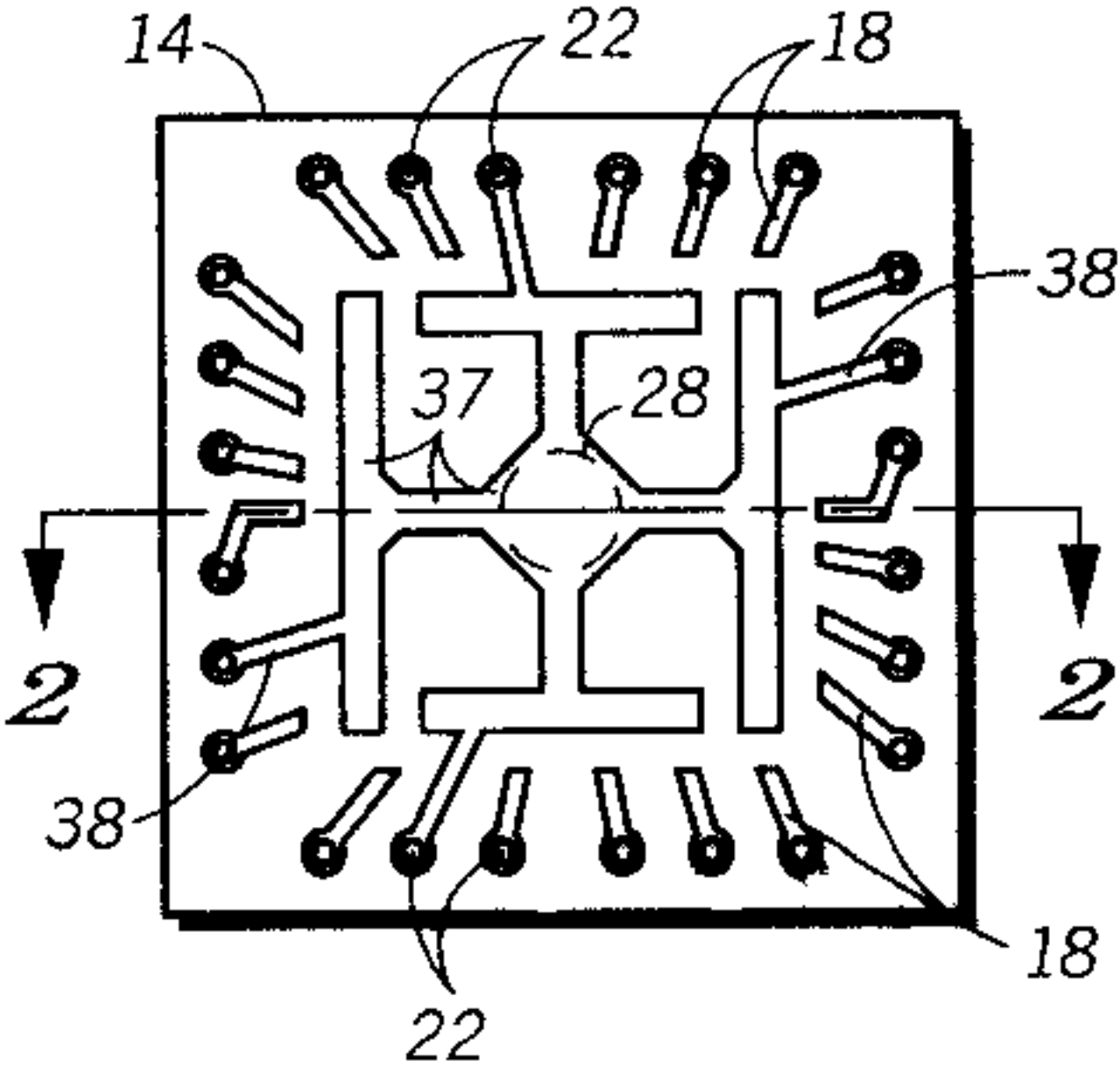
도면 1



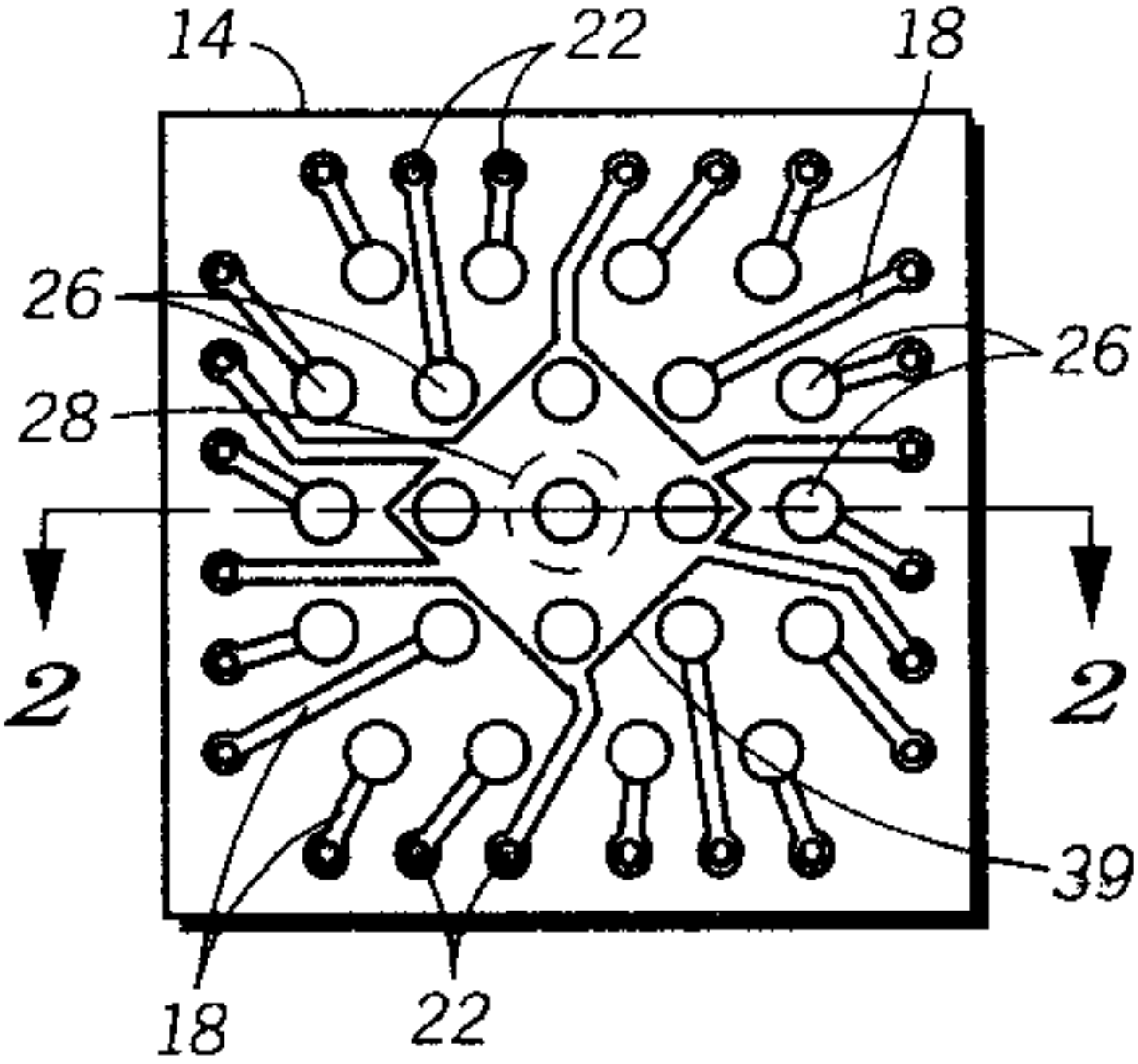
도면 2



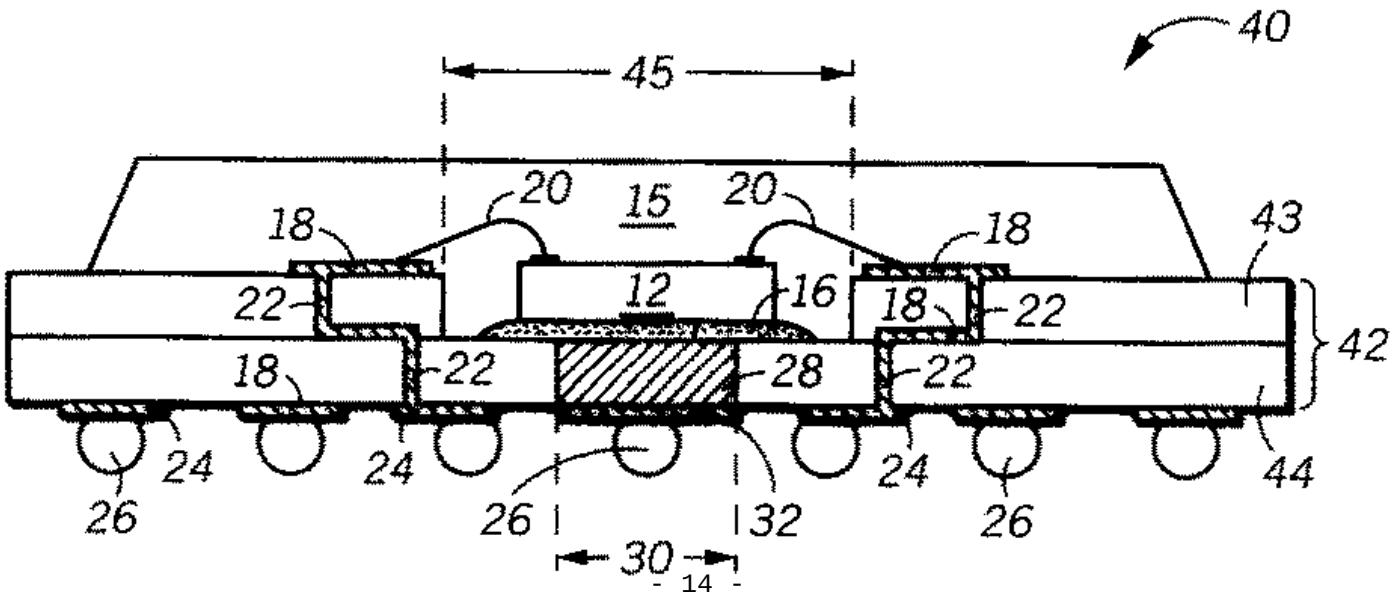
도면 3



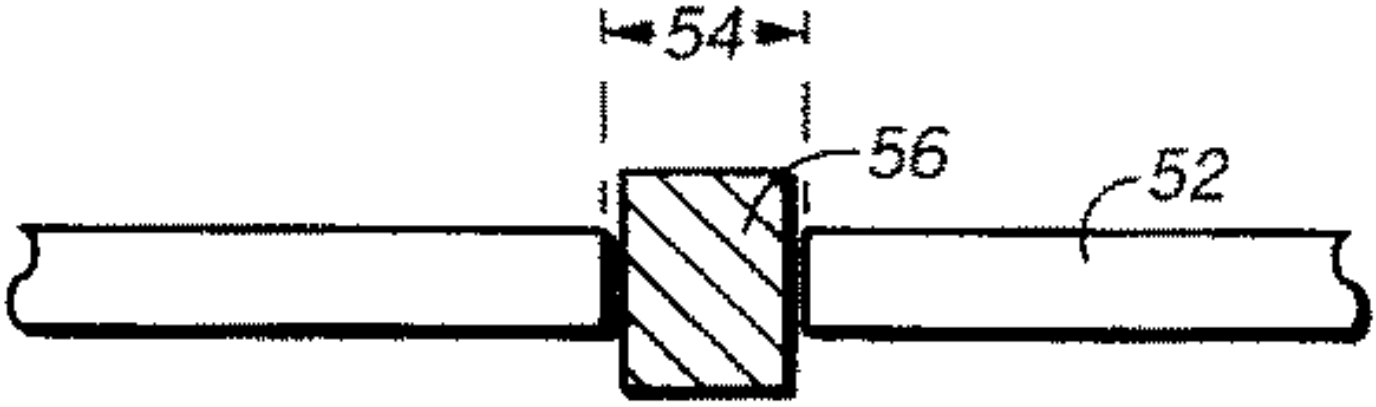
도면 4


14
22
18
26
28
26
2
2
39
18
22

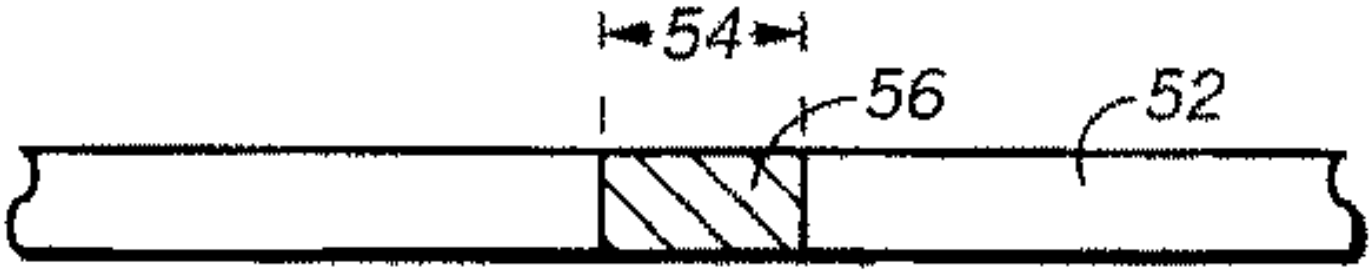
도면 5


40
45
20
15
20
18
18
43
22
12
16
18
22
42
18
22
28
22
24
24
24
44
26
26
26
32
30

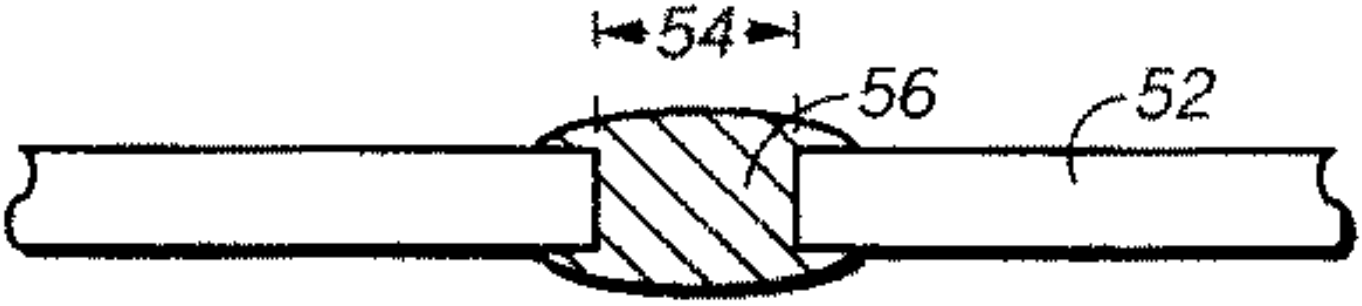
도면 6



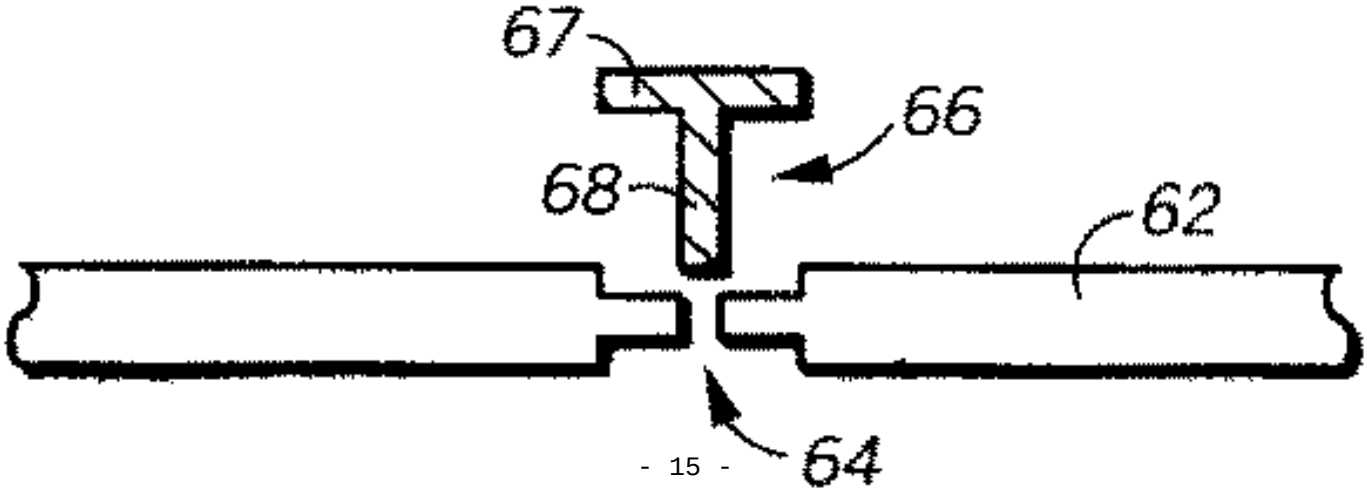
도면 7



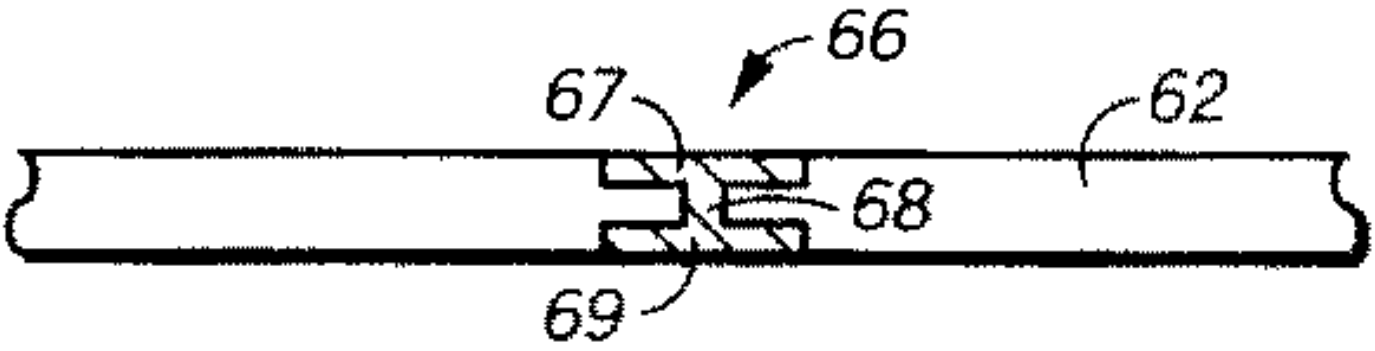
도면 8



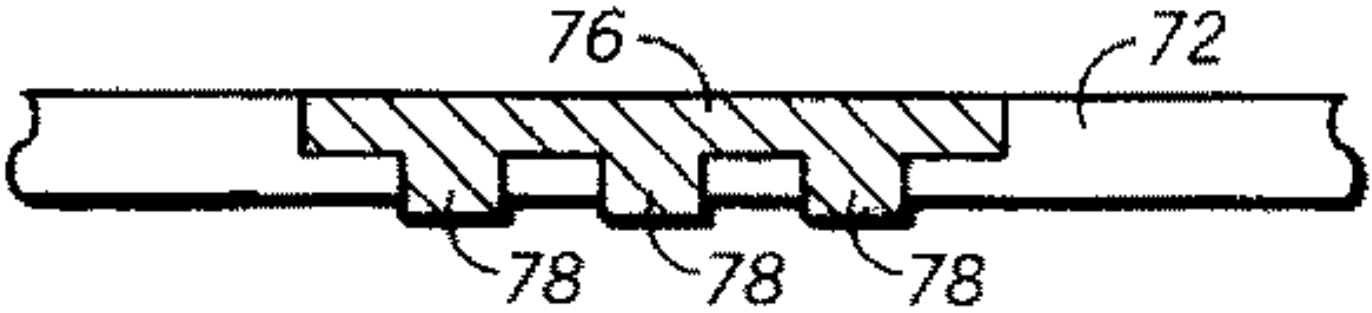
도면 9



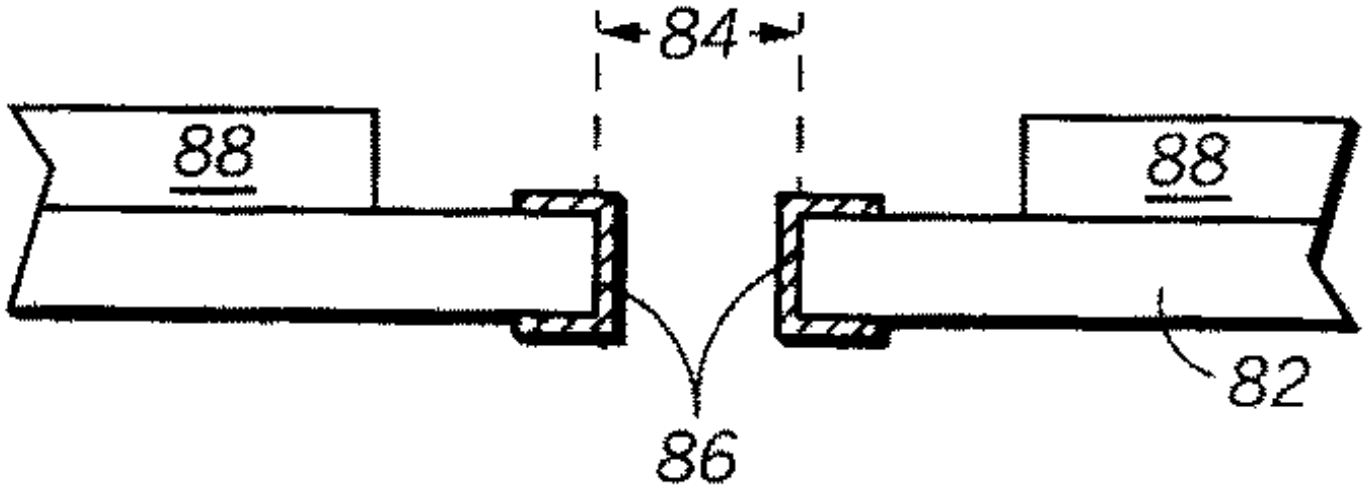
도면 10



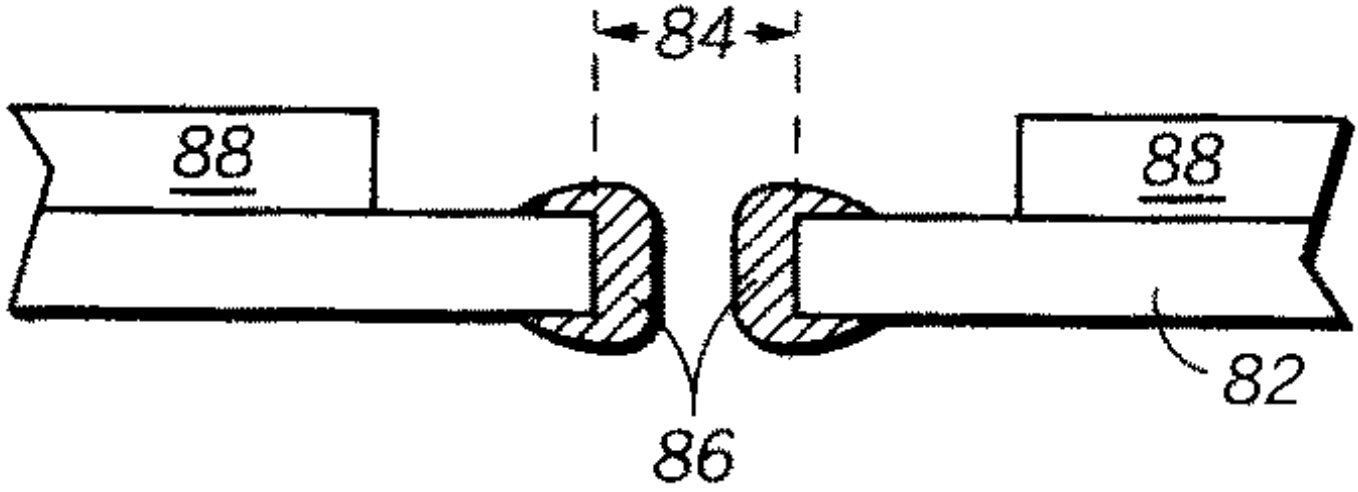
도면 11



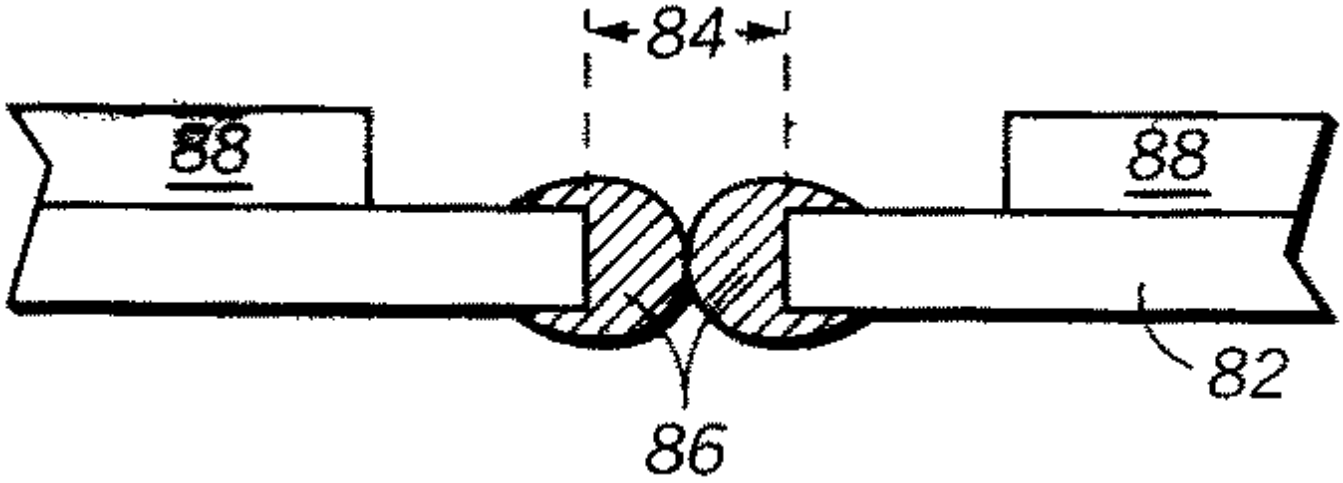
도면 12



도면 13



도면 14



도면 15

