

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6523695号
(P6523695)

(45) 発行日 令和1年6月5日 (2019. 6. 5)

(24) 登録日 令和1年5月10日 (2019. 5. 10)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 7 N
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/477 (2006. 01)	HO 1 L 29/78 6 1 7 L
HO 1 L 21/428 (2006. 01)	HO 1 L 29/78 6 1 8 E
HO 1 L 21/318 (2006. 01)	HO 1 L 29/78 6 1 7 U
請求項の数 6 (全 87 頁) 最終頁に続く	

(21) 出願番号	特願2015-19214 (P2015-19214)	(73) 特許権者	000153878
(22) 出願日	平成27年2月3日 (2015. 2. 3)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2015-181150 (P2015-181150A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成27年10月15日 (2015. 10. 15)	(72) 発明者	山崎 舜平
審査請求日	平成30年1月24日 (2018. 1. 24)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2014-20620 (P2014-20620)		半導体エネルギー研究所内
(32) 優先日	平成26年2月5日 (2014. 2. 5)	(72) 発明者	岡崎 健一
(33) 優先権主張国	日本国 (JP)		栃木県栃木市都賀町升塚 1 6 1 - 2 アド
(31) 優先権主張番号	特願2014-43637 (P2014-43637)		バンスト フィルム デバイス インク
(32) 優先日	平成26年3月6日 (2014. 3. 6)		株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	中田 昌孝
			栃木県栃木市都賀町升塚 1 6 1 - 2 アド
			バンスト フィルム デバイス インク
			株式会社内
		最終頁に続く	

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

トランジスタと、容量素子と、を有し、
 前記トランジスタは、
 第 1 の導電膜と、
 前記第 1 の導電膜上の第 1 の絶縁膜と、
 前記第 1 の絶縁膜上の第 2 の絶縁膜と、
 前記第 2 の絶縁膜上の酸化物半導体膜と、
 前記酸化物半導体膜に接する一対の電極と、
 前記酸化物半導体膜上のゲート絶縁膜と、
 前記ゲート絶縁膜を介して前記酸化物半導体膜と互いに重なる第 2 の導電膜と、を有し

10

、
 前記第 1 の絶縁膜は、水素を含む膜を有し、
 前記第 2 の絶縁膜は、酸化物絶縁膜を有し、
 前記ゲート絶縁膜の端部が前記第 2 の導電膜より外側に位置し、
 前記ゲート絶縁膜の端部の断面形状は湾曲し、
 前記容量素子は、
 下部電極と、
 前記下部電極上の電極間絶縁膜と、
 前記電極間絶縁膜上の上部電極と、を有し、

20

前記第 1 の導電膜と前記下部電極は、同一表面上に設けられ、
前記電極間絶縁膜の端部が前記上部電極より外側に位置し、
前記電極間絶縁膜の端部の断面形状は湾曲していることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、
前記水素を含む膜は、窒化シリコン膜を含むことを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、
前記酸化物絶縁膜は、加熱により一部の酸素を放出する機能を有することを特徴とする半導体装置。

10

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、
前記酸化物半導体膜は、第 1 の領域と、前記第 1 の領域を挟む一对の第 2 の領域と、を有し、
前記第 1 の領域は、前記第 1 の導電膜と重なる領域を有し、
前記第 1 の領域及び前記第 2 の領域は、不純物元素の濃度が異なることを特徴とする半導体装置。

【請求項 5】

請求項 4 において、
前記第 1 の領域より前記第 2 の領域の不純物元素の濃度が高いことを特徴とする半導体装置。

20

【請求項 6】

請求項 4 または請求項 5 において、
前記不純物元素は、水素、ホウ素、炭素、窒素、フッ素、アルミニウム、シリコン、リンまたは塩素の中から選ばれるいずれか一つを有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、酸化物半導体膜を用いた半導体装置、該半導体装置の作製方法、モジュール及び電子機器に関する。

30

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、またはそれらの製造方法に関する。

【0003】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

40

【背景技術】

【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFET）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコンを代表とする半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0005】

50

例えば、酸化物半導体として、I n、Z n、G a、S nなどを含む非晶質酸化物を用いてトランジスタを作製する技術が特許文献1で開示されている。また、自己整列トランジスタを作製する技術が特許文献2で開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2006-165529号公報

【特許文献2】特開2009-278115号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0007】

酸化物半導体膜を用いたトランジスタとしては、例えば、逆スタガ型（ボトムゲート構造ともいう）またはプレナー型（トップゲート構造ともいう）等が挙げられる。酸化物半導体膜を用いたトランジスタを表示装置に適用する場合、プレナー型のトランジスタよりも逆スタガ型のトランジスタの方が、作製工程が比較的簡単であり製造コストを抑えられるため、利用される場合が多い。しかしながら、表示装置の画面の大型化、または表示装置の画質の高精細化（例えば、4k×2k（水平方向画素数＝3840画素、垂直方向画素数＝2048画素）または8k×4k（水平方向画素数＝7680画素、垂直方向画素数＝4320画素）に代表される高精細な表示装置）が進むと、逆スタガ型のトランジスタでは、ゲート電極とソース電極及びドレイン電極との間の寄生容量があるため、該寄生容量によって信号遅延等が大きくなり、表示装置の画質が劣化するという問題があった。また、逆スタガ型のトランジスタの場合、プレナー型のトランジスタと比較して、トランジスタの占有面積が大きくなるといった問題がある。そこで、酸化物半導体膜を用いたプレナー型のトランジスタについて、安定した半導体特性及び高い信頼性を有する構造で、且つ簡単な作製工程で形成されるトランジスタの開発が望まれている。

20

【0008】

また、表示装置の画面の大型化、または表示装置の画質の高精細化が進むと、表示装置の画素に形成されるトランジスタと、該トランジスタに接続される容量素子の構成が重要となる。容量素子は、画素に書き込まれたデータを保持する保持容量としての機能を有する。容量素子の構成によっては、画素に書き込まれたデータを保持できず、表示装置の画質が劣化するという問題があった。

30

【0009】

上記問題に鑑み、本発明の一態様は、酸化物半導体を用いた新規な半導体装置を提供する。特に、酸化物半導体を用いたプレナー型の半導体装置を提供する、または酸化物半導体を用いたオン電流が大きい半導体装置を提供する、または酸化物半導体を用いたオフ電流が小さい半導体装置を提供する、または酸化物半導体を用いた占有面積の小さい半導体装置を提供する、または酸化物半導体を用いた安定な電気特性をもつ半導体装置を提供する、または酸化物半導体を用いた信頼性の高い半導体装置を提供する、または新規な半導体装置を提供することを課題の1つとする。

【0010】

40

なお、上記の課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。上記以外の課題は、明細書等の記載から自ずと明らかになるものであり、明細書等の記載から上記以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

本発明の一態様は、トランジスタと、容量素子と、を有し、トランジスタは、第1の導電膜と、第1の導電膜上の第1の絶縁膜と、第1の絶縁膜上の第2の絶縁膜と、第2の絶縁膜上の酸化物半導体膜と、酸化物半導体膜に接する一対の電極と、酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜を介して酸化物半導体膜と互いに重なる第2の導電膜と、

50

を有し、第1の絶縁膜は、水素を含む膜を有し、第2の絶縁膜は、酸化物絶縁膜を有し、酸化物半導体膜は、第1の導電膜と互いに重なる第1の領域と、第1の領域を挟む一对の第2の領域と、を有し、第1の領域及び第2の領域は、不純物元素の濃度が異なり、容量素子は、下部電極と、下部電極上の電極間絶縁膜と、電極間絶縁膜上の上部電極と、を有し、下部電極は、第1の導電膜が有する材料と同じ材料を含み、電極間絶縁膜は、第1の絶縁膜が有する材料と同じ材料を含む第3の絶縁膜と、ゲート絶縁膜が有する材料と同じ材料を含む第4の絶縁膜と、を有し、上部電極は、第2の導電膜が有する材料と同じ材料を含み、トランジスタ上の第5の絶縁膜を有し、第5の絶縁膜は、水素を含む膜を有することを特徴とする半導体装置である。

【0012】

10

また、上記構成において、水素を含む膜は、窒化シリコン膜を含むことが好ましい。

【0013】

また、上記構成において、酸化物絶縁膜は、化学量論的組成を満たす酸素よりも多くの酸素を含む領域を有することが好ましい。

【0014】

また、上記構成において、第1の領域より第2の領域の不純物元素の濃度が高い。

【0015】

また、上記構成において、不純物元素は、水素、ホウ素、炭素、窒素、フッ素、アルミニウム、シリコン、リンまたは塩素の中から選ばれるいずれか一つを有している。

【0016】

20

また、上記構成において、第1の領域は、第2の領域の膜厚より大きい領域を有してもよい。

【0017】

また、本発明の他の一態様は、第1のゲート電極及び下部電極を同一の導電膜から形成し、第1のゲート電極及び下部電極上に第1の絶縁膜を形成し、第1の絶縁膜上に第2の絶縁膜を形成し、第2の絶縁膜上に脱離抑制膜を形成し、脱離抑制膜を介して第2の絶縁膜に酸素を添加し、脱離抑制膜を除去し、第2の絶縁膜の下部電極と互いに重なる領域を加工して第1の絶縁膜を露出させ、第2の絶縁膜上に酸化物半導体膜を形成し、酸化物半導体膜上、第1の絶縁膜上及び第2の絶縁膜上に第3の絶縁膜を形成し、第3の絶縁膜上に第1の導電膜を形成し、第1の導電膜を加工して、第2のゲート電極及び上部電極を形成し、第3の絶縁膜を加工して、ゲート絶縁膜及び第4の絶縁膜を形成し、第2のゲート電極をマスクにし、酸化物半導体膜に不純物を添加して、第2のゲート電極と重なる第1の領域と、第1の領域を挟む一对の第2の領域と、を形成し、第2の絶縁膜上、酸化物半導体膜上、第2のゲート電極上及び上部電極上に第5の絶縁膜を形成し、第5の絶縁膜の一对の第2の領域と互いに重なる領域を加工して一对の第2の領域を露出させ、第5の絶縁膜上及び一对の第2の領域の一方の上にソース電極を形成し、及び第5の絶縁膜上及び一对の第2の領域の他方の上にドレイン電極を形成し、第5の絶縁膜は、水素を含む膜を有し、第1の絶縁膜及び第4の絶縁膜は、電極間絶縁膜としての機能を有することを特徴とする半導体装置の作製方法である。

30

【0018】

40

また、本発明の他の一態様は、上記の半導体装置と、プリント基板と、を有することを特徴とするモジュールである。

【0019】

また、本発明の他の一態様は、上記の半導体装置、または、上記のモジュールと、スピーカー、操作キー、または、バッテリーと、を有することを特徴とする電子機器である。

【発明の効果】

【0020】

本発明の一態様により、酸化物半導体を用いた新規な半導体装置を提供することができる。特に、酸化物半導体を用いたプレナー型の半導体装置を提供することができる。または、酸化物半導体を用いたオン電流が大きい半導体装置を提供することができる。または

50

、酸化物半導体を用いたオフ電流が小さい半導体装置を提供することができる。または、酸化物半導体を用いた占有面積の小さい半導体装置を提供することができる。または、酸化物半導体を用いた安定な電気特性をもつ半導体装置を提供することができる。または、酸化物半導体を用いた信頼性の高い半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

【0021】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

10

【図面の簡単な説明】

【0022】

【図1】半導体装置の一態様を示す断面図。

【図2】半導体装置の一態様を示す上面図及び断面図。

【図3】半導体装置の一態様を示す断面図。

【図4】トランジスタの構造を説明する図。

【図5】トランジスタの構造を説明する図。

【図6】トランジスタの構造を説明する図。

【図7】トランジスタの構造を説明する図。

【図8】半導体装置の作製工程の一例を示す断面図。

20

【図9】半導体装置の作製工程の一例を示す断面図。

【図10】半導体装置の作製工程の一例を示す断面図。

【図11】半導体装置の作製工程の一例を示す断面図。

【図12】半導体装置の作製工程の一例を示す断面図。

【図13】半導体装置の作製工程の一例を示す断面図。

【図14】半導体装置の作製工程の一例を示す断面図。

【図15】半導体装置の作製工程の一例を示す断面図。

【図16】半導体装置の作製工程の一例を示す断面図。

【図17】半導体装置の作製工程の一例を示す断面図。

【図18】本発明の一態様に係る半導体装置であるトランジスタの断面図及びバンド構造

30

。

【図19】半導体装置の断面図を説明する図。

【図20】CAAC-Osの断面におけるCs補正高分解能TEM像、およびCAAC-Osの断面模式図。

【図21】CAAC-Osの平面におけるCs補正高分解能TEM像。

【図22】CAAC-Osおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。

【図23】CAAC-Osの電子回折パターンを示す図。

【図24】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【図25】発光装置の画素部の構成について説明する図。

40

【図26】表示装置の一態様を示す上面図。

【図27】表示装置の一態様を示す断面図。

【図28】表示装置の一態様を示す断面図。

【図29】トランジスタの構造を説明する図。

【図30】計算モデルを説明する図。

【図31】初期状態と最終状態を説明する図。

【図32】活性化障壁を説明する図。

【図33】初期状態と最終状態を説明する図。

【図34】活性化障壁を説明する図。

【図35】V_o、Hの遷移レベルを説明する図。

50

【図 3 6】本発明の一態様に係る半導体装置を用いた表示装置の上面図及び回路図。

【図 3 7】本発明の一態様に係る半導体装置を用いた表示装置の回路図及びタイミングチャート。

【図 3 8】本発明の一態様に係る半導体装置を用いた表示装置の回路図及びタイミングチャート。

【図 3 9】本発明の一態様に係る半導体装置を用いた表示装置の回路図及びタイミングチャート。

【図 4 0】本発明の一態様に係る半導体装置を用いた表示装置の回路図及びタイミングチャート。

【図 4 1】表示モジュールを説明する図。

10

【図 4 2】半導体装置の一態様を示す上面図及び断面図。

【図 4 3】バンド構造の一態様を示す図。

【図 4 4】電子機器を説明する図。

【図 4 5】抵抗率の温度依存性を説明する図。

【図 4 6】CAAC-O Sの成膜モデルを説明する模式図、ペレットおよびCAAC-O Sの断面図。

【図 4 7】nc-O Sの成膜モデルを説明する模式図、およびペレットを示す図。

【図 4 8】ペレットを説明する図。

【図 4 9】被形成面においてペレットに加わる力を説明する図。

【図 5 0】被形成面におけるペレットの動きを説明する図。

20

【図 5 1】InGaZnO₄の結晶を説明する図。

【図 5 2】原子が衝突する前のInGaZnO₄の構造などを説明する図。

【図 5 3】原子が衝突した後のInGaZnO₄の構造などを説明する図。

【図 5 4】原子が衝突した後の原子の軌跡を説明する図。

【図 5 5】CAAC-O Sおよびターゲットの断面HAADF-STEM像。

【発明を実施するための形態】

【0023】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

30

【0024】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。

【0025】

また、本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0026】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

40

【0027】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

50

【0028】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0029】

なお、本明細書において、「膜」という表記と、「層」という表記と、を互いに入れ替えることが可能である。また、「絶縁体」という表記と、「絶縁膜（または絶縁層）」という表記と、を互いに入れ替えることが可能である。また、「導電体」という表記と、「導電膜（または導電層）」という表記と、を互いに入れ替えることが可能である。また、「半導体」という表記は、「半導体膜（または半導体層）」という表記と、を互いに入れ替えることが可能である。

10

【0030】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

【0031】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインという用語は、入れ替えて用いることができるものとする。

20

【0032】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0033】

30

なお、本明細書において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0034】

40

本明細書において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースまたはドレインの幅をいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0035】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば

50

、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

【0036】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

10

【0037】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

20

【0038】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0039】

（実施の形態1）

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を、図面を用いて説明する。

30

【0040】

＜半導体装置の構成＞

図1に、半導体装置に含まれるトランジスタの一例として、トップゲート構造のトランジスタ及び該トランジスタと同一工程で作製することができる容量素子を示す。

【0041】

図1に半導体装置が有するトランジスタ150及び容量素子160の断面図を示す。また、図2にトランジスタ150の上面図及び断面図を示す。図2（A）はトランジスタ150の上面図であり、図2（B）は、図2（A）の一点鎖線A1－A2間の断面図であり、図2（C）は、図2（A）の一点鎖線A3－A4間の断面図である。なお、図2（A）では、明瞭化のため、基板100、絶縁膜101、絶縁膜102、ゲート絶縁膜112a、絶縁膜108、絶縁膜118、絶縁膜128などを省略している。なお、トランジスタの上面図においては、以降の図面においてもトランジスタ150と同様に、構成要素の一部を省略して図示する場合がある。また、一点鎖線A1－A2方向をチャンネル長方向、一点鎖線A3－A4方向をチャンネル幅方向と呼称する場合がある。

40

【0042】

トランジスタ150は、基板100上に形成された絶縁膜101上のゲート電極104aと、ゲート電極104a上の絶縁膜102と、絶縁膜102上の第1の領域106及び第1の領域を挟む一対の第2の領域107a、107bを有する酸化物半導体膜126と、酸化物半導体膜126と接するゲート絶縁膜112aと、ゲート絶縁膜112a上のゲート電極114aと、酸化物半導体膜126及びゲート電極114aを覆う絶縁膜108

50

及び絶縁膜 118 と、絶縁膜 108 及び絶縁膜 118 に設けられた開口において、第 2 の領域 107 a と接するソース電極 116 a 及び第 2 の領域 107 b と接するドレイン電極 116 b と、を有する。

【0043】

容量素子 160 は、基板 100 上に形成された絶縁膜 101 上の下部電極 104 b と、下部電極 104 b 上の電極間絶縁膜として機能する絶縁膜 102 a 及び絶縁膜 112 b と、絶縁膜 112 b 上の上部電極 114 b と、を有する。

【0044】

酸化物半導体膜 126 において、ゲート電極 114 a と互いに重ならない一対の第 2 の領域 107 a、107 b には、酸素欠損を形成する元素を有する。以下、酸素欠損を形成する元素を、不純物元素として説明する。不純物元素の代表例としては、水素、ホウ素、炭素、窒素、フッ素、アルミニウム、シリコン、リン、塩素、希ガス元素等がある。希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン及びキセノンがある。

10

【0045】

不純物元素が酸化物半導体膜に添加されると、酸化物半導体膜中の金属元素及び酸素の結合が切断され、酸素欠損が形成される。または、不純物元素が酸化物半導体膜に添加されると、酸化物半導体膜中の金属元素と結合していた酸素が不純物元素と結合し、金属元素から酸素が脱離され、酸素欠損が形成される。これらの結果、酸化物半導体膜においてキャリア密度が増加し、導電性が高くなる。

20

【0046】

不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。この結果、酸化物半導体は、導電性が高くなり、導電体化する。導電体化された酸化物半導体を酸化物導電体とすることができる。一般に、酸化物半導体は、エネルギーギャップが大きいいため、可視光に対して透光性を有する。一方、酸化物導電体は、伝導帯近傍にドナー準位を有する酸化物半導体である。したがって、該ドナー準位による吸収の影響は小さく、可視光に対して酸化物半導体と同程度の透光性を有する。

【0047】

ここで、酸化物導電体で形成される膜（以下、酸化物導電体膜という。）における、抵抗率の温度依存性について、図面を用いて説明する。

30

【0048】

ここでは、酸化物導電体膜を有する試料を作製した。酸化物導電体膜としては、酸化物半導体膜が窒化シリコン膜に接することで形成された酸化物導電体膜 (OC-SiN_x)、ドーピング装置において酸化物半導体膜にアルゴンが添加され、且つ窒化シリコン膜と接することで形成された酸化物導電体膜 (OC-Ar-dope+SiN_x)、またはプラズマ処理装置において酸化物半導体膜がアルゴンプラズマに曝され、且つ窒化シリコン膜と接することで形成された酸化物導電体膜 ($\text{OC-Ar-plasma+SiN}_x$) を作製した。なお、窒化シリコン膜は、水素を含む。

【0049】

酸化物導電体膜 (OC-SiN_x) を含む試料の作製方法を以下に示す。ガラス基板上に、厚さ 400 nm の酸化窒化シリコン膜をプラズマ CVD 法により形成した後、酸素プラズマに曝し、酸素イオンを酸化窒化シリコン膜に添加することで、加熱により酸素を放出する酸化窒化シリコン膜を形成した。次に、加熱により酸素を放出する酸化窒化シリコン膜上に、原子数比が $\text{In:Ga:Zn}=1:1:1$ のスパッタリングターゲットを用いてスパッタリング法により厚さ 100 nm の In-Ga-Zn 酸化物膜を形成し、450 °C の窒素雰囲気中で加熱処理した後、450 °C の窒素及び酸素の混合ガス雰囲気中で加熱処理した。次に、プラズマ CVD 法で、厚さ 100 nm の窒化シリコン膜を形成した。次に、350 °C の窒素及び酸素の混合ガス雰囲気中で加熱処理した。

40

【0050】

50

酸化物導電体膜 ($\text{OC_Ar_dope} + \text{SiN}_x$) を含む試料の作製方法を以下に示す。ガラス基板上に、厚さ 400 nm の酸化窒化シリコン膜をプラズマ CVD 法により形成した後、酸素プラズマに曝し、酸素イオンを酸化窒化シリコン膜に添加することで、加熱により酸素を放出する酸化窒化シリコン膜を形成した。次に、加熱により酸素を放出する酸化窒化シリコン膜上に、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1.2$ のスパッタリングターゲットを用いて、スパッタリング法により厚さ 100 nm の In-Ga-Zn 酸化物膜を形成し、 450°C の窒素雰囲気中で加熱処理した後、 450°C の窒素及び酸素の混合ガス雰囲気中で加熱処理した。次に、ドーピング装置を用いて、 In-Ga-Zn 酸化物膜に、加速電圧を 10 kV とし、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ のアルゴンを添加して、 In-Ga-Zn 酸化物膜に酸素欠損を形成した。次に、プラズマ CVD 法で、厚さ 100 nm の窒化シリコン膜を形成した。次に、 350°C の窒素及び酸素の混合ガス雰囲気中で加熱処理した。

10

【0051】

酸化物導電体膜 ($\text{OC_Ar_plasma} + \text{SiN}_x$) を含む試料の作製方法を以下に示す。ガラス基板上に、厚さ 400 nm の酸化窒化シリコン膜をプラズマ CVD 法により形成した後、酸素プラズマに曝すことで、加熱により酸素を放出する酸化窒化シリコン膜を形成した。次に、加熱により酸素を放出する酸化窒化シリコン膜上に、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1.2$ のスパッタリングターゲットを用いて、スパッタリング法により厚さ 100 nm の In-Ga-Zn 酸化物膜を形成し、 450°C の窒素雰囲気中で加熱処理した後、 450°C の窒素及び酸素の混合ガス雰囲気中で加熱処理した。次に、プラズマ処理装置において、アルゴンプラズマを発生させ、加速させたアルゴンイオンを In-Ga-Zn 酸化物膜に衝突させることで酸素欠損を形成した。次に、プラズマ CVD 法で、厚さ 100 nm の窒化シリコン膜を形成した。次に、 350°C の窒素及び酸素の混合ガス雰囲気中で加熱処理した。

20

【0052】

次に、各試料の抵抗率を測定した結果を図 45 に示す。ここで、抵抗率の測定は 4 端子の van-der-Pauw 法で行った。図 45 において、横軸は測定温度を示し、縦軸は抵抗率を示す。また、酸化物導電体膜 (OC_SiN_x) の測定結果を四角印で示し、酸化物導電体膜 ($\text{OC_Ar_dope} + \text{SiN}_x$) の測定結果を丸印で示し、酸化物導電体膜 ($\text{OC_Ar_plasma} + \text{SiN}_x$) の測定結果を三角印で示す。

30

【0053】

なお、図示しないが、窒化シリコン膜と接しない酸化物半導体膜は、抵抗率が高く、抵抗率の測定が困難であった。このため、酸化物導電体膜は、酸化物半導体膜より抵抗率が低いことがわかる。

【0054】

図 45 からわかるように、酸化物導電体膜 ($\text{OC_Ar_dope} + \text{SiN}_x$) 及び酸化物導電体膜 ($\text{OC_Ar_plasma} + \text{SiN}_x$) が、酸素欠損及び水素を含む場合、抵抗率の変動が小さい。代表的には、 80 K 以上 290 K 以下において、抵抗率の変動率は、 $\pm 20\%$ 未満である。または、 150 K 以上 250 K 以下において、抵抗率の変動率は、 $\pm 10\%$ 未満である。即ち、酸化物導電体は、縮退半導体であり、伝導帯端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体膜をトランジスタのソース領域及びドレイン領域として用いることで、酸化物導電体膜とソース電極及びドレイン電極として機能する導電膜との接触がオーミック接触となり、酸化物導電体膜とソース電極及びドレイン電極として機能する導電膜との接触抵抗を低減できる。また、酸化物導電体の抵抗率は温度依存性が低いため、酸化物導電体膜とソース電極及びドレイン電極として機能する導電膜との接触抵抗の変動量が少なく、信頼性の高いトランジスタを作製することが可能である。

40

【0055】

一対の第 2 の領域 $107a$ 、 $107b$ は、ソース領域及びドレイン領域として機能する。ソース電極 $116a$ 及びドレイン電極 $116b$ がタングステン、チタン、アルミニウム

50

、銅、モリブデン、クロム、またはタンタル単体若しくは合金等の酸素と結合しやすい導電材料を用いて形成される場合、酸化物半導体膜に含まれる酸素とソース電極 116a 及びドレイン電極 116b に含まれる導電材料とが結合し、酸化物半導体膜において、酸素欠損が形成される。また、酸化物半導体膜にソース電極 116a 及びドレイン電極 116b を形成する導電材料の構成元素の一部が混入する場合もある。これらの結果、ソース電極 116a 及びドレイン電極 116b と接する一対の第 2 の領域 107a、107b は、導電性が高まり、ソース領域及びドレイン領域として機能する。

【0056】

不純物元素が希ガス元素であって、酸化物半導体膜 126 がスパッタリング法で形成される場合、一対の第 2 の領域 107a、107b はそれぞれ希ガス元素を含み、且つ第 1 の領域 106 と比較して、一対の第 2 の領域 107a、107b の方が希ガス元素の濃度が高い。これは、酸化物半導体膜 126 がスパッタリング法で形成される場合、スパッタリングガスとして希ガス元素を用いるため、酸化物半導体膜 126 に希ガスが含まれること、並びに一対の第 2 の領域 107a、107b において、酸素欠損を形成するために、意図的に希ガス元素が添加されることが原因である。なお、一対の第 2 の領域 107a、107b において、第 1 の領域 106 と異なる希ガス元素が添加されていてもよい。

【0057】

不純物元素が、ホウ素、炭素、窒素、フッ素、アルミニウム、シリコン、リン、または、塩素の場合、一対の第 2 の領域 107a、107b にのみ不純物元素を有する。このため、第 1 の領域 106 と比較して、一対の第 2 の領域 107a、107b の方が不純物元素の濃度が高い。なお、一対の第 2 の領域 107a、107b において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる不純物元素の濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下、または $1 \times 10^{19} \text{ atoms/cm}^3$ 以上 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下、または $5 \times 10^{19} \text{ atoms/cm}^3$ 以上 $5 \times 10^{20} \text{ atoms/cm}^3$ 以下とすることができる。

【0058】

不純物元素が、水素の場合、第 1 の領域 106 と比較して、一対の第 2 の領域 107a、107b の方が不純物元素の濃度が高い。なお、一対の第 2 の領域 107a、107b において、二次イオン質量分析法により得られる水素の濃度は、 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、または $5 \times 10^{20} \text{ atoms/cm}^3$ 以上とすることができる。

【0059】

一対の第 2 の領域 107a、107b は不純物元素を有するため、酸素欠損が増加し、キャリア密度が増加する。この結果、一対の第 2 の領域 107a、107b は、導電性が高くなり、低抵抗領域として機能する。

【0060】

なお、不純物元素が、水素、ホウ素、炭素、窒素、フッ素、アルミニウム、シリコン、リン、または塩素の一以上と、希ガスの一以上の場合であってもよい。この場合、一対の第 2 の領域 107a、107b において、希ガス元素により形成された酸素欠損と、且つ該領域に添加された水素、ホウ素、炭素、窒素、フッ素、アルミニウム、シリコン、リン、または塩素の一以上との相互作用により、一対の第 2 の領域 107a、107b は、導電性がさらに高まる場合がある。

【0061】

第 1 の領域 106 は、チャネルとして機能する。ここで、酸化物半導体膜 126 近傍の拡大図を図 3 に示す。ゲート電極 114a を形成する際に、酸化物半導体膜 126 の一対の第 2 の領域 107a、107b となる領域がエッチングされるため、図 3 に示すように、第 1 の領域 106 は一対の第 2 の領域 107a、107b より膜厚が大きくなる。代表的には、第 1 の領域 106 は、一対の第 2 の領域 107a、107b より厚さが 0.1 nm 以上 5 nm 以下大きい領域を有する。

【0062】

本実施の形態に示すトランジスタ150は、チャンネル形成領域として機能する第1の領域106と、ソース領域及びドレイン領域として機能する一対の第2の領域107a、107bを有する。一対の第2の領域107a、107bは、導電性が高いため、一対の第2の領域107a、107bとソース電極116a及びドレイン電極116bとの接触抵抗を低減することが可能であり、トランジスタのオン電流を増大させることが可能である。

【0063】

また、トランジスタ150において、ゲート電極114aをマスクとして、不純物元素が酸化物半導体膜126に添加される。すなわち、セルフアラインで不純物領域（ソース領域及びドレイン領域）を形成することができる。

10

【0064】

また、トランジスタ150の作製工程と同時に容量素子160も作製することができる。

トランジスタ150のゲート電極104aと、容量素子160の下部電極104bとが同時に形成される。また、トランジスタ150のゲート絶縁膜112aと、容量素子160の絶縁膜112bとが同時に形成される。また、トランジスタ150のゲート電極114aと、容量素子160の上部電極114bとが同時に形成される。

【0065】

以下に、図1に示す構成の詳細について説明する。

20

【0066】

基板100としては、様々な基板を用いることができ、特定のものに限定されることはない。基板の一例としては、半導体基板（例えば単結晶基板またはシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、またはソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、またはポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。

30

【0067】

また、基板100として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板100とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板100より分離し、他の基板に転載するのに用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

40

【0068】

トランジスタが転載される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン

50

、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる。

【0069】

絶縁膜101は、下地絶縁膜として機能する。絶縁膜101は、基板100からの不純物の拡散を防止する役割を有する。絶縁膜101として、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いて形成することができる。また、上記材料の積層であってもよい。

10

【0070】

ゲート電極104aは、導電膜104a1及び導電膜104a2の積層である。また、下部電極104bは、導電膜104b1及び導電膜104b2の積層である。導電膜104a1、導電膜104a2、導電膜104b1及び導電膜104b2は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、ゲート電極104a及び下部電極104bは、単層構造でも、三層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、マンガンを含む銅膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、マンガンを含む銅膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造、マンガンを含む銅膜上に銅膜を積層し、さらにその上にマンガンを含む銅膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の一または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。

20

30

【0071】

また、ゲート電極104a及び下部電極104bは、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを含むインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0072】

本実施の形態では、導電膜104a1及び導電膜104b1にチタン膜、導電膜104a2及び導電膜104b2に銅膜を用いる。導電膜104a2及び導電膜104b2は銅、アルミニウム等の低抵抗な導電性材料を用いることが好ましい。このような低抵抗な導電性材料を用いることで、信号遅延を低減することができる。

40

【0073】

絶縁膜102は、絶縁膜102a及び絶縁膜102bの積層である。

【0074】

絶縁膜102aは、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有し、水素を含む膜であることが好ましく、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等を用いることができる。絶縁膜102bは、酸化物半導体膜126との界面特性を向上させるため、酸化物絶縁膜で形成することが好ましい。特に加

50

熱により一部の酸素を放出する酸化物材料を含むことが好ましく、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることがより好ましい。絶縁膜102bとして上記のような加熱により酸素を放出する酸化物絶縁膜を用いることで、加熱処理により絶縁膜102bに含まれる酸素を、酸化物半導体膜126に移動させることが可能である。

【0075】

絶縁膜102bの厚さは、50nm以上、または100nm以上3000nm以下、または200nm以上1000nm以下とすることができる。絶縁膜102bを厚くすることで、絶縁膜102bの酸素放出量を増加させることができると共に、絶縁膜102bと酸化物半導体膜126との界面における界面準位、並びに酸化物半導体膜126の第1の領域106に含まれる酸素欠損を低減することが可能である。

10

【0076】

絶縁膜102bとして、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn酸化物などを用いればよく、単層または積層で設けることができる。

【0077】

酸化物半導体膜126は、代表的には、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(Mは、Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd、またはHf)等の金属酸化物で形成される。なお、酸化物半導体膜126は、透光性を有する。

【0078】

なお、酸化物半導体膜126がIn-M-Zn酸化物の場合、Zn及びOを除いてのIn及びMの原子数比率は、In及びMの和を100atomic%としたときInが25atomic%以上、Mが75atomic%未満、またはInが34atomic%以上、Mが66atomic%未満とする。

20

【0079】

酸化物半導体膜126は、エネルギーギャップが2eV以上、または2.5eV以上、または3eV以上である。

【0080】

酸化物半導体膜126の厚さは、3nm以上200nm以下、または3nm以上100nm以下、または3nm以上50nm以下とすることができる。

30

【0081】

酸化物半導体膜126がIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $In \geq M$ 、 $Zn \geq M$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=1:1:1.5$ 、 $In:M:Zn=1:1:2$ 、 $In:M:Zn=1:1:2.3$ 、 $In:M:Zn=1:1:3$ 、 $In:M:Zn=1:1:4$ 等が好ましい。なお、成膜される酸化物半導体膜126の原子数比はそれぞれ、誤差として上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

【0082】

また、酸化物半導体膜126において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体膜126において、酸素欠損が増加し、n型化してしまう。このため、酸化物半導体膜126であって、特に第1の領域106において、シリコンや炭素の濃度(二次イオン質量分析法により得られる濃度)を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、または $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とすることができる。この結果、トランジスタは、しきい値電圧がプラスとなる電気特性(ノーマリーオフ特性ともいう。)を有する。

40

【0083】

また、酸化物半導体膜126であって、特に第1の領域106において、二次イオン質量分析法により得られるアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ a}$

50

atoms/cm^3 以下、または $2 \times 10^{16} \text{ atoms}/\text{cm}^3$ 以下とすることができる。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、第1の領域106のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。この結果、トランジスタは、ノーマリーオフ特性を有する。

【0084】

また、酸化物半導体膜126であって、特に第1の領域106に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化となる場合がある。この結果、窒素が含まれている酸化物半導体膜を用いたトランジスタはノーマリーオン特性となりやすい。従って、当該酸化物半導体膜であって、特に第1の領域106において、窒素はできる限り低減されていることが好ましい。例えば、二次イオン質量分析法により得られる窒素濃度を、 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 以下にすることができる。

10

【0085】

酸化物半導体膜126であって、特に第1の領域106において、不純物元素を低減することで、酸化物半導体膜のキャリア密度を低減することができる。このため、酸化物半導体膜126であって、特に第1の領域106においては、キャリア密度を 1×10^{17} 個/ cm^3 以下、または 1×10^{15} 個/ cm^3 以下、または 1×10^{13} 個/ cm^3 以下、または 1×10^{11} 個/ cm^3 以下とすることができる。

【0086】

酸化物半導体膜126として、不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を用いることで、さらに優れた電気特性を有するトランジスタを作製することができる。ここでは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性とよぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる場合がある。従って、当該酸化物半導体膜にチャネル領域が形成されるトランジスタは、ノーマリーオフ特性になりやすい。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。従って、当該酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる場合がある。

20

30

【0087】

また、酸化物半導体膜126は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、後述するCAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

【0088】

なお、酸化物半導体膜126が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域の二種以上を有する混合膜であってもよい。混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のいずれか二種以上の領域を有する単層構造の場合がある。また、混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のいずれか二種以上が積層された構造の場合がある。

40

【0089】

なお、酸化物半導体膜126において、一对の第2の領域107a、107bと、第1の領域106との結晶性が異なる場合がある。これは、一对の第2の領域107a、10

50

7 b に不純物元素が添加された際に、一对の第 2 の領域 1 0 7 a、1 0 7 b にダメージが入ってしまい、結晶性が低下するためである。

【0090】

また、本実施の形態では、酸化物半導体膜 1 2 6 は酸化物半導体膜が多層構造（ここでは 2 層構造）であり、下層にチャネル形成領域 1 0 6 a、低抵抗領域 1 0 7 a 1 及び低抵抗領域 1 0 7 b 1 を有し、上層にチャネル形成領域 1 0 6 b、低抵抗領域 1 0 7 a 2 及び低抵抗領域 1 0 7 b 2 を有する。

【0091】

また、2 層構造である酸化物半導体膜の下層はチャネル領域が形成され、2 層構造である酸化物半導体膜の上層は、代表的には、In-Ga 酸化物、In-Zn 酸化物、In-Mg 酸化物、Zn-Mg 酸化物、In-M-Zn 酸化物（M は、Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd、または Hf）であり、且つ下層よりも伝導帯下端のエネルギーが真空準位に近く、代表的には、酸化物半導体膜（上層）の伝導帯下端のエネルギーと、酸化物半導体膜（下層）の伝導帯下端のエネルギーとの差が、0.05 eV 以上、0.07 eV 以上、0.1 eV 以上、または 0.2 eV 以上、且つ 2 eV 以下、1 eV 以下、0.5 eV 以下、または 0.4 eV 以下である。なお、真空準位と伝導帯下端のエネルギー差を電子親和力ともいう。

【0092】

酸化物半導体膜（上層）が In-M-Zn 酸化物（M は、Mg、Al、Ti、Ga、Y、Zr、La、Ce、Nd、または Hf）の場合、酸化物半導体膜（上層）を成膜するために用いるターゲットにおいて、金属元素の原子数比を $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ とすると、 x_1/y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であって、 z_1/y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、 z_1/y_1 を 1 以上 6 以下とすることで、酸化物半導体膜（上層）として CAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $\text{In}:\text{M}:\text{Zn} = 1:1:1$ 、 $\text{In}:\text{M}:\text{Zn} = 1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn} = 2:1:1.5$ 、 $\text{In}:\text{M}:\text{Zn} = 2:1:2.3$ 、 $\text{In}:\text{M}:\text{Zn} = 2:1:3$ 、 $\text{In}:\text{M}:\text{Zn} = 3:1:2$ 等がある。

【0093】

なお、酸化物半導体膜（上層）、酸化物半導体膜（下層）の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 40% の変動を含む。

【0094】

なお、原子数比はこれらに限られず、必要とする半導体特性に応じて適切な原子数比のものを用いればよい。

【0095】

ゲート絶縁膜 1 1 2 a 及び絶縁膜 1 1 2 b は、酸化物絶縁膜または窒化物絶縁膜を単層または積層して形成することができる。なお、酸化物半導体膜 1 2 6 との界面特性を向上させるため、少なくとも酸化物半導体膜 1 2 6 と接する領域は酸化物絶縁膜を用いて形成することが好ましい。ゲート絶縁膜 1 1 2 a 及び絶縁膜 1 1 2 b として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは Ga-Zn 酸化物などを用いればよく、単層または積層で設けることができる。

【0096】

また、ゲート絶縁膜 1 1 2 a 及び絶縁膜 1 1 2 b として、酸素、水素、水等のブロッキング効果を有する絶縁膜を設けることで、酸化物半導体膜 1 2 6 からの酸素の外部への拡散と、外部から酸化物半導体膜 1 2 6 への水素、水等の侵入を防ぐことができる。酸素、水素、水等のブロッキング効果を有する絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【0097】

10

20

30

40

50

また、ゲート絶縁膜 112a 及び絶縁膜 112b として、ハフニウムシリケート (HfSi_xO_y)、窒素が添加されたハフニウムシリケート (HfSi_xO_y)、窒素が添加されたハフニウムアルミネート (HfAl_xO_y)、酸化ハフニウム、酸化イットリウムなどの high-k 材料を用いることでトランジスタのゲートリークを低減できる。

【0098】

また、ゲート絶縁膜 112a 及び絶縁膜 112b として、加熱により一部の酸素を放出する酸化物材料を含むことが好ましく、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いることがより好ましい。ゲート絶縁膜 112a 及び絶縁膜 112b として上記のような加熱により酸素を放出する酸化物絶縁膜を用いることで、加熱処理によりゲート絶縁膜 112a に含まれる酸素を、酸化物半導体膜 126 に移動させることが可能である。

10

【0099】

また、ゲート絶縁膜 112a 及び絶縁膜 112b として、欠陥の少ない酸化窒化シリコン膜を用いることができる。欠陥の少ない酸化窒化シリコン膜は、加熱処理後において、100K 以下の ESR で測定して得られたスペクトルにおいて g 値が 2.037 以上 2.039 以下の第 1 のシグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルのスピンの密度が観測される。なお、第 1 のシグナル及び第 2 のシグナルのスプリット幅、並びに第 2 のシグナル及び第 3 のシグナルのスプリット幅は、X バンドの ESR 測定において約 5mT である。また、g 値が 2.037 以上 2.039 以下の第 1 のシグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルのスピンの密度の合計が $1 \times 10^{18} \text{ spins/cm}^3$ 未満であり、代表的には $1 \times 10^{17} \text{ spins/cm}^3$ 以上 $1 \times 10^{18} \text{ spins/cm}^3$ 未満である。

20

【0100】

なお、100K 以下の ESR スペクトルにおいて g 値が 2.037 以上 2.039 以下の第 1 シグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルは、窒素酸化物 (NO_x 、x は 0 以上 2 以下、または 1 以上 2 以下) 起因のシグナルに相当する。即ち、g 値が 2.037 以上 2.039 以下の第 1 のシグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルのスピンの密度の合計が少ないほど、酸化窒化シリコン膜に含まれる窒素酸化物の含有量が少ないといえる。

30

【0101】

また、欠陥の少ない酸化窒化シリコン膜は、二次イオン質量分析法で測定される窒素濃度が、 $6 \times 10^{20} \text{ atoms/cm}^3$ 以下である。ゲート絶縁膜 112a 及び絶縁膜 112b として欠陥の少ない酸化窒化シリコン膜を用いることで、窒素酸化物が生成されにくくなり、酸化物半導体膜 126 及び絶縁膜の界面におけるキャリアのトラップを低減することが可能である。また、半導体装置に含まれるトランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0102】

ゲート電極 114a は、導電膜 114a1 及び導電膜 114a2 の積層である。また、上部電極 114b は、導電膜 114b1 及び導電膜 114b2 の積層である。導電膜 114a1、導電膜 114a2、導電膜 114b1 及び導電膜 114b2 の材料等は、導電膜 104a1、導電膜 104a2、導電膜 104b1 及び導電膜 104b2 を援用することができる。

40

【0103】

本実施の形態では、導電膜 114a1 及び導電膜 114b1 に窒化タンタル膜、導電膜 114a2 及び導電膜 114b2 にタングステン膜を用いる。

【0104】

また、図 1 に示すように、チャネル長方向の断面形状において、導電膜 114a1 の端部は、導電膜 114a2 の端部より外側に位置し、且つ導電膜 114a1 がテーパ形状

50

であってもよい。即ち、ゲート絶縁膜 112a 及び導電膜 114a1 が接する面と、導電膜 114a1 の側面のなす角度が 90°未満、または 5°以上 45°以下、また 5°以上 30°以下であってもよい。また、導電膜 114b1 の端部は、導電膜 114b2 の端部より外側に位置し、且つ導電膜 114b1 がテーパ形状であってもよい。即ち、絶縁膜 112b 及び導電膜 114b1 が接する面と、導電膜 114b1 の側面のなす角度が 90°未満、または 5°以上 45°以下、また 5°以上 30°以下であってもよい。

【0105】

さらには、ゲート絶縁膜 112a の端部が、導電膜 114a1 の端部より外側に位置してもよい。また、絶縁膜 112b の端部が、導電膜 114b1 の端部より外側に位置してもよい。

10

【0106】

さらには、ゲート絶縁膜 112a 及び絶縁膜 112b の側面は湾曲してもよい。

【0107】

さらには、ゲート絶縁膜 112a がテーパ形状であってもよい。即ち、酸化物半導体膜 126 及びゲート絶縁膜 112a が接する面と、ゲート絶縁膜 112a の側面のなす角度が 90°未満、好ましくは 30°以上 90°未満であってもよい。

【0108】

絶縁膜 108 の材料等は、絶縁膜 102a を援用することができる。

【0109】

絶縁膜 118 は、絶縁膜 102b の材料を援用することができる。

20

【0110】

ソース電極 116a は、導電膜 116a1 及び導電膜 116a2 の積層である。また、ドレイン電極 116b は、導電膜 116b1 及び導電膜 116b2 の積層である。導電膜 116a1、導電膜 116a2、導電膜 116b1 及び導電膜 116b2 の材料等は、導電膜 104a1、導電膜 104a2、導電膜 104b1 及び導電膜 104b2 を援用することができる。

【0111】

本実施の形態では、導電膜 116a1 及び導電膜 116b1 にタングステン膜、導電膜 116a2 及び導電膜 116b2 に銅膜を用いる。導電膜 116a2 及び導電膜 116b2 は銅、アルミニウム等の低抵抗な導電性材料を用いることが好ましい。このような低抵抗な導電性材料を用いることで、信号遅延を低減することができる。

30

【0112】

絶縁膜 128 は、外部からの水素、水等のバリア膜として機能する膜であることが好ましい。絶縁膜 128 として、例えば窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどを用いればよく、単層または積層で設けることができる。

【0113】

ここでは、トランジスタの変形例について、図 4 乃至図 7、図 29 を用いて説明する。図 4 に示すトランジスタは、基板 400 上の絶縁膜 453 上に形成された酸化物半導体膜 455 と、酸化物半導体膜 455 に接する絶縁膜 457 と、絶縁膜 457 と接し、且つ酸化物半導体膜 455 と互いに重なる導電膜 459 と、を有する。なお、絶縁膜 457 は、ゲート絶縁膜としての機能を有する。また、導電膜 459 は、ゲート電極としての機能を有する。なお、基板 400 は、基板 100 を援用できる。また、絶縁膜 453 は、絶縁膜 101 を援用できる。また、酸化物半導体膜 455 は、酸化物半導体膜 126 を援用できる。また、絶縁膜 457 は、ゲート絶縁膜 112a を援用できる。また、導電膜 459 は、ゲート電極 114a を援用できる。

40

【0114】

また、酸化物半導体膜 455 に接する窒化物絶縁膜 465、及び窒化物絶縁膜 465 に接する絶縁膜 467 が、トランジスタに設けられている。また、窒化物絶縁膜 465 及び絶縁膜 467 の開口部において、酸化物半導体膜 455 と接する導電膜 468、469 が、トランジスタに設けられている。なお、導電膜 468、469 は、ソース電極及びドレ

50

イン電極としての機能を有する。なお、窒化物絶縁膜 465 は、絶縁膜 108 を援用できる。また、絶縁膜 467 は、絶縁膜 118 を援用できる。また、導電膜 468、469 は、ソース電極 116a、ドレイン電極 116b を援用できる。

【0115】

図4(A)に示すトランジスタにおいて、酸化物半導体膜 455 は、導電膜 459 と重なる領域に形成されるチャンネル領域 455a と、チャンネル領域 455a を挟み、且つ不純物元素を含む領域、即ち、低抵抗領域 455b、455c とを有する。また、導電膜 468、469 は、低抵抗領域 455b、455c と接する。なお、導電膜 468、469 は、配線としての機能をする。

【0116】

または、図4(B)に示すトランジスタのように、酸化物半導体膜 455 において、導電膜 468、469 と接する領域 455d、455e に、不純物元素が添加されていなくともよい。この場合、導電膜 468、469 と接する領域 455d、455e とチャンネル領域 455a との間に、不純物元素を有する領域、即ち、低抵抗領域 455b、455c を有する。なお、領域 455d、455e は、導電膜 468、469 に電圧が印加されると導電性を有するため、ソース領域及びドレイン領域としての機能を有する。

【0117】

なお、図4(B)に示すトランジスタは、導電膜 468、469 を形成した後、導電膜 459 及び導電膜 468、469 をマスクとして、不純物元素を酸化物半導体膜に添加することで形成できる。

【0118】

導電膜 459 において、導電膜 459 の端部がテーパ形状であってもよい。即ち、絶縁膜 457 及び導電膜 459 が接する面と、導電膜 459 の側面となす角度 $\theta 1$ が、 90° 未満、 10° 以上 85° 以下、または 15° 以上 85° 以下、または 30° 以上 85° 以下、または 45° 以上 85° 以下、または 60° 以上 85° 以下であってもよい。角度 $\theta 1$ を、 90° 未満、 10° 以上 85° 以下、または 15° 以上 85° 以下、または 30° 以上 85° 以下、または 45° 以上 85° 以下、または 60° 以上 85° 以下とすることで、絶縁膜 457 及び導電膜 459 の側面における窒化物絶縁膜 465 の被覆性を高めることが可能である。

【0119】

次に、低抵抗領域 455b、455c の変形例について説明する。なお、図4(C)乃至図4(F)は、図4(A)に示す酸化物半導体膜 455 の近傍の拡大図である。ここでは、チャンネル長 L は、一对の低抵抗領域の間隔である。

【0120】

図4(C)に示すように、チャンネル長方向の断面形状において、チャンネル領域 455a 及び低抵抗領域 455b、455c の境界が、絶縁膜 457 を介して、導電膜 459 の端部と、一致または略一致している。即ち、上面形状において、チャンネル領域 455a 及び低抵抗領域 455b、455c の境界が、導電膜 459 の端部と、一致または概略一致している。

【0121】

または、図4(D)に示すように、チャンネル長方向の断面形状において、チャンネル領域 455a が、導電膜 459 と重ならない領域を有する。該領域はオフセット領域として機能する。チャンネル長方向におけるオフセット領域の長さを L_{off} と示す。なお、オフセット領域が複数ある場合は、一つのオフセット領域の長さを L_{off} という。 L_{off} は、チャンネル長 L に含まれる。また、 L_{off} は、チャンネル長 L の 20% 未満、または 10% 未満、または 5% 未満、または 2% 未満である。

【0122】

または、図4(E)に示すように、チャンネル長方向の断面形状において、低抵抗領域 455b、455c が、絶縁膜 457 を介して、導電膜 459 と重なる領域を有する。該領域はオーバーラップ領域として機能する。チャンネル長方向におけるオーバーラップ領域の

10

20

30

40

50

長さを L_o と示す。 L_o は、チャンネル長 L の20%未満、または10%未満、または5%未満、または2%未満である。

【0123】

または、図4(F)に示すように、チャンネル長方向の断面形状において、チャンネル領域455aと低抵抗領域455bの間に低抵抗領域455fを有し、チャンネル領域455aと低抵抗領域455cの間に低抵抗領域455gを有する。低抵抗領域455f、455gは、低抵抗領域455b、455cより不純物元素の濃度が低く、抵抗率が高い。ここでは、低抵抗領域455f、455gは、絶縁膜457と重なるが、絶縁膜457及び導電膜459と重なってもよい。

【0124】

なお、図4(C)乃至図4(F)においては、図4(A)に示すトランジスタの説明をしたが、図4(B)に示すトランジスタにおいても、図4(C)乃至図4(F)の構造を適宜適用することができる。

【0125】

図5(A)に示すトランジスタは、絶縁膜457の端部が、導電膜459の端部より外側に位置する。即ち、絶縁膜457が、導電膜459から迫り出した形状を有する。チャンネル領域455aから窒化物絶縁膜465を遠ざけることが可能であるため、窒化物絶縁膜465に含まれる窒素、水素等が、チャンネル領域455aに入り込むのを抑制することができる。

【0126】

図5(B)に示すトランジスタは、絶縁膜457及び導電膜459がテーパ形状であり、且つそれぞれのテーパ部の角度が異なる。即ち、絶縁膜457及び導電膜459が接する面と、導電膜459の側面のなす角度 θ_1 と、酸化物半導体膜455及び絶縁膜457が接する面と、絶縁膜457の側面のなす角度 θ_2 との角度が異なる。角度 θ_2 は、90°未満、または30°以上85°以下、または45°以上70°以下であってもよい。例えば、角度 θ_2 が角度 θ_1 より大きいと、トランジスタの微細化が可能である。

【0127】

次に、低抵抗領域455b、455cの変形例について、図5(C)乃至図5(F)を用いて説明する。なお、図5(C)乃至図5(F)は、図5(A)に示す酸化物半導体膜455の近傍の拡大図である。

【0128】

図5(C)に示すように、チャンネル長方向の断面形状において、チャンネル領域455a及び低抵抗領域455b、455cの境界が、導電膜459の端部と、絶縁膜457を介して、一致または概略一致している。即ち、上面形状において、チャンネル領域455a及び低抵抗領域455b、455cの境界が、導電膜459の端部と、一致若しくは略一致している。

【0129】

または、図5(D)に示すように、チャンネル長方向の断面形状において、チャンネル領域455aが、導電膜459と重ならない領域を有する。該領域はオフセット領域として機能する。即ち、上面形状において、低抵抗領域455b、455cの端部が、絶縁膜457の端部と、一致または略一致しており、導電膜459の端部と重ならない。

【0130】

または、図5(E)に示すように、チャンネル長方向の断面形状において、低抵抗領域455b、455cが、絶縁膜457を介して、導電膜459と重なる領域を有する。該領域をオーバーラップ領域という。即ち、上面形状において、低抵抗領域455b、455cの端部が、導電膜459と重なる。

【0131】

または、図5(F)に示すように、チャンネル長方向の断面形状において、チャンネル領域455aと低抵抗領域455bの間に低抵抗領域455fを有し、チャンネル領域455aと低抵抗領域455cの間に低抵抗領域455gを有する。低抵抗領域455f、455

10

20

30

40

50

gは、低抵抗領域455b、455cより不純物元素の濃度が低く、抵抗率が高い。ここでは、低抵抗領域455f、455gは、絶縁膜457と重なるが、絶縁膜457及び導電膜459と重なってもよい。

【0132】

なお、図5(C)乃至図5(F)においては、図5(A)に示すトランジスタの説明をしたが、図5(B)に示すトランジスタにおいても、図5(C)乃至図5(F)の構造を適宜適用することが可能である。

【0133】

図6(A)に示すトランジスタは、導電膜459が積層構造であり、絶縁膜457と接する導電膜459a、及び導電膜459aに接する導電膜459bとを有する。また、導電膜459aの端部は、導電膜459bの端部より外側に位置する。即ち、導電膜459aが、導電膜459bから迫り出した形状を有する。

10

【0134】

次に、低抵抗領域455b、455cの変形例について説明する。なお、図6(B)乃至図6(E)、図7(A)、及び図7(B)は、図6(A)に示す酸化物半導体膜455の近傍の拡大図である。

【0135】

図6(B)に示すように、チャンネル長方向の断面形状において、チャンネル領域455a及び低抵抗領域455b、455cの境界が、導電膜459に含まれる導電膜459aの端部と、絶縁膜457を介して、一致または略一致している。即ち、上面形状において、チャンネル領域455a及び低抵抗領域455b、455cの境界が、導電膜459の端部と、一致または略一致している。

20

【0136】

または、図6(C)に示すように、チャンネル長方向の断面形状において、チャンネル領域455aが、導電膜459と重ならない領域を有する。該領域はオフセット領域として機能する。即ち、上面形状において、低抵抗領域455b、455cの端部が、導電膜459の端部と重ならない。

【0137】

または、図6(D)に示すように、チャンネル長方向の断面形状において、低抵抗領域455b、455cが、導電膜459、ここでは導電膜459aと重なる領域を有する。該領域をオーバーラップ領域という。即ち、上面形状において、低抵抗領域455b、455cの端部が、導電膜459aと重なる。

30

【0138】

または、図6(E)に示すように、チャンネル長方向の断面形状において、チャンネル領域455aと低抵抗領域455bの間に低抵抗領域455fを有し、チャンネル領域455aと低抵抗領域455cの間に低抵抗領域455gを有する。不純物元素は、導電膜459aを通過して低抵抗領域455f、455gに添加されるため、低抵抗領域455f、455gは、低抵抗領域455b、455cより不純物元素の濃度が低く、抵抗率が高い。なお、ここでは、低抵抗領域455f、455gは、導電膜459aと重なるが、導電膜459a及び導電膜459bと重なってもよい。

40

【0139】

または、図7(A)に示すように、チャンネル長方向の断面形状において、導電膜459aの端部は、導電膜459bの端部より外側に位置し、且つ導電膜459aがテーパ形状であってもよい。即ち、絶縁膜457及び導電膜459aが接する面と、導電膜459aの側面のなす角度が90°未満、または5°以上45°以下、また5°以上30°以下であってもよい。

【0140】

さらには、絶縁膜457の端部が、導電膜459aの端部より外側に位置してもよい。

【0141】

さらには、絶縁膜457の側面は湾曲してしてもよい。

50

【0142】

さらには、絶縁膜457がテーパー形状であってもよい。即ち、酸化物半導体膜455及び絶縁膜457が接する面と、絶縁膜457の側面のなす角度が90°未満、好ましくは30°以上90°未満であってもよい。

【0143】

図7(A)に示す酸化物半導体膜455は、チャンネル領域455aと、チャンネル領域455aを挟む低抵抗領域455f、455gと、チャンネル領域455aと低抵抗領域455f、455gを挟む低抵抗領域455h、455iと、チャンネル領域455aと、低抵抗領域455f、455gと、低抵抗領域455h、455iを挟む低抵抗領域455b、455cとを有する。不純物元素は、絶縁膜457及び導電膜459aを通過して低抵抗領域455f、455g、455h、455iに添加されるため、低抵抗領域455f、455g、455h、455iは、低抵抗領域455b、455cより不純物元素の濃度が低く、抵抗率が高い。

10

【0144】

図7(B)に示す酸化物半導体膜455は、チャンネル領域455aと、チャンネル領域455aを挟む低抵抗領域455h、455iと、チャンネル領域455aと低抵抗領域455h、455iを挟む低抵抗領域455b、455cとを有する。不純物元素は、絶縁膜457を通過して低抵抗領域455h、455iに添加されるため、低抵抗領域455h、455iは、低抵抗領域455b、455cより不純物元素の濃度が低く、抵抗率が高い。

20

【0145】

なお、図7(A)のチャンネル長方向において、チャンネル領域455aは導電膜459bと重なり、低抵抗領域455f、455gは、導電膜459bの外側に突出している導電膜459aと重なり、低抵抗領域455h、455iは、導電膜459aの外側に突出している絶縁膜457と重なり、低抵抗領域455b、455cは絶縁膜457の外側に突出している。

【0146】

図7(A)に示すように、酸化物半導体膜455が低抵抗領域455b、455cより、不純物元素の濃度が低く、抵抗率が高い低抵抗領域455f、455g、455h、455iを有することで、ドレイン領域の電界緩和が可能である。そのため、ドレイン領域の電界に起因したトランジスタのしきい値電圧の変動などの劣化を低減することが可能である。

30

【0147】

図29(A)に示すトランジスタは、チャンネル領域455a及び低抵抗領域455b、455cを含む酸化物半導体膜455を有し、低抵抗領域455b、455cは、チャンネル領域455aより膜厚の小さい領域を有する。代表的には、低抵抗領域455b、455cは、チャンネル領域455aより厚さが0.1nm以上5nm以下小さい領域を有する。

【0148】

図29(B)に示すトランジスタは、酸化物半導体膜455に接する絶縁膜453、457の少なくとも一方が多層構造である。例えば、絶縁膜453は、絶縁膜453a、及び絶縁膜453a及び酸化物半導体膜455に接する絶縁膜453bを有する。また、絶縁膜457は、酸化物半導体膜455に接する絶縁膜457a、及び絶縁膜457aに接する絶縁膜457bを有する。

40

【0149】

絶縁膜453b、457aは、酸化物半導体膜の価電子帯の上端のエネルギー(E_{v_os})と伝導帯の下端のエネルギー(E_{c_os})の間に窒素酸化物の準位密度が低い酸化物絶縁膜を用いて形成することができる。 E_{v_os} と E_{c_os} の間に窒素酸化物の準位密度が低い酸化物絶縁膜として、窒素酸化物の放出量の少ない酸化窒化シリコン膜、または窒素酸化物の放出量の少ない酸化窒化アルミニウム膜等を用いることができる。な

50

お、絶縁膜 453b、457a は、平均膜厚が、0.1nm 以上 50nm 以下、または 0.5nm 以上 10nm 以下である。

【0150】

なお、窒素酸化物の放出量の少ない酸化窒化シリコン膜は、昇温脱離ガス分析法 (TDS (Thermal Desorption Spectroscopy)) において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が 1×10^{18} 個/cm³ 以上 5×10^{19} 個/cm³ 以下である。なお、アンモニアの放出量は、膜の表面温度が 50℃ 以上 650℃ 以下、好ましくは 50℃ 以上 550℃ 以下の加熱処理による放出量とする。

【0151】

絶縁膜 453a、457b は、加熱により酸素を放出する酸化物絶縁膜を用いて形成することができる。なお、絶縁膜 453a、457b は、平均膜厚が 5nm 以上 1000nm 以下、または 10nm 以上 500nm 以下である。

【0152】

加熱により酸素を放出する酸化物絶縁膜の代表例としては、酸化窒化シリコン膜、酸化窒化アルミニウム膜等がある。

【0153】

窒素酸化物 (NO_x、x は 0 以上 2 以下、好ましくは 1 以上 2 以下)、代表的には NO₂ または NO は、絶縁膜 453 及び絶縁膜 457 などに準位を形成する。当該準位は、酸化物半導体膜 455 のエネルギーギャップ内に位置する。そのため、窒素酸化物が、絶縁膜 453、457 及び酸化物半導体膜 455 の界面に拡散すると、当該準位が絶縁膜 453、457 側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁膜 453、457 及び酸化物半導体膜 455 界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。

【0154】

また、窒素酸化物は、加熱処理においてアンモニア及び酸素と反応する。絶縁膜 453a、457b に含まれる窒素酸化物は、加熱処理において、絶縁膜 453b、457a に含まれるアンモニアと反応するため、絶縁膜 453a、457b に含まれる窒素酸化物が低減される。このため、絶縁膜 453、457 及び酸化物半導体膜 455 の界面において、電子がトラップされにくい。

【0155】

絶縁膜 453b、457a として、E_{v_o_s} と E_{c_o_s} の間に窒素酸化物の準位密度が低い酸化物絶縁膜を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0156】

なお、トランジスタの作製工程の加熱処理、代表的には 300℃ 以上基板歪み点未満の加熱処理により、絶縁膜 453、457 は、100K 以下の ESR で測定して得られたスペクトルにおいて g 値が 2.037 以上 2.039 以下の第 1 のシグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルが観測される。なお、第 1 のシグナル及び第 2 のシグナルのスプリット幅、並びに第 2 のシグナル及び第 3 のシグナルのスプリット幅は、Xバンドの ESR 測定において約 5mT である。また、g 値が 2.037 以上 2.039 の第 1 のシグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルのスピンの密度の合計が 1×10^{18} spins/cm³ 未満であり、代表的には 1×10^{17} spins/cm³ 以上 1×10^{18} spins/cm³ 未満である。

【0157】

なお、100K 以下の ESR スペクトルにおいて g 値が 2.037 以上 2.039 以下の第 1 シグナル、g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルは、二酸化窒素起因のシグナルに相当する

10

20

30

40

50

。即ち、 g 値が 2.037 以上 2.039 の第 1 のシグナル、 g 値が 2.001 以上 2.003 以下の第 2 のシグナル、及び g 値が 1.964 以上 1.966 以下の第 3 のシグナルのスピンの密度の合計が少ないほど、酸化物絶縁膜に含まれる二酸化窒素の含有量が少ないといえる。

【0158】

また、トランジスタの作製工程の加熱処理、代表的には 300℃ 以上基板歪み点未満の加熱処理における、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜は、SIMS (Secondary Ion Mass Spectrometry) で測定される窒素濃度が $6 \times 10^{20} \text{ atoms/cm}^3$ 以下である。

【0159】

基板温度が 220℃ 以上、または 280℃ 以上、または 350℃ 以上であり、シラン及び一酸化二窒素を用いたプラズマ CVD 法を用いて、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜を形成することで、緻密であり、且つ硬度の高い膜を形成することができる。

【0160】

図 29 (C) に示すトランジスタは、酸化物半導体膜 455、絶縁膜 457、及び導電膜 459 と、窒化物絶縁膜 465 との間に、絶縁膜 475 を有する。絶縁膜 475 は、図 29 (B) の絶縁膜 453b、457a に示す、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜を用いて形成することができる。

【0161】

また、チャンネル長方向の断面形状において、チャンネル領域 455a 及び低抵抗領域 455b の間に低抵抗領域 455f を有し、チャンネル領域 455a 及び低抵抗領域 455c の間に低抵抗領域 455g を有する。低抵抗領域 455f、455g は、低抵抗領域 455b、455c より不純物元素の濃度が低く、抵抗率が高い。なお、ここでは、低抵抗領域 455f、455g は、絶縁膜 457 及び導電膜 459 の側面に接する絶縁膜 475 と重なる領域である。なお、低抵抗領域 455f、455g は、絶縁膜 457 及び導電膜 459 と重なってもよい。

【0162】

図 29 (D) に示すトランジスタは、絶縁膜 457 が、酸化物半導体膜 455 のチャンネル領域 455a に接するとともに、低抵抗領域 455b、455c に接する。また、絶縁膜 457 は、チャンネル領域 455a と接する領域と比較して、低抵抗領域 455b、455c と接する領域の膜厚が薄く、代表的には、平均膜厚が、0.1nm 以上 50nm 以下、または 0.5nm 以上 10nm 以下である。この結果、絶縁膜 457 を介して、酸化物半導体膜 455 に不純物元素を添加することが可能であると共に、窒化物絶縁膜 465 に含まれる水素を、絶縁膜 457 を介して酸化物半導体膜 455 へ移動させることができる。この結果、低抵抗領域 455b、455c を形成することができる。

【0163】

さらに、絶縁膜 453 を絶縁膜 453a、453b の多層構造とし、加熱により酸素を放出する酸化物絶縁膜を用いて絶縁膜 453a を形成し、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜を用いて絶縁膜 453b を形成する。さらに、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜を用いて絶縁膜 457 を形成する。即ち、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜で、酸化物半導体膜 455 を覆うことができる。この結果、絶縁膜 453a に含まれる酸素を、加熱処理により酸化物半導体膜 455 に移動させ、酸化物半導体膜 455 のチャンネル領域 455a に含まれる酸素欠損を低減しつつ、絶縁膜 453b、457a と、酸化物半導体膜 455 との界面におけるキャリアのトラップを低減することが可能である。この結果、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0164】

< (1). V_H の形成しやすさ及び安定性 >

酸化物半導体膜 (以下、IGZO と示す。) が完全な結晶の場合、室温では、H は、優先的に ab 面に沿って拡散する。また、450℃ の加熱処理の際には、H は、ab 面及び

10

20

30

40

50

c 軸方向それぞれに拡散する。そこで、ここでは、I G Z O に酸素欠損 V_{O} が存在する場合、H は酸素欠損 V_{O} 中に入りやすいか否かについて説明する。ここで、酸素欠損 V_{O} 中に H がある状態を $V_{\text{O}}\text{H}$ と表記する。

【0165】

計算には、図 30 に示す InGaZnO_4 結晶モデルを用いた。ここで、 $V_{\text{O}}\text{H}$ 中の H が V_{O} から出ていき、酸素と結合する反応経路の活性化障壁 (E_a) を、NEB (Nudged Elastic Band) 法を用いて計算した。計算条件を表 1 に示す。

【0166】

【表 1】

ソフトウェア	VASP
計算手法	NEB法
汎関数	GGA-PBE
擬ポテンシャル	PAW
カットオフエネルギー	500 eV
k点	$2 \times 2 \times 3$

10

【0167】

また、 InGaZnO_4 結晶モデルにおいて、酸素が結合する金属元素及びその数の違いから、図 30 に示すように酸素サイト 1 乃至酸素サイト 4 がある。ここでは、酸素欠損 V_{O} を形成しやすい酸素サイト 1 及び酸素サイト 2 について計算を行った。

20

【0168】

はじめに、酸素欠損 V_{O} を形成しやすい酸素サイト 1 として、3 個の In と 1 個の Zn と結合した酸素サイトについて計算を行った。

【0169】

初期状態のモデルを図 31 (A) に示し、最終状態のモデルを図 31 (B) に示す。また、初期状態及び最終状態において、算出した活性化障壁 (E_a) を図 32 に示す。なお、ここでの初期状態とは、酸素欠損 V_{O} 中に H がある状態 ($V_{\text{O}}\text{H}$) であり、最終状態とは、酸素欠損 V_{O} と、1 個の Ga 及び 2 個の Zn と結合した酸素と H とが結合した状態 ($\text{H}-\text{O}$) を有する構造である。

30

【0170】

計算の結果、酸素欠損 V_{O} 中の H が他の O と結合するには約 1.52 eV のエネルギーが必要であるのに対して、O と結合した H が酸素欠損 V_{O} 中に入るには約 0.46 eV のエネルギーが必要であった。

【0171】

ここで、計算により得られた活性化障壁 (E_a) と数式 1 より、反応頻度 (Γ) を算出した。なお、数式 1 において、 k_B はボルツマン定数であり、T は絶対温度である。

【0172】

【数 1】

$$\Gamma = \nu \exp\left(-\frac{E_a}{k_B T}\right)$$

40

【0173】

頻度因子 $\nu = 10^{13}$ [$1/\text{sec}$] と仮定して 350℃における反応頻度を算出した。図 31 (A) に示すモデルから図 31 (B) に示すモデルへ H が移動する頻度は 5.52×10^0 [$1/\text{sec}$] であった。また、図 31 (B) に示すモデルから図 31 (A) に示すモデルへ H が移動する頻度は 1.82×10^9 [$1/\text{sec}$] であった。このことから、I G Z O 中を拡散する H は、近くに酸素欠損 V_{O} があると $V_{\text{O}}\text{H}$ を形成しやすく、一旦 $V_{\text{O}}\text{H}$ を形成すると酸素欠損 V_{O} から放出されにくいと考えられる。

50

【0174】

次に、酸素欠損 V_{O} を形成しやすい酸素サイト2として、1個のGaと2個のZnと結合した酸素サイトについて計算を行った。

【0175】

初期状態のモデルを図33(A)に示し、最終状態のモデルを図33(B)に示す。また、初期状態及び最終状態において、算出した活性化障壁(E_a)を図34に示す。なお、ここでの初期状態とは、酸素欠損 V_{O} 中にHがある状態($V_{\text{O}}\text{H}$)であり、最終状態とは、酸素欠損 V_{O} と、1個のGa及び2個のZnと結合した酸素とHとが結合した状態($\text{H}-\text{O}$)を有する構造である。

【0176】

計算の結果、酸素欠損 V_{O} 中のHが他のOと結合するには約1.75 eVのエネルギーが必要であるのに対して、Oと結合したHが酸素欠損 V_{O} 中に入るには約0.35 eVのエネルギーが必要であった。

【0177】

また、計算により得られた活性化障壁(E_a)と上記の数式1より、反応頻度(Γ)を算出した。

【0178】

頻度因子 $\nu = 10^{13} [1/\text{sec}]$ と仮定して350℃における反応頻度を算出した。図33(A)に示すモデルから図33(B)に示すモデルへHが移動する頻度は $7.53 \times 10^{-2} [1/\text{sec}]$ であった。また、図33(B)に示すモデルから図33(A)に示すモデルへHが移動する頻度は $1.44 \times 10^{10} [1/\text{sec}]$ であった。このことから、一旦 $V_{\text{O}}\text{H}$ を形成すると酸素欠損 V_{O} からHは放出されにくいと考えられる。

【0179】

以上のことから、アニール時にIGZO中のHは拡散し易く、酸素欠損 V_{O} がある場合は酸素欠損 V_{O} の中に入って $V_{\text{O}}\text{H}$ となりやすいことが分かった。

【0180】

<(2). $V_{\text{O}}\text{H}$ の遷移レベル>

IGZO中において酸素欠損 V_{O} とHが存在する場合、<(1). $V_{\text{O}}\text{H}$ の形成しやすさ及び安定性>で示した、NEB法を用いた計算より、酸素欠損 V_{O} とHは $V_{\text{O}}\text{H}$ を形成しやすく、さらに $V_{\text{O}}\text{H}$ は安定であると考えられる。そこで、 $V_{\text{O}}\text{H}$ がキャリアトラップに関与するかを調べるため、 $V_{\text{O}}\text{H}$ の遷移レベルの算出を行った。

【0181】

計算にはInGaZnO₄結晶モデル(112原子)を用いた。図30に示す酸素サイト1及び酸素サイト2に対して $V_{\text{O}}\text{H}$ モデルを作成し、遷移レベルの算出を行った。計算条件を表2に示す。

【0182】

【表2】

ソフトウェア	VASP
モデル	InGaZnO ₄ 結晶(112原子)
汎関数	HSE06
交換項の混合比	0.25
擬ポテンシャル	GGA-PBE
カットオフエネルギー	800 eV
k点	1×1×1

【0183】

実験値に近いバンドギャップが出るよう、交換項の混合比を調整したことで、欠陥のないInGaZnO₄結晶モデルのバンドギャップは3.08 eVとなり、実験値の3.1

10

20

30

40

50

5 e Vと近い結果となった。

【0184】

欠陥Dをもつモデルの遷移レベル ($\varepsilon(q/q')$) は、以下の数式2により算出される。なお、 $\Delta E(D^q)$ は欠陥Dの電荷qにおける形成エネルギーであり、数式3より算出される。

【0185】

【数2】

$$\varepsilon(q/q') = \frac{\Delta E(D^q) - \Delta E(D^{q'})}{q' - q}$$

10

【0186】

【数3】

$$\Delta E(D^q) = E_{tot}(D^q) - E_{tot}(bulk) + \sum_i \Delta n_i \mu_i + q(\varepsilon_{VBM} + \Delta V_q + E_F)$$

【0187】

数式2及び数式3において、 $E_{tot}(D^q)$ は欠陥Dを含むモデルの電荷qにおける全エネルギー、 $E_{tot}(bulk)$ は欠陥のないモデル（完全結晶）の全エネルギー、 Δn_i は欠陥に関する原子iの増減数、 μ_i は原子iの化学ポテンシャル、 ε_{VBM} は欠陥のないモデルにおける価電子帯上端のエネルギー、 ΔV_q は静電ポテンシャルに関する補正項、 E_F はフェルミエネルギーである。

20

【0188】

算出した V_OH の遷移レベルを図35に示す。図35中の数値は伝導帯下端からの深さである。図35より、酸素サイト1に対する V_OH の遷移レベルは伝導帯下端の下0.05 e Vに存在し、酸素サイト2に対する V_OH の遷移レベルは伝導帯下端の下0.11 e Vに存在するため、それぞれの V_OH は電子トラップに関与すると考えられる。すなわち、 V_OH はドナーとして振る舞うことが明らかになった。また、 V_OH を有するIGZOは導電性を有することが明らかになった。

【0189】

30

<バンド構造>

以下では、上述したトランジスタの任意断面におけるバンド構造について説明する。

【0190】

図18(A)は、本発明の一態様に係る半導体装置であるトランジスタの断面図である。

【0191】

図18(A)に示すトランジスタは、図1に示すトランジスタ150と同様のものである。

【0192】

図18(B)に、図18(A)に示すトランジスタのチャンネル形成領域を含むA-A'断面におけるバンド構造を示す。なお、チャンネル形成領域106aを含む酸化物半導体はチャンネル形成領域106bを含む酸化物半導体よりもエネルギーギャップが少し大きいとする。また、絶縁膜102a、絶縁膜102b及びゲート絶縁膜112aは、チャンネル形成領域106aを含む酸化物半導体及びチャンネル形成領域106bを含む酸化物半導体よりも十分にエネルギーギャップが大きいとする。また、チャンネル形成領域106aを含む酸化物半導体、チャンネル形成領域106bを含む酸化物半導体、絶縁膜102a、絶縁膜102b及びゲート絶縁膜112aのフェルミ準位 (E_f と表記する。) は、それぞれの真性フェルミ準位 (E_i と表記する。) の位置とする。また、ゲート電極104a及びゲート電極114aの仕事関数は、該フェルミ準位と同じ位置とする。

40

【0193】

50

ゲート電圧をトランジスタのしきい値電圧以上としたとき、チャネル形成領域106aを含む酸化物半導体とチャネル形成領域106bを含む酸化物半導体との間の伝導帯下端のエネルギーの差により、電子はチャネル形成領域106aを含む酸化物半導体を優先的に流れる。即ち、チャネル形成領域106aを含む酸化物半導体に電子が埋め込まれると推定することができる。なお、伝導帯下端のエネルギーを E_c と表記し、価電子帯上端のエネルギーを E_v と表記する。

【0194】

したがって、本発明の一態様に係る半導体装置であるトランジスタは、電子の埋め込みによって界面散乱の影響が低減されている。そのため、本発明の一態様に係る半導体装置であるトランジスタは、チャネル抵抗が小さい。

10

【0195】

次に、図18(C)に、トランジスタのソース領域またはドレイン領域を含むB-B'断面におけるバンド構造を示す。なお、低抵抗領域107a1、低抵抗領域107b1、低抵抗領域107a2及び低抵抗領域107b2は、縮退状態とする。また、低抵抗領域107b1において、チャネル形成領域106aを含む酸化物半導体のフェルミ準位は伝導帯下端のエネルギーと同程度とする。また、低抵抗領域107b2において、チャネル形成領域106bを含む酸化物半導体のフェルミ準位は伝導帯下端のエネルギーと同程度とする。低抵抗領域107a1及び低抵抗領域107a2も同様である。

【0196】

このとき、ドレイン電極116bと、低抵抗領域107b2と、はエネルギー障壁が十分小さいため、オーミック接触となる。また、低抵抗領域107b2と、低抵抗領域107b1と、はオーミック接触となる。同様に、ソース電極116aと、低抵抗領域107a2と、はエネルギー障壁が十分小さいため、オーミック接触となる。また、低抵抗領域107a2と、低抵抗領域107a1と、はオーミック接触となる。したがって、ソース電極116a及びドレイン電極116bと、チャネル形成領域106aを含む酸化物半導体及びチャネル形成領域106bを含む酸化物半導体と、の間で電子の授受がスムーズに行われることがわかる。

20

【0197】

以上に示したように、本発明の一態様に係る半導体装置であるトランジスタは、ソース電極及びドレイン電極と、チャネル形成領域と、の間の電子の授受がスムーズに行われ、かつチャネル抵抗の小さいトランジスタである。即ち、優れたスイッチング特性を有するトランジスタであることがわかる。

30

【0198】

また、図42に示すトランジスタのように酸化物半導体膜が3層であるトランジスタ構成のバンド構造、図1に示すトランジスタのように酸化物半導体膜が2層である構成のバンド構造について説明する。なお、図43(A)は、図42に示すトランジスタのバンド構造であり、図43(B)は、図1に示すトランジスタ150のバンド構造であり、それぞれ理解を容易にするため、絶縁膜102、第1の領域106及びゲート絶縁膜112aの伝導帯下端のエネルギー(E_c)を示す。

【0199】

図43(A)に示すように、チャネル形成領域106a、チャネル形成領域106b、及びチャネル形成領域106cにおいて、伝導帯下端のエネルギーが連続的に変化する。これは、チャネル形成領域106a、チャネル形成領域106b、及びチャネル形成領域106cを構成する元素が共通することにより、酸素が相互に拡散しやすい点からも理解される。したがって、チャネル形成領域106a、チャネル形成領域106b、及びチャネル形成領域106cは組成が異なる膜の積層体ではあるが、物性的に連続であるということもできる。

40

【0200】

主成分を共通として積層された酸化物半導体膜は、各層を単に積層するのではなく連続接合(ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化するU字型の井戸

50

(U Shape Well) 構造) が形成されるように作製する。すなわち、各層の界面に酸化物半導体にとってトラップ中心や再結合中心のような欠陥準位、あるいはキャリアの流れを阻害する不純物が存在しないように積層構造を形成する。仮に、積層された酸化物半導体膜の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

【0201】

なお、図43(A)では、チャンネル形成領域106bとチャンネル形成領域106cのEcが同様である場合について示したが、それぞれが異なってもよい。

【0202】

図43(A)より、チャンネル形成領域106aがウェル(井戸)となり、トランジスタにおいて、チャンネルがチャンネル形成領域106aに形成されることがわかる。なお、チャンネル形成領域106a、チャンネル形成領域106b、及びチャンネル形成領域106cは伝導帯下端のエネルギーが連続的に変化するため、U字型の井戸構造のチャンネルを埋め込みチャンネルということもできる。

10

【0203】

また、図43(B)に示すように、チャンネル形成領域106a、チャンネル形成領域106bにおいて、伝導帯下端のエネルギーが連続的に変化してもよい。

【0204】

図43(B)より、チャンネル形成領域106aがウェル(井戸)となり、トランジスタにおいて、チャンネルがチャンネル形成領域106aに形成されることがわかる。

20

【0205】

図42に示すトランジスタは、チャンネル形成領域106aを構成する金属元素を一種以上含んでいるチャンネル形成領域106b及びチャンネル形成領域106cを有しているため、チャンネル形成領域106aとチャンネル形成領域106cとの界面、及びチャンネル形成領域106aとチャンネル形成領域106bとの界面に界面準位を形成しにくくなる。よって、チャンネル形成領域106b及びチャンネル形成領域106cを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきや変動を低減することができる。

【0206】

図1に示すトランジスタは、チャンネル形成領域106aを構成する金属元素を一種以上含んでいるチャンネル形成領域106bを有しているため、チャンネル形成領域106aとチャンネル形成領域106bとの界面に界面準位を形成しにくくなる。よって、チャンネル形成領域106bを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきや変動を低減することができる。

30

【0207】

<半導体装置の作製方法>

次に、図1に示すトランジスタ150及び容量素子160の作製方法について、図8乃至図17を用いて説明する。

【0208】

トランジスタ150及び容量素子160を構成する膜(絶縁膜、酸化物半導体膜、導電膜等)は、スパッタリング法、化学気相堆積(CVD)法、真空蒸着法、パルスレーザー堆積(PLD)法を用いて形成することができる。あるいは、塗布法や印刷法で形成することができる。成膜方法としては、スパッタリング法、プラズマ化学気相堆積(PECVD)法が代表的であるが、熱CVD法でもよい。熱CVD法の例として、MOCVD(有機金属化学堆積)法やALD(原子層成膜)法を使ってもよい。

40

【0209】

熱CVD法は、チャンバー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンバー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行う。このように、熱CVD法は、プラズマを発生させない成膜方法であるため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0210】

50

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行う。例えば、それぞれのスイッチングバルブ（高速バルブともよぶ。）を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の単原子層を成膜し、後から導入される第2の原料ガスと反応して、第2の単原子層が第1の単原子層上に積層されて薄膜が形成される。

10

【0211】

このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なトランジスタを作製する場合に適している。

【0212】

まず、基板100上に絶縁膜101を形成し、絶縁膜101上にゲート電極104a及び下部電極104bを形成する（図8参照）。

【0213】

20

ゲート電極104a及び下部電極104bは、スパッタリング法、真空蒸着法、パルスレーザー堆積（PLD）法、熱CVD法等を用いて形成することができる。また、上記形成方法の代わりに、電解メッキ法、印刷法、インクジェット法等でゲート電極104a及び下部電極104bを形成してもよい。

【0214】

次に、絶縁膜101、ゲート電極104a及び下部電極104b上に絶縁膜102a及び絶縁膜132の積層を形成する（図9参照）。

【0215】

絶縁膜102a及び絶縁膜132は、スパッタリング法、CVD法、蒸着法、パルスレーザー堆積（PLD）法、印刷法、塗布法等を適宜用いて形成することができる。また、絶縁膜132の材料等は、絶縁膜102bを援用することができる。

30

【0216】

次に、絶縁膜132上に酸素の脱離を抑制する脱離抑制膜113を形成する。次に、脱離抑制膜113を介して絶縁膜132に酸素140を添加する（図10参照）。

【0217】

脱離抑制膜113は、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、タングステンから選ばれた金属元素、上述した金属元素を成分とする合金、上述した金属元素を組み合わせた合金、上述した金属元素を有する金属窒化物、上述した金属元素を有する金属酸化物、上述した金属元素を有する金属窒化酸化物等の導電性を有する材料を用いて形成する。

40

【0218】

脱離抑制膜113の厚さは、0.1nm以上10nm以下とすることができる。

【0219】

脱離抑制膜113を介して絶縁膜132に酸素140を添加する方法としては、イオンドーピング法、イオン注入法、プラズマ処理法等がある。絶縁膜132上に脱離抑制膜113を設けて酸素を添加することで、脱離抑制膜113が絶縁膜132から酸素が脱離することを抑制する保護膜として機能する。このため、絶縁膜132により多くの酸素を添加することができる。

【0220】

また、プラズマ処理で酸素の導入を行う場合、マイクロ波で酸素を励起し、高密度な酸

50

素プラズマを発生させることで、絶縁膜 1 3 2 への酸素導入量を増加させることができる。

【0 2 2 1】

次に、脱離抑制膜 1 1 3 を除去することで、酸素が添加された絶縁膜 1 3 2 を形成することができる（図 1 1 参照）。

【0 2 2 2】

また、絶縁膜 1 3 2 は、スパッタリング法、C V D 法、蒸着法、パルスレーザー堆積（P L D）法、印刷法、塗布法等を適宜用いて形成することができる。また、絶縁膜 1 3 2 を形成した後、該絶縁膜に酸素を添加してもよい。絶縁膜に添加する酸素としては、酸素ラジカル、酸素原子、酸素原子イオン、酸素分子イオン等がある。また、添加方法として

10

【0 2 2 3】

また、プラズマ C V D 装置の真空排気された処理室内に載置された基板を 1 8 0 °C 以上 2 8 0 °C 以下、または 2 0 0 °C 以上 2 4 0 °C 以下に保持し、処理室に原料ガスを導入して処理室内における圧力を 1 0 0 P a 以上 2 5 0 P a 以下、または 1 0 0 P a 以上 2 0 0 P a 以下とし、処理室内に設けられる電極に 0 . 1 7 W / c m ² 以上 0 . 5 W / c m ² 以下、または 0 . 2 5 W / c m ² 以上 0 . 3 5 W / c m ² 以下の高周波電力を供給する条件により、加熱処理により酸素を放出することが可能な酸化シリコン膜または酸化窒化シリコン膜を絶縁膜 1 3 2 として形成することができる。

【0 2 2 4】

20

次に、絶縁膜 1 3 2 上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて下部電極 1 0 4 b と互いに重なる絶縁膜 1 3 2 の一部をエッチングすることで、絶縁膜 1 0 2 b を形成する。

【0 2 2 5】

次に、絶縁膜 1 0 2 b 上に酸化物半導体膜 1 2 6 a 及び酸化物半導体膜 1 2 6 b の積層を含む酸化物半導体膜 1 2 6 を形成する（図 1 2 参照）。

【0 2 2 6】

酸化物半導体膜 1 2 6 の形成方法について以下に説明する。絶縁膜 1 0 2 b 上にスパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法、熱 C V D 法等により酸化物半導体膜 1 2 6 a 及び酸化物半導体膜 1 2 6 b となる酸化物半導体膜を形成する。次に、酸化物半導体膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて酸化物半導体膜の一部をエッチングすることで、図 1 2 に示すように、酸化物半導体膜 1 2 6 を形成することができる。この後、マスクを除去する。なお、酸化物半導体膜の一部をエッチングして酸化物半導体膜 1 2 6 を形成した後、加熱処理を行ってもよい。

30

【0 2 2 7】

また、酸化物半導体膜 1 2 6 として印刷法を用いることで、素子分離された酸化物半導体膜 1 2 6 を直接形成することができる。

【0 2 2 8】

スパッタリング法で酸化物半導体膜を形成する場合、プラズマを発生させるための電源装置は、R F 電源装置、A C 電源装置、D C 電源装置等を適宜用いることができる。なお、A C 電源装置または D C 電源装置を用いることで、C A A C - O S 膜を形成することが可能である。また、R F 電源装置を用いたスパッタリング法で酸化物半導体膜を形成するよりも、A C 電源装置または D C 電源装置を用いたスパッタリング法で酸化物半導体膜を形成した方が、膜厚の分布、膜組成の分布、または結晶性の分布が均一となるため好ましい。

40

【0 2 2 9】

スパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

50

【0230】

また、ターゲットは、形成する酸化物半導体膜の組成にあわせて、適宜選択すればよい。

【0231】

なお、酸化物半導体膜を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を150℃以上750℃以下、または150℃以上450℃以下、または200℃以上350℃以下として、酸化物半導体膜を成膜することで、CAAC-Os膜を形成することができる。また、基板温度を25℃以上150℃未満とすることで、微結晶酸化物半導体膜を形成することができる。

【0232】

また、後述するCAAC-Os膜を成膜するために、以下の条件を適用することが好ましい。

【0233】

成膜時の不純物混入を抑制することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80℃以下、または-100℃以下である成膜ガスを用いる。

【0234】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、または100体積%とする。

【0235】

また、酸化物半導体膜を形成した後、加熱処理を行い、酸化物半導体膜の脱水素化または脱水化をしてもよい。加熱処理の温度は、代表的には、150℃以上基板歪み点未満、または250℃以上450℃以下、または300℃以上450℃以下とする。

【0236】

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行う。または、不活性ガス雰囲気加熱した後、酸素雰囲気加熱してもよい。なお、上記不活性雰囲気及び酸素雰囲気に水素、水などが含まれないことが好ましい。処理時間は3分以上24時間以下とする。

【0237】

該加熱処理は、電気炉、RTA装置等を用いることができる。RTA装置を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため加熱処理時間を短縮することができる。

【0238】

酸化物半導体膜を加熱しながら成膜することで、さらには酸化物半導体膜を形成した後、加熱処理を行うことで、酸化物半導体膜において、二次イオン質量分析法により得られる水素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、または $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、または $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、または $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、または $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることができる。

【0239】

ALDを利用する成膜装置により酸化物半導体膜、例えば InGaZnO_x ($x > 0$)膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して InO_2 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを同時に導入して GaO 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と O_3 ガスを同時に導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜて InGaO_2 層や InZnO_2 層、 GaInO 層、 ZnInO 層、 GaZnO 層などの混合化合物層を形成してもよい。なお、 O_3 ガスに変えてAr等の不活性ガスでバブリングした H_2O ガスを用いてもよいが、Hを含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$

10

20

30

40

50

$\text{In}(\text{C}_2\text{H}_5)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いてもよい。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いてもよい。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いてもよい。

【0240】

ここでは、スパッタリング法により、厚さ35nmの酸化物半導体膜を形成した後、加熱処理を行い、絶縁膜102bに含まれる酸素を酸化物半導体膜に移動させる。次に、当該酸化物半導体膜上にマスクを形成し、酸化物半導体膜の一部を選択的にエッチングすることで、酸化物半導体膜126を形成する。

【0241】

なお、加熱処理は、350℃より高く650℃以下、または450℃以上600℃以下で行うことで、水素、水等の含有量が低減された酸化物半導体膜を得ることが可能である。すなわち、不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を形成することができる。

【0242】

次に、酸化物半導体膜126及び絶縁膜102a上に絶縁膜及び2層の導電膜を形成し、該2層の導電膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて2層の導電膜及び絶縁膜の一部をエッチングすることで、ゲート電極114a、上部電極114b、ゲート絶縁膜112a及び絶縁膜112bを形成する（図13参照）。

【0243】

ゲート絶縁膜112a及び絶縁膜112bとなる絶縁膜は、スパッタリング法、CVD法、真空蒸着法、パルスレーザー堆積（PLD）法、熱CVD法等で形成する。ゲート電極114a及び上部電極114bとなる2層の導電膜は、スパッタリング法、真空蒸着法、パルスレーザー堆積（PLD）法、熱CVD法等で形成する。該2層の導電膜は、上記形成方法の代わりに、電解メッキ法、印刷法、インクジェット法等で形成してもよい。

【0244】

また、ALDを利用する成膜装置により2層の導電膜としてタングステン膜を成膜することができる。この場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

【0245】

なお、図示しないが、ゲート絶縁膜112a及び絶縁膜112bとなる絶縁膜を成膜後、該絶縁膜及び絶縁膜102に開口を設け、該開口を介してゲート電極114a及び上部電極114bとなる2層の導電膜を成膜・エッチングしてゲート電極104a及びゲート電極114aを電氣的に接続してもよい。

【0246】

次に、図13に示すように、ゲート電極114aをマスクとして、酸化物半導体膜126に不純物元素142を添加する。この結果、酸化物半導体膜においてゲート電極114aに覆われていない領域に不純物元素が添加される。なお、不純物元素142の添加によるダメージを受けた酸化物半導体膜には、欠陥、代表的には酸素欠損が形成され、酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成され、第1の領域106、第1の領域106を挟む一対の第2の領域107a、107bが形成される（図14参照）。なお、第1の領域106は、不純物元素が添加されない領域であり、高純度真性にすることができる。

【0247】

不純物元素142の添加方法としては、イオンドーピング法、イオン注入法、プラズマ処理法等がある。

【0248】

不純物元素142の添加は、加速電圧、ドーズ量などの注入条件等を適宜設定して制御すればよい。例えば、イオン注入法でアルゴンの添加を行う場合、加速電圧10kV、ドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $1 \times 10^{16} \text{ ions/cm}^2$ 以下とすれば

10

20

30

40

50

よく、例えば、 $1 \times 10^{14} \text{ ions/cm}^2$ とすればよい。また、イオン注入法でリンイオンの添加を行う場合、加速電圧 30 kV、ドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよく、例えば、 $1 \times 10^{15} \text{ ions/cm}^2$ とすればよい。

【0249】

なお、不純物元素 142 の代わりに、酸化物半導体膜 126 に紫外線等を照射して、酸化物半導体膜 126 に酸素欠損を形成してもよい。または、酸化物半導体膜 126 にレーザ光を照射して、酸化物半導体膜 126 に酸素欠損を形成してもよい。

【0250】

次に、絶縁膜 138 及び絶縁膜 148 を形成する（図 15 参照）。絶縁膜 138 及び絶縁膜 148 の作製方法等は、絶縁膜 102 a、絶縁膜 132 等の作製方法等を援用することができる。

10

【0251】

次に、絶縁膜 148 上にリソグラフィ工程によりマスクを形成した後、絶縁膜 138 及び絶縁膜 148 の一部をエッチングして、一对の第 2 の領域 107 a、107 b の一部を露出する 2 つの開口を形成する。また、絶縁膜 108 及び絶縁膜 118 が同時に形成される（図 16 参照）。

【0252】

次に、絶縁膜 118、一对の第 2 の領域 107 a、107 b 上に 2 層の導電膜を形成し、該 2 層の導電膜の上側の導電膜上にリソグラフィ工程によりマスクを形成した後、該 2 層の導電膜の一部をエッチングしてソース電極 116 a 及びドレイン電極 116 b を形成する（図 17 参照）。

20

【0253】

次に、絶縁膜 118、ソース電極 116 a 及びドレイン電極 116 b 上に絶縁膜 128 を形成する。

【0254】

以上の工程により、トランジスタ 150 及び容量素子 160 を同時に形成することができる。

【0255】

また、以下では、本発明の一態様に係る半導体装置の、各配線の接続などについて説明する。

30

【0256】

図 19 (A) に示すように、トランジスタ 150 のバックゲート電極として機能するゲート電極 104 a と同一工程で形成される配線 204（導電膜 204 a 及び導電膜 204 b の積層）上に形成された絶縁膜 102 及びゲート絶縁膜 112 a となる絶縁膜の積層上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて該絶縁層の積層の一部をエッチングして配線 204 に達する開口を設ける。該開口を介してトランジスタ 150 のゲート電極 114 a となる導電膜を成膜し、該導電膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて該導電膜及びゲート絶縁膜 112 a となる絶縁膜の一部をエッチングして配線 214（導電膜 214 a 及び導電膜 214 b の積層）及び絶縁膜 212 を形成する。さらに配線 214 上に絶縁膜 108 及び絶縁膜 118 を成膜し、絶縁膜 118 上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて絶縁膜 108 及び絶縁膜 118 の一部をエッチングして配線 214 に達する開口を設ける。該開口を介してトランジスタ 150 のソース電極またはドレイン電極となる導電膜を成膜し、該導電膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて該導電膜の一部をエッチングして配線 216（導電膜 216 a 及び導電膜 216 b の積層）を形成する。以上の工程を経ることで図 19 (A) に示すような配線 204 が配線 214 を介して配線 216 と電氣的に接続する部分を有していてもよい。なお、該絶縁層の積層上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて絶縁膜 102 b 及びゲート絶縁膜 112 a となる絶縁膜の一部をエッチングした後、絶縁膜 102 a、絶縁膜 102 b 及び

40

50

ゲート絶縁膜 112a となる絶縁膜上にリソグラフィ工程によりマスクを形成した後、該マスクを用いて絶縁膜 102a の一部をエッチングして配線 204 に達する開口を設けてもよい。

【0257】

なお、配線 204 の上層（導電膜 204b）及び配線 216 の上層（導電膜 216b）は、銅、アルミニウム等の低抵抗な導電性材料を用いることが好ましい。このような低抵抗な導電性材料を用いることで、信号遅延を低減することができる。

【0258】

また、図 19（B）に示すように配線 214 が前述した工程によって絶縁膜 108 及び絶縁膜 118 に設けられた開口を介して配線 216 と電氣的に接続する部分や図 19（C）に示すように配線 204 が前述した工程によって該絶縁層の積層に設けられた開口を介して配線 214 と電氣的に接続する部分を有していてもよい。なお、図 12 と図 13 の間で説明したゲート電極 104a 及びゲート電極 114a を電氣的に接続する方法は、図 19（C）の接続方法を援用することができる。

【0259】

また、本実施の形態では、配線 214 を該絶縁層の積層に設けられた開口を介して配線 204 と電氣的に接続させ、配線 204 と配線 216 が交差するように構成されているため、図 19（D）に示すように配線 204 及び配線 216 の間には絶縁膜 102、絶縁膜 108 及び絶縁膜 118 を有していることにより、配線が交差する部分における寄生容量を低減することができる。この結果、該寄生容量による信号遅延を低減することができる。

【0260】

なお、本実施の形態において、チャネルなどにおいて、酸化物半導体膜を用いた場合の例を示したが、本発明の実施形態の一態様は、これに限定されない。例えば、チャネルやその近傍、ソース領域、ドレイン領域などにおいて、場合によっては、または、状況に応じて、Si（シリコン）、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、などを有する材料で形成してもよい。

【0261】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせる用いることができる。

【0262】

（実施の形態 2）

本実施の形態では、本発明の一態様の半導体装置に含まれる酸化物半導体の構造について説明する。

【0263】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）、多結晶酸化物半導体、nc-OS（nanocrystalline Oxide Semiconductor）、擬似非晶質酸化物半導体（a-like OS：amorphous like Oxide Semiconductor）、非晶質酸化物半導体などがある。

【0264】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OS などがある。

【0265】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

【0266】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質（completely amorphous）酸化物半導体と呼ぶことはできない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆（ボイドともいう。）を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

【0267】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0268】

CAAC-OSは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一つである。

【0269】

透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0270】

以下では、TEMによって観察したCAAC-OSについて説明する。図20（A）に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

【0271】

図20（A）の領域（1）を拡大したCs補正高分解能TEM像を図20（B）に示す。図20（B）より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0272】

図20（B）に示すように、CAAC-OSは特徴的な原子配列を有する。図20（C）は、特徴的な原子配列を、補助線で示したものである。図20（B）および図20（C）より、ペレット一つの大きさは1nm以上のものや、3nm以上のものがあり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶（nc：nanocrystal）と呼ぶこともできる。また、CAAC-OSを、CANC（C-Axis Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0273】

ここで、Cs補正高分解能TEM像をもとに、基板6120上のCAAC-OSのペレット6100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる（図20（D）参照。）。図20（C）で観察されたペレットとペレットとの間で傾きが生じている箇所は、図20（D）に示す領域6161に相当する。

【0274】

また、図21（A）に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図21（A）の領域（1）、領域（2）および領域（3）を拡大したCs補正高分解能TEM像を、それぞれ図21（B）、図21（C）および図21（D）に示す。図21（B）、図21（C）および図21（D）より、ペレットは

、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

【0275】

次に、X線回折（XRD：X-Ray Diffraction）によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、out-of-plane法による構造解析を行うと、図22（A）に示すように回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-Osの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0276】

なお、CAAC-Osのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-Os中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-Osは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

【0277】

一方、CAAC-Osに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の（110）面に帰属される。CAAC-Osの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸（φ軸）として試料を回転させながら分析（φスキャン）を行っても、図22（B）に示すように明瞭なピークは現れない。これに対し、InGaZnO₄の単結晶酸化物半導体であれば、2θを56°近傍に固定してφスキャンした場合、図22（C）に示すように（110）面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-Osは、a軸およびb軸の配向が不規則であることが確認できる。

【0278】

次に、電子回折によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、試料面に平行にプローブ径が300nmの電子線を入射させると、図23（A）に示すような回折パターン（制限視野透過電子回折パターンともいう。）が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の（009）面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-Osに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図23（B）に示す。図23（B）より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-Osに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図23（B）における第1リングは、InGaZnO₄の結晶の（010）面および（100）面などに起因すると考えられる。また、図23（B）における第2リングは（110）面などに起因すると考えられる。

【0279】

上述したように、CAAC-Osは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-Osは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【0280】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

10

20

30

40

50

【0281】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0282】

不純物および酸素欠損の少ないCAAC-Osは、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-Osは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

10

【0283】

<nc-Os>

次に、nc-Osについて説明する。

【0284】

nc-Osは、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-Osに含まれる結晶部は、1nm以上10nm以下、または1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。nc-Osは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-Osにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-Osの結晶部をペレットと呼ぶ場合がある。

20

【0285】

nc-Osは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、a-like Osや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-Osに対し、ペレットよりも大きい径のX線を用いた場合、out-of-plane法による解析では、結晶面を示すピークは検出されない。また、nc-Osに対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、nc-Osに対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-Osに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

30

【0286】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-Osを、RANC (Random Aligned nanocrystals) を有する酸化物半導体、またはNANC (Non-Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

40

【0287】

nc-Osは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-Osは、a-like Osや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-Osは、CAAC-Osと比べて欠陥準位密度が高くなる。

【0288】

<a-like Os>

50

a-l i k e O S は、n c-O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0289】

a-l i k e O S は、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0290】

鬆を有するため、a-l i k e O S は、不安定な構造である。以下では、a-l i k e O S が、C A A C-O S および n c-O S と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

10

【0291】

電子照射を行う試料として、a-l i k e O S (試料Aと表記する。)、n c-O S (試料Bと表記する。) および C A A C-O S (試料Cと表記する。) を準備する。いずれの試料も I n-G a-Z n 酸化物である。

【0292】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0293】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、I n G a Z n O₄ の結晶の単位格子は、I n-O 層を3層有し、また G a-Z n-O 層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、I n G a Z n O₄ の結晶部と見なすことができる。なお、格子縞は、I n G a Z n O₄ の結晶のa-b面に対応する。

20

【0294】

図24は、各試料の結晶部(22箇所から45箇所)の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図24より、a-l i k e O S は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図24中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、n c-O S および C A A C-O S は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図24中の(2)および(3)で示すように、電子の累積照射量によらず、n c-O S および C A A C-O S の結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

30

【0295】

このように、a-l i k e O S は、電子照射によって結晶部の成長が見られる場合がある。一方、n c-O S および C A A C-O S は、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-l i k e O S は、n c-O S および C A A C-O S と比べて、不安定な構造であることがわかる。

40

【0296】

また、鬆を有するため、a-l i k e O S は、n c-O S および C A A C-O S と比べて密度の低い構造である。具体的には、a-l i k e O S の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、n c-O S の密度および C A A C-O S の密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0297】

例えば、I n : G a : Z n = 1 : 1 : 1 [原子数比] を満たす酸化物半導体において、

50

菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、 a-like OS の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、 nc-OS の密度および CAAC-OS の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0298】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

10

【0299】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、 a-like OS 、 nc-OS 、 CAAC-OS のうち、二種以上を有する積層膜であってもよい。

【0300】

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせる用いることができる。

【0301】

20

(実施の形態3)

本実施の形態では、 CAAC-OS 及び nc-OS の成膜モデルについて説明する。

【0302】

図46(A)は、スパッタリング法により CAAC-OS が成膜される様子を示した成膜室内の模式図である。

【0303】

ターゲット630は、バックングプレート上に接着されている。ターゲット630およびバックングプレート下には、複数のマグネットが配置される。該複数のマグネットによって、ターゲット630上には磁場が生じている。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

30

【0304】

ターゲット630は、多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。なお、劈開面の詳細については後述する。

【0305】

基板620は、ターゲット630と向かい合うように配置しており、その距離 d (ターゲットー基板間距離 (T-S間距離) ともいう。) は 0.01 m 以上 1 m 以下、好ましくは 0.02 m 以上 0.5 m 以下とする。成膜室内は、ほとんどが成膜ガス (例えば、酸素、アルゴン、または酸素を50体積%以上の割合で含む混合ガス) で満たされ、 0.01 Pa 以上 100 Pa 以下、好ましくは 0.1 Pa 以上 10 Pa 以下に制御される。ここで、ターゲット630に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット630上の磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン601が生じる。イオン601は、例えば、酸素の陽イオン (O^+) やアルゴンの陽イオン (Ar^+) などである。

40

【0306】

イオン601は、電界によってターゲット630側に加速され、やがてターゲット630と衝突する。このとき、劈開面から平板状又はペレット状のスパッタ粒子であるペレット600aおよびペレット600bが剥離し、叩き出される。なお、ペレット600aおよびペレット600bは、イオン601の衝突の衝撃によって、構造に歪みが生じる場合がある。

50

【0307】

ペレット600aは、三角形、例えば正三角形の平面を有する平板状又はペレット状のスパッタ粒子である。また、ペレット600bは、六角形、例えば正六角形の平面を有する平板状又はペレット状のスパッタ粒子である。なお、ペレット600aおよびペレット600bなどの平板状又はペレット状のスパッタ粒子を総称してペレット600と呼ぶ。ペレット600の平面の形状は、三角形、六角形に限定されない、例えば、三角形が2個以上6個以下合わさった形状となる場合がある。例えば、三角形（正三角形）が2個合わさった四角形（ひし形）となる場合もある。

【0308】

ペレット600は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット600の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。

10

【0309】

ペレット600は、プラズマを通過する際に電荷を受け取ることで、側面が負または正に帯電する場合がある。ペレット600は、側面に酸素原子を有し、当該酸素原子が負に帯電する可能性がある。例えば、ペレット600aが、側面に負に帯電した酸素原子を有する例を図48に示す。このように、側面が同じ極性の電荷を帯びることにより、電荷同士の反発が起こり、平板状の形状を維持することが可能となる。なお、 C A A C - O S が、 I n - G a - Z n 酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する可能性がある。

20

【0310】

図46(A)に示すように、例えば、ペレット600は、プラズマ中を風のよう飛翔し、ひらひらと基板620上まで舞い上がっていく。ペレット600は電荷を帯びているため、ほかのペレット600が既に堆積している領域が近づくと、斥力が生じる。ここで、基板620の上面では、基板620の上面に平行な向きの磁場が生じている。また、基板620およびターゲット630間には、電位差が与えられているため、基板620からターゲット630に向けて電流が流れている。したがって、ペレット600は、基板620の上面において、磁場および電流の作用によって、力（ローレンツ力）を受ける（図49参照）。このことは、フレミングの左手の法則によって理解できる。なお、ペレット600に与える力を大きくするためには、基板620の上面において、基板620の上面に平行な向きの磁場が10G以上、好ましくは20G以上、さらに好ましくは30G以上、より好ましくは50G以上となる領域を設けるとよい。または、基板620の上面において、基板620の上面に平行な向きの磁場が、基板620の上面に垂直な向きの磁場の1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上、より好ましくは5倍以上となる領域を設けるとよい。

30

【0311】

また、基板620は加熱されており、ペレット600と基板620との間で摩擦などの抵抗が小さい状態となっている。その結果、図50(A)に示すように、ペレット600は、基板620の上面を滑空するように移動する。ペレット600の移動は、平板面を基板620に向けた状態で起こる。その後、図50(B)に示すように、既に堆積しているほかのペレット600の側面まで到達すると、側面同士が結合する。このとき、ペレット600の側面にある酸素原子が脱離する。脱離した酸素原子によって、 C A A C - O S 中の酸素欠損が埋まる場合があるため、欠陥準位密度の低い C A A C - O S となる。

40

【0312】

また、ペレット600が基板620上で加熱されることにより、原子が再配列し、イオン601の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット600は、ほぼ単結晶となる。ペレット600がほぼ単結晶となることにより、ペレット600同士が結合した後に加熱されたとしても、ペレット600自体の伸縮はほとんど起こり得ない。したがって、ペレット600間の隙間が広がることで結晶粒界などの欠陥を形成し、ク

50

レバス化することがない。また、隙間には、伸縮性のある金属原子などが敷き詰められ、向きのずれたペレット 600 同士の側面を高速道路のように繋いでいると考えられる。

【0313】

以上のようなモデルにより、ペレット 600 が基板 620 上に堆積していくと考えられる。したがって、エピタキシャル成長とは異なり、被形成面が結晶構造を有さない場合においても、CAAC-Os の成膜が可能であることがわかる。例えば、基板 620 の上面（被形成面）の構造が非晶質構造であっても、CAAC-Os を成膜することは可能である。

【0314】

また、CAAC-Os は、平坦面に対してだけでなく、被形成面である基板 620 の上面に凹凸がある場合でも、その形状に沿ってペレット 600 が配列することがわかる。例えば、基板 620 の上面が原子レベルで平坦な場合、ペレット 600 は a b 面と平行な平面である平板面を下に向けて並置するため、厚さが均一で平坦、かつ高い結晶性を有する層が形成される。そして、当該層が n 段（n は自然数。）積み重なることで、CAAC-Os を得ることができる（図 46（B）参照。）。 10

【0315】

一方、基板 620 の上面が凹凸を有する場合でも、CAAC-Os は、ペレット 600 が凸面に沿って並置した層が n 段（n は自然数。）積み重なった構造となる。基板 620 が凹凸を有するため、CAAC-Os は、ペレット 600 間に隙間が生じやすい場合がある。ただし、ペレット 600 間で分子間力が働き、凹凸があってもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があっても高い結晶性を有する CAAC-Os とすることができる（図 46（C）参照。）。 20

【0316】

したがって、CAAC-Os は、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。

【0317】

このようなモデルによって CAAC-Os が成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板 620 上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。 30

【0318】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有する CAAC-Os を得ることができる。

【0319】

また、CAAC-Os は、ペレット 600 のほかに酸化亜鉛粒子を有する成膜モデルによっても説明することができる。

【0320】

酸化亜鉛粒子は、ペレット 600 よりも質量が小さいため、先に基板 620 に到達する。基板 620 の上面において、酸化亜鉛粒子は、水平方向に優先的に結晶成長することで薄い酸化亜鉛層を形成する。該酸化亜鉛層は、c 軸配向性を有する。なお、該酸化亜鉛層の結晶の c 軸は、基板 620 の法線ベクトルに平行な方向を向く。該酸化亜鉛層は、CAAC-Os を成長させるためのシード層の役割を果たすため、CAAC-Os の結晶性を高める機能を有する。なお、該酸化亜鉛層は、厚さが 0.1 nm 以上 5 nm 以下、ほとんどが 1 nm 以上 3 nm 以下となる。該酸化亜鉛層は十分薄いため、結晶粒界をほとんど確認することができない。 40

【0321】

したがって、結晶性の高い CAAC-Os を成膜するためには、化学量論的組成よりも高い割合で亜鉛を含むターゲットを用いることが好ましい。

【0322】

同様に、nc-Os は、図 47 に示す成膜モデルによって理解することができる。なお 50

、図47と図46(A)との違いは、基板620の加熱の有無のみである。

【0323】

したがって、基板620は加熱されておらず、ペレット600と基板620との間で摩擦などの抵抗が大きい状態となっている。その結果、ペレット600は、基板620の上面を滑空するように移動することができないため、不規則に降り積もっていくことでnc-Osを得ることができる。

【0324】

<劈開面>

以下では、CAAC-Osの成膜モデルにおいて記載のターゲットの劈開面について説明する。

10

【0325】

まずは、ターゲットの劈開面について図51を用いて説明する。図51に、InGaZnO₄の結晶の構造を示す。なお、図51(A)は、c軸を上向きとし、b軸に平行な方向からInGaZnO₄の結晶を観察した場合の構造を示す。また、図51(B)は、c軸に平行な方向からInGaZnO₄の結晶を観察した場合の構造を示す。

【0326】

InGaZnO₄の結晶の各結晶面における劈開に必要なエネルギーを、第一原理計算により算出する。なお、計算には、擬ポテンシャルと、平面波基底を用いた密度汎関数プログラム(CASTEP)を用いる。なお、擬ポテンシャルには、ウルトラソフト型の擬ポテンシャルを用いる。また、汎関数には、GGA-PBEを用いる。また、カットオフエネルギーは400eVとする。

20

【0327】

初期状態における構造のエネルギーは、セルサイズを含めた構造最適化を行った後に導出する。また、各面で劈開後の構造のエネルギーは、セルサイズを固定した状態で、原子配置の構造最適化を行った後に導出する。

【0328】

図51に示したInGaZnO₄の結晶の構造をもとに、第1の面、第2の面、第3の面、第4の面のいずれかで劈開した構造を作製し、セルサイズを固定した構造最適化計算を行う。ここで、第1の面は、Ga-Zn-O層とIn-O層との間の結晶面であり、(001)面(またはab面)に平行な結晶面である(図51(A)参照。)。第2の面は、Ga-Zn-O層とGa-Zn-O層との間の結晶面であり、(001)面(またはab面)に平行な結晶面である(図51(A)参照。)。第3の面は、(110)面に平行な結晶面である(図51(B)参照。)。第4の面は、(100)面(またはbc面)に平行な結晶面である(図51(B)参照。))。

30

【0329】

以上のような条件で、各面で劈開後の構造のエネルギーを算出する。次に、劈開後の構造のエネルギーと初期状態における構造のエネルギーとの差を、劈開面の面積で除すことで、各面における劈開しやすさの尺度である劈開エネルギーを算出する。なお、構造のエネルギーは、構造に含まれる原子と電子に対して、電子の運動エネルギーと、原子間、原子-電子間、および電子間の相互作用と、を考慮したエネルギーである。

40

【0330】

計算の結果、第1の面の劈開エネルギーは2.60J/m²、第2の面の劈開エネルギーは0.68J/m²、第3の面の劈開エネルギーは2.18J/m²、第4の面の劈開エネルギーは2.12J/m²であることがわかった(下表参照。))。

【0331】

【表 3】

劈開エネルギー [J/m^2]

第1の面	2.60
第2の面	0.68
第3の面	2.18
第4の面	2.12

10

【0332】

この計算により、図51に示した InGaZnO_4 の結晶の構造において、第2の面における劈開エネルギーが最も低くなる。即ち、 Ga-Zn-O 層と Ga-Zn-O 層との間が最も劈開しやすい面（劈開面）であることがわかる。したがって、本明細書において、劈開面と記載する場合、最も劈開しやすい面である第2の面のことを示す。

【0333】

Ga-Zn-O 層と Ga-Zn-O 層との間である第2の面に劈開面を有するため、図51(A)に示す InGaZnO_4 の結晶は、二つの第2の面と等価な面で分離することができる。したがって、ターゲットにイオンなどを衝突させる場合、もっとも劈開エネルギーの低い面で劈開したウェハース状のユニット（我々はこれをペレットと呼ぶ。）が最小単位となって飛び出してくると思われる。その場合、 InGaZnO_4 のペレットは、 Ga-Zn-O 層、 In-O 層および Ga-Zn-O 層の3層となる。

20

【0334】

また、第1の面（ Ga-Zn-O 層と In-O 層との間の結晶面であり、(001)面（またはab面）に平行な結晶面）よりも、第3の面（(110)面に平行な結晶面）、第4の面（(100)面（またはbc面）に平行な結晶面）の劈開エネルギーが低いことから、ペレットの平面形状は三角形または六角形状が多いことが示唆される。

【0335】

次に、古典分子動力学計算により、ターゲットとしてホモログス構造を有する InGaZnO_4 の結晶を仮定し、当該ターゲットをアルゴン（Ar）または酸素（O）によりスパッタした場合の劈開面について評価する。計算に用いた InGaZnO_4 の結晶（2688原子）の断面構造を図52(A)に、上面構造を図52(B)に示す。なお、図52(A)に示す固定層は、位置が変動しないよう原子の配置を固定した層である。また、図52(A)に示す温度制御層は、常に一定の温度（300K）とした層である。

30

【0336】

古典分子動力学計算には、富士通株式会社製Materials Explorer 5.0を用いる。なお、初期温度を300K、セルサイズを一定、時間刻み幅を0.01フェムト秒、ステップ数を1000万回とする。計算では、当該条件のもと、原子に300eVのエネルギーを与え、 InGaZnO_4 の結晶のab面に垂直な方向からセルに原子を入射させる。

40

【0337】

図53(A)は、図52に示した InGaZnO_4 の結晶を有するセルにアルゴンが入射してから99.9ピコ秒（psec）後の原子配列を示す。また、図53(B)は、セルに酸素が入射してから99.9ピコ秒後の原子配列を示す。なお、図53では、図52(A)に示した固定層の一部を省略して示す。

【0338】

図53(A)より、アルゴンがセルに入射してから99.9ピコ秒までに、図51(A)に示した第2の面に対応する劈開面から亀裂が生じる。したがって、 InGaZnO_4 の結晶に、アルゴンが衝突した場合、最上面を第2の面（0番目）とすると、第2の面（

50

2 番目) に大きな亀裂が生じることがわかる。

【0339】

一方、図53 (B) より、酸素がセルに入射してから99.9ピコ秒までに、図51 (A) に示した第2の面に対応する劈開面から亀裂が生じることがわかる。ただし、酸素が衝突した場合は、 InGaZnO_4 の結晶の第2の面 (1 番目) において大きな亀裂が生じることがわかる。

【0340】

したがって、ホモロガス構造を有する InGaZnO_4 の結晶を含むターゲットの上面から原子 (イオン) が衝突すると、 InGaZnO_4 の結晶は第2の面に沿って劈開し、平板状の粒子 (ペレット) が剥離することがわかる。また、このとき、ペレットの大きさは、アルゴンを衝突させた場合よりも、酸素を衝突させた場合の方が小さくなることをわかる。

10

【0341】

なお、上述の計算から、剥離したペレットは損傷領域を含むことが示唆される。ペレットに含まれる損傷領域は、損傷によって生じた欠陥に酸素を反応させることで修復できる場合がある。

【0342】

そこで、衝突させる原子の違いによって、ペレットの大きさが異なることについて調査する。

【0343】

20

図54 (A) に、図52 に示した InGaZnO_4 の結晶を有するセルにアルゴンが入射した後、0ピコ秒から0.3ピコ秒までにおける各原子の軌跡を示す。したがって、図54 (A) は、図52 から図53 (A) の間の期間に対応する。

【0344】

図54 (A) より、アルゴンが第1層 (Ga-Zn-O層) のガリウム (Ga) と衝突すると、当該ガリウムが第3層 (Ga-Zn-O層) の亜鉛 (Zn) と衝突した後、当該亜鉛が第6層 (Ga-Zn-O層) の近傍まで到達することがわかる。なお、ガリウムと衝突したアルゴンは、外に弾き飛ばされる。したがって、 InGaZnO_4 の結晶を含むターゲットにアルゴンを衝突させた場合、図52 (A) における第2の面 (2 番目) に亀裂が入ると考えられる。

30

【0345】

また、図54 (B) に、図52 に示した InGaZnO_4 の結晶を有するセルに酸素が入射した後、0ピコ秒から0.3ピコ秒までにおける各原子の軌跡を示す。したがって、図54 (B) は、図52 から図53 (A) の間の期間に対応する。

【0346】

一方、図54 (B) より、酸素が第1層 (Ga-Zn-O層) のガリウム (Ga) と衝突すると、当該ガリウムが第3層 (Ga-Zn-O層) の亜鉛 (Zn) と衝突した後、当該亜鉛が第5層 (In-O層) まで到達しないことがわかる。なお、ガリウムと衝突した酸素は、外に弾き飛ばされる。したがって、 InGaZnO_4 の結晶を含むターゲットに酸素を衝突させた場合、図52 (A) における第2の面 (1 番目) に亀裂が入ると考えられる。

40

【0347】

本計算からも、 InGaZnO_4 の結晶は、原子 (イオン) が衝突した場合、劈開面から剥離することが示唆される。

【0348】

また、亀裂の深さの違いを保存則の観点から検討する。エネルギー保存則および運動量保存則は、数式4および数式5のように示すことができる。ここで、 E は衝突前のアルゴンまたは酸素の持つエネルギー (300 eV)、 m_A はアルゴンまたは酸素の質量、 v_A は衝突前のアルゴンまたは酸素の速度、 v'_A は衝突後のアルゴンまたは酸素の速度、 m_{Ga} はガリウムの質量、 v_{Ga} は衝突前のガリウムの速度、 v'_{Ga} は衝突後のガリウム

50

の速度である。

【0349】

【数4】

$$E = \frac{1}{2} m_A v_A^2 + \frac{1}{2} m_{Ga} v_{Ga}^2$$

【0350】

【数5】

$$m_A v_A + m_{Ga} v_{Ga} = m'_A v'_A + m'_{Ga} v'_{Ga}$$

【0351】

アルゴンまたは酸素の衝突が弾性衝突であると仮定すると、 v_A 、 v'_A 、 v_{Ga} および v'_{Ga} の関係は数式6のように表すことができる。

【0352】

【数6】

$$v'_A - v'_{Ga} = -(v_A - v_{Ga})$$

【0353】

数式4、数式5および数式6より、 v_{Ga} を0とすると、アルゴンまたは酸素が衝突した後のガリウムの速度 v'_{Ga} は、数式7のように表すことができる。

【0354】

【数7】

$$v'_{Ga} = \frac{\sqrt{m_A}}{m_A + m_{Ga}} \cdot 2\sqrt{2E}$$

【0355】

数式7において、 m_A にアルゴンの質量または酸素の質量を代入し、それぞれの原子が衝突した後のガリウムの速度を比較する。アルゴンおよび酸素の衝突前に持つエネルギーが同じである場合、アルゴンが衝突した場合の方が、酸素が衝突した場合よりも1.24倍ガリウムの速度が高いことがわかる。したがって、ガリウムの持つエネルギーもアルゴンが衝突した場合の方が、酸素が衝突した場合よりも速度の二乗分だけ高くなる。

【0356】

アルゴンを衝突させた場合の方が、酸素を衝突させた場合よりも、衝突後のガリウムの速度（エネルギー）が高くなることがわかる。したがって、アルゴンを衝突させた場合の方が、酸素を衝突させた場合よりも深い位置に亀裂が生じたと考えられる。

【0357】

以上の計算により、ホモガス構造を有する InGaZnO_4 の結晶を含むターゲットをスパッタすると、劈開面から剥離し、ペレットが形成されることがわかる。一方、劈開面を有さないターゲットの他の構造の領域をスパッタしてもペレットは形成されず、ペレットよりも微細な原子レベルの大きさのスパッタ粒子が形成される。該スパッタ粒子は、ペレットと比べて小さいため、スパッタリング装置に接続されている真空ポンプを介して排気されると考えられる。したがって、ホモガス構造を有する InGaZnO_4 の結晶を含むターゲットをスパッタした場合、様々な大きさ、形状の粒子が基板まで飛翔し、堆積することで成膜されるモデルは考えにくい。スパッタされたペレットが堆積してCAA

10

20

30

40

50

C-O-Sを成膜する図46(A)などに記載のモデルが道理に適っている。

【0358】

このようにして成膜されたCAAC-O-Sの密度は、単結晶OSと同程度の密度を有する。例えば、 InGaZnO_4 のホモガス構造を有する単結晶OSの密度は 6.36 g/cm^3 であるのに対し、同程度の原子数比であるCAAC-O-Sの密度は 6.3 g/cm^3 程度となる。

【0359】

図55に、スパッタリング法で成膜したCAAC-O-SであるIn-Ga-Zn酸化物(図55(A)参照。)、およびそのターゲット(図55(B)参照。)の断面における原子配列を示す。原子配列の観察には、高角散乱環状暗視野走査透過電子顕微鏡法(HAADF-STEM: High-Angle Annular Dark Field Scanning Transmission Electron Microscopy)を用いる。なお、HAADF-STEMでは、各原子の像強度は原子番号の二乗に比例する。したがって、原子番号の近いZn(原子番号30)とGa(原子番号31)とは、ほとんど区別できない。HAADF-STEMには、日立走査透過電子顕微鏡HD-2700を用いる。

10

【0360】

図55(A)および図55(B)を比較すると、CAAC-O-Sと、ターゲットは、ともにホモガス構造を有しており、それぞれの原子の配置が対応していることがわかる。したがって、図46(A)などの成膜モデルに示したように、ターゲットの結晶構造が転写されることでCAAC-O-Sが成膜されることがわかる。

20

【0361】

(実施の形態4)

本実施の形態では、本発明の一態様の半導体装置を用いる発光装置の一態様について説明する。なお、本実施の形態では、発光装置の画素部の構成について、図25(A)、(B)を用いて説明する。

【0362】

図25(A)では、第1の基板502上に複数のFET500が形成されており、各FET500は、各発光素子(504R、504G、504B、504W)と電氣的に接続されている。具体的には、各FET500と発光素子が有する第1の導電膜506と電氣的に接続されている。なお、各発光素子(504R、504G、504B、504W)は、第1の導電膜506、第2の導電膜507、EL層510、及び第3の導電膜512によって構成される。

30

【0363】

また、各発光素子(504R、504G、504B、504W)に対向する位置に、着色層(514R、514G、514B、514W)がそれぞれ設けられている。なお、着色層(514R、514G、514B、514W)としては、第2の基板516に接して設けられている。また、第1の基板502と第2の基板516との間には封止膜518が設けられている。封止膜518としては、例えば、ガラスフリットなどのガラス材料や、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などの樹脂材料を用いることができる。

40

【0364】

また、隣り合う第1の導電膜506及び第2の導電膜507の端部を覆うように隔壁508が設けられている。また、隔壁508上には、構造体509が設けられている。なお、第1の導電膜506は、反射電極としての機能と、発光素子の陽極としての機能を有する。また、第2の導電膜507は、各発光素子の光路長を調整する機能を有する。また、第2の導電膜507上には、EL層510が形成されており、EL層510上には、第3の導電膜512が形成されている。また、第3の導電膜512は、半透過・半反射電極として機能と、発光素子の陰極としての機能を有する。また、構造体509は、発光素子と着色層の間に設けられ、スペーサとしての機能を有する。

50

【0365】

また、E L層510については、各発光素子（504R、504G、504B、504W）で共通して用いることができる。なお、各発光素子（504R、504G、504B、504W）は、第1の導電膜506と第3の導電膜512によってE L層510からの発光を共振させる微小光共振器（マイクロキャビティともいう）構造を有しており、同じE L層510を有していても異なる波長の光のスペクトルを狭線化して取り出すことができる。具体的には、各発光素子（504R、504G、504B、504W）は、E L層510の下方に設けられる第2の導電膜507の膜厚をそれぞれ調整することによって、E L層510から得られるスペクトルを所望の発光スペクトルとし、色純度の良い発光を得ることができる。したがって、図25（A）に示す構成とすることにより、E L層の塗り分けの工程が不要となり、高精細化を実現することが容易となる。

10

【0366】

また、図25（A）に示す発光装置は、着色層（カラーフィルター）を有する。したがって、マイクロキャビティ構造とカラーフィルターとを組み合わせることで、さらに色純度の良い発光を得ることができる。具体的には、発光素子504Rは、赤色発光が得られるように発光素子の光路長が調整されており、着色層514Rを通して矢印の方向に赤色の光が射出される。また、発光素子504Gは、緑色発光が得られるように発光素子の光路長が調整されており、着色層514Gを通して矢印の方向に緑色の光が射出される。また、発光素子504Bは、青色発光が得られるように発光素子の光路長が調整されており、着色層514Bを通して矢印の方向に青色の光が射出される。また、発光素子504Wは、白色発光が得られるように発光素子の光路長が調整されており、着色層514Wを通して矢印の方向に白色の光が射出される。

20

【0367】

なお、各発光素子の光路長の調整方法については、これに限定されない。例えば、各発光素子において、E L層510の膜厚を調整して光路長を調整してもよい。

【0368】

また、着色層（514R、514G、514B）としては、特定の波長帯域の光を透過する機能を有していればよく、例えば、赤色の波長帯域の光を透過する赤色（R）のカラーフィルター、緑色の波長帯域の光を透過する緑色（G）のカラーフィルター、青色の波長帯域の光を透過する青色（B）のカラーフィルターなどを用いることができる。また、着色層514Wとしては、例えば、顔料等を含まないアクリル系の樹脂材料等を用いればよい。着色層（514R、514G、514B、514W）としては、様々な材料を用いて、印刷法、インクジェット法、フォトリソグラフィ技術を用いたエッチング方法などで形成することができる。

30

【0369】

第1の導電膜506としては、例えば、反射率が高い（可視光の反射率が40%以上100%以下、好ましくは70%以上100%以下）金属膜を用いることができる。第1の導電膜506としては、アルミニウム、銀、または、これらの金属材料を含む合金（例えば、銀とパラジウムと銅の合金）を、単層または積層して形成することができる。

【0370】

また、第2の導電膜507としては、例えば、導電性の金属酸化物を用いて形成することができる。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、インジウムスズ酸化物（Indium Tin Oxide、ITOともいう）、インジウム亜鉛酸化物（Indium Zinc Oxide）、またはこれらの金属酸化物材料に酸化シリコン、酸化タングステンを含ませたものを用いることができる。第2の導電膜507を設けることによって、後に形成されるE L層510と第1の導電膜506との間に形成される絶縁膜の生成を抑制することができるので好適である。また、第1の導電膜506の下層に、第2の導電膜507として用いる導電性の金属酸化物を形成してもよい。

40

【0371】

また、第3の導電膜512としては、反射性を有する導電性材料と透光性を有する導電

50

性材料とにより形成され、可視光の反射率が20%以上80%以下、好ましくは40%以上70%以下であると好ましい。第3の導電膜512としては、例えば、銀、マグネシウム、またはこれらの金属材料を含む合金等を薄く（例えば、10nm以下）形成し、その後、第2の導電膜507に用いることのできる導電性の金属酸化物を形成すればよい。

【0372】

以上に説明した構成においては、第2の基板516側に発光を取り出す構造（トップエミッション構造）の発光装置となるが、FET500が形成されている第1の基板501側に光を取り出す構造（ボトムエミッション構造）、または第1の基板501側及び第2の基板516側の双方に光を取り出す構造（デュアルエミッション構造）の発光装置としても良い。ボトムエミッション構造の場合、例えば、着色層（514R、514G、514B、514W）を第1の導電膜506の下方に形成する構成とすればよい。なお、光を射出する側の基板には、透光性の基板を用いればよく、光を射出しない側の基板には、透光性の基板及び遮光性の基板を用いることができる。

10

【0373】

また、図25（A）においては、発光素子が4色（赤（R）、緑（G）、青（B）、白（W））の構成について例示したが、これに限定されない。例えば、発光素子が3色（赤（R）、緑（G）、青（B））の構成としてもよい。

【0374】

ここで、各発光素子と各FETの接続関係について、図25（B）を用いて詳細に説明する。なお、図25（B）は、図25（A）に示す破線で囲まれた領域520の構成の一例である。

20

【0375】

図25（B）では、FET500上に平坦化膜として機能する絶縁膜522が形成されている。また、絶縁膜522には、FET500のソース電極またはドレイン電極として機能する導電膜に達する開口部524が形成されている。また、絶縁膜522上には、FET500のソース電極またはドレイン電極として機能する導電膜に接続される第1の導電膜506が形成されている。また、第1の導電膜506上には、第2の導電膜507が形成されている。

【0376】

また、FET500としては、先の実施の形態に示すトランジスタ150と同様の構成のため、ここでの説明は省略する。

30

【0377】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができる。

【0378】

（実施の形態5）

本実施の形態においては、先の実施の形態で例示したトランジスタ及び容量素子を用いた表示装置の一例について、図26乃至図28を用いて以下説明を行う。

【0379】

図26は、表示装置の一例を示す上面図である。図26に示す表示装置700は、第1の基板701上に設けられた画素部702と、第1の基板701に設けられたソースドライバ回路部704及びゲートドライバ回路部706と、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706を囲むように配置されるシール材712と、第1の基板701に対向するように設けられる第2の基板705と、を有する。なお、第1の基板701と第2の基板705は、シール材712によって封止されている。すなわち、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706は、第1の基板701とシール材712と第2の基板705によって封止されている。なお、図26には図示しないが、第1の基板701と第2の基板705の間には表示素子が設けられる。

40

【0380】

50

また、表示装置700は、第1の基板701上のシール材712によって囲まれている領域とは異なる領域に、画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706と電氣的に接続されるFPC端子部708（FPC：Flexible printed circuit）が設けられる。また、FPC端子部708には、FPC716が接続され、FPC716によって画素部702、ソースドライバ回路部704、及びゲートドライバ回路部706に各種信号等が供給される。また、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びFPC端子部708には、信号線710が各々接続されている。FPC716により供給される各種信号等は、信号線710を介して、画素部702、ソースドライバ回路部704、ゲートドライバ回路部706、及びFPC端子部708に与えられる。

10

【0381】

また、表示装置700にゲートドライバ回路部706を複数設けてもよい。また、表示装置700としては、ソースドライバ回路部704、及びゲートドライバ回路部706を画素部702と同じ第1の基板701に形成している例を示しているが、この構成に限定されない。例えば、ゲートドライバ回路部706のみを第1の基板701に形成しても良い、またはソースドライバ回路部704のみを第1の基板701に形成しても良い。この場合、ソースドライバ回路またはゲートドライバ回路等が形成された基板（例えば、単結晶半導体膜、多結晶半導体膜で形成された駆動回路基板）を、第1の基板701に実装する構成としても良い。なお、別途形成した駆動回路基板の接続方法は、特に限定されるものではなく、COG（Chip On Glass）方法、ワイヤボンディング方法など

20

【0382】

また、表示装置700が有する画素部702、ソースドライバ回路部704及びゲートドライバ回路部706は、複数のトランジスタを有しており、本発明の一態様の半導体装置であるトランジスタを適用することができる。また、画素部702においては、本発明の一態様の半導体装置であるトランジスタ及び容量素子を適用することができる。

【0383】

また、表示装置700は、様々な素子を有することができる。該素子は、例えば、液晶素子、EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、MIRASOL（登録商標）、IMOD（インターフェアレンス・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）またはSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インクまたは電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設け

30

40

50

ることも可能である。これにより、さらに、消費電力を低減することができる。

【0384】

なお、表示装置700における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、Rの画素とGの画素とBの画素とW（白）の画素の四画素から構成されてもよい。または、ペンタイル配列のように、RGBのうちの2色分で一つの色要素を構成し、色要素によって、異なる2色を選択して構成してもよい。またはRGBに、イエロー、シアン、マゼンタ等を一色以上追加してもよい。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

10

【0385】

本実施の形態においては、表示素子として液晶素子及びEL素子を用いる構成について、図27及び図28を用いて説明する。なお、図27は、図26に示す一点鎖線Q-Rにおける断面図であり、表示素子として液晶素子を用いた構成である。また、図28は、図26に示す一点鎖線Q-Rにおける断面図であり、表示素子としてEL素子を用いた構成である。

【0386】

まず、図27及び図28に示す共通部分について最初に説明し、次に異なる部分について以下説明する。

20

【0387】

<表示装置の共通部分に関する説明>

図27及び図28に示す表示装置700は、引き回し配線部711と、画素部702と、ソースドライバ回路部704と、FPC端子部708と、を有する。また、引き回し配線部711は、信号線710を有する。また、画素部702は、トランジスタ750及び容量素子790を有する。また、ソースドライバ回路部704は、トランジスタ752を有する。

【0388】

トランジスタ750及びトランジスタ752は、先に示すトランジスタ150と同様の構成である。なお、トランジスタ750及びトランジスタ752の構成については、先の実施の形態に示す、その他のトランジスタを用いてもよい。

30

【0389】

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ状態における電流値（オフ電流値）を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

【0390】

また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを液晶表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

40

【0391】

容量素子790は、先に示す容量素子160と同様の構成である。

【0392】

また、図27及び図28において、トランジスタ750、トランジスタ752、及び容量素子790上に、絶縁膜766及び平坦化絶縁膜770が設けられている。

50

【0393】

絶縁膜766としては、先の実施の形態に示す絶縁膜128と、同様の材料及び作製方法により形成することができる。また、平坦化絶縁膜770としては、ポリイミド樹脂、アクリル樹脂、ポリイミドアミド樹脂、ベンゾシクロブテン樹脂、ポリアミド樹脂、エポキシ樹脂等の耐熱性を有する有機材料を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜770を形成してもよい。また、平坦化絶縁膜770を設けない構成としてもよい。

【0394】

また、信号線710は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程で形成される。なお、信号線710は、トランジスタ750、752のソース電極及びドレイン電極と異なる工程で形成された導電膜、例えば第1のゲート電極として機能する導電膜、または第2のゲート電極として機能する導電膜を用いてもよい。信号線710として、例えば、銅元素を含む材料を用いた場合、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となる。

【0395】

また、FPC端子部708は、接続電極760、異方性導電膜780、及びFPC716を有する。なお、接続電極760は、トランジスタ750、752のソース電極及びドレイン電極として機能する導電膜と同じ工程で形成される。また、接続電極760は、FPC716が有する端子と異方性導電膜780を介して、電氣的に接続される。

【0396】

また、第1の基板701及び第2の基板705としては、例えばガラス基板を用いることができる。また、第1の基板701及び第2の基板705として、可撓性を有する基板を用いてもよい。該可撓性を有する基板としては、例えばプラスチック基板等が挙げられる。

【0397】

また、第1の基板701と第2の基板705の間には、構造体778が設けられる。構造体778は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第1の基板701と第2の基板705の間の距離（セルギャップ）を制御するために設けられる。なお、構造体778として、球状のスペーサを用いても良い。

【0398】

また、第2の基板705側には、ブラックマトリクスとして機能する遮光膜738と、カラーフィルターとして機能する着色膜736と、遮光膜738及び着色膜736に接する絶縁膜734が設けられる。

【0399】

<表示素子として液晶素子を用いる表示装置の構成例>

図27に示す表示装置700は、液晶素子775を有する。液晶素子775は、導電膜772、導電膜774、及び液晶層776を有する。導電膜774は、第2の基板705側に設けられ、対向電極としての機能を有する。図27に示す表示装置700は、導電膜772と導電膜774に印加される電圧によって、液晶層776の配向状態が変わることによって光の透過、非透過が制御され画像を表示することができる。

【0400】

また、導電膜772は、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜に接続される。導電膜772は、平坦化絶縁膜770上に形成され画素電極、すなわち表示素子の一方の電極として機能する。また、導電膜772は、反射電極としての機能を有する。図27に示す表示装置700は、外光を利用し導電膜772で光を反射して着色膜736を介して表示する、所謂反射型のカラー液晶表示装置である。

【0401】

導電膜772としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム（In）、亜鉛（Zn）、錫（Sn）の中から選ばれた一種を含む材

10

20

30

40

50

料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。本実施の形態においては、導電膜 772 として、可視光において、反射性のある導電膜を用いる。

【0402】

また、図 27 に示す表示装置 700 においては、画素部 702 の平坦化絶縁膜 770 の一部に凹凸が設けられている。該凹凸は、例えば、平坦化絶縁膜 770 を有機樹脂膜等で形成し、該有機樹脂膜の表面に凹凸を設けることで形成することができる。また、反射電極として機能する導電膜 772 は、上記凹凸に沿って形成される。したがって、外光が導電膜 772 に入射した場合において、導電膜 772 の表面で光を乱反射することが可能となり、視認性を向上させることができる。

10

【0403】

なお、図 27 に示す表示装置 700 は、反射型のカラー液晶表示装置について例示したが、これに限定されない、例えば、導電膜 772 を可視光において、透光性のある導電膜を用いることで透過型のカラー液晶表示装置としてもよい。透過型のカラー液晶表示装置の場合、平坦化絶縁膜 770 に設けられる凹凸については、設けない構成としてもよい。

【0404】

なお、図 27 において図示しないが、導電膜 772、774 の液晶層 776 と接する側に、それぞれ配向膜を設ける構成としてもよい。また、図 27 において図示しないが、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設けてもよい。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

20

【0405】

表示素子として液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0406】

また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために数重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。

30

【0407】

また、表示素子として液晶素子を用いる場合、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

40

【0408】

また、ノーマリブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード

50

、A S Vモードなどを用いることができる。

【0409】

＜表示素子として発光素子を用いる表示装置＞

図28に示す表示装置700は、発光素子782を有する。発光素子782は、導電膜784、E L層786、及び導電膜788を有する。図28に示す表示装置700は、発光素子782が有するE L層786が発光することによって、画像を表示することができる。

【0410】

また、導電膜784は、トランジスタ750が有するソース電極及びドレイン電極として機能する導電膜に接続される。導電膜784は、平坦化絶縁膜770上に形成され画素電極、すなわち表示素子の一方の電極として機能する。導電膜784としては、可視光において透光性のある導電膜、または可視光において反射性のある導電膜を用いることができる。可視光において透光性のある導電膜としては、例えば、インジウム（I n）、亜鉛（Z n）、錫（S n）の中から選ばれた一種を含む材料を用いるとよい。可視光において反射性のある導電膜としては、例えば、アルミニウム、または銀を含む材料を用いるとよい。

【0411】

また、図28に示す表示装置700には、平坦化絶縁膜770及び導電膜784上に絶縁膜730が設けられる。絶縁膜730は、導電膜784の一部を覆う。なお、発光素子782はトップエミッション構造である。したがって、導電膜788は透光性を有し、E L層786が発する光を透過する。なお、本実施の形態においては、トップエミッション構造について、例示するが、これに限定されない。例えば、導電膜784側に光を射出するボトムエミッション構造や、導電膜784及び導電膜788の双方に光を射出するデュアルエミッション構造にも適用することができる。

【0412】

また、発光素子782と重なる位置に、着色膜736が設けられ、絶縁膜730と重なる位置、引き回し配線部711、及びソースドライバ回路部704に遮光膜738が設けられている。また、着色膜736及び遮光膜738は、絶縁膜734で覆われている。また、発光素子782と絶縁膜734の間は封止膜732で充填されている。なお、図28に示す表示装置700においては、着色膜736を設ける構成について例示したが、これに限定されない。例えば、E L層786を塗り分けにより形成する場合においては、着色膜736を設けない構成としてもよい。

【0413】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0414】

（実施の形態6）

本実施の形態では、本発明の一態様に係る表示装置の構成例について説明する。

【0415】

〔構成例〕

図36（A）には、本発明の一態様に係る半導体装置を用いた表示装置の上面図を示す。また、図36（B）には、本発明の一態様に係る半導体装置を用いた表示装置の画素に液晶素子を用いた場合における画素回路を示す。また、図36（C）には、本発明の一態様に係る半導体装置を用いた表示装置の画素に有機E L素子を用いた場合における画素回路を示す。

【0416】

画素に用いるトランジスタは、上述したトランジスタを用いることができる。ここでは、nチャネル型のトランジスタを用いる例を示す。なお、画素に用いたトランジスタと、同一工程を経て作製したトランジスタを駆動回路として用いても構わない。また、画素に用いるトランジスタと駆動回路として用いるトランジスタを作り分けてもよい。例えば、

駆動回路として用いるトランジスタを上述したトランジスタ、画素に用いるトランジスタを上述したトランジスタのゲート電極104aを設けないシングルゲートのトランジスタとしてもよい。また、画素に用いる容量素子は、上述した容量素子を用いることができる。このように、画素や駆動回路に上述したトランジスタ及び容量素子を用いることにより、表示品位が高い、または／及び信頼性の高い表示装置となる。

【0417】

アクティブマトリクス型表示装置の上面図の一例を図36(A)に示す。表示装置の基板5000上には、画素部5001、第1の走査線駆動回路5002、第2の走査線駆動回路5003、信号線駆動回路5004が配置される。画素部5001は、複数の信号線によって信号線駆動回路5004と電氣的に接続され、複数の走査線によって第1の走査線駆動回路5002、及び第2の走査線駆動回路5003と電氣的に接続される。なお、走査線と信号線とによって区切られる領域には、それぞれ表示素子を有する画素が配置されている。また、表示装置の基板5000は、FPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に電氣的に接続されている。

10

【0418】

第1の走査線駆動回路5002、第2の走査線駆動回路5003及び信号線駆動回路5004は、画素部5001と同じ基板5000上に形成される。そのため、駆動回路を別途作製する場合と比べて、表示装置を作製するコストを低減することができる。また、駆動回路を別途作製した場合、配線間の接続数が増える。したがって、同じ基板5000上に駆動回路を設けることで、配線間の接続数を減らすことができ、信頼性の向上、または／及び歩留まりの向上を図ることができる。

20

【0419】

〔液晶表示装置〕

また、画素の回路構成の一例を図36(B)に示す。ここでは、VA型液晶表示装置の画素などに適用することができる画素回路を示す。

【0420】

この画素回路は、一つの画素に複数の画素電極を有する構成に適用できる。それぞれの画素電極は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極に印加する信号を、独立して制御できる。

30

【0421】

トランジスタ5016のゲート配線5012と、トランジスタ5017のゲート配線5013には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極またはドレイン電極5014は、トランジスタ5016とトランジスタ5017で共通に用いられている。トランジスタ5016とトランジスタ5017は上述したトランジスタを適宜用いることができる。また、容量素子5023及び容量素子5029は、上述した容量素子を適宜用いることができる。これにより、表示品位が高い、または／及び信頼性の高い液晶表示装置を提供することができる。

【0422】

40

トランジスタ5016と電氣的に接続する第1の画素電極と、トランジスタ5017と電氣的に接続する第2の画素電極の形状について説明する。第1の画素電極と第2の画素電極の形状は、スリットによって分離されている。第1の画素電極はV字型に広がる形状を有し、第2の画素電極は第1の画素電極の外側を囲むように形成される。

【0423】

トランジスタ5016のゲート電極はゲート配線5012と電氣的に接続され、トランジスタ5017のゲート電極はゲート配線5013と電氣的に接続されている。ゲート配線5012とゲート配線5013に異なるゲート信号を与えてトランジスタ5016とトランジスタ5017の動作タイミングを異ならせ、液晶の配向を制御することができる。

【0424】

50

また、容量配線 5010 と、誘電体として機能するゲート絶縁体と、第 1 の画素電極または第 2 の画素電極と電氣的に接続する容量電極とで容量素子を形成してもよい。

【0425】

マルチドメイン構造は、一画素に第 1 の液晶素子 5018 と第 2 の液晶素子 5019 を備える。第 1 の液晶素子 5018 は第 1 の画素電極と対向電極とその間の液晶層とで構成され、第 2 の液晶素子 5019 は第 2 の画素電極と対向電極とその間の液晶層とで構成される。

【0426】

なお、本発明の一態様に係る表示装置は、図 36 (B) に示す画素回路に限定されない。例えば、図 36 (B) に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサー、または論理回路などを追加してもよい。

10

【0427】

〔発光装置〕

画素の回路構成の他の一例を図 36 (C) に示す。ここでは、有機 EL 素子に代表される発光素子を用いた表示装置（発光装置ともいう。）の画素構造を示す。

【0428】

有機 EL 素子は、発光素子に電圧を印加することにより、有機 EL 素子が有する一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子及び正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

20

【0429】

図 36 (C) は、画素回路の一例を示す図である。ここでは 1 つの画素に n チャンネル型のトランジスタを 2 つ用い、容量素子を 1 つ用いる例を示す。なお、n チャンネル型のトランジスタには、上述したトランジスタを用いることができる。また、容量素子には、上述した容量素子を用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0430】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

30

【0431】

画素 5020 は、スイッチング用トランジスタ 5021、駆動用トランジスタ 5022、発光素子 5024 及び容量素子 5023 を有する。スイッチング用トランジスタ 5021 は、ゲート電極が走査線 5026 に接続され、第 1 電極（ソース電極、ドレイン電極の一方）が信号線 5025 に接続され、第 2 電極（ソース電極、ドレイン電極の他方）が駆動用トランジスタ 5022 のゲート電極に接続されている。駆動用トランジスタ 5022 は、ゲート電極が容量素子 5023 を介して電源線 5027 に接続され、第 1 電極が電源線 5027 に接続され、第 2 電極が発光素子 5024 の第 1 電極（画素電極）に接続されている。発光素子 5024 の第 2 電極は共通電極 5028 に相当する。共通電極 5028 は、同一基板上に形成される共通電位線と電氣的に接続される。

40

【0432】

スイッチング用トランジスタ 5021 及び駆動用トランジスタ 5022 は上述したトランジスタを用いることができる。また、容量素子 5023 は上述した容量素子を用いることができる。これにより、表示品位の高い、または／及び信頼性の高い有機 EL 表示装置となる。

【0433】

発光素子 5024 の第 2 電極（共通電極 5028）の電位は低電源電位に設定する。なお、低電源電位とは、電源線 5027 に供給される高電源電位より低い電位であり、例えば GND、0V などを低電源電位として設定することができる。発光素子 5024 の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光

50

素子5024に印加することにより、発光素子5024に電流を流して発光させる。なお、発光素子5024の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【0434】

なお、容量素子5023は駆動用トランジスタ5022のゲート容量を代用することにより省略できる場合がある。駆動用トランジスタ5022のゲート容量については、チャネル形成領域とゲート電極との間で容量が形成されていてもよい。

【0435】

次に、駆動用トランジスタ5022に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ5022がオンまたはオフの二つの状態となるようなビデオ信号を、駆動用トランジスタ5022に入力する。なお、駆動用トランジスタ5022を線形領域で動作させるために、電源線5027の電圧よりも高い電圧を駆動用トランジスタ5022のゲート電極に与える。また、信号線5025には、電源線電圧に駆動用トランジスタ5022のしきい値電圧 V_{th} を加えた値以上の電圧をかける。

【0436】

アナログ階調駆動を行う場合、駆動用トランジスタ5022のゲート電極に発光素子5024の順方向電圧に駆動用トランジスタ5022のしきい値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ5022が飽和領域で動作するようにビデオ信号を入力し、発光素子5024に電流を流す。また、駆動用トランジスタ5022を飽和領域で動作させるために、電源線5027の電位を、駆動用トランジスタ5022のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子5024にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0437】

なお、本発明の一態様に係る半導体装置を用いた表示装置は、図36(C)に示す画素構成に限定されない。例えば、図36(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサー、トランジスタまたは論理回路などを追加してもよい。

【0438】

例えば、図37(A)は、画素回路の一例を示す図である。ここでは1つの画素にnチャネル型のトランジスタを3つ用い、容量素子を1つ用いる例を示す。

【0439】

図37(A)に、画素5111の回路図の一例を示す。画素5111は、トランジスタ5155と、トランジスタ5156と、トランジスタ5157と、容量素子5158と、発光素子5154と、を有する。

【0440】

発光素子5154の画素電極は、画素5111に入力される画像信号 S_{ig} にしたがって電位が制御される。また、発光素子5154の輝度は、画素電極と共通電極の間の電位差によって定まる。

【0441】

トランジスタ5156は、配線 S_L と、トランジスタ5155のゲートとの間の導通状態を制御する機能を有する。トランジスタ5155は、ソース及びドレインの一方が、発光素子5154の陽極に電氣的に接続され、ソース及びドレインの他方が配線 V_L に電氣的に接続されている。トランジスタ5157は、配線 M_L と、トランジスタ5155のソース及びドレインの一方の間の導通状態を制御する機能を有する。容量素子5158の一对の電極のうち、一方はトランジスタ5155のゲートに電氣的に接続され、他方は発光素子5154の陽極に電氣的に接続されている。

【0442】

また、トランジスタ5156のスイッチングは、トランジスタ5156のゲートに電氣的に接続された配線 G_L の電位にしたがって行われる。トランジスタ5157のスイッチングは、トランジスタ5157のゲートに電氣的に接続された配線 G_L の電位にしたがって行われる。

10

20

30

40

50

【0443】

なお、トランジスタ5155、トランジスタ5156及びトランジスタ5157の少なくともいずれかに、上述したトランジスタを用いることができる。また、容量素子5158は、上述した容量素子を用いることができる。

【0444】

次に、図37(A)に示す画素5111の動作例について説明する。

【0445】

図37(B)に、図37(A)に示す画素5111に電氣的に接続される配線GLの電位と、配線SLに供給される画像信号Sigの電位のタイミングチャートを例示する。なお、図37(B)に示すタイミングチャートは、図37(A)に示す画素5111に含まれるトランジスタが全てnチャンネル型である場合を例示するものである。

10

【0446】

まず、期間t1では、配線GLにハイレベルの電位が与えられる。よって、トランジスタ5156及びトランジスタ5157がオンとなる。そして、配線SLには、画像信号Sigの電位Vdataが与えられており、電位Vdataは、トランジスタ5156を介してトランジスタ5155のゲートに与えられる。

【0447】

また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。電位Vanoは、電位Vcatに発光素子5154のしきい値電圧Vtheとトランジスタ5155のしきい値電圧Vthを加算した電位よりも高くすることが好ましい。配線VLと配線CLとの間に上記電位差が設けられることにより、電位Vdataにしたがって、トランジスタ5155のドレイン電流の値が定められる。そして、当該ドレイン電流が発光素子5154に供給されることで、発光素子5154の輝度が定められる。

20

【0448】

また、トランジスタ5155がnチャンネル型である場合、期間t1では、配線MLの電位が、配線CLの電位に発光素子5154のしきい値電圧Vtheを加算した電位よりも低く、配線VLの電位が、配線MLの電位にトランジスタ5155のしきい値電圧Vthを加算した電位よりも高いことが好ましい。上記構成により、トランジスタ5157がオンであっても、トランジスタ5155のドレイン電流を、発光素子5154ではなく配線MLの方に優先的に流すことができる。

30

【0449】

次に、期間t2では、配線GLにローレベルの電位が与えられる。よって、トランジスタ5156及びトランジスタ5157がオフとなる。トランジスタ5156がオフになることで、トランジスタ5155のゲートにおいて、電位Vdataが保持される。また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。よって、発光素子5154では、期間t1において定められた輝度にしがって発光する。

【0450】

次に、期間t3では、配線GLにハイレベルの電位が与えられる。よって、トランジスタ5156及びトランジスタ5157がオンとなる。また、配線SLには、トランジスタ5155のゲート電圧がしきい値電圧Vthよりも大きくなるような電位が与えられる。また、配線CLには電位Vcatが与えられる。そして、配線MLの電位は、配線CLの電位に発光素子5154のしきい値電圧Vtheを加算した電位よりも低くなり、配線VLの電位は、配線MLの電位にトランジスタ5155のしきい値電圧Vthを加算した電位よりも高くなる。上記構成により、トランジスタ5155のドレイン電流を、発光素子5154ではなく配線MLの方に優先的に流すことができる。

40

【0451】

そして、トランジスタ5155のドレイン電流は、配線MLを介してモニター回路に供給される。モニター回路は、配線MLに流れたドレイン電流を用いて、当該ドレイン電流の値を情報として含む信号を生成する。そして、本発明の一態様に係る半導体装置を用いた発光装置では、上記信号を用いて、画素5111に供給される画像信号Sigの電位V

50

dataの値を、補正することができる。

【0452】

なお、図37(A)に示す画素5111を有する発光装置では、期間t2の動作の後に期間t3の動作を行わなくてもよい。例えば、画素5111において、期間t1から期間t2の動作を複数回繰り返した後に、期間t3の動作を行うようにしてもよい。また、1行の画素5111において期間t3の動作を行った後、最小の階調値0に対応する画像信号を、当該動作を行った1行の画素5111に書き込むことで、発光素子5154を非発光の状態にした後、次の行の画素5111において、期間t3の動作を行うようにしてもよい。

【0453】

また、例えば、図38(A)は、画素回路の一例を示す図である。ここでは1つの画素にnチャンネル型のトランジスタを4つ用い、容量素子を1つ用いる例を示す。

【0454】

図38(A)に、画素5211の回路図の一例を示す。画素5211は、トランジスタ5215と、トランジスタ5216と、トランジスタ5217と、容量素子5218と、発光素子5214と、トランジスタ5219と、を有する。

【0455】

発光素子5214の画素電極は、画素5211に入力される画像信号Sigにしたがって電位が制御される。また、発光素子5214の輝度は、画素電極と共通電極の間の電位差によって定まる。

【0456】

トランジスタ5219は、配線SLと、トランジスタ5215のゲートとの間の導通状態を制御する機能を有する。トランジスタ5215は、ソース及びドレインの一方が、発光素子5214の陽極に電氣的に接続されている。トランジスタ5216は、配線VLと、トランジスタ5215のソース及びドレインの他方との間の導通状態を制御する機能を有する。トランジスタ5217は、配線MLと、トランジスタ5215のソース及びドレインの他方との間の導通状態を制御する機能を有する。容量素子5218の一对の電極のうち、一方はトランジスタ5215のゲートに電氣的に接続され、他方は発光素子5214の陽極に電氣的に接続されている。

【0457】

また、トランジスタ5219のスイッチングは、トランジスタ5219のゲートに電氣的に接続された配線GLaの電位にしたがって行われる。トランジスタ5216のスイッチングは、トランジスタ5216のゲートに電氣的に接続された配線GLbの電位にしたがって行われる。トランジスタ5217のスイッチングは、トランジスタ5217のゲートに電氣的に接続された配線GLcの電位にしたがって行われる。

【0458】

なお、トランジスタ5215、トランジスタ5216、トランジスタ5217及びトランジスタ5219の少なくともいずれかに、上述したトランジスタを用いることができる。また、容量素子5218は、上述した容量素子を用いることができる。

【0459】

次に、図38(A)に示す画素5211の、外部補正の動作例について説明する。

【0460】

図38(B)に、図38(A)に示す画素5211に電氣的に接続される配線GLa、配線GLb、配線GLcの電位と、配線SLに供給される画像信号Sigの電位のタイミングチャートを例示する。なお、図38(B)に示すタイミングチャートは、図38(A)に示す画素5211に含まれるトランジスタが全てnチャンネル型である場合を例示するものである。

【0461】

まず、期間t1では、配線GLaにハイレベルの電位が与えられ、配線GLbにハイレベルの電位が与えられ、配線GLcにローレベルの電位が与えられる。よって、トランジ

10

20

30

40

50

スタ5219及びトランジスタ5216がオンとなり、トランジスタ5217はオフとなる。そして、配線SLには、画像信号Sigの電位Vdataが与えられており、電位Vdataは、トランジスタ5219を介してトランジスタ5215のゲートに与えられる。

【0462】

また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。電位Vanoは、電位Vcatに発光素子5214のしきい値電圧Vtheを加算した電位よりも高くすることが好ましい。配線VLの電位Vanoは、トランジスタ5216を介して、トランジスタ5215のソース及びドレインの他方に与えられる。よって、電位Vdataにしたがって、トランジスタ5215のドレイン電流の値が定められる。そして、当該ドレイン電流が発光素子5214に供給されることで、発光素子5214の輝度が定められる。

10

【0463】

次に、期間t2では、配線GLaにローレベルの電位が与えられ、配線GLbにハイレベルの電位が与えられ、配線GLcにローレベルの電位が与えられる。よって、トランジスタ5216がオンとなり、トランジスタ5219、及びトランジスタ5217がオフとなる。トランジスタ5219がオフになることで、トランジスタ5215のゲートにおいて、電位Vdataが保持される。また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。よって、発光素子5214では、期間t1において定められた輝度が保持される。

20

【0464】

次に、期間t3では、配線GLaにローレベルの電位が与えられ、配線GLbにローレベルの電位が与えられ、配線GLcにハイレベルの電位が与えられる。よって、トランジスタ5217がオンとなり、トランジスタ5219及びトランジスタ5216がオフとなる。また、配線CLには電位Vcatが与えられる。そして、配線MLには電位Vanoが与えられ、なおかつモニター回路に接続される。

【0465】

上記動作により、トランジスタ5217を介して、トランジスタ5215のドレイン電流は、発光素子5214に供給される。なおかつ、当該ドレイン電流は、配線MLを介してモニター回路にも供給される。モニター回路は、配線MLに流れたドレイン電流を用いて、当該ドレイン電流の値を情報として含む信号を生成する。そして、本発明の一態様に係る半導体装置を用いた発光装置では、上記信号を用いて、画素5211に供給される画像信号Sigの電位Vdataの値を、補正することができる。

30

【0466】

なお、図38(A)に示す画素5211を有する発光装置では、期間t2の動作の後に期間t3の動作を行わなくてもよい。例えば、発光装置において、期間t1から期間t2の動作を複数回繰り返した後に、期間t3の動作を行うようにしてもよい。また、1行の画素5211において期間t3の動作を行った後、最小の階調値0に対応する画像信号を、当該動作を行った1行の画素5211に書き込むことで、発光素子5214を非発光の状態にした後、次の行の画素5211において、期間t3の動作を行うようにしてもよい。

40

【0467】

また、例えば、図39(A)は、画素回路の一例を示す図である。ここでは1つの画素にnチャネル型のトランジスタを5つ用い、容量素子を1つ用いる例を示す。

【0468】

図39(A)に、画素5311の回路図の一例を示す。図39(A)に示す画素5311は、トランジスタ5315と、トランジスタ5316と、トランジスタ5317と、容量素子5318と、発光素子5314と、トランジスタ5319と、トランジスタ5320と、を有する。

【0469】

50

トランジスタ5320は、配線RLと、発光素子5314の陽極との間の導通状態を制御する機能を有する。トランジスタ5319は、配線SLと、トランジスタ5315のゲートとの間の導通状態を制御する機能を有する。トランジスタ5315は、ソース及びドレインの一方が、発光素子5314の陽極に電氣的に接続されている。トランジスタ5316は、配線VLと、トランジスタ5315のソース及びドレインの他方との間の導通状態を制御する機能を有する。トランジスタ5317は、配線MLと、トランジスタ5315のソース及びドレインの他方との間の導通状態を制御する機能を有する。容量素子5318の一方の電極のうち、一方はトランジスタ5315のゲートに電氣的に接続され、他方は発光素子5314の陽極に電氣的に接続されている。

【0470】

10

また、トランジスタ5319のスイッチングは、トランジスタ5319のゲートに電氣的に接続された配線GLaの電位にしたがって行われる。トランジスタ5316のスイッチングは、トランジスタ5316のゲートに電氣的に接続された配線GLbの電位にしたがって行われる。トランジスタ5317のスイッチングは、トランジスタ5317のゲートに電氣的に接続された配線GLcの電位にしたがって行われる。トランジスタ5320のスイッチングは、トランジスタ5320のゲートに電氣的に接続された配線GLdの電位にしたがって行われる。

【0471】

なお、トランジスタ5315、トランジスタ5316、トランジスタ5317、トランジスタ5319及びトランジスタ5320の少なくともいずれかに、上述したトランジスタを用いることができる。また、容量素子5318は、上述した容量素子を用いることができる。

20

【0472】

次に、図39(A)に示す画素5311の、外部補正の動作例について説明する。

【0473】

図39(B)に、図39(A)に示す画素5311に電氣的に接続される配線GLa、配線GLb、配線GLc、配線GLdの電位と、配線SLに供給される画像信号Sigの電位のタイミングチャートを例示する。なお、図39(B)に示すタイミングチャートは、図39(A)に示す画素5311に含まれるトランジスタが全てnチャンネル型である場合を例示するものである。

30

【0474】

まず、期間t1では、配線GLaにハイレベルの電位が与えられ、配線GLbにハイレベルの電位が与えられ、配線GLcにローレベルの電位が与えられ、配線GLdにハイレベルの電位が与えられる。よって、トランジスタ5319、トランジスタ5316、及びトランジスタ5320がオンとなり、トランジスタ5317はオフとなる。また、配線SLには、画像信号Sigの電位Vdataが与えられており、電位Vdataは、トランジスタ5319を介してトランジスタ5315のゲートに与えられる。よって、電位Vdataにしたがって、トランジスタ5315のドレイン電流の値が定められる。そして、配線VLには電位Vanoが与えられ、配線RLには電位V1が与えられるため、当該ドレイン電流は、トランジスタ5316及びトランジスタ5320を介して、配線VLと配線RLの間に流れる。

40

【0475】

電位Vanoは、電位Vcatに発光素子5314のしきい値電圧Vtheを加算した電位よりも高くすることが好ましい。配線VLの電位Vanoは、トランジスタ5316を介して、トランジスタ5315のソース及びドレインの他方に与えられる。また、配線RLに与えられた電位V1は、トランジスタ5320を介してトランジスタ5315のソース及びドレインの一方に与えられる。配線CLには電位Vcatが与えられる。

【0476】

なお、電位V1は、電位V0からトランジスタ5315のしきい値電圧Vthを差し引いた電位よりも、十分低いことが好ましい。期間t1では、電位V1を、電位Vcatか

50

ら発光素子5314のしきい値電圧 V_{th} を差し引いた電位よりも十分低くすることができるので、発光素子5314は発光しない。

【0477】

次に、期間 t_2 では、配線GLaにローレベルの電位が与えられ、配線GLbにハイレベルの電位が与えられ、配線GLcにローレベルの電位が与えられ、配線GLdにローレベルの電位が与えられる。よって、トランジスタ5316がオンとなり、トランジスタ5319、トランジスタ5317及びトランジスタ5320がオフとなる。トランジスタ5319がオフになることで、トランジスタ5315のゲートにおいて、電位 V_{data} が保持される。

【0478】

また、配線VLには電位 V_{ano} が与えられ、配線CLには電位 V_{cat} が与えられる。よって、期間 t_1 において値が定められたトランジスタ5315のドレイン電流は、トランジスタ5320がオフになることで、発光素子5314に供給される。そして、発光素子5314に当該ドレイン電流が供給されることで、発光素子5314の輝度が定められ、当該輝度は期間 t_2 において保持される。

【0479】

次に、期間 t_3 では、配線GLaにローレベルの電位が与えられ、配線GLbにローレベルの電位が与えられ、配線GLcにハイレベルの電位が与えられ、配線GLdにローレベルの電位が与えられる。よって、トランジスタ5317がオンとなり、トランジスタ5319、トランジスタ5316及びトランジスタ5320がオフとなる。また、配線CLには電位 V_{cat} が与えられる。そして、配線MLには電位 V_{ano} が与えられ、なおかつモニター回路に接続される。

【0480】

上記動作により、トランジスタ5317を介して、トランジスタ5315のドレイン電流は、発光素子5314に供給される。なおかつ、当該ドレイン電流は、配線MLを介してモニター回路にも供給される。モニター回路は、配線MLに流れたドレイン電流を用いて、当該ドレイン電流の値を情報として含む信号を生成する。そして、本発明の一態様に係る半導体装置を用いた発光装置では、上記信号を用いて、画素5311に供給される画像信号 S_{ig} の電位 V_{data} の値を、補正することができる。

【0481】

なお、図39(A)に示す画素5311を有する発光装置では、期間 t_2 の動作の後に期間 t_3 の動作を行わなくてもよい。例えば、発光装置において、期間 t_1 から期間 t_2 の動作を複数回繰り返した後に、期間 t_3 の動作を行うようにしてもよい。また、1行の画素5311において期間 t_3 の動作を行った後、最小の階調値0に対応する画像信号を、当該動作を行った1行の画素5311に書き込むことで、発光素子5314を非発光の状態にした後、次の行の画素5311において、期間 t_3 の動作を行うようにしてもよい。

【0482】

また、図39(A)に示す画素5311では、発光素子5314の劣化などにより、発光素子5314の陽極と陰極間の抵抗値が画素間でばらついていても、電位 V_{data} をトランジスタ5315のゲートに与える際に、トランジスタ5315のソースの電位を所定の電位 V_1 に設定することができる。よって、画素間において発光素子5314の輝度にばらつきが生じるのを、防ぐことができる。

【0483】

また、例えば、図40(A)は、画素回路の一例を示す図である。ここでは1つの画素にnチャネル型のトランジスタを6つ用い、容量素子を1つ用いる例を示す。

【0484】

図40(A)に、画素5411の回路図の一例を示す。画素5411は、トランジスタ5415と、トランジスタ5416と、トランジスタ5417と、容量素子5418と、発光素子5414と、トランジスタ5440と、トランジスタ5441と、トランジスタ

10

20

30

40

50

5 4 4 2 と、を有する。

【0 4 8 5】

発光素子 5 4 1 4 の画素電極は、画素 5 4 1 1 に入力される画像信号 S i g にしたがって電位が制御される。また、発光素子 5 4 1 4 の輝度は、画素電極と共通電極の間の電位差によって定まる。

【0 4 8 6】

トランジスタ 5 4 4 0 は、配線 S L と、容量素子 5 4 1 8 の一対の電極のうちの一方との間の導通状態を制御する機能を有する。容量素子 5 4 1 8 の一対の電極のうちの他方は、トランジスタ 5 4 1 5 のソース及びドレインの一方に電氣的に接続される。トランジスタ 5 4 1 6 は、配線 V L 1 と、トランジスタ 5 4 1 5 のゲートとの間の導通状態を制御する機能を有する。トランジスタ 5 4 4 1 は、容量素子 5 4 1 8 の一対の電極のうちの一方と、トランジスタ 5 4 1 5 のゲートとの間の導通状態を制御する機能を有する。トランジスタ 5 4 4 2 は、トランジスタ 5 4 1 5 のソース及びドレインの一方と、発光素子 5 4 1 4 の陽極との間の導通状態を制御する機能を有する。トランジスタ 5 4 1 7 は、トランジスタ 5 4 1 5 のソース及びドレインの一方と、配線 M L との間の導通状態を制御する機能を有する。

10

【0 4 8 7】

さらに、図 4 0 (A) では、トランジスタ 5 4 1 5 のソース及びドレインの他方は配線 V L に電氣的に接続されている。

【0 4 8 8】

20

また、トランジスタ 5 4 4 0 におけるオンまたはオフの選択は、トランジスタ 5 4 4 0 のゲートに電氣的に接続された配線 G L a の電位にしたがって行われる。トランジスタ 5 4 1 6 におけるオンまたはオフの選択は、トランジスタ 5 4 1 6 のゲートに電氣的に接続された配線 G L a の電位にしたがって行われる。トランジスタ 5 4 4 1 におけるオンまたはオフの選択は、トランジスタ 5 4 4 1 のゲートに電氣的に接続された配線 G L b の電位にしたがって行われる。トランジスタ 5 4 4 2 におけるオンまたはオフの選択は、トランジスタ 5 4 4 2 のゲートに電氣的に接続された配線 G L b の電位にしたがって行われる。トランジスタ 5 4 1 7 におけるオンまたはオフの選択は、トランジスタ 5 4 1 7 のゲートに電氣的に接続された配線 G L c の電位にしたがって行われる。

【0 4 8 9】

30

図 4 0 (B) に、図 4 0 (A) に示す画素 5 4 1 1 に電氣的に接続される配線 G L a 、配線 G L b 、配線 G L c の電位と、配線 S L に供給される画像信号 S i g の電位のタイミングチャートを例示する。なお、図 4 0 (B) に示すタイミングチャートは、図 4 0 (A) に示す画素 5 4 1 1 に含まれるトランジスタが全て n チャンネル型である場合を例示するものである。

【0 4 9 0】

まず、期間 t 1 では、配線 G L a にローレベルの電位が与えられ、配線 G L b にハイレベルの電位が与えられ、配線 G L c にハイレベルの電位が与えられる。よって、トランジスタ 5 4 4 1 、トランジスタ 5 4 4 2 及びトランジスタ 5 4 1 7 がオンとなり、トランジスタ 5 4 4 0 及びトランジスタ 5 4 1 6 はオフとなる。トランジスタ 5 4 4 2 及びトランジスタ 5 4 1 7 がオンになることで、トランジスタ 5 4 1 5 のソース及びドレインの一方及び容量素子 5 4 1 8 の一対の電極のうちの他方（ノード A として図示する。）に、配線 M L の電位 V 0 が与えられる。

40

【0 4 9 1】

また、配線 V L には電位 V a n o が与えられ、配線 C L には電位 V c a t が与えられる。電位 V a n o は、電位 V 0 に発光素子 5 4 1 4 のしきい値電圧 V t h e を加算した電位よりも高くすることが好ましい。また、電位 V 0 は、電位 V c a t に発光素子 5 4 1 4 のしきい値電圧 V t h e を加算した電位よりも低いことが好ましい。電位 V 0 を上記値に設定することで、期間 t 1 において発光素子 5 4 1 4 に電流が流れるのを防ぐことができる。

50

【0492】

次に、配線GLbにローレベルの電位が与えられることで、トランジスタ5441及びトランジスタ5442がオフになり、ノードAは電位V0に保持される。

【0493】

次に、期間t2では、配線GLaにハイレベルの電位が与えられ、配線GLbにローレベルの電位が与えられ、配線GLcにローレベルの電位が与えられる。よって、トランジスタ5440及びトランジスタ5416がオンとなり、トランジスタ5441、トランジスタ5442及びトランジスタ5417がオフとなる。

【0494】

なお、期間t1から期間t2に移行する際、配線GLaに与える電位をローレベルからハイレベルに切り替えた後に、配線GLcに与える電位をハイレベルからローレベルに切り替えることが好ましい。このような動作を行うことによって、配線GLaに与えられる電位の切り替えによる、ノードAの電位の変動を防ぐことができる。

10

【0495】

また、配線VLには電位Vanoが与えられ、配線CLには電位Vcatが与えられる。そして、配線SLには画像信号Sigの電位Vdataが与えられ、配線VL1には電位V1が与えられる。電位V1は、電位Vcatにトランジスタ5415のしきい値電圧Vthを加算した電位よりも高く、電位Vanoにトランジスタ5415のしきい値電圧Vthを加算した電位より低いことが好ましい。

【0496】

20

なお、図40(A)に示す画素構成では、電位V1を、発光素子5414のしきい値電圧Vtheを電位Vcatに加算した値より高くしても、トランジスタ5442がオフである限り、発光素子5414は発光しない。そのため、電位V0として設定できる値の幅を広げることが可能となり、V1-V0として取りうる値の幅も広げることが可能となる。したがって、V1-V0の値の設定の自由度が上がるため、トランジスタ5415のしきい値電圧Vthの取得に要する時間を短縮した場合、またはしきい値電圧Vthの取得期間に制限がある場合においても、正確にトランジスタ5415のしきい値電圧Vthの取得を行うことができる。

【0497】

上記動作により、トランジスタ5415のゲート（ノードBとして図示する。）に、ノードAの電位にしきい値電圧Vthを加算した電位よりも、高い電位V1が入力され、トランジスタ5415がオンとなる。よって、トランジスタ5415を介して容量素子5418の電荷が放出され、電位V0だったノードAの電位が上昇を始める。そして、最終的にはノードAの電位がV1-Vthに収束し、トランジスタ5415のゲート電圧がしきい値電圧Vthに収束すると、トランジスタ5415がオフになる。

30

【0498】

また、容量素子5418の一对の電極のうち的一方（ノードCとして図示する。）には、配線SLに与えられた画像信号Sigの電位Vdataが、トランジスタ5440を介して与えられる。

【0499】

40

次に、期間t3では、配線GLaにローレベルの電位が与えられ、配線GLbにハイレベルの電位が与えられ、配線GLcにローレベルの電位が与えられる。よって、トランジスタ5441及びトランジスタ5442がオンとなり、トランジスタ5440、トランジスタ5416及びトランジスタ5417がオフとなる。

【0500】

なお、期間t2から期間t3に移行する際、配線GLaに与える電位がハイレベルからローレベルに切り替えられてから、配線GLbに与える電位をローレベルからハイレベルに切り替えることが好ましい。上記構成により、配線GLaに与える電位の切り替えによるノードAにおける電位の変動を防ぐことができる。

【0501】

50

また、配線V Lには電位V a n oが与えられ、配線C Lには電位V c a tが与えられる。

【0502】

上記動作により、ノードBに電位V d a t aが与えられるため、トランジスタ5415のゲート電圧が $V d a t a - V l + V t h$ となる。よって、トランジスタ5415のゲート電圧を、しきい値電圧V t hが加味された値に設定することができる。上記構成により、トランジスタ5415のしきい値電圧V t hのばらつきを抑制することができる。よって、発光素子5414に供給する電流値のばらつきを抑えることができ、発光装置の輝度ムラを低減することができる。

【0503】

なお、配線G L bに与える電位の変動を大きくしておくことで、トランジスタ5442のしきい値電圧のばらつきが発光素子5414に供給する電流値に影響を及ぼすことを防ぐことができる。つまり、配線G L bに与えるハイレベルの電位をトランジスタ5442のしきい値電圧よりも十分大きく、また、配線G L bに与えるローレベルの電位をトランジスタ5442のしきい値電圧よりも十分小さくしてやることで、トランジスタ5442のオンとオフの切り替えを確実にを行い、トランジスタ5442のしきい値電圧のばらつきが発光素子5414の電流値に影響を及ぼすことを防ぐことができる。

【0504】

次に、期間t 4では、配線G L aにローレベルの電位が与えられ、配線G L bにローレベルの電位が与えられ、配線G L cにハイレベルの電位が与えられる。よって、トランジスタ5417がオンとなり、トランジスタ5416、トランジスタ5440、トランジスタ5441及びトランジスタ5442がオフとなる。

【0505】

また、配線V Lには電位V a n oが与えられ、配線M Lは、モニター回路に接続される。

【0506】

上記動作により、トランジスタ5415のドレイン電流I dが、発光素子5414ではなく、トランジスタ5417を介して配線M Lに流れる。モニター回路は、配線M Lに流れたドレイン電流I dを用いて、当該ドレイン電流I dの値を情報として含む信号を生成する。このドレイン電流I dは、トランジスタ5415の移動度やトランジスタ5415のサイズ（チャンネル長、チャンネル幅）などに依存した大きさとなっている。そして、本発明の一態様に係る半導体装置を用いた発光装置では、上記信号を用いて、画素5411に供給される画像信号S i gの電位V d a t aの値を、補正することができる。つまり、トランジスタ5415の移動度のばらつきの影響を低減することができる。

【0507】

なお、図40（A）に示す画素5411を有する発光装置では、期間t 3の動作の後に期間t 4の動作を行わなくてもよい。例えば、発光装置において、期間t 1から期間t 3の動作を複数回繰り返した後に、期間t 4の動作を行うようにしてもよい。また、一行の画素5411において期間t 4の動作を行った後、最小の階調値0に対応する画像信号を、当該動作を行った一行の画素5411に書き込むことで、発光素子5414を非発光の状態にした後、次の行の画素5411において、期間t 4の動作を行うようにしてもよい。

【0508】

図40（A）に示した画素5411を有する発光装置では、トランジスタ5415のソース及びドレインの他方と、トランジスタ5415のゲートとが電氣的に分離しているので、それぞれの電位を個別に制御することができる。よって、期間t 2において、トランジスタ5415のソース及びドレインの他方の電位を、トランジスタ5415のゲートの電位に、しきい値電圧V t hを加算した電位よりも高い値に設定することができる。そのため、トランジスタ5415がノーモリーオンである場合に、すなわちしきい値電圧V t hがマイナスの値を有している場合に、トランジスタ5415において、ソースの電位が

10

20

30

40

50

ゲートの電位 V_1 よりも高くなるまで、容量素子5418に電荷を蓄積することができる。よって、本発明の一態様に係る半導体装置を用いた発光装置では、トランジスタ5415がノーマリオンであっても、期間 t_2 においてしきい値電圧 V_{th} を取得することができ、期間 t_3 において、しきい値電圧 V_{th} を加味した値になるよう、トランジスタ5415のゲート電圧を設定することができる。

【0509】

したがって、本発明の一態様に係る半導体装置を用いた発光装置では、トランジスタ5415がノーマリオンとなっても、表示ムラを低減でき、高い画質の表示を行うことができる。

【0510】

なお、トランジスタ5415の特性だけでなく、発光素子5414の特性もモニターしてもよい。このとき、画像信号 Sig の電位 V_{data} を制御することなどにより、トランジスタ5415には、電流が流れないようにしておくことが好ましい。これにより、発光素子5414の電流を取り出すことができる。その結果、発光素子5414の電流特性の劣化やばらつきの状態を取得することができる。

【0511】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、EL素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、IMOD（インターフェアレンス・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電氣的又は磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）またはSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク、電子粉流体（登録商標）、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部または全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、消費電力をさらに低減することができる。

【0512】

なお、バックライト（有機EL素子、無機EL素子、LED、蛍光灯など）に白色光（W）を用いて表示装置をフルカラー表示させるために、着色層（カラーフィルターともいう。）を用いてもよい。着色層は、例えば、レッド（R）、グリーン（G）、ブルー（B）、イエロー（Y）などを適宜組み合わせる用いることができる。着色層を用いることで、着色層を用いない場合と比べて色の再現性を高くすることができる。このとき、着色層を有する領域と、着色層を有さない領域と、を配置することによって、着色層を有さない領域における白色光を直接表示に利用しても構わない。一部に着色層を有さない領域を配

10

20

30

40

50

置することで、明るい表示の際に、着色層による輝度の低下を少なくでき、消費電力を2割から3割程度低減できる場合がある。ただし、有機EL素子や無機EL素子などの自発光素子を用いてフルカラー表示する場合、R、G、B、Y、Wを、それぞれの発光色を有する素子から発光させても構わない。自発光素子を用いることで、着色層を用いた場合よりも、さらに消費電力を低減できる場合がある。

【0513】

<モジュール>

以下では、本発明の一態様に係る半導体装置を適用した表示モジュールについて、図41を用いて説明を行う。

【0514】

10

図41に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、FPC8003に接続されたタッチパネル8004、FPC8005に接続されたセル8006、バックライトユニット8007、フレーム8009、プリント基板8010、バッテリー8011を有する。なお、バックライトユニット8007、バッテリー8011、タッチパネル8004などを有さない場合もある。

【0515】

本発明の一態様に係る半導体装置は、例えば、セル8006に用いることができる。

【0516】

上部カバー8001及び下部カバー8002は、タッチパネル8004及びセル8006のサイズに合わせて、形状や寸法を適宜変更することができる。

20

【0517】

タッチパネル8004は、抵抗膜方式または静電容量方式のタッチパネルをセル8006に重なって用いることができる。また、セル8006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。または、セル8006の各画素内に光センサーを設け、光学式のタッチパネルとすることも可能である。または、セル8006の各画素内にタッチセンサー用電極を設け、静電容量方式のタッチパネルとすることも可能である。

【0518】

バックライトユニット8007は、光源8008を有する。光源8008をバックライトユニット8007の端部に設け、光拡散板を用いる構成としてもよい。

30

【0519】

フレーム8009は、セル8006の保護機能の他、プリント基板8010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有してもよい。またフレーム8009は、放熱板としての機能を有していてもよい。

【0520】

プリント基板8010は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であってもよいし、別途設けたバッテリー8011による電源であってもよい。商用電源を用いる場合には、バッテリー8011を有さなくてもよい。

【0521】

40

また、表示モジュール8000には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【0522】

（実施の形態7）

本実施の形態では、本発明の一態様の半導体装置を用いることができる電子機器について、図44を用いて説明を行う。

【0523】

図44（A）乃至図44（H）は、電子機器を示す図である。これらの電子機器は、筐体6000、表示部6001、スピーカー6003、LEDランプ6004、操作キー6005（電源スイッチ、または操作スイッチを含む）、接続端子6006、センサー60

50

０７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）、マイクロフォン６００８、等を有することができる。

【０５２４】

図４４（Ａ）はモバイルコンピュータであり、上述したものの他に、スイッチ６００９、赤外線ポート６０１０、等を有することができる。図４４（Ｂ）は記録媒体を備えた携帯型の画像再生装置（たとえば、ＤＶＤ再生装置）であり、上述したものの他に、表示部６００２、記録媒体読込部６０１１、等を有することができる。図４４（Ｃ）はゴーグル型ディスプレイであり、上述したものの他に、表示部６００２、支持部６０１２、イヤホン６０１３、等を有することができる。図４４（Ｄ）は携帯型遊技機であり、上述したものの他に、記録媒体読込部６０１１、等を有することができる。図４４（Ｅ）はテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ６０１４、シャッターボタン６０１５、受像部６０１６、等を有することができる。図４４（Ｆ）は携帯型遊技機であり、上述したものの他に、表示部６００２、記録媒体読込部６０１１、等を有することができる。図４４（Ｇ）はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図４４（Ｈ）は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器６０１７、等を有することができる。

【０５２５】

図４４（Ａ）乃至図４４（Ｈ）に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信または受信を行う機能、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図４４（Ａ）乃至図４４（Ｈ）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

【０５２６】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。なお、本発明の一態様の半導体装置は、表示部を有さない電子機器にも適用することができる。

【０５２７】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【符号の説明】

【０５２８】

- １００ 基板
- １０１ 絶縁膜
- １０２ 絶縁膜
- １０２ a 絶縁膜
- １０２ b 絶縁膜
- １０４ a ゲート電極
- １０４ a １ 導電膜

10

20

30

40

50

1 0 4 a 2	導電膜	
1 0 4 b	下部電極	
1 0 4 b 1	導電膜	
1 0 4 b 2	導電膜	
1 0 6	第 1 の領域	
1 0 6 a	チャネル形成領域	
1 0 6 b	チャネル形成領域	
1 0 6 c	チャネル形成領域	
1 0 7 a	第 2 の領域	
1 0 7 a 1	低抵抗領域	10
1 0 7 a 2	低抵抗領域	
1 0 7 b	第 2 の領域	
1 0 7 b 1	低抵抗領域	
1 0 7 b 2	低抵抗領域	
1 0 8	絶縁膜	
1 1 2 a	ゲート絶縁膜	
1 1 2 b	絶縁膜	
1 1 3	脱離抑制膜	
1 1 4 a	ゲート電極	
1 1 4 a 1	導電膜	20
1 1 4 a 2	導電膜	
1 1 4 b	上部電極	
1 1 4 b 1	導電膜	
1 1 4 b 2	導電膜	
1 1 6 a	ソース電極	
1 1 6 a 1	導電膜	
1 1 6 a 2	導電膜	
1 1 6 b	ドレイン電極	
1 1 6 b 1	導電膜	
1 1 6 b 2	導電膜	30
1 1 8	絶縁膜	
1 2 6	酸化物半導体膜	
1 2 6 a	酸化物半導体膜	
1 2 6 b	酸化物半導体膜	
1 2 8	絶縁膜	
1 3 2	絶縁膜	
1 3 8	絶縁膜	
1 4 0	酸素	
1 4 2	不純物元素	
1 4 8	絶縁膜	40
1 5 0	トランジスタ	
1 6 0	容量素子	
2 0 4	配線	
2 0 4 a	導電膜	
2 0 4 b	導電膜	
2 1 2	絶縁膜	
2 1 4	配線	
2 1 4 a	導電膜	
2 1 4 b	導電膜	
2 1 6	配線	50

2 1 6 a	導電膜	
2 1 6 b	導電膜	
4 0 0	基板	
4 5 3	絶縁膜	
4 5 3 a	絶縁膜	
4 5 3 b	絶縁膜	
4 5 5	酸化物半導体膜	
4 5 5 a	チャネル領域	
4 5 5 b	低抵抗領域	
4 5 5 c	低抵抗領域	10
4 5 5 d	領域	
4 5 5 e	領域	
4 5 5 f	低抵抗領域	
4 5 5 g	低抵抗領域	
4 5 5 h	低抵抗領域	
4 5 5 i	低抵抗領域	
4 5 7	絶縁膜	
4 5 7 a	絶縁膜	
4 5 7 b	絶縁膜	
4 5 9	導電膜	20
4 5 9 a	導電膜	
4 5 9 b	導電膜	
4 6 5	窒化物絶縁膜	
4 6 7	絶縁膜	
4 6 8	導電膜	
4 6 9	導電膜	
4 7 5	絶縁膜	
5 0 0	F E T	
5 0 1	基板	
5 0 2	基板	30
5 0 4 R	発光素子	
5 0 4 G	発光素子	
5 0 4 B	発光素子	
5 0 4 W	発光素子	
5 0 6	導電膜	
5 0 7	導電膜	
5 0 8	隔壁	
5 0 9	構造体	
5 1 0	E L 層	
5 1 2	導電膜	40
5 1 4 R	着色層	
5 1 4 G	着色層	
5 1 4 B	着色層	
5 1 4 W	着色層	
5 1 6	基板	
5 1 8	封止膜	
5 2 0	領域	
5 2 2	絶縁膜	
5 2 4	開口部	
6 0 0	ペレット	50

6 0 0 a	ペレット	
6 0 0 b	ペレット	
6 0 1	イオン	
6 2 0	基板	
6 3 0	ターゲット	
7 0 0	表示装置	
7 0 1	基板	
7 0 2	画素部	
7 0 4	ソースドライバ回路部	
7 0 5	基板	10
7 0 6	ゲートドライバ回路部	
7 0 8	F P C 端子部	
7 1 0	信号線	
7 1 1	配線部	
7 1 2	シール材	
7 1 6	F P C	
7 3 0	絶縁膜	
7 3 2	封止膜	
7 3 4	絶縁膜	
7 3 6	着色膜	20
7 3 8	遮光膜	
7 5 0	トランジスタ	
7 5 2	トランジスタ	
7 6 0	接続電極	
7 6 6	絶縁膜	
7 7 0	平坦化絶縁膜	
7 7 2	導電膜	
7 7 4	導電膜	
7 7 5	液晶素子	
7 7 6	液晶層	30
7 7 8	構造体	
7 8 0	異方性導電膜	
7 8 2	発光素子	
7 8 4	導電膜	
7 8 6	E L 層	
7 8 8	導電膜	
7 9 0	容量素子	
5 0 0 0	基板	
5 0 0 1	画素部	
5 0 0 2	走査線駆動回路	40
5 0 0 3	走査線駆動回路	
5 0 0 4	信号線駆動回路	
5 0 1 0	容量配線	
5 0 1 2	ゲート配線	
5 0 1 3	ゲート配線	
5 0 1 4	ドレイン電極	
5 0 1 6	トランジスタ	
5 0 1 7	トランジスタ	
5 0 1 8	液晶素子	
5 0 1 9	液晶素子	50

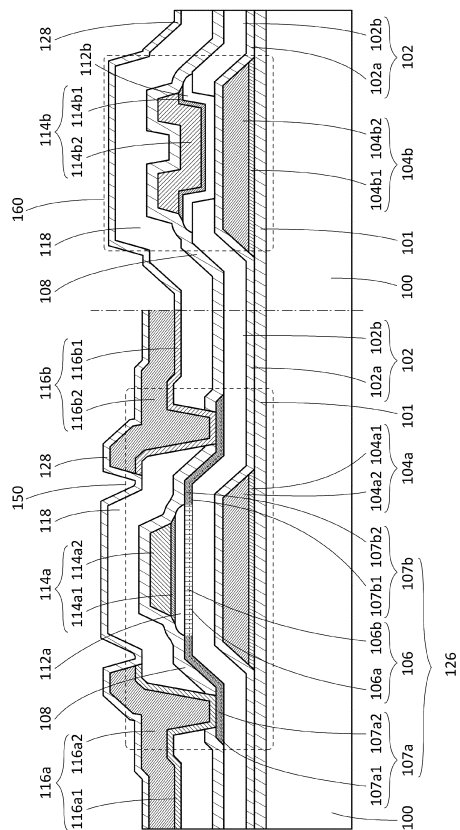
5 0 2 0	画素	
5 0 2 1	スイッチング用トランジスタ	
5 0 2 2	駆動用トランジスタ	
5 0 2 3	容量素子	
5 0 2 4	発光素子	
5 0 2 5	信号線	
5 0 2 6	走査線	
5 0 2 7	電源線	
5 0 2 8	共通電極	
5 0 2 9	容量素子	10
5 1 1 1	画素	
5 1 5 4	発光素子	
5 1 5 5	トランジスタ	
5 1 5 6	トランジスタ	
5 1 5 7	トランジスタ	
5 1 5 8	容量素子	
5 2 1 1	画素	
5 2 1 4	発光素子	
5 2 1 5	トランジスタ	
5 2 1 6	トランジスタ	20
5 2 1 7	トランジスタ	
5 2 1 8	容量素子	
5 2 1 9	トランジスタ	
5 3 1 1	画素	
5 3 1 4	発光素子	
5 3 1 5	トランジスタ	
5 3 1 6	トランジスタ	
5 3 1 7	トランジスタ	
5 3 1 8	容量素子	
5 3 1 9	トランジスタ	30
5 3 2 0	トランジスタ	
5 4 1 1	画素	
5 4 1 4	発光素子	
5 4 1 5	トランジスタ	
5 4 1 6	トランジスタ	
5 4 1 7	トランジスタ	
5 4 1 8	容量素子	
5 4 4 0	トランジスタ	
5 4 4 1	トランジスタ	
5 4 4 2	トランジスタ	40
6 0 0 0	筐体	
6 0 0 1	表示部	
6 0 0 2	表示部	
6 0 0 3	スピーカ	
6 0 0 4	LEDランプ	
6 0 0 5	操作キー	
6 0 0 6	接続端子	
6 0 0 7	センサー	
6 0 0 8	マイクロフォン	
6 0 0 9	スイッチ	50

6010	赤外線ポート
6011	記録媒体読込部
6012	支持部
6013	イヤホン
6014	アンテナ
6015	シャッターボタン
6016	受像部
6017	充電器
6100	ペレット
6120	基板
6161	領域
8000	表示モジュール
8001	上部カバー
8002	下部カバー
8003	FPC
8004	タッチパネル
8005	FPC
8006	セル
8007	バックライトユニット
8008	光源
8009	フレーム
8010	プリント基板
8011	バッテリー

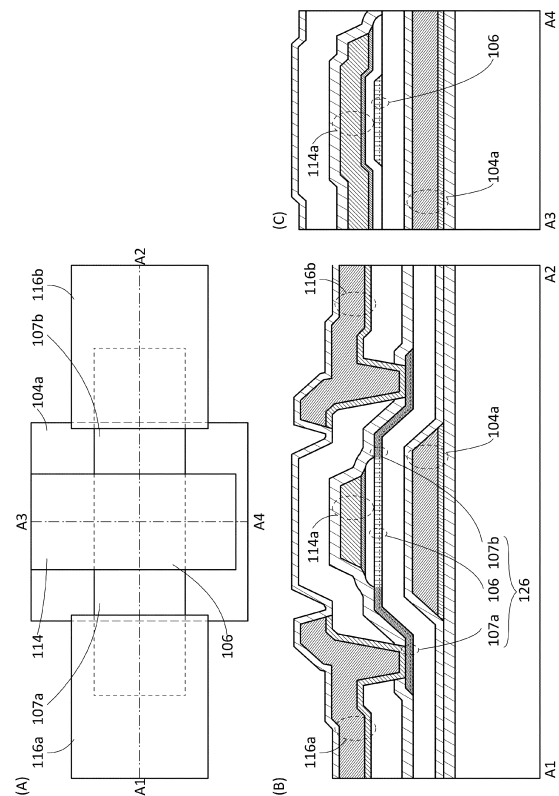
10

20

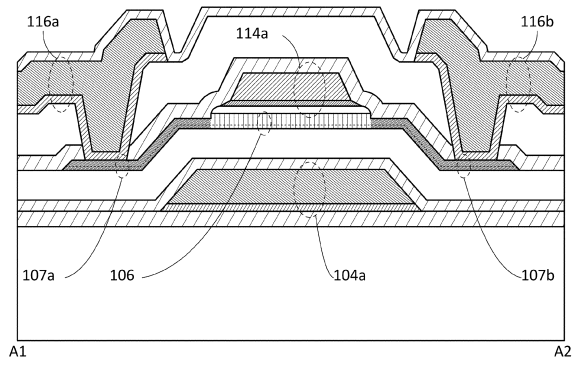
【図1】



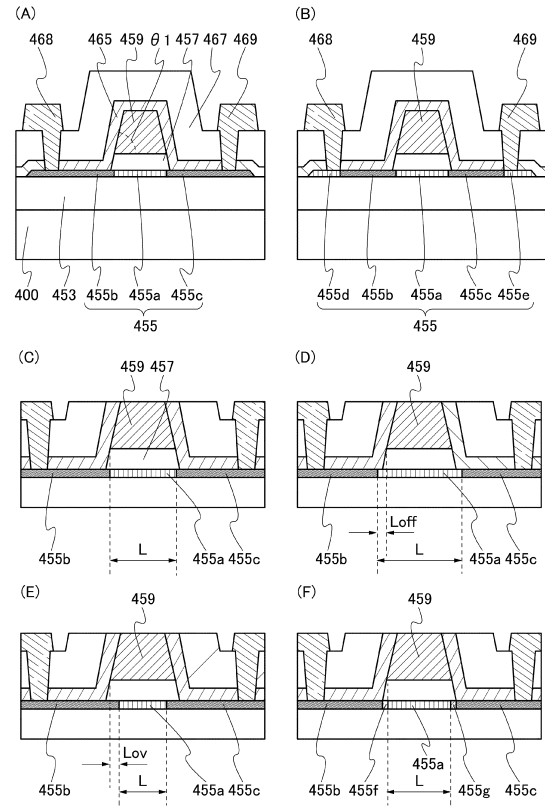
【図2】



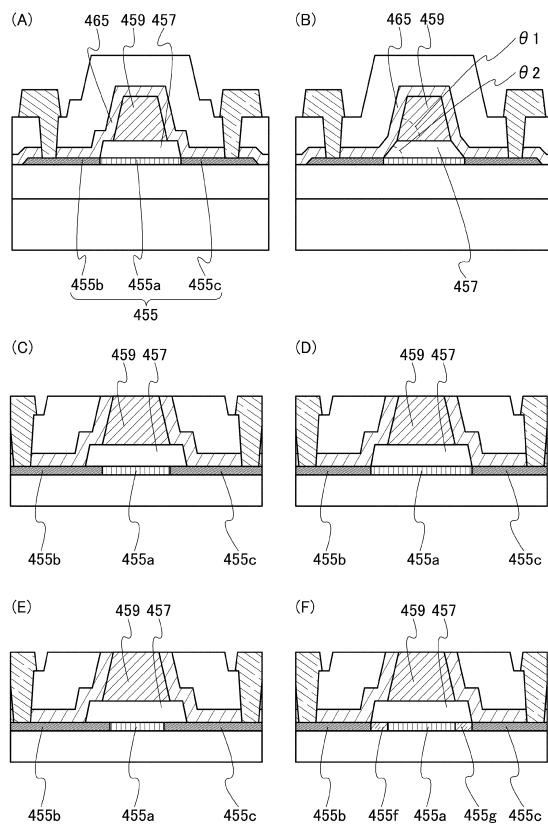
【図 3】



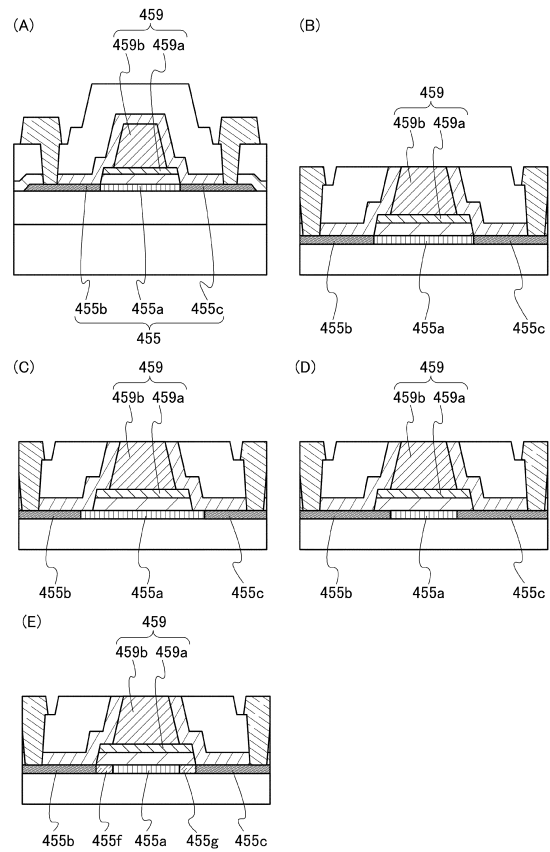
【図 4】



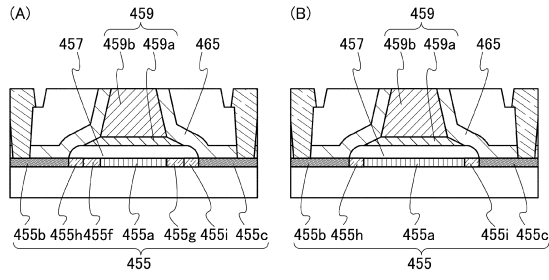
【図 5】



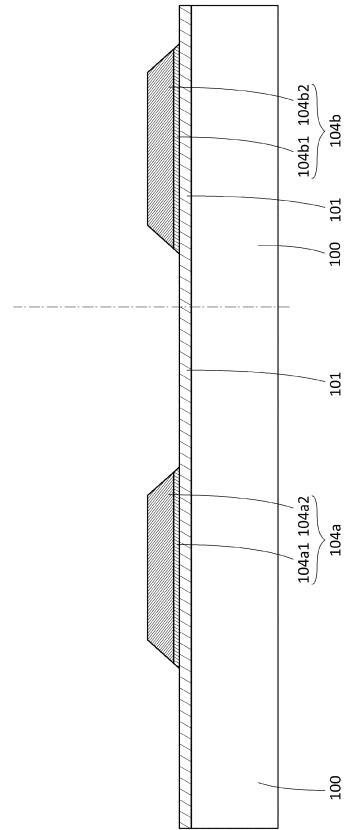
【図 6】



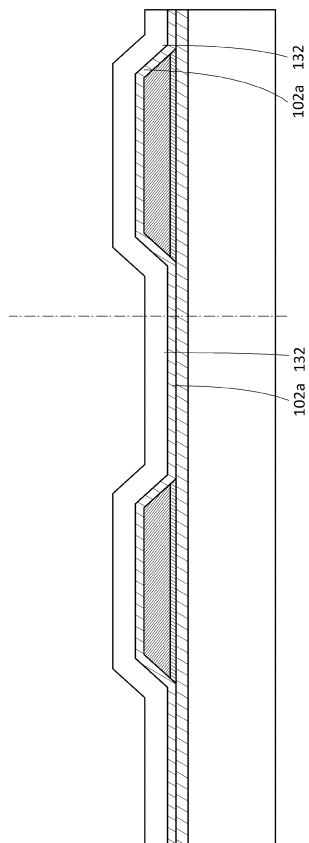
【図 7】



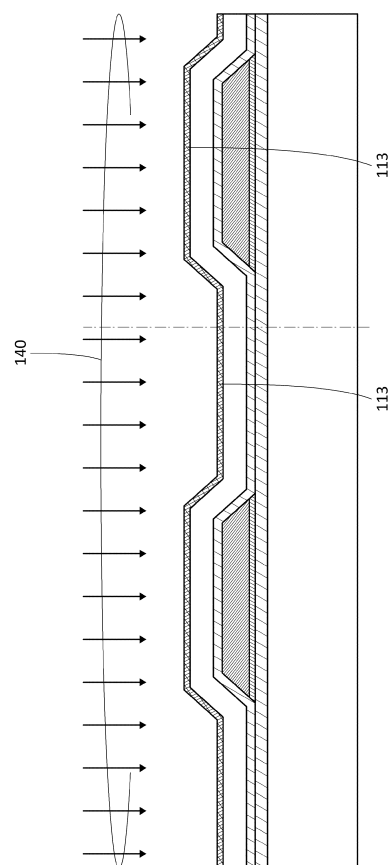
【図 8】



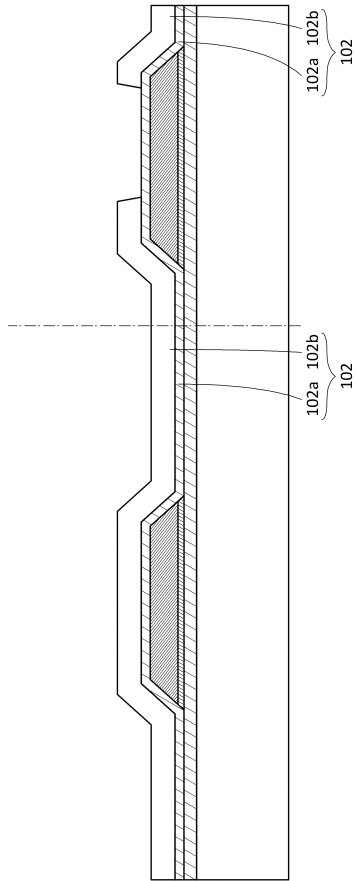
【図 9】



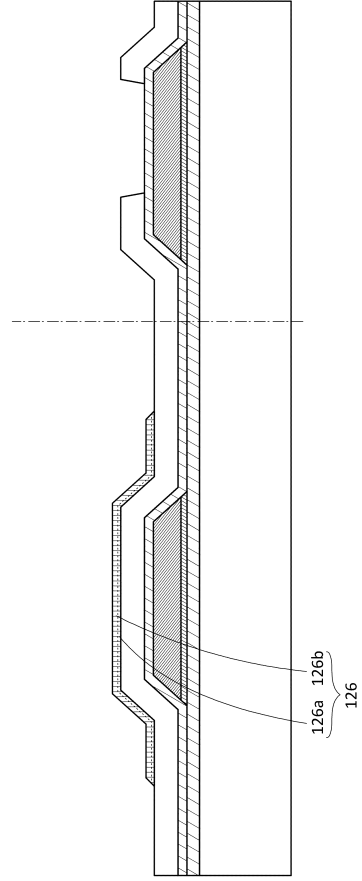
【図 10】



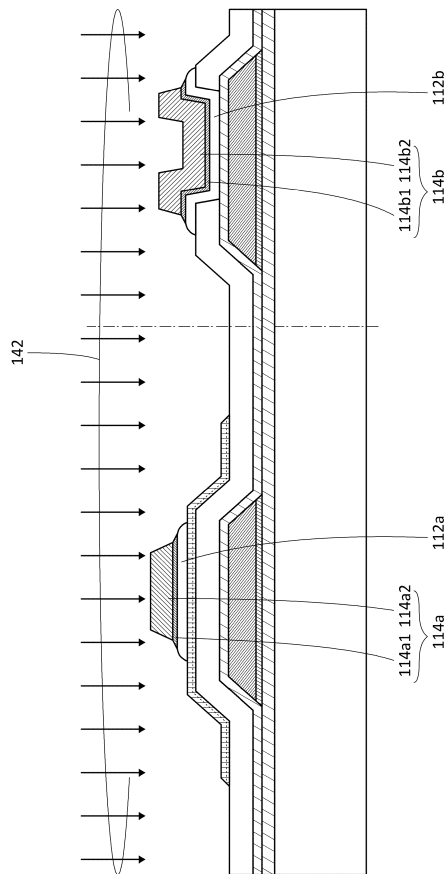
【図 1 1】



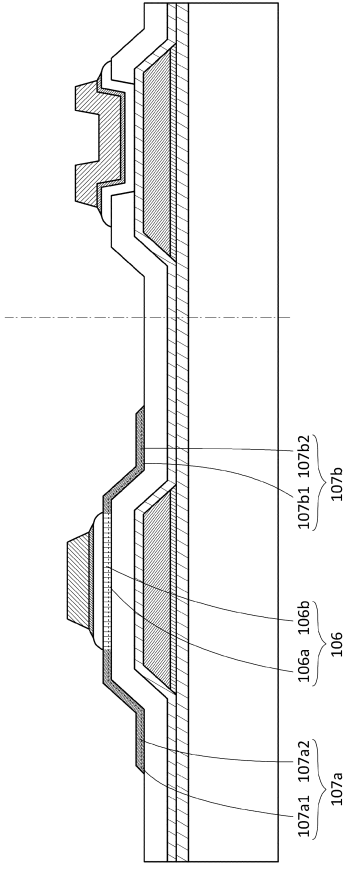
【図 1 2】



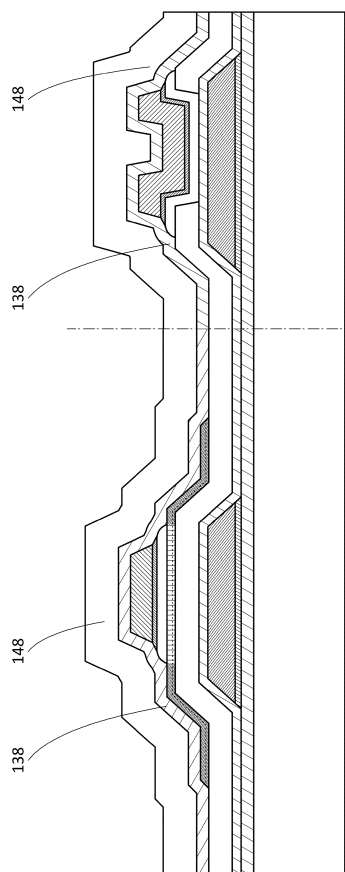
【図 1 3】



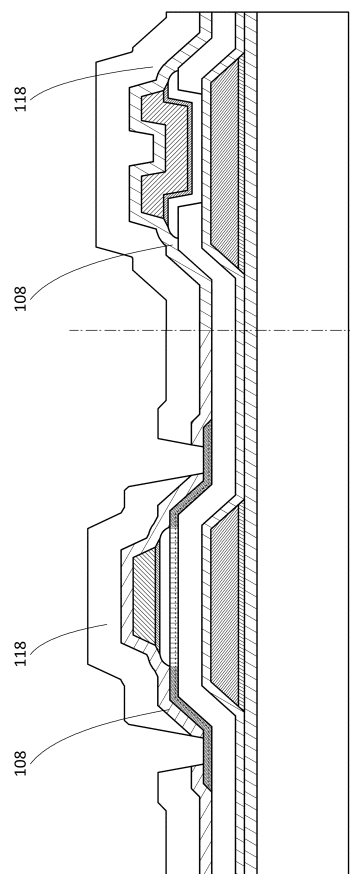
【図 1 4】



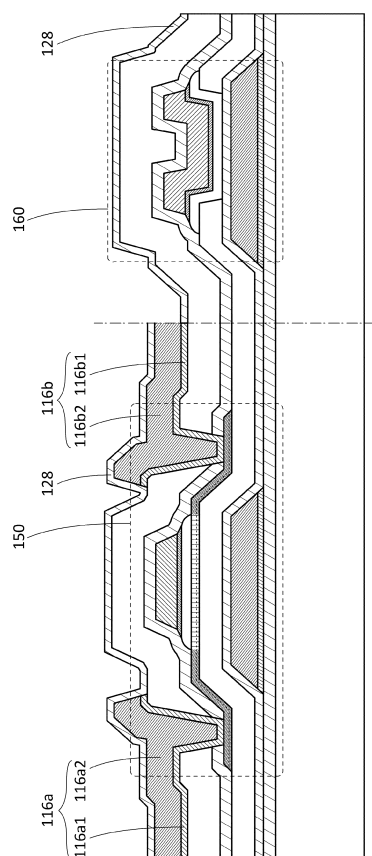
【図 15】



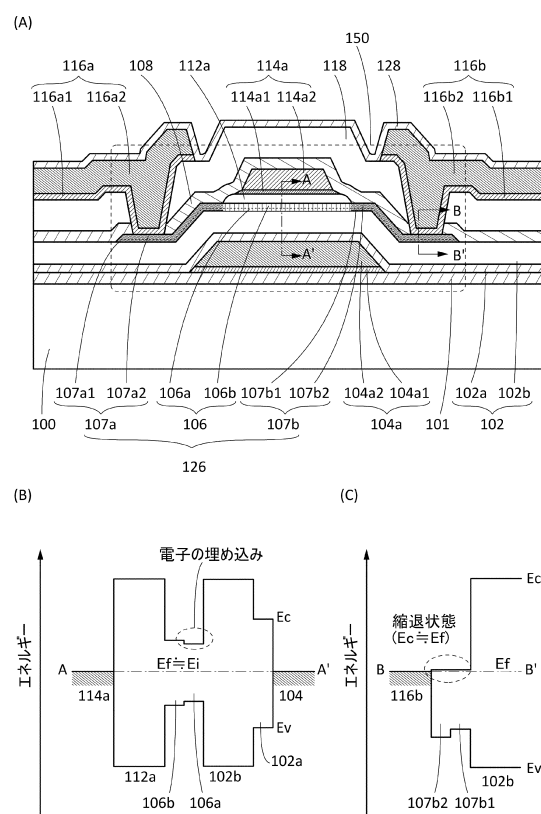
【図 16】



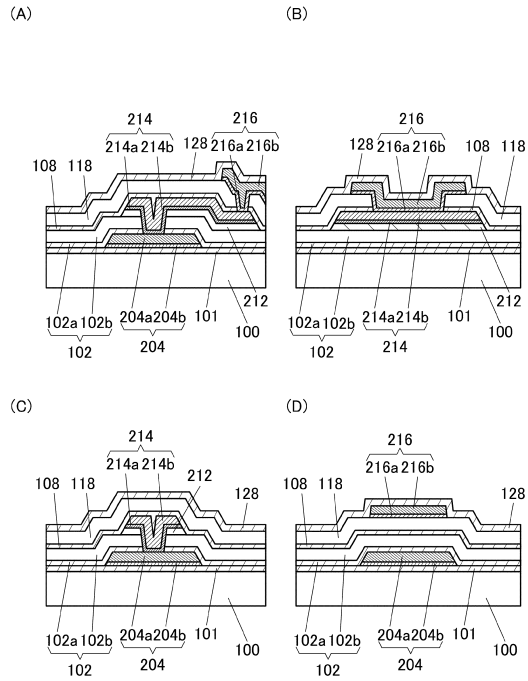
【図 17】



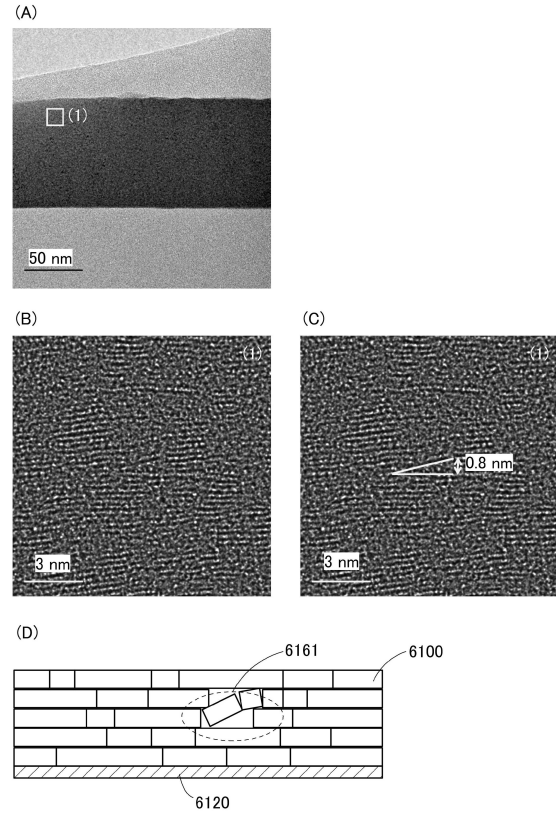
【図 18】



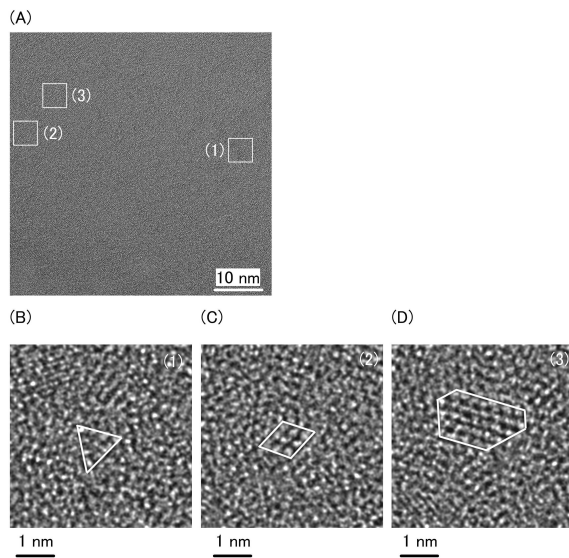
【図 19】



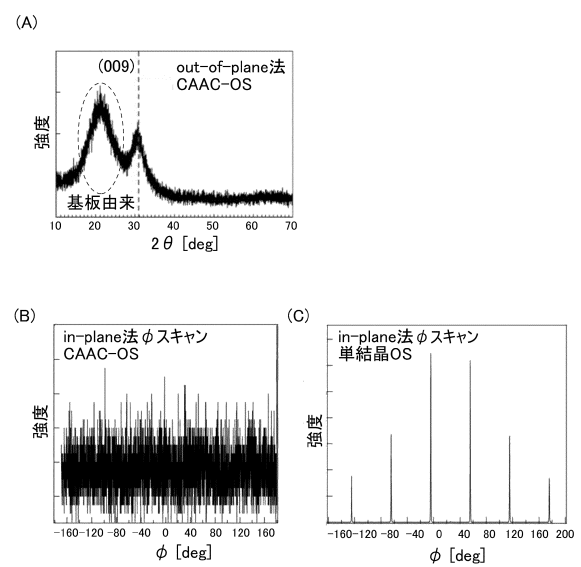
【図 20】



【図 21】

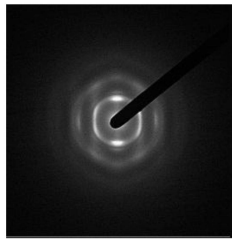


【図 22】



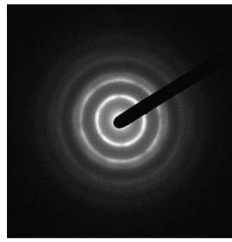
【図 2 3】

(A)



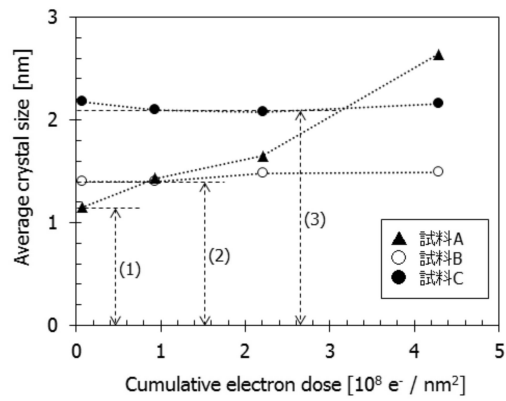
試料面に平行な方向
から電子線を入射

(B)



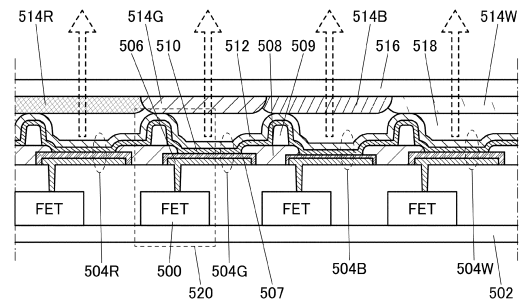
試料面に垂直な方向
から電子線を入射

【図 2 4】

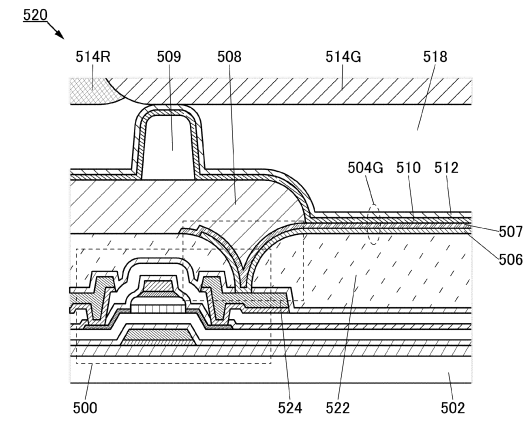


【図 2 5】

(A)

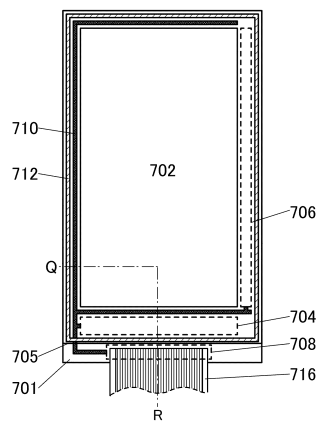


(B)

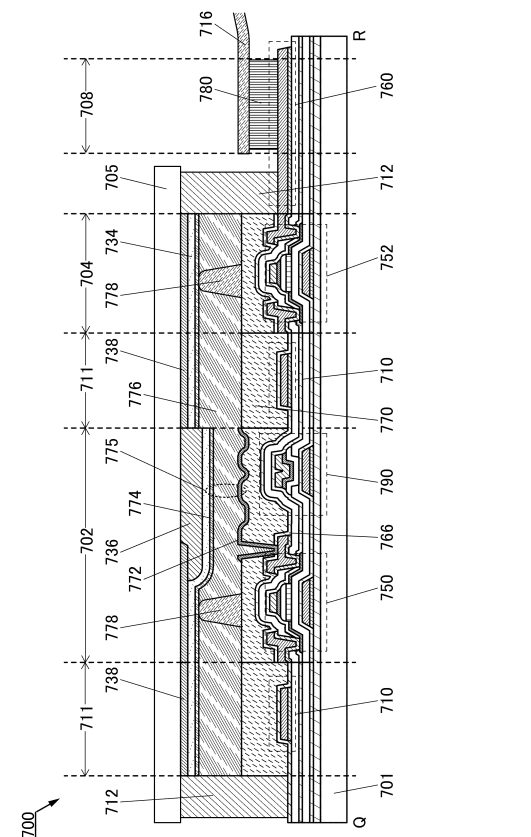


【図 2 6】

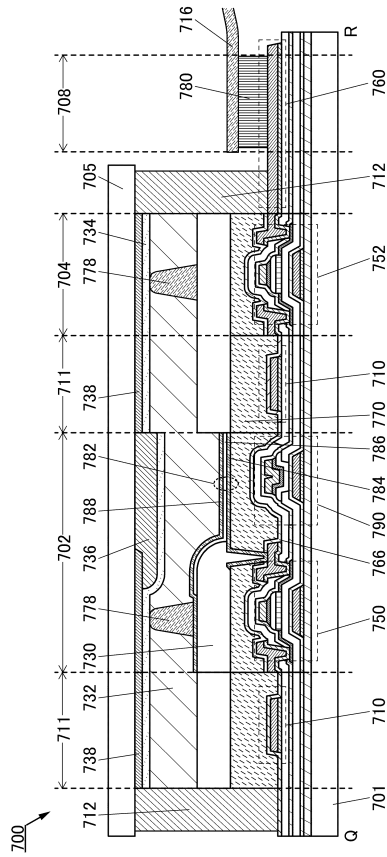
700



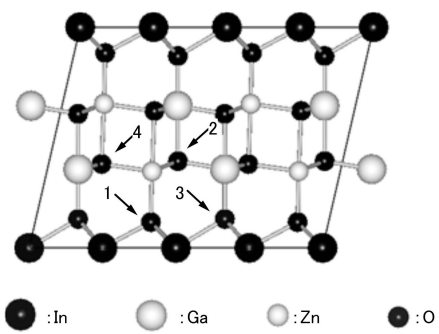
【図 2 7】



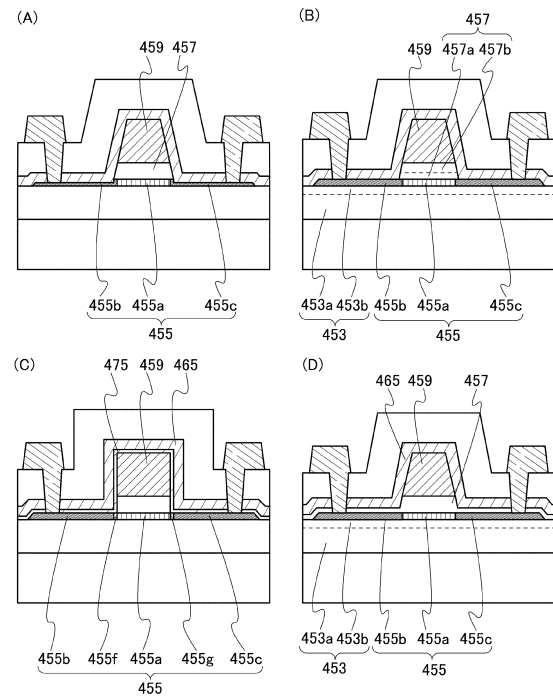
【図 28】



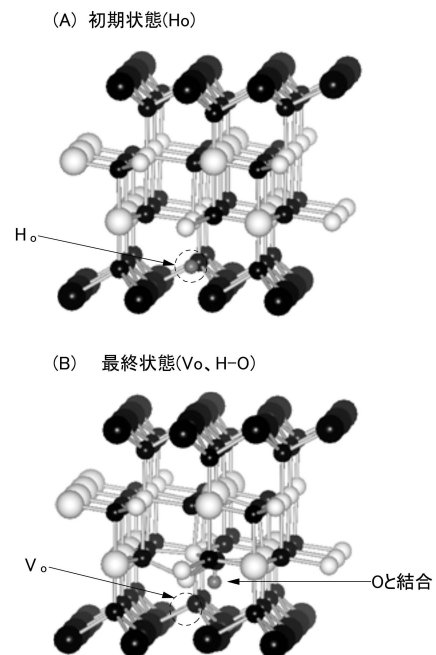
【図 30】



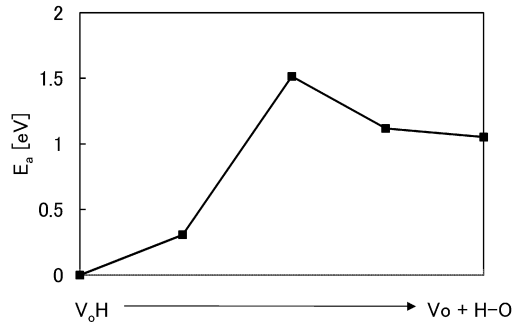
【図 29】



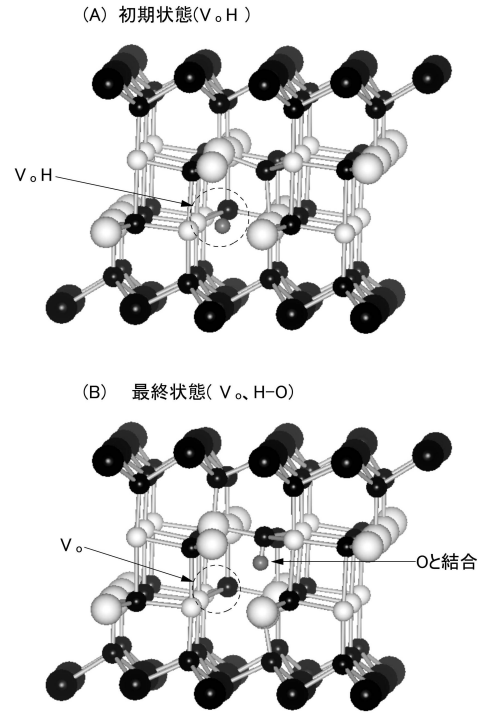
【図 31】



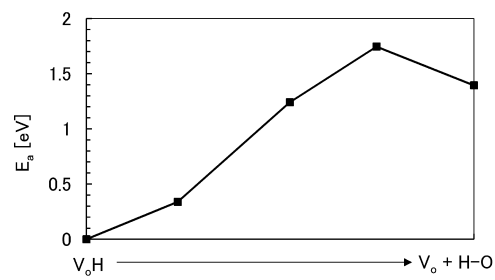
【図 3 2】



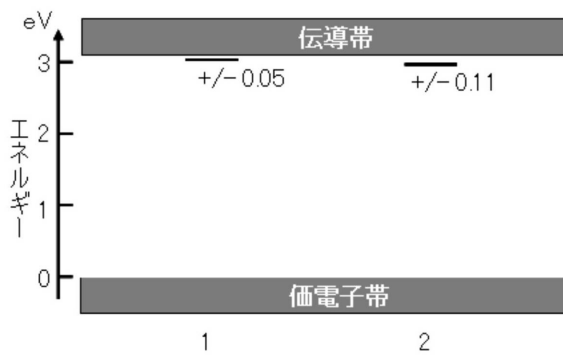
【図 3 3】



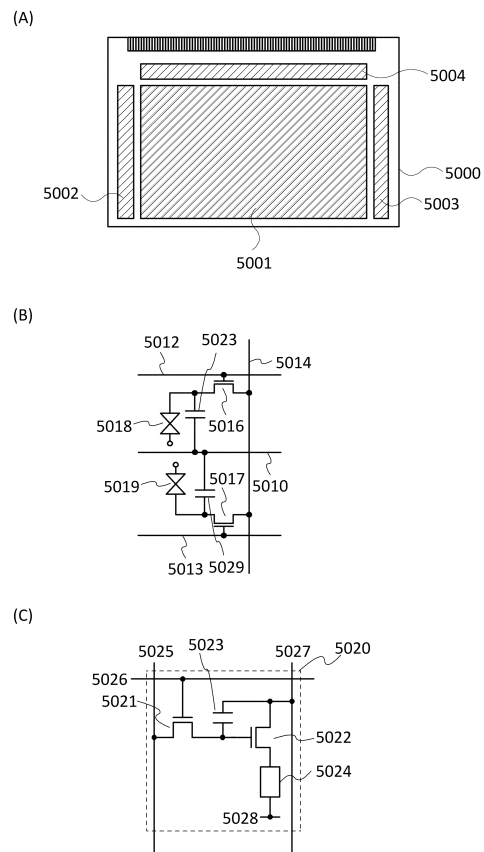
【図 3 4】



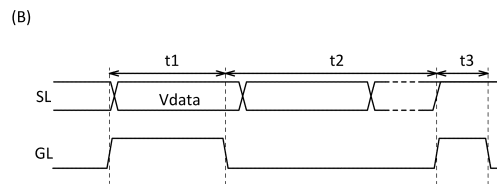
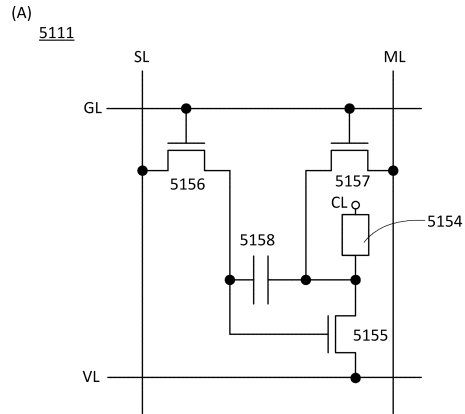
【図 3 5】



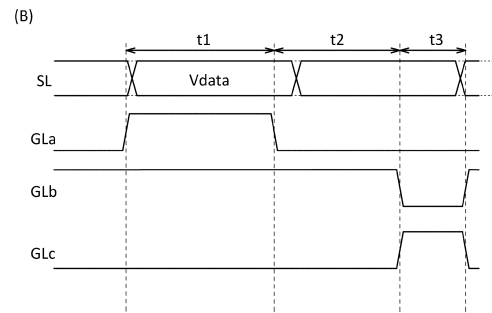
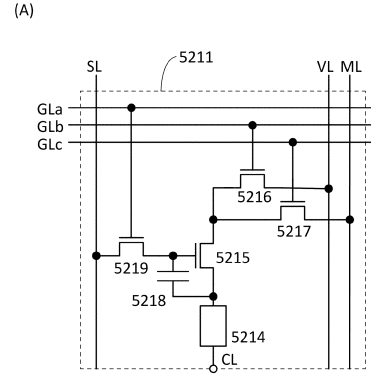
【図 3 6】



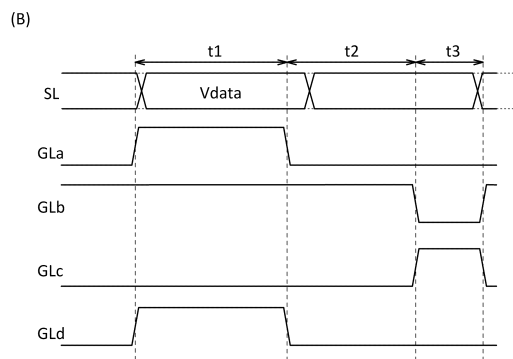
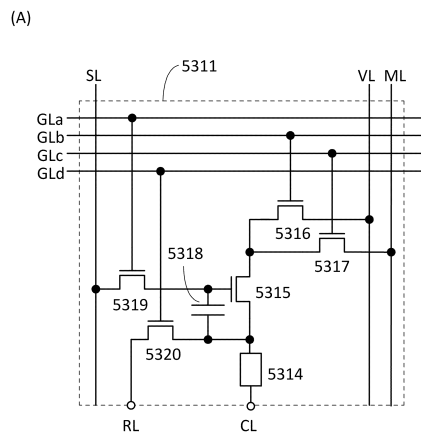
【図 37】



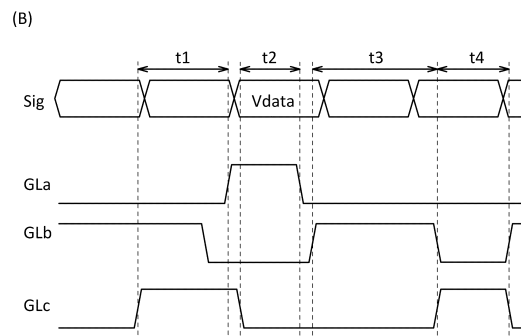
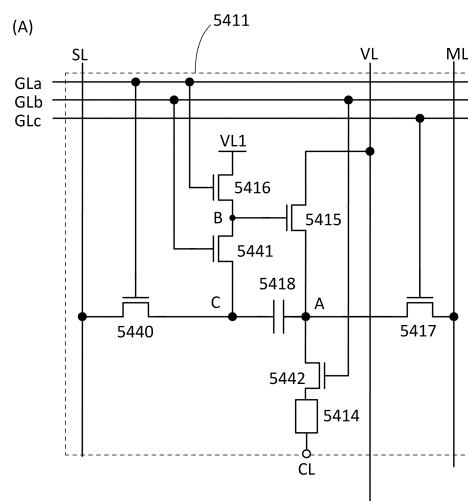
【図 38】



【図 39】

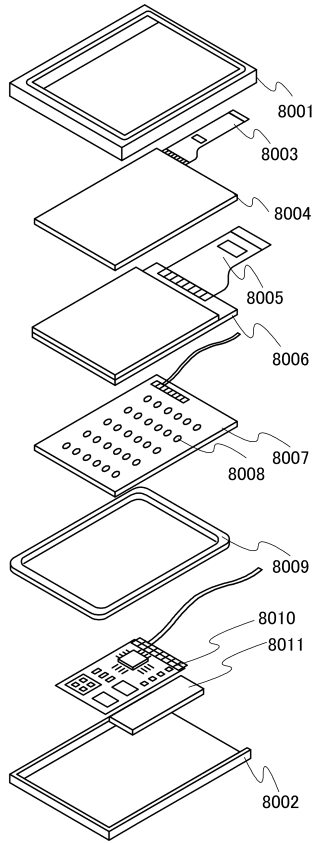


【図 40】

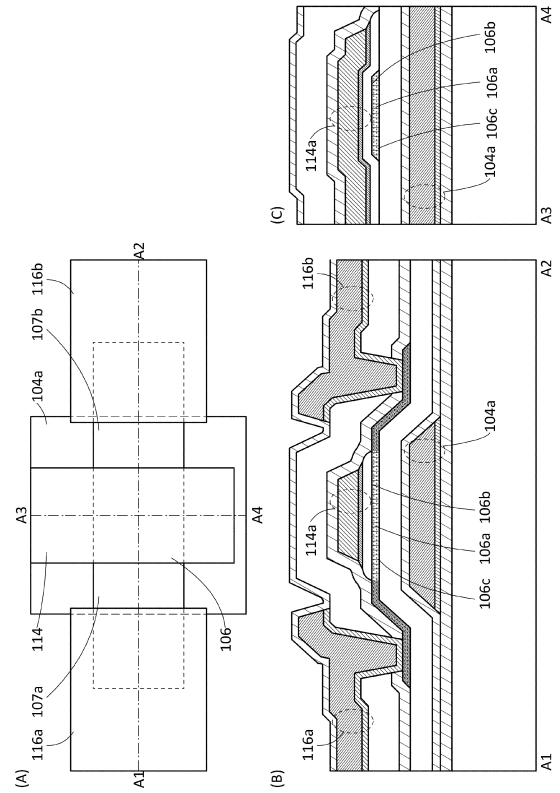


【図 4 1】

8000

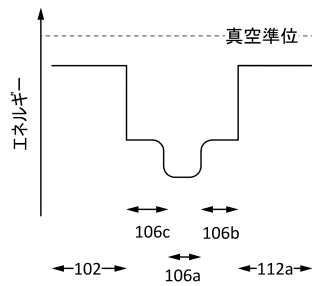


【図 4 2】

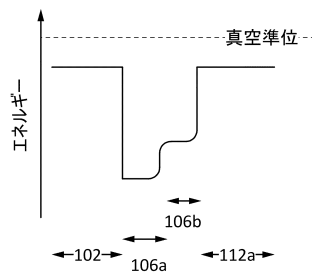


【図 4 3】

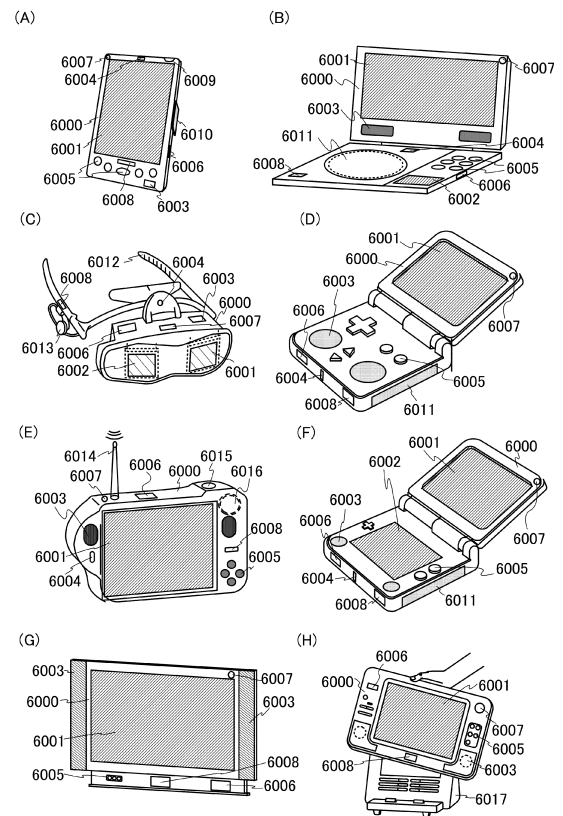
(A)



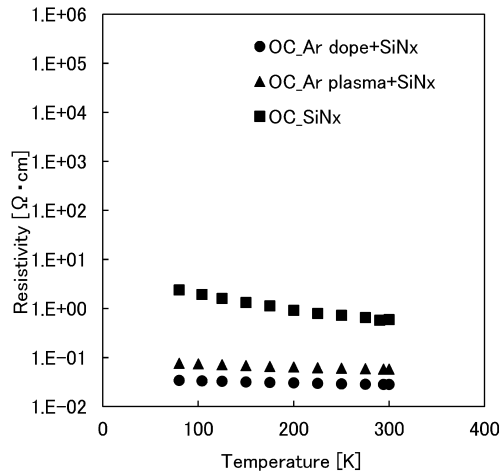
(B)



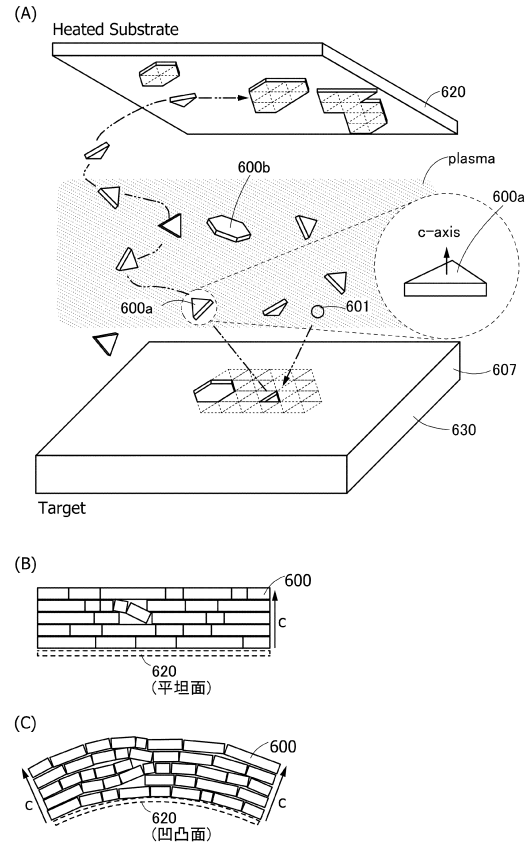
【図 4 4】



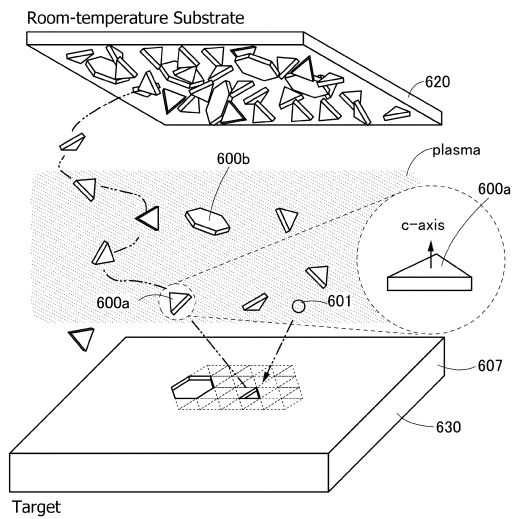
【図 4 5】



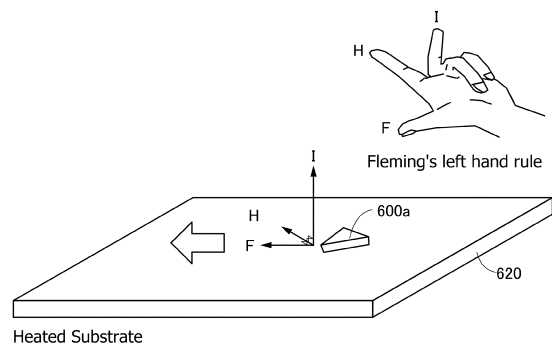
【図 4 6】



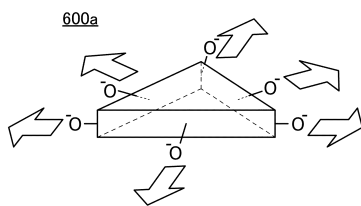
【図 4 7】



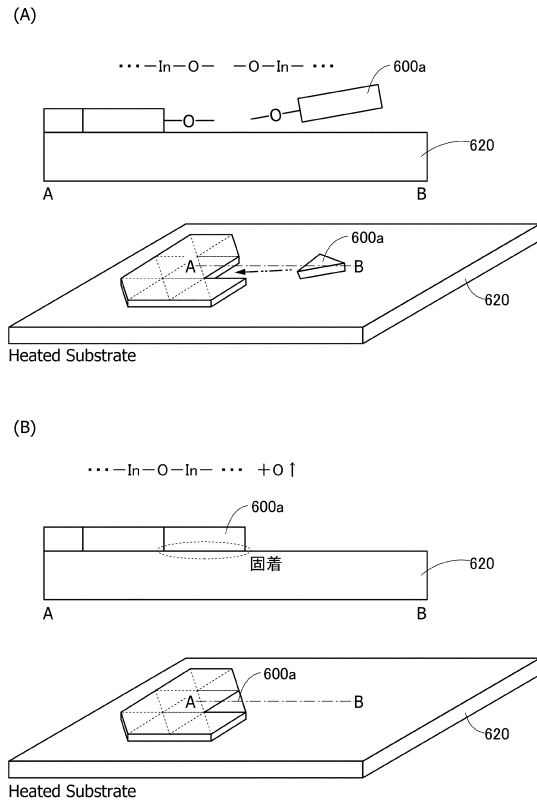
【図 4 9】



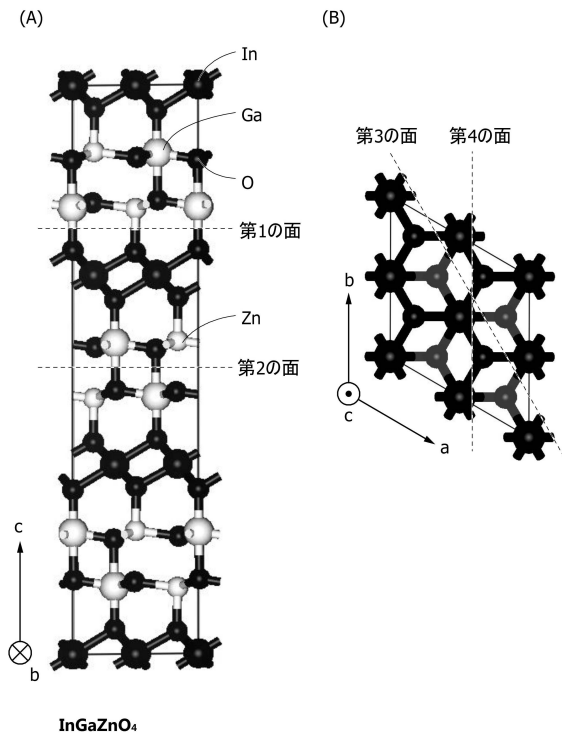
【図 4 8】



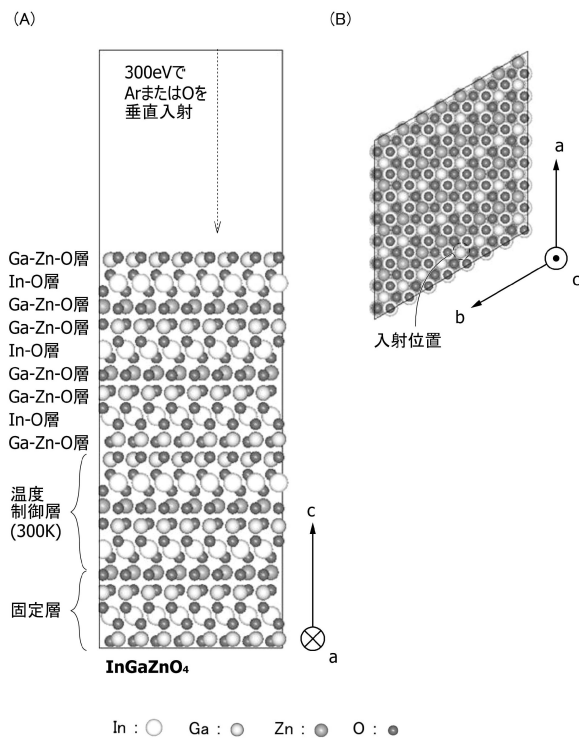
【図 50】



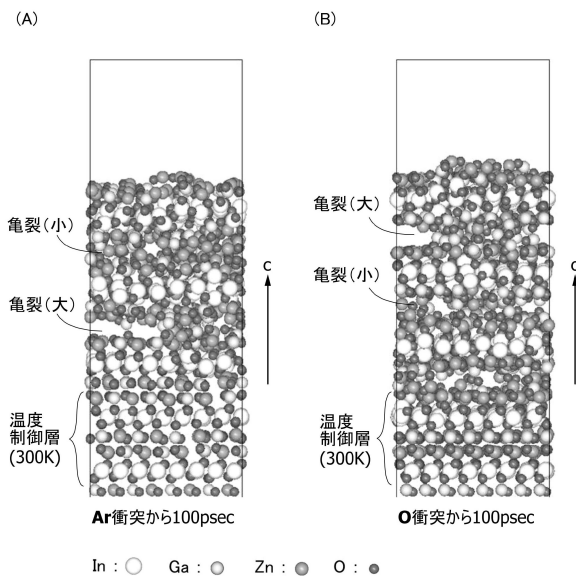
【図 51】



【図 52】

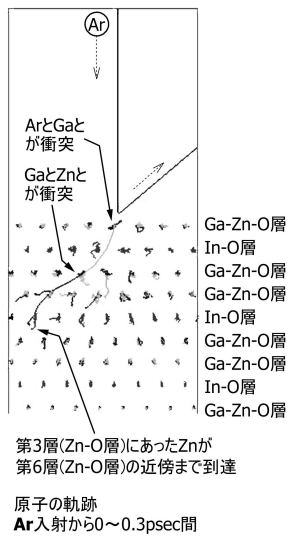


【図 53】

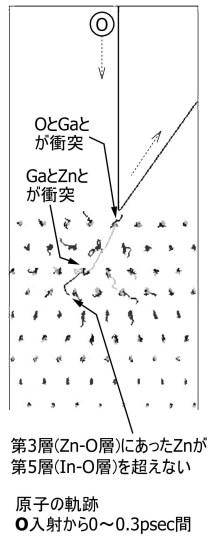


【図 5 4】

(A)

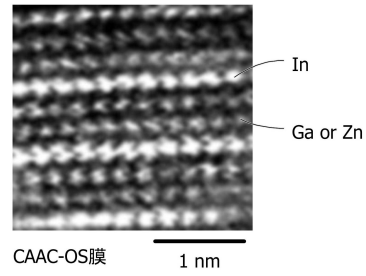


(B)

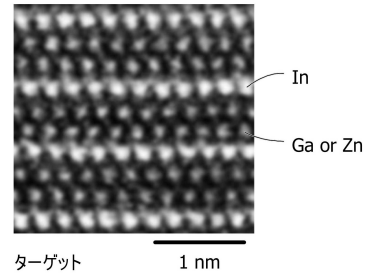


【図 5 5】

(A)



(B)



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/316</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 7 J</i>
<i>G 0 2 F</i>	<i>1/1368</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 7 T</i>
<i>G 0 9 F</i>	<i>9/30</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 6 V</i>
<i>H 0 1 L</i>	<i>21/471</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/477</i>
<i>H 0 1 L</i>	<i>21/473</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/428</i>
<i>C 2 3 C</i>	<i>16/42</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 7 V</i>
			<i>H 0 1 L</i>	<i>21/318</i> <i>M</i>
			<i>H 0 1 L</i>	<i>21/316</i> <i>M</i>
			<i>G 0 2 F</i>	<i>1/1368</i>
			<i>G 0 9 F</i>	<i>9/30</i> <i>3 3 8</i>
			<i>H 0 1 L</i>	<i>21/471</i>
			<i>H 0 1 L</i>	<i>21/473</i>
			<i>C 2 3 C</i>	<i>16/42</i>

(72)発明者 片山 雅博
 栃木県栃木市都賀町升塚1 6 1－2 アドバンスト フィルム デバイス インク株式会社内

審査官 棚田 一也

(56)参考文献 特開2011-044697 (JP, A)
 特開2014-017477 (JP, A)
 特開2012-151460 (JP, A)
 特開2013-229588 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L *2 9 / 7 8 6*
C 2 3 C *1 6 / 4 2*
G 0 2 F *1 / 1 3 6 8*
G 0 9 F *9 / 3 0*
H 0 1 L *2 1 / 3 1 6*
H 0 1 L *2 1 / 3 1 8*
H 0 1 L *2 1 / 3 3 6*
H 0 1 L *2 1 / 4 2 8*
H 0 1 L *2 1 / 4 7 1*
H 0 1 L *2 1 / 4 7 3*
H 0 1 L *2 1 / 4 7 7*