(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월02일
(11) 등록번호 10-1088645
(24) 등록일자 2011년11월25일

(51) Int. Cl.
H01L 21/336 (2006.01)
(21) 출원번호 10-2010-7006208(분할)
(22) 출원일자(국제출원일자) 2003년03월12일
심사청구일자 2010년03월22일
(85) 번역문제출일자 2010년03월22일
(65) 공개번호 10-2010-0047322
(43) 공개일자 2010년05월07일
(62) 원출원 특허 10-2004-7014338
원출원일자(국제출원일자) 2003년03월12일
심사청구일자 2008년03월05일
(86) 국제출원번호 PCT/US2003/007717
(87) 국제공개번호 WO 2003/079413
국제공개일자 2003년09월25일
(30) 우선권주장
10/099,794 2002년03월15일 미국(US)
(56) 선행기술조사문헌
US06255122 B1*
WO2002001622 A2*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미국 텍사스 오스틴 윌리암 캐논 드라이브 웨스트 6501
(72) 발명자
구엔 비치-엔
미국, 텍사스 78733, 오스틴, 로렐우드 드라이브 110
쥬 홍-웨이
중국 베이징 101100, 통주 디스트릭트, 진 후아 리안 지아 유안 6-531
왕 샤오-핑
중국 베이징 101100, 통 주 디스트릭트, 베이 유안 로드, 엔오. 62룸 352
(74) 대리인
장훈

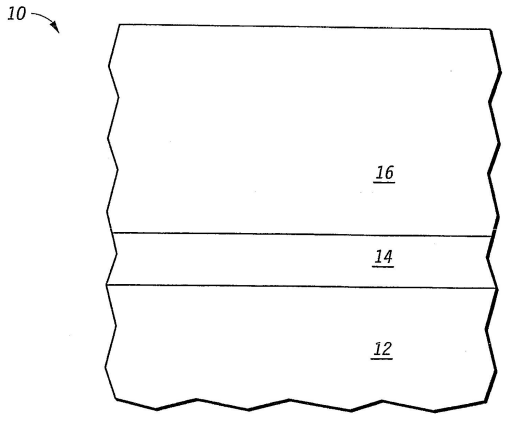
전체 청구항 수 : 총 6 항 심사관 : 박근용

(54) 높은 K 유전막 및 그 형성 방법

(57) 요 약

유전층(32, 38)은 란탄, 알루미늄, 질소 및 산소를 포함하며, 이는 두개의 도전체들(30, 34) 또는 도전체와 기판 사이에서 형성된다. 한 실시예에서, 유전층(32)은 란탄, 질소, 또는 알루미늄 사이에서 변화된다. 부가적인 절연층(36, 40)은 도전체 또는 기판(30) 및 유전층(32, 38) 사이에 형성될 수 있다. 유전층(32, 38)은 원자층 화학적 기상 증착, 물리적 기상 증착, 유기금속 화학적 기상 증착 또는 펄스 레이저 침착에 의해 형성될 수 있다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체 구조에 있어서:

반도체 기판;

상기 반도체 기판 상에 질화 란탄 알루민산염(nitride lanthanum aluminate)을 포함하는 유전층(dielectric layer); 및

상기 유전층 상의 전극층을 포함하고,

상기 질화 란탄 알루민산염은 란탄, 알루미늄, 산소 및 질소를 포함하는, 반도체 구조.

청구항 2

제 1 항에 있어서, 상기 반도체 기판과 상기 유전층 사이에 계면층(interfacial layer)을 더 포함하는, 반도체 구조.

청구항 3

반도체 구조에 있어서:

제 1 도전층;

상기 제 1 도전층 상에 질화 란탄 알루민산염을 포함하는 유전층; 및

상기 유전층 상의 제 2 도전층을 포함하고,

상기 질화 란탄 알루민산염은 란탄, 알루미늄, 산소 및 질소를 포함하는, 반도체 구조.

청구항 4

제 3 항에 있어서, 상기 제 1 도전층은 플로팅 게이트(floating gate)인, 반도체 구조.

청구항 5

반도체 구조에 있어서:

반도체 기판;

상기 반도체 기판 상에 형성된 제 1 유전층;

상기 제 1 유전층 상에 형성된 질화 란탄 알루민산염을 포함하는 제 2 유전층; 및

상기 유전층 상의 전극층을 포함하고,

상기 질화 란탄 알루민산염은 란탄, 알루미늄, 산소 및 질소를 포함하는, 반도체 구조.

청구항 6

반도체 구조에 있어서:

반도체 기판; 및

상기 반도체 기판 상에 질화 란탄 알루민산염으로 구성된 유전체 피처(dielectric feature)를 포함하고,

상기 질화 란탄 알루민산염은 란탄, 알루미늄, 산소 및 질소를 포함하는, 반도체 구조.

명 세 서

기 술 분 야

[0001] 본 발명은 집적 회로들을 만드는데 사용되는 디바이스들 및 그 방법들에 관한 것이며, 특히 집적 회로들을 만드는데 사용되는 높은 K 유전체들에 관한 것이다.

배 경 기 술

[0002] 실리콘 이산화물은 집적 회로들을 만드는데 사용된 가장 일반적이고 효율적인 절연체이다. 이는 매우 높은 레벨의 무결성(integrity)을 가지며, 특히 매우 낮은 결함 밀도(defect density)로 생성될 수 있다. 결과는 실리콘 이산화물이 낮은 누설(leakage)로 매우 효율적으로 동작한다는 것이다. 게이트 유전체들에 대하여, 유전체의 바람직한 특징들 중 하나는 채널이 게이트로 인가된 자극(stimulus)에 응답하도록 아래의 채널에 위의 게이트를 결합하는 것이다. 이러한 점에서, 유전체가 일반적으로 K로 공지된 높은 유전 상수(dielectric constant)를 갖는 것이 바람직하다.

[0003] 현재 실리콘 산화물의 유전 상수보다 높은 유전 상수를 갖는 높은 K 유전체들을 개발하는데 많은 노력이 가해지고 있다. 많은 실리콘 산화물의 장점들 중 하나는 매우 효율적인 절연체가 되게 하는 그의 높은 대역 갭(band gap)이다. 따라서, 높은 K의 목적들을 위해 개발되고 있는 많은 재료들은 그들이 충분히 높은 대역 갭을 갖지 않기 때문에 또는 그들이 유전체를 통한 전류 누설(current leakage)을 방지하기에 충분한 무결성을 갖도록 만드는 것이 어렵기 때문에 문제들을 갖는다는 것이 발견되었다.

[0004] 높은 K 유전체를 위해 바람직한 특성들 중 하나는 비정질(amorphous)인 것이다. 제조 동안 및 이어서 완전한 집적 회로의 부분으로서의 기능적 동작 동안을 포함하는 그의 전체적인 수명에 대하여 그는 비정질로 남아야 한다. 다수의 높은 K 유전체들은 침착시 충분히 높은 K와 충분한 무결성을 갖지만, 다음 프로세싱 단계들 및 그와 연관된 가열을 거치면서 결과적으로 이러한 막들의 결정화를 가져온다. 이러한 결정화된 막들은 그들의 전체적인 길이 및 폭에 대하여 완전하게 결정화되지 않지만, 형성되는 결정 구조들 사이에 그레인 경계들(grain boundaries)로 알려진 영역들을 갖는다. 이러한 그레인 경계들은 누설 영역들이며, 전기적 성능에 영향을 미치는 다른 문제들이다.

[0005] 비정질의 대안은 단결정막들이다. 이론적으로, 이러한 막들은 전형적으로 단결정으로 만들어질 수 있다. 이들은 몇몇 문제들을 갖는다. 하나는 막의 결정 구조가 사실상 완전하게 형성되는 형성 프로세스 동안 뿐만 아니라 밑의 반도체, 전형적으로 실리콘의 구조와 매칭한다는 것이다. 단결정인 층들인 에피텍셜 층들(epitxial layers)이 분야에 공지되어 있다. 실리콘은 에피텍셜하게 생성될 수 있다. 이러한 에피텍셜 프로세스들은 일반적으로 다른 침착 프로세스들(deposition process)과 비교하여 상대적으로 느리다. 매우 작은 막들이 단결정 형태로 조직되는 것에 의한 기술들 중 하나는 분자 빔 에피텍시(molecular beam epitaxy)이다. 이러한 접근에는 매우 느려서 시간의 주기당 웨이퍼들(wafers)의 수인 산출량이 CVD와 같은 종래의 침착 프로세스들에 비해 매우 느리다는 문제점들이 있다. 따라서, 분자 빔 에피텍시(MBE)는 일반적으로 제조가능한 기술로 고려되지 않는다. MBE 기술을 사용하더라도 여전히 결점이 없는 막들을 보증하기는 어렵다. 이를 이루기 위하여, 압력들이 극히 낮아야 하며 프로세스는 매우 느리게 된다. 얇기 평균이 10 내지 30 옹스트롱인 매우 얇은 층은 MBE 머신에서 2시간을 쉽게 취할 수 있다.

[0006] 새로운 높은 K 유전체들의 개발에서 너무 높은 유전 상수로 다른 잠재적인 문제가 또한 있다. 유전 상수가 너무 높으면, 트랜지스터의 성능에 악영향을 끼치는 프린징 필드 효과(fringing field effect)로 불리는 효과가 있다. 이는 게이트 및 소스/드레인 사이에 초과 결합(excessive coupling)으로 수행하여야 한다. 따라서, 유전 상수에 대하여 바람직하게 개발되는 재료들은 전형적으로 20 내지 40 사이의 범위를 갖는다. 이러한 범위는 기술이 더욱 발전함에 따라 일부 변화될 수 있다.

[0007] 바람직한 높은 K 유전체의 다른 양태는 실리콘 산화물의 임의의 두께와 동일한 그의 캐패시턴스(capacitance)에 대한 것이다. 실리콘 산화물은 그가 표준이 되고 당업계는 종종 어떤 특성들을 실리콘 산화물과의 관계로 표현하는 것과 같이 매우 일반적이고 효율적으로 사용되었다. 이러한 경우에, 전형적인 바람직한 실리콘 산화물의 동등물은 5 내지 15 옹스트롱 사이이지만 5 내지 15 옹스트롱의 실리콘 산화물은 누설, 신뢰도(reliability) 및 성장 속도에서 문제들을 갖는다. 따라서, 막이 매우 작을 때 이를 사용한 것뿐만 아니라 이를 제조하는데 어려움이 있을 수 있다. 바람직한 결합은 실리콘 산화물의 5 내지 15 옹스트롱의 두께의 동등물을 갖지만 실질적인 두께는 더 두꺼운 유전체를 갖는 것이다. 일반적으로 바람직하다고 믿어지는 실질적인 최소의 두께는 약 25 옹스트롱이다.

발명의 내용

해결하려는 과제

[0008] 그러므로, 바람직한 범위 내의 유전 상수, 높은 무결성으로 만들어질 수 있는 능력, 바람직한 범위의 두께, 및 제조 프로세스에서 만들어지는 능력을 갖는 유전막이 필요하다.

과제의 해결 수단

[0009] 란탄, 알루미늄 및 산화물을 포함하는 높은 K 유전막은 매우 높은 K 재료를 제공한다. 이는 유전 상수의 바람직한 범위, 높은 온도들에서 비정질을 유지하고 낮은 누설을 제공할 수 있는 능력을 가지는 장점들을 조합한다.

발명의 효과

[0010] 란탄, 알루미늄 및 산화물을 포함하는 높은 K 유전막은 유전 상수의 바람직한 범위, 높은 온도들에서 비정질을 유지하고 낮은 누설을 제공할 수 있는 능력을 제공한다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 제 1 실시예에 따른 집적 회로의 일부의 단면도.

도 2는 본 발명의 제 2 실시예에 따른 집적 회로의 일부의 단면도.

도 3은 본 발명의 제 3 실시예에 따른 집적 회로의 일부의 단면도.

도 4는 본 발명의 제 4 실시예에 따른 집적 회로의 일부의 단면도.

도 5는 본 발명의 제 5 실시예에 따른 집적 회로의 일부의 단면도.

도 6은 본 발명의 제 6 실시예에 따른 집적 회로의 일부의 단면도.

발명을 실시하기 위한 구체적인 내용

[0012] 도 1에 도시된 것은 반도체 재료의 기판(12), 도전막(14) 및 도전막(16)을 갖는 집적 회로의 일부(10)이다. 기판(12)은 적어도 그 표면에 반도체 영역을 갖는다. 도시되지 않은 밑부분은 또한 반도체 재료일 수 있으며, 또는 절연체 상 반도체(SOI) 기판들에 대해 전형적인 절연 재료일 수 있다. 반도체 재료의 예들은 단결정 실리콘(monocrystalline silicon), 갈륨 비소(gallium arsenide), 실리콘 게르마늄 및 게르마늄을 포함한다. 기판(12) 상에 유전층(14)이 있다. 유전층(14) 상에 게이트 전극으로 동작하는 도전막(16)이 있다. 유전층(14)은 게이트 절연체 또는 게이트 유전체로 동작한다. 여기서 유전막(14)과의 인터페이스에서 표면 근처의 영역에 도시된 바와 같은 기판(12)은 트랜지스터의 채널이다.

[0013] 게이트 유전체(14)는 란탄, 알루미늄 및 산화물을 포함하는 합성물인 란탄 알루민산염을 포함한다. 이는 알루미늄 및 란탄의 비율이 동일할 때 $LaAlO_3$으로 기록된다. 게이트 유전체(14)는 바람직하게 원자층 화학적 기상 증착(atomic layer chemical vapor deposition; ALCVD)을 사용하여 형성된다. 사용될 수 있는 다른 방법들은 물리적 기상 증착(physical vapor deposition), 유기금속 화학적 기상 증착(organometallic chemical vapor deposition), 및 펄스 레이저 침착(pulse laser eposition)을 포함한다. ALCVD 방식은 두께를 포함하는 층의 형성의 정확한 제어를 허용하며, 이러한 경우 약 25 옹스트롱보다 작지 않고 바람직하게 30 내지 90 옹스트롱의 범위에 있다. 현재 집적 회로 기술의 게이트 도전체(16)는 전형적으로 폴리실리콘이지만 텅스텐, Ti-질화물, 탄탈륨 질화물 또는 게이트 도전체로서 유용한 임의의 도전체와 같은 다른 도전체들일 수 있다.

[0014] ALCVD에 의해 침착되는 게이트 전극(14)은 또한 막이 비정질 상태로 침착되는 것을 확실히 하는데 유용하다. 현재의 ALCVD 기술을 사용하면, 대표적인 온도 범위가 200 내지 400도이며, 압력들은 0.1 내지 10 토르 사이이고 ALVCD에 대하여 보통 1.0 토르가 선택된다. 온도 및 압력은 게이트 유전체(14)에 대하여 비정질 상태를 보증하도록 선택된다. ALCVD 프로세스에서, 알루미늄 및 란탄 및 산소 소스들은 사이클의 상이한 부분들로 도입된다. 각 재료는 그가 도입되고 침착되는 사이클에서 그 자신의 포인트를 가지며, 존재하는 층으로 반응하는 결과에 의해 발생하고, 이후 비워지거나 세척된다. 다음으로, 다른 재료가 도입되며, 존재하는 층과 반응하고 세척에 의해 제거된다. 이후 제 3 재료가 도입되고 반응되며 세척된다. 완전한 사이클은 이후 모든 3 개의 재료들이 되지만 사이클에서 상이한 포인트들 및 시간이다. 알루미늄 이후 산소, 란탄 이후 산소, 알루미늄 이후 산소 등이 될 것이라는 것이 또한 보여질 수 있다. 따라서, 모든 다른 단계가 산소 소스의 도입이 될 것이다. 따라서 한 접근에서 재료의 각 도입은 침착층이 된다. 이러한 경우, 각각의 완전한 사이클이 침착의 4 개의 층들을 구성하

고, 하나의 란탄, 하나의 알루미늄 및 두 개의 산소는 침착에서 층에 의해 층이 되지만 4 개의 층들이 두 개의 금속 산화물층, 알루미늄/산소의 하나 및 란탄/산소와 같은 다른 것으로 관측가능할 것이다. 이러한 두 개의 층들은 따라서 란탄 알루민산염의 단일층을 포함한다.

[0015] 이러한 란탄 알루민산염은 유전 계수(dielectric coefficient) 및 낮은 누설의 최적화의 영역에서 많은 이득을 제공한다. 일부 다른 재료들이 식별가능한 결핍(deficiency)을 갖는다. 예를 들어 란탄 산화물은 알맞은 범위로 그러나 물을 흡수하는 유전 상수를 갖는다. 물의 흡수는 집적 회로들의 바람직한 제조에 매우 해롭다. 예를 들어, 란탄 산화물에 의한 물의 흡수는 구조적 무결성 문제들을 유발한다. 이는 집적 회로 구조를 형성하는데 유익하지 않게 부드럽게 만들 수 있다. 예를 들어, 알루미늄 산화물은 너무 낮은 유전 상수의 문제를 갖는다. 알루미늄 산화물의 유전 상수는 실리콘 산화물보다 다소 높지만, 지속적인 스케일링을 위해 유용하지 않게 만들만큼 충분하지는 않다. 따라서 알루미늄 산화물이 유용할 수 있으나 크기가 축소된 후속의 생성들은 동작가능하지 않은 일부 단일 프로세스 구성이 있을 수 있다.

[0016] 란탄 알루민산염의 다른 이점은 유전 상수가 란탄 콘텐트의 확장에 기초하여 변경될 수 있다는 것이다. 따라서 최적화된 유전 상수가 10 내지 25 사이에서 이루어질 수 있다. 란탄 콘텐트가 알루미늄 콘텐트보다 높은 경우, 조금 높은 계수들이 아도 얻어질 수 있으나, 이는 수분 흡수와 연관된 문제들을 유발할 수 있다.

[0017] 란탄 알루민산염은 유익하게 1,025 이상의 온도 및 아마도 그 이상에서도 비정질로 남는다. 섭씨 1,025 도는 현재 프로세스들에 대한 전형적인 최고 온도이다. 따라서, 란탄 알루민산염은 가장 진보된 구조들을 위한 많은 전형적인 프로세스들에 의해 만들어지는 집적 회로의 프로세싱 동안 수신될 가장 높은 온도를 겪고 비정질로 남는 것으로 발견되었다. 최대 프로세싱 온도들에 대해 바람직한 것은 일부를 드롭하는 것이지만, 최대 온도들은 소스/드레인들의 도펀트들의 활성화가 높은 온도를 요구하고 이러한 활성화가 앞선 형상에 대한 요구로 예상되므로 높게 남을 것이다. 최대 온도는 일부가 섭씨 1,025도 이하로 떨어질 것이지만 적어도 얼마간의 시간에 대해 섭씨 900 도 이상으로 예측될 것이다. 그러나 여기에는 온도들의 심각한 저하가 일어날 것이라는 확률이 없으며 섭씨 1,025도는 얼마간의 시간 동안 유효한 조건으로 지속할 수 있다. 따라서, 비정질 란탄 알루민산염은 바람직한 높은 K 특성들과 예기된 온도 범위들을 통한 높은 무결성을 제공한다.

[0018] 비정질 란탄 알루민산염의 효율적인 높은 K 유전막을 침착시키는 다른 이점은 매우 효율적일 수 있으나, 단지 실리콘 상에서만이 아니라 갈륨 비소 상에서도 가능하다는 것이다. 효율적으로 갈륨 비소를 구현함과 보다 높은 이동도의 장점의 문제들 중 하나는 갈륨 비소에서 사용된 게이트 유전체들이, 높은 온도에서 실리콘 산화물을 성장시키는 것에 의해 이루어지는 실리콘의 게이트 유전체의 무결성과 매칭하는게 매우 어렵다는 것이다. 따라서, 대부분의 애플리케이션들에서 실리콘은 갈륨 비소 전에 제공된다. 이제 ALCVD를 사용하여 침착된 유효한 높은 K 유전체로, 게이트 유전체가 실리콘, 갈륨 비소 또는 다른 반도체 재료의 어느 하나의 위에 침착되는 것인지와 관계없이 높은 무결성일 수 있다. 결과는 갈륨 비소가 대부분의 집적 회로들에 대해 바람직한 선택이 될 것이며 지금의 반도체 시장의 시장 뿐은 아니라는 것이다.

[0019] 도 2를 참조하면, 기판(20), 배리어 유전체(22), 높은 K 유전체(24), 및 도전체(26)를 포함하는 집적 회로의 일부(18)가 도시된다. 이러한 경우에, 높은 K 유전체(24)는 란탄 알루민산염인 도 1의 막(14)과 유사하거나 동일하다. 도전체(26)는 도전체(16)와 동일하며 기판(20)은 도 1의 기판(12)과 동일하다. 중간층으로 또한 불릴 수 있는 배리어 유전체(22)는 절연체와 같은 그의 바람직한 특성들에 대해 선택된다. 이는 예를 들어, 알루미늄 산화물, 실리콘 산화물 또는 실리콘 산화질화물일 수 있다. 뛰어난 절연 특성들을 갖고 실리콘 산화물보다 다소 높은 유전 상수를 갖기 때문에 알루미늄 산화물은 이러한 경우에 대하여 특히 양호한 선택이다. 배리어 유전체(22)는 원치않는 전류 흐름을 방지하기 위해 높은 K 유전체(24)와 배리어 유전체(22)의 조합이 충분한 절연 특성들을 갖는다는 것을 보증하도록 보호된다. 예를 들어, 조합은 높은 대역 갭을 가질 것이며 충분하게 높은 유전 상수를 가질 것이다. 특히, 이는 기판(20)으로 직접 접촉에 높은 대역 갭 재료를 위치시키며, 이는 전자 주입의 잠재적 소스이다. 배리어 유전체(22)에 대한 다른 잠재적 사용은 기판(20)에 대해 선택된 재료가 란탄 알루민산염으로 문제되면 확산 배리어(diffusion barrier)이 된다.

[0020] 도 3에 도시된 것은 기판(30), 유전막(32), 및 도전체(34)를 포함하는 집적 회로의 일부(28)이다. 이러한 경우 기판(30)은 기판(20)은 기판들(20, 12)과 동일하며 도전체(34)는 도전체들(26, 16)과 동일하다. 유전막(32)은 유전체(14) 및 유전체들(22, 24)의 조합을 대신한다. 이러한 경우에 유전막(32)은 란탄의 변화된 농도를 갖는다. 기판(30)과 인터페이스하는 근처의 유전막(32)에서, 재료는 본질적으로 순수한 알루미늄 산화물이다. 도전체(34)를 향한 란탄의 농도의 이동은 인터페이스 근처 및 도전체(34)와의 인터페이스에서 유전막(32)의 알루미늄 및 란탄 사이의 1 대 1 비율이 될 때까지 지속적으로 증가한다. 이러한 방식의 장점은 기판(30)의 바로

다음에서 바람직한 높은 대역 갭을 제공하며 알루미늄 산화물과 란탄 알루민산염 사이의 임의의 흡수 인터페이스들을 회피한다는 것이다. 결과적인 유전 상수는 농도가 증가되는 비율을 제어하는 것에 의해 잘 조절될 수 있으며, 알루미늄과 란탄 사이의 1 대 1 비율이며 이는 도전체(34)와의 인터페이스 전에 잘 이루어질 수 있다. 대안으로 란탄의 농도가 알루미늄의 농도를 초과하도록 1 대 1 비율을 통과하여 연속적으로 변화시키는 방법이 있다.

[0021] ALCVD를 사용하는 경우에서, 침착의 초기 위상들은 란탄을 포함하지 않을 것이다. 제 1 층은 단순하게 알루미늄 및 산화물이며 이는 바람직한 수의 층들에 대해 지속적이고 란탄은 란탄과 알루미늄 사이의 1 대 1 비율에 도달할 때까지 증가하여 알루미늄을 대체할 수 있을 것이다. 사실, 알루미늄보다 높은 란탄의 농도를 얻는 것이 바람직할 수 있다. 손해는 란탄이 초과되는 경우 막의 품질이 저하되는 것이며 반면에 더 높은 유전 상수의 제공에서 더 높은 농도의 란탄의 이점은 실제로 알루미늄보다 더 많은 란탄이 바람직한 상태를 위해 제공될 수 있다는 것이다. 이러한 경우, 도전체(34)로의 인터페이스에 가장 가까운 란탄은 농도에서의 알루미늄보다 클 것이다.

[0022] 도 4에 도시된 것은 기판(34), 배리어 유전체(36), 높은 K 유전체(38), 배리어 유전체(40) 및 도전체(42)를 포함하는 집적 회로의 일부(32)이다. 이러한 경우에, 기판은 기판들(12, 20, 30)과 유사하다. 배리어 유전체(36)는 배리어(22)와 유사하다. 높은 K 유전체(38)는 높은 K 유전체들(14, 24)과 유사하다. 도전체(42)는 도전체들(16, 26, 34)과 유사하다. 배리어층(40)은 높은 K 유전체(38)와 도전체(42) 사이에서 배리어를 제공한다. 배리어(40)는 도전체(42)가 높은 K 유전체(38)를 갖는 양립성(compatibility) 문제를 갖는 경우를 위한 것이다. 배리어(40)는 알루미늄 산화물, 실리콘 산화물 및 실리콘 산화질화물 중에서 가장 가까이 선택될 수 있다. 배리어 유전체(40)의 목적은 도전체(42)와 높은 K 유전체(38) 사이에 확산 배리어를 제공하는 것이다. 물론, 배리어층(40)이 높은 유전 상수를 갖는 것이 바람직하지만 그의 목적은 도전체(42)와 높은 K 유전체(38) 사이에 문제들을 방지하는 것이다. 바람직한 선택은 실리콘 산화물보다 높은 유전체 상수를 갖기 때문에 알루미늄 산화물에 가깝다.

[0023] 도 5에 도시된 것은 도전체(46), 높은 K 유전체(48) 및 도전체(50)를 포함하는 집적 회로의 일부(44)이다. 이러한 경우에, 높은 K 유전체의 유용성은 두 개의 도전체들 사이에 있다. 이는 도전체(46)가 전하를 저장하기 위한 플로팅 게이트(floating gate)인 경우 우선적으로 발생한다. 46 및 50이 전하를 저장하기 위해 사용되는 캐패시터 평판들(capacitor plates)을 포함하는 상황들에서 또한 발생할 수 있다. 한가지 이러한 예는 동적 랜덤 액세스 메모리(dynamic random access memory)의 메모리 셀이다. 이러한 경우 높은 K 유전체(48)가 낮은 누설의 바람직한 특성들을 갖는 것 뿐만 아니라 높은 유전 상수를 갖는 것이 또한 바람직하다.

[0024] 도 5에 도시된 높은 K 유전체(48)는 높아진 농도를 갖는 란탄 알루민산염이다. 란탄의 농도는 중앙에서 최대화되고 순수 또는 거의 순수한 알루미늄 산화물은 도전체(46)와의 인터페이스 및 도전체(50)와의 인터페이스에 존재한다. 이는 높은 K 유전체 및 우수한 절연체 모두가 만족되도록 도전체(46)와의 인터페이스 및 도전체(50)와의 인터페이스 모두에서 상대적으로 높은 유전 상수 및 높은 대역 갭에 대해 제공한다. 높아진 높은 K 유전체(48)를 갖는 것에 의해서, 절연체 타입들 사이의 날카로운 인터페이스들이 회피된다. 재료 타입들 사이의 날카로운 전이들은 전하가 트랩될 수 있는 위치들이 되기 쉽다. 높아진 농도를 갖는 날카로운 인터페이스들이 회피된다. 트랜지스터의 경우에, 기판의 바로 다음에만 높은 대역 갭을 갖는 것이 가장 중요한데, 이는 전하가 잠재적으로 주입되는 곳이고, 부분(44)의 경우에는 도전체(50) 또는 도전체(46) 중 하나로부터 주입될 수 있기 때문이다. 따라서, 도전체(50) 및 도전체(46) 모두와의 인터페이스에서 높은 대역 갭을 갖는 것이 바람직하다.

[0025] 도 6에 도시된 것은 도전체(54), 배리어 유전체(56), 높은 K 유전체(58), 배리어 유전체(60) 및 도전체(62)를 포함하는 집적 회로의 일부(52)이다. 이는 도 5의 구조와 유사하다. 도전체(54)는 도전체(46)와 유사하고 도전체(62)는 도전체(50)와 유사하며 층들(56, 58, 60)의 조합은 도 5의 높은 K 유전체(48)와 유사하다. 도 6의 경우에, 유전층들(56, 60)은 높은 대역 갭을 제공하고 도전체들(62, 54)과 높은 K 유전체(58) 사이의 확산 대역을 제공하기 위해 동작한다. 따라서, 부가적인 배리어층들(56, 60)은 높은 K 유전체(58)로의 확산 대역을 제공하는 것뿐만 아니라 효율적인 절연 품질 모두를 위해 필요할 것이다. 도전체들(54, 62)은 상이한 특성들을 가질 것이다. 하나는 폴리실리콘일 수 있다. 다른 것은 배리어 유전체의 타입이 바람직하게 상이한 경우의 금속일 수 있다. 높은 K 유전체(58)는 도 1 내지 도 5의 구조들에 대한 막에 대하여 란탄 알루민산염에 대해 설명된 이득들을 갖는 란탄 알루민산염을 포함한다.

[0026] 트랜지스터의 형성으로부터 별개인 두 개의 도전체들의 경우에는 배리어들이 요구될 가능성이 증가되는데, 이는 실제로, 일부 환경들에서 도전체들(2, 54) 사이에서 주입이 바람직하기 때문이다. 따라서, 배리어들(56, 60)의

필요 또는 도 5에서와 같은 변화의 필요는 일어나야 할 것에 대하여 거의 실질적으로 발생하는 상황이 되는 바람직하지 않을 때 이러한 주입이 일어나지 않도록 한다. 따라서, 배리어들(56, 60)의 필요 또는 도 5에 도시된 변화의 가능성은 주입에 의해 전하의 저장인 경우에 더 크다. 또한, 캐패시터로서 순수하게 동작하는 경우에, 배리어층들(56, 60)이 필요할 더 많은 가능성이 있다. 캐패시터의 제 1의 목적은 전하를 저장하여 도전체로의 인터페이스에서 높은 대역 갭을 갖는 중요성이 트랜지스터에 대한 것보다 중요할 수 있다는 것이다.

[0027] 높은 K 유전체에 대한 이들 애플리케이션들에 대한 대안으로서, 란탄 알루미늄에 질화물을 포함하는 장점들이 있다. 유사하게는 란탄 알루민산염으로서, 상이한 원소들의 농도들이 변화할 수 있으며 $La_wAl_xO_yN_z$로서 기록될 수 있고 질화된 란탄 알루민산염(NLA)으로 고려될 수 있으며, NLA는 비정질이다. 따라서, 도 1을 참조하면, 유전체(14)는 NLA를 포함할 수 있다.

[0028] NLA의 장점은 보론 침투(boron penetration)에 대해 매우 저항성이 있다는 것이다. 보론은 일반적으로 P 채널 트랜지스터들을 위한 최소한 게이트 폴리실리콘에 존재한다. 따라서 높은 K 유전체들에 대한 제 1의 애플리케이션인 유전체(14)가 게이트 유전체인 경우에 대하여, 보론이 도전체(16)로부터 기판(12)으로 침투하지 않는다는 것은 중요하다. 도전체(16)가 게이트 전극인 경우, 도전체(16) 이하의 기판(12)의 영역이 트랜지스터에 대한 채널이 될 것이다. 채널로의 보론 침투는 트랜지스터의 전기적인 특성들에 영향을 미친다. 이러한 효과들은 바람직하지 않을 것이며 모든 트랜지스터들에 대해 일정하여야 하고 따라서 트랜지스터들에 대해 성능 변화들을 생성한다. 란탄 알루민산염과 함께 존재하는 질화물은 또한 유전 상수를 약간 증가시켜 NLA는 게이트 전극 및 채널 사이의 보론 배리어로서 이득이 있으나, 높은 K인 이득들을 유지한다. 질화물의 농도는 유익한 보론 침투 저항(boron penetration resistance)을 이루기 위한 적어도 1 퍼센트 원자량(atomic weight)이지만, 원하는 특성을 이루기 위해 10퍼센트 원자량을 넘길 필요는 없다. NLA의 다른 이점은 종래의 CMOS 애플리케이션들에 대한 높은 열적 및 화학적 안정성을 갖는 것이다.

[0029] NLA의 잠재적인 단점은 트랜지스터의 소스와 드레인 사이의 일반적인 전류가 게이트 유전체로의 채널의 인터페이스에서 게이트 유전체로 변환하는데 효율적으로 에너지화되도록 전자들에 대해 효율적일 수 있도록 질화물이 전하를 트랩하는 경향이 있다는 것이다. 따라서, 이를 회피하기 위해 란탄 농도에 대해 도 3에 도시된 것과 동일한 방법으로 질소 콘텐트를 높이는데 이득이 될 수 있다. 이러한 예 및 도 3을 참조하는 것에 의해, 질소 농도는 게이트 전극(34)과 게이트 유전체(32) 사이의 인터페이스에서 가장 커질 것이다. 이러한 가장 큰 농도 위치에서, 농도는 최소 1 퍼센트 원자량일 수 있다. 최소 농도 위치에서, 농도는 원자량에 의해 0.5퍼센트 질소보다 크지 않아야 한다. 농도에서의 변화도는 기판(30)과 게이트 유전체(32) 사이의 인터페이스로부터 질화물을 멀리 유지하는 동안 바람직한 보론 침투 저항을 이루도록 변화될 수 있다.

[0030] NLA는 또한 도 2에 도시된 게이트 유전체(24) 또는 도 4에 도시된 것과 같은 게이트 유전체(38)에 대해 대체될 수 있고, 도 4의 경우에는 배리어(40)가 필요하지 않을 수 있다. 게이트 유전체(38)는 NLA인 경우, 배리어(36)는 게이트 유전체(38)의 NLA에서 존재하는 질화물로부터 기판(34)을 분리시킨다. 게이트 유전체(38)의 NLA는 도전체(42)로부터의 보론 침투로부터 기판(34)을 보호한다. 이러한 경우에, NLA 함유층(38)은 바람직하게 배리어(36)보다 두꺼울 수 있다. 도 1과 같은 구조에서 NLA를 사용하기 위한 다른 대안은 배리어(40)가 보론 침투 방지를 제공하기 위한 NLA일 수 있다는 것이며, 유전체(38)는 높은 K 유전체이고, 배리어(36)가 유지될 수 있다는 것이다. 실리콘 산화물인 배리어(36)의 이점은 인터페이스 트랩 밀도가 낮아서 이동도 열화(mobility degradation)를 방지하는 것이다. 후자의 경우에, NLA 함유층은 바람직하게 높은 K 유전층(38)보다 얇을 것이라는 것이다. NLA 함유층에 대한 전형적인 범위는 10 내지 90옹스트롬(1 내지 9나노미터)이다. 다른 층에 대한 전형적인 범위는 5 내지 20 옹스트롱(0.5 내지 2나노미터)이다.

[0031] NLA는 또한 도 5 및 도 6의 란탄 알루민산염에 대해 대체될 수 있는데, 예를 들면, 유전체가 제어 게이트와 플로팅 게이트 사이에서 사용될 수 있는 상황들에 대해서 대체될 수 있다. 도 5의 경우에 대하여, 유전체(48)의 NLA의 질산화 농도는 중간보다 클 것이다. 도 6에 대해 유전체(58)는 NLA를 포함할 것이다. NLA는 누설 방지를 위한 바람직한 두께 및 그들 사이의 바람직한 용량형 결합(capacitive coupling)을 이루기 위해 배리어(56 및/또는 60)와 같은 다른 층들과의 조합에 사용될 수 있다.

[0032] NLA는 란탄 알루민산염에 대해 설명된 기술들을 사용하여 형성될 수 있다. 란탄 알루민산염을 침착시키기 위해 분야에서 공지된 기술들 중 하나는 알루미늄을 포함하는 Al(acac)3[아세틸 아세토네이트 알루미늄]과, 란탄을 포함하는 La(thd)3[2,2,6,6 테트라메틸-3,5 헵타네디오네 란탄], 및 유기금속 화학적 기상 증착 프로세스(MOCVD)에서 산소를 사용하는 것이다. 이는 효율적이지만, 산화물, 란탄 및 알루미늄과 다른 원소들의 존재 때문에 란탄 알루민산염의 높은 순도들을 이루기엔 어려움이 있다. ALD 기술은 막 두께, 균일성 및 구성을 제어하

는데는 유익하나, 원하는 레벨의 순도를 얻기는 힘들다.

[0033] 보다 높은 레벨의 순도를 제공하는 기술은 아르곤을 갖는 란탄 알루민산염 타겟을 사용하기 위한 것이며 또는 활성화 질화물 및 산화물 소스들로의 조합에 레이저 스퍼터링이다. 란탄 알루민산염 타겟은 매우 높은 순도를 가지며 활성화 질소는 N_2 가스를 사용하여 매우 순수할 수 있다. 질소는 바람직하게는 리모트 질소 플라즈마(remote nitrogen plasma)이고, 이는 NLA가 침착되는 반도체 웨이퍼 상에 직접 형성되는 플라즈마로부터 떨어진 활성화로 만들어진다. 고순도 레벨의 타겟으로부터 방출된 재료는 NLA를 형성하기 위해 활성화 질소와 조합된다. 암모니아는 또한 그가 수소를 가져도 질소 소스로 유용할 수 있다. 수소는 용해될 수 있지만, 수소 콘텐트가 상대적으로 낮으면 문제가 되지 않는다. 다른 바람직한 질소 가스들은 일산화질소(NO) 및 아산화질소(N_2O)이다.

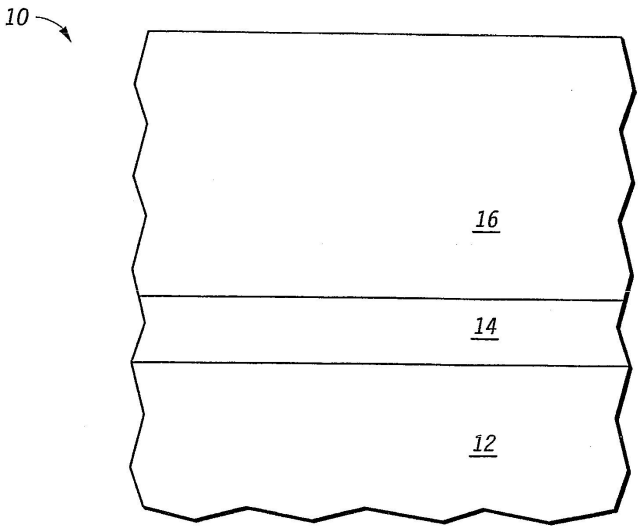
[0034] 다른 기술이 산소와 질소만을 포함하는 란탄 및 알루미늄을 배달하기 위한 프리커서들(precursors)로서 ALD를 사용한다. 이러한 목적을 위해 유용한 화학들은 $La(NO)_3)_3$ 및 $Al(NO_3)_3$이 있다. 프로세스를 시작하기 위해, 세척 후에 ALD의 침착에 대한 시작점을 형성하기 위해 H2O가 도입될 것이다. 세척 후에, 란탄 또는 알루미늄 질화물들 중 어느 하나가 도입되어 이어서 세척하고, 이후 H2O에 다시 도입된다. 알루미늄은 그것이 란탄보다 실리콘에 잘 접합하기 때문에 실리콘에 가장 가까운 제 1 층에 대해 바람직하다. 이는 원하는 질소 농도를 이루기 위해 암모니아와 같은 질소 포함 가스를 도입하는 것으로 후속된다. 세척하고 이후 H2O이 후속되며, 이후 다른 란탄 및 알루미늄 질화물로 후속된다. 이는 NLA의 전체 층을 완성한다. 이후, 바람직한 방식은 알루미늄 및 산소를 갖는 단층(monolayer)이며, 부가적인 단층들; 하나는 란탄 및 산소를 갖는 단층, 다른 하나는 질소를 갖는 단층이 후속된다. 이러한 프로세스는 원하는 대로 계속된다. 질소 함유 가스를 주입하는 단계는 삭제되거나 란탄 및 알루미늄 질화물의 각 단계들 후에 질소 농도를 더 높거나 낮게 조절하기 위해 원하는 대로 포함될 수 있다.

[0035] NLA의 이점들은 또한 제어 게이트와 플로팅 게이트 사이의 게이트 유전체 또는 유전층으로서 사용하기 위해 유전층보다 부가적인 유전체 특성들에 적용될 수 있다. 예를 들어, 에칭 정치 층들(etch stop layers)과 같은 유전체 피처들, 측벽 스페이서들(sidewall spacers)에 대한 라이너들(liners) 및 트렌치 라이너들(trench liners)이다. NLA와 같은 질소, 란탄, 질소 및 산소를 포함하는 유전체 피처의 함수가 이러한 나열된 유전체 특성들에 대한 다양한 애플리케이션들에서의 확산 배리어의 이득을 제공할 수 있다. 다른 란탄 알루민산염이 이러한 동일한 애플리케이션들에 사용될 수 있다.

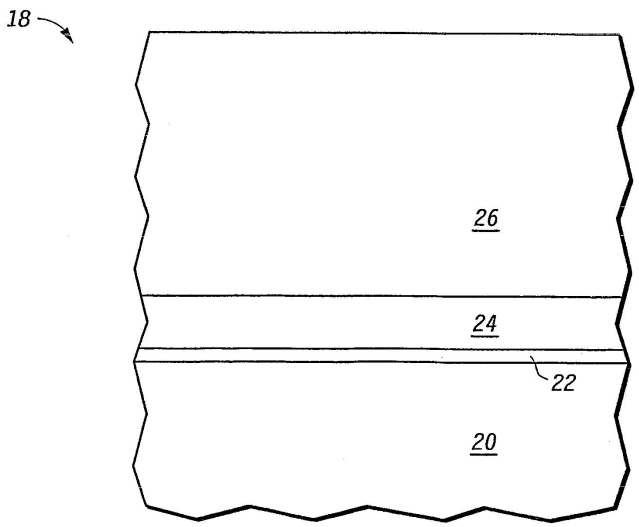
[0036] 본 발명이 다양한 실시예들에서 설명되었으나, 본 발명과 연관된 이득들의 일부 또는 이득을 제공할 조합에서 사용될 수 있는 다른 실시예들 및 다른 재료들이 있을 수 있다. 이들 언급된 것과 다른 재료들이 사용될 수 있다. 부가적으로 설명되는 조합들 및 다양한 비율들의 란탄 알루민산염에 의해 제공된 것에 더하여 이득들을 제공할 수 있는 란탄 알루민산염에 부가될 수 있는 재료들이 있을 수 있다. 또한, 제트 기상 증착, 원격 플라즈마 침착, 원격 플라즈마 ALD와 같은 침착의 다른 방법들이 있을 수 있다. 따라서, 청구항들은 본 발명의 범위를 규정한다.

도면

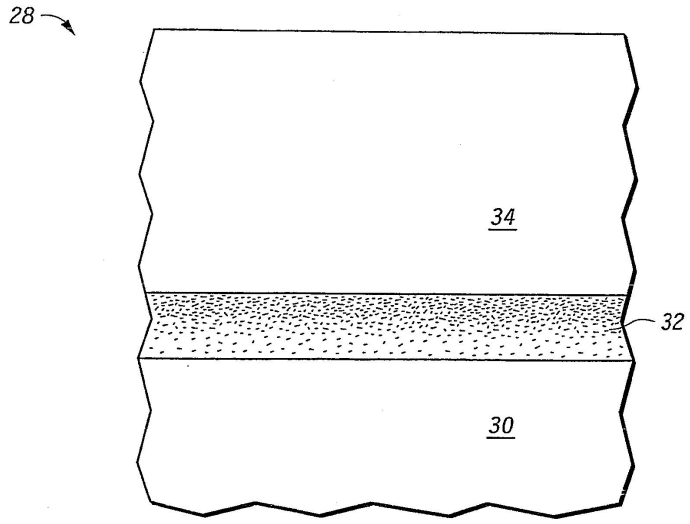
도면1



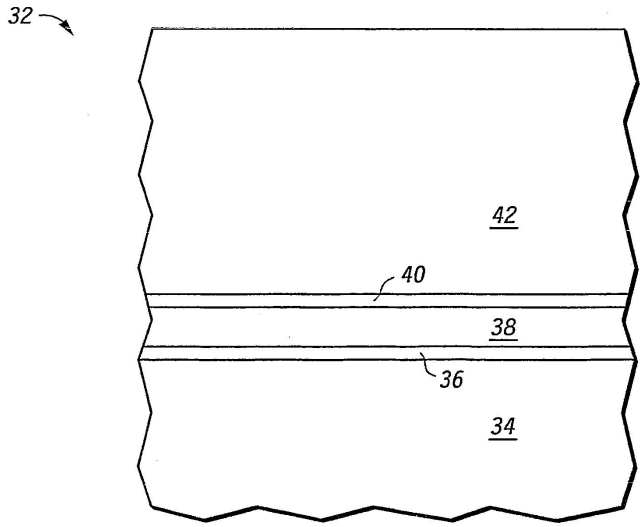
도면2



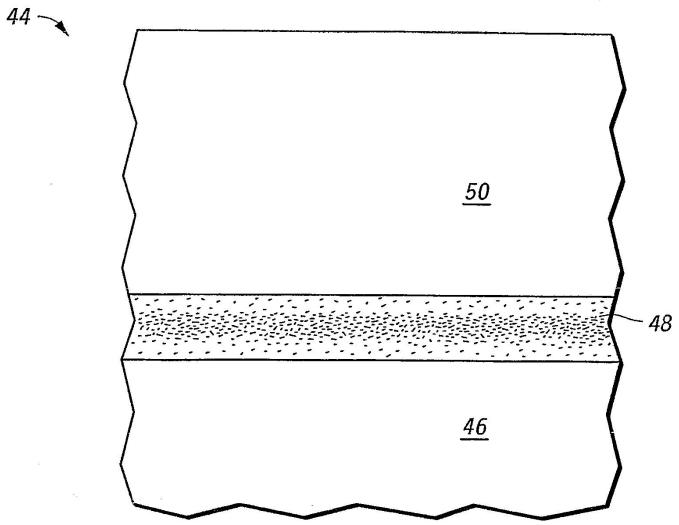
도면3



도면4



도면5



도면6

