

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 9 月 6 日 (2007.9.6)

【公開番号】特開 2002-170904 (P2002-170904A)
 【公開日】平成 14 年 6 月 14 日 (2002.6.14)
 【出願番号】特願 2000-369121 (P2000-369121)
 【国際特許分類】

H 0 1 L 23/12 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/065 (2006.01)

【F I】

H 0 1 L 23/12 5 0 1 P

H 0 1 L 25/08 Z

【手続補正書】
 【提出日】平成 19 年 7 月 24 日 (2007.7.24)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】

【請求項 1】 半導体チップの端子側に配設された絶縁層上に配線を形成した半導体装置で、前記配線と前記端子とは、前記絶縁層の前記端子の領域を貫通する第 1 のビア部を介して、電気的に接続されており、且つ、前記配線は、前記半導体チップを貫通する第 2 のビア部に接続し、前記半導体チップの前記端子側とは反対側の前記第 2 のビア部領域にバンプを外部端子として形成している C S P タイプの半導体装置を作製する、半導体装置の作製方法であって、ウエハプロセスを完了後、ウエハレベルで、順に、(a) ウエハ基板の端子側の第 2 のビア部の形成領域に、ウエハ基板を貫通させない穴を形成する穴部形成工程と、(b) ウエハ基板の端子部を第 1 のビア部の形成領域として開口し、且つ、第 2 のビア部の形成領域である穴部の表面部を含めて、ウエハ基板の端子側に絶縁層を形成する絶縁層形成工程と、(c) 絶縁層上に、給電層を形成する給電層形成工程と、(d) 給電層上に、配線、第 1 のビア部、第 2 のビア部の形成領域に合せた開口を有する耐めっき性のレジスト層を形成するレジスト層形成工程と、(e) レジスト層の開口部から露出した給電層上に、電解めっきを施して、配線、第 1 のビア部、第 2 のビア部を形成する、電解めっき工程と、(f) レジスト層を剥離後、露出した給電層を、配線、第 1 のビア部、第 2 のビア部の機能を損なわないようにエッチング除去するソフトエッチング工程と、(g) ウエハ基板の端子側とは反対側を研磨して、穴部を貫通させ、第 2 のビア部を形成する、研磨工程と、(h) ウエハ基板の端子側とは反対側の、第 2 のビア部にバンプを形成するバンプ形成工程とを、行なうことを特徴とする半導体装置の作製方法。

【請求項 2】 請求項 1 に記載の半導体装置の作製方法であって、バンプ形成工程後、個別の半導体装置に切り出す切断工程を行うことを特徴とする半導体装置の作製方法。

【請求項 3】 請求項 1 または 2 に記載の半導体装置の作製方法であって、絶縁層形成工程が、感光性ポリイミドを用いて、フォトリソ法にて行なうものであることを特徴とする半導体装置の作製方法。

【請求項 4】 請求項 1 ないし 3 のいずれか 1 項記載の半導体装置の作製方法であって、バンプ形成工程は、ウエハ基板の端子側とは反対側に、バンプ形成領域を開口して、ウエハ基板を覆う保護層を形成した後に、バンプの形成を行なうものであることを特徴と

する半導体装置の作製方法。

【請求項５】 請求項４に記載の半導体装置の作製方法であって、保護層の形成を感光性ポリイミドを用いて、フォトリソ法にて行なうことを特徴とする半導体装置の作製方法。

【請求項６】 半導体チップの端子側に配設された絶縁層上に配線を形成した半導体装置で、前記配線と前記端子とは、前記絶縁層の前記端子領域を貫通する第１のビア部を介して、電氣的に接続されており、且つ、前記配線は、前記半導体チップを貫通する第２のビア部に接続し、前記半導体チップの前記端子側とは反対側の第２のビア部にバンプを外部端子として形成していることを特徴とするＣＳＰタイプの半導体装置。

【請求項７】 請求項６に記載の半導体装置であって、絶縁層がポリイミドであることを特徴とするＣＳＰタイプの半導体装置。

【請求項８】 請求項６または７に記載の半導体装置であって、絶縁層の厚さが２５μｍ以上であることを特徴とするＣＳＰタイプの半導体装置。

【請求項９】 請求項６ないし８のいずれか１項記載の半導体装置を、２つ以上、それぞれのバンプを１方向にそろえた状態で積み重ね、隣接する半導体装置をバンプと配線とで電氣的に接合していることを特徴とする半導体モジュール。

【請求項１０】 請求項９に記載の半導体モジュールであって、積み重ねられた半導体装置が、それぞれ、メモリ機能部、ロジック機能部、Ｌ、Ｃ、Ｒの受動素子部として、形成されていることを特徴とする半導体モジュール。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】０００６

【補正方法】変更

【補正の内容】

【０００６】

【課題を解決するための手段】

本発明の半導体装置の作製方法は、半導体チップの端子側に配設された絶縁層上に配線を形成した半導体装置で、前記配線と前記端子とは、前記絶縁層の前記端子の領域を貫通する第１のビア部を介して、電氣的に接続されており、且つ、前記配線は、前記半導体チップを貫通する第２のビア部に接続し、前記半導体チップの前記端子側とは反対側の前記第２のビア部領域にバンプを外部端子として形成しているＣＳＰタイプの半導体装置を作製する、半導体装置の作製方法であって、ウエハプロセスを完了後、ウエハレベルで、順に、（ａ）ウエハ基板の端子側の第２のビア部の形成領域に、ウエハ基板を貫通させない穴を形成する穴部形成工程と、（ｂ）ウエハ基板の端子部を第１のビア部の形成領域として開口し、且つ、第２のビア部の形成領域である穴部の表面部を含めて、ウエハ基板の端子側に絶縁層を形成する絶縁層形成工程と、（ｃ）絶縁層上に、給電層を形成する給電層形成工程と、（ｄ）給電層上に、配線、第１のビア部、第２のビア部の形成領域に合せた開口を有する耐めっき性のレジスト層を形成するレジスト層形成工程と、（ｅ）レジスト層の開口部から露出した給電層上に、電解めっきを施して、配線、第１のビア部、第２のビア部を形成する、電解めっき工程と、（ｆ）レジスト層を剥離後、露出した給電層を、配線、第１のビア部、第２のビア部の機能を損なわないようにエッチング除去するソフトエッチング工程と、（ｇ）ウエハ基板の端子側とは反対側を研磨して、穴部を貫通させ、第２のビア部を形成する、研磨工程と、（ｈ）ウエハ基板の端子側とは反対側の、第２のビア部にバンプを形成するバンプ形成工程とを、行なうことを特徴とするものである。

そして、上記半導体装置の作製方法であって、バンプ形成工程後、個別の半導体装置に切り出す切断工程を行うことを特徴とするものである。

そしてまた、上記いずれかの半導体装置の作製方法であって、絶縁層形成工程が、感光性ポリイミドを用いて、フォトリソ法にて行なうものであることを特徴とするものである。

また、上記いずれかの半導体装置の作製方法であって、バンプ形成工程は、ウエハ基板

の端子側とは反対側に、バンプ形成領域を開口して、ウエハ基板を覆う保護層を形成した後に、バンプの形成を行なうものであることを特徴とするものであり、保護層の形成を感光性ポリイミドを用いて、フォトリソ法にて行なうことを特徴とするものである。

尚、ここで言う半導体チップとは、ウエハプロセスを完了した半導体ウエハ基板に面付け配置された、単位の回路領域、及びこれを切断して前記単位の回路領域毎に分離したものも含む。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本発明のCSPタイプの半導体装置は、半導体チップの端子側に配設された絶縁層上に配線を形成した半導体装置で、前記配線と前記端子とは、前記絶縁層の前記端子領域を貫通する第1のビア部を介して、電氣的に接続されており、且つ、前記配線は、前記半導体チップを貫通する第2のビア部に接続し、前記半導体チップの前記端子側とは反対側の第2のビア部にバンプを外部端子として形成していることを特徴とするものである。

そして、上記の半導体装置であって、絶縁層がポリイミドであることを特徴とするものである。

そしてまた、上記いずれかの半導体装置であって、絶縁層の厚さが25 μm以上であることを特徴とするものである。

尚、場合によっては、絶縁層上に形成された配線を覆うように、ソルダーレジスト層、ポリイミド層等からなる保護層を設けても良いことは言うまでもない。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明の半導体モジュールは、上記本発明の半導体装置を、2つ以上、それぞれのバンプを1方向にそろえた状態で、積み重ね、隣接する半導体装置同志をバンプと配線とで接合していることを特徴とするものである。

そして、上記の半導体モジュールであって、積み重ねられた半導体装置が、それぞれ、メモリ機能部、ロジック機能部、L、C、Rの受動素子部として、形成されていることを特徴とするものである。

尚、ここでは、半導体チップ用基板を用いて、L、C、R等の受動素子部を形成したチップも半導体チップとして扱う。