



# [12] 发明专利申请公开说明书

[21]申请号 94115769.5

[51]Int.Cl<sup>6</sup>

H01L 21/74

[43]公开日 1995年9月27日

[22]申请日 94.8.22

[30]优先权

[32]93.8.23 [33]JP[31]207950/93

[71]申请人 松下电器产业株式会社

地址 日本大阪府

[72]发明人 矢野航作 杉山龙男

上田聪 野村登

[74]专利代理机构 中国国际贸易促进委员会专利商  
标事务所

代理人 杜日新

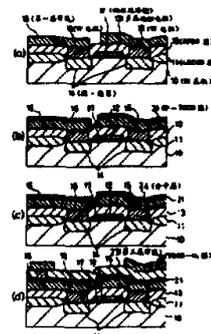
说明书页数:

附图页数:

[54]发明名称 半导体装置及其制造方法

[57]摘要

在半导体基板的一主面上部分地形成第一层布线层之后,在半导体基板的一主面和第一层布线层上边,在整个面上形成第一层硅氧化膜。在第一层硅氧化膜上边,在整个面上形成由环六甲基二硅氮烷构成的分子层之后,在该分子层上,利用用臭氧和四乙氧基硅烷进行反应的CVD法形成第二层硅氧化膜。在第二层硅氧化膜上边部分地形成第二层布线层。



# 权 利 要 求 书

---

1. 一种半导体装置,它具有

半导体基板和,

在上述半导体基板的一主面上部分地形成的第一层布线层和,

在上述半导体基板的一主面和上述第一层布线层上,在整个面上形成的第一层硅氧化膜和。

在上述第一层硅氧化膜上,整个面上形成的由具有排水基的分子构成的分子层和、

用利用了臭氧与有机系硅进行反应的 CVD 法,在上述分子层上,在整个面上形成的第二层硅氧化膜和、

在上述第二层硅氧化膜上,部分地形成的第二层布线层。

2. 如权利要求 1 的半导体装置,上述分子层由界面活性剂形成。

3. 如权利要求 2 的半导体装置,上述界面活性剂含有硅或锗。

4. 如权利要求 1 的半导体装置,上述有机系硅是四乙氧基硅烷。

5. 半导体装置的制造方法,它具有

在半导体基板的一主面上部分地形成和第一层布线层的工艺

和、

在上述半导体基板的一主面和上述第一层布线层上，在整个面上形成第一层硅氧化膜的工艺和、

在上述第一层硅氧化膜上，在整个面上形成由具有排水基的分子构成的分子层的工艺和、

用利用臭氧和有机系硅进行反应的 CVD 法在上述分子层上边，在整个面上形成第二层硅氧化膜的工艺和、

在上述第二层硅氧化膜上边，部分地形成第二层硅氧化的工艺。

6. 如权利要求 5 的半导体装置制造方法，上述分子层由界面活性剂构成。

7. 如权利要求 6 的半导体装置的制造方法

上述界面活性剂含有硅或锗。

8. 如权利要求 5 的半导体装置的制造方法，

上述有机系硅为四乙氧基硅烷。

9. 半导体装置的制造方法，它具有

在半导体基板的一主面上，部分地形成第一层布线层的工艺和、

在上述半导体基板的一主面和上述第一层布线层上，在整个面上形成第一层硅氧化膜的工艺和、

用利用液体涂敷或喷蒸而产生的气相固相界面反应，在上述

半导体基板的一主面和第一层布线层上，在整个面上形成分子层的工艺和、

用利用臭氧和有机系硅进行反应的 CVD 法在上述分子层上边，在整个面上形成第二层硅氧化膜的工艺和、

在上述第二层硅氧化膜上，部分地形成第二层布线层的工艺。

10. 如权利要求 9 的半导体装置的制造方法，

上述有机系硅为四乙氧基硅烷。

# 说 明 书

---

## 半导体装置及其制造方法

本发明是关于半导体装置及其制造方法,特别是关于在超 LSI 的多层布线的制作工艺中,要实现其膜厚具有优良的均一性的层间绝缘膜的半导体装置及其制造方法的发明。

半导体装置的高密度化和高集成化取得了惊人的进步,与之相伴而来的是,在半导体装置中,就要求微细化的布线构造,或自如运用多层布线技术的布线构造。这样一来,在把下层布线与上层布线绝缘分隔开来的层间绝缘膜中,对均一地填平在半导体基板上形成的微细而且具有高纵横尺寸比的第一层布线的台阶的技术的要求,就变得越来越严了。近年来,作为对此课题的有力的解决办法,人们正积极地进行利用四乙氧基硅烷(*tetraethoxysilane*, 以下,称之为 TEOS)和臭氧(以下,称之为  $O_3$ )进行反应的常压 CVD 法的研究。

以下,参照附图,对上述旧有半导体装置制造方法的一例进行说明。

图 11(a) — (c) 给出了旧有的半导体装置的制造方法的各个制作工艺。如图 11(a) 所示,在半导体基板 10 上边,分别形成绝缘隔离用 LO COS 膜 11,由多晶硅膜组成的栅极电极 12,含有氧化硼

和氧化磷的  $\text{SiO}_2$  膜(以下,称之为 *B PSG* 膜)13,由杂质扩散区形成的源区和漏区 14,由钨(以下,称之为 *W*)形成的源电极或漏电极 15,以及由含有硅(约 1%左右)和铜(约 0.5%左右)的铝合金膜形成的第 2 布线层 16。此外,在图 11(a)中,17 表示栅极绝缘膜。

其次,如图 11(b)所示,用以 *TEOS* 为原料气体的等离子体 *CVD* 法,在第一层布线层 16 上形成  $\text{SiO}_2$  膜(以下,称之为 *P-TEOS* 膜)21。

接下来,如图 11(c)所示,在用应用 *TEOS* 和  $\text{O}_3$  进行反应的常压 *CVD* 法,在 *P-TEOS* 膜 21 的上边形成  $\text{SiO}_2$  膜(以下,称之为 *TEOS-O<sub>3</sub>* 膜)22 之后,在 *TEOS-O<sub>3</sub>* 膜 22 的上边,形成第 2 布线层 23。

但是,在上述半导体装置的制造方法中所采用的应用 *TEOS* 和  $\text{O}_3$  进行反应常压 *CVD* 法,具有强烈的依赖于基底表面的特性。就是说在基底膜,即在 *P-TEOS* 膜 21 上混合存在着亲水性部分和排水性部分的情况下,如以下所说明的那样,在 *P-TEOS* 膜 21 上的亲水性部分和排水性部分上,有着 *TEOS-O<sub>3</sub>* 膜 22 的形成速度及膜质不同的问题。

图 12 给出了在第 2 布线层 16 上形成的 *P-TEOS* 膜 21 的断面构造的原子级的状态。由于第 2 布线层 16 上边的 *P-TEOS* 膜 21 的表面具有凸状的断面构造,由于为了淀积 *P-TEOS* 膜 21 而进行等离子体 *CVD* 时,*P-TEOS* 膜 21 多曝露于离子材料和电子

中,故 Si 和 O 之间的原子间结合其成了良好的状态,即未结合键少的状态。通常,在大气层中,未结合键上连接有羟基(图中用—OH 来表示)。另一方面,第一布线层 16 相互之间的沟部的表面,很少曝露于离子材料和电子之中,故形成了未结合键(由于曝露于大气之中,变成了连接有一—OH 的形状)多的状态。人们认为,由于 P—TEOS 膜 21 的表面状态不一样,就形成了在 TEOS—O<sub>3</sub> 膜 22 上的膜厚不均匀。

在旧有的半导体装置的制造方法中,由于混合存在着基底膜的材质的不同,或者在基底膜上混合存在着亲水性部分和排水性部分,故淀积于基底膜上的 TEOS—O<sub>3</sub> 膜 22 的形成速度和膜质就不相同,所以,就存在着在 TEOS 膜 22 的表面上生成凹凸,或者使 TEOS—O<sub>3</sub> 膜 22 的膜质变坏这样的问题。

在以下的文献中,给出了采用使 P—TEOS 膜 21 曝露于 N<sub>2</sub> 气体所形成的等离子体中的办法以稳定基底膜表面的方法,这些文献是:

1) *K. Fujino, Y. Nishimoto, N. Tokunasu and K. Maeda: "Surface Modification of Base Materials for TEOS/O<sub>3</sub> Atmospheric Pressure Chemical Vapor Deposition", J. Electrochem. Soc., Vol. 139, No. 6(1992)P. 1690*

2) 佐藤伸良,太器与洋,桥本毅,鼓谷明彦,石原干士:“TEOS—O<sub>3</sub> 常压 CVD SiO<sub>2</sub> 膜对基底的依赖性”,1992 年第 39 届应用物理

学会春季讲演会予稿集,29a-ZG-4,P. 646。

3). 小谷秀夫, 松进安次:“有机硅系 VCD 技术”, 半导体研究 36,P. 18。

4) *H. Kotani, M. Matsumura, A. Fujii, H. Genjou and Nagao: "Low-Temperature APCVD Oxide Using TEOS-Ozone Chemistry for Multilevel Interconnections" , Tech. Dig, International Electron Devices Meeting(1989)P. 669.*

5) 西本右子, 前田和夫:“用等离子体后处理来降低 TEOS—O<sub>3</sub> CVD 膜的吸湿性”, 月刊 *Semiconductor World*, 1993. 2, P. 82。

6) 细田幸男, 原田秀树, 清水敦男, 渡部洁:“对 TEOS—O<sub>3</sub> 常压 CVD NSG 膜的吸湿性的低温退火的效果) , *Semiconductor World*, 93. 2 月号, P. 77。

然而, 当把 P—TEOS 膜 21 曝露于 N<sub>2</sub> 气体形成的等离子体中去的时候, 人们认为, P—TEOS 膜 21 的表面将会变成下述两种形状中的任一种。

一种形状, 如图 13 所示, 用由 N<sub>2</sub> 气体形成的等离子体切断 Si—O—Si 的结合或 Si—OH 的结合, 使未结合键(在图 13 中表示为 Si—或 SiO—的形式) 增加。另外一种形状, 如图 14 所示, 用由 N<sub>2</sub> 气体组成的等离子体, 使 Si 和 N 连接成 Si—N—Si 的形式, 减少了未结合键。

然而, 不论在哪一种情况下, 在用由 N<sub>2</sub> 气体形成的等离子体

处理时,飞到  $P-TEOS$  膜 21 表面上来的  $N$  离子或者电子,如图 13 或者图 14 所示,在基底膜的凸部,从角度为  $\theta_1$  的方向飞来,在基底膜的凹部则从角度  $\theta_2$  的方向飞来。这种飞来角度的差异,招致了到达这些部位的离子或电子的量的不同。就如从图 13 和图 14 弄清楚的那样,在凸出部分的  $\theta_1$  约为  $180^\circ$ ,而在凹进部分的  $\theta_2$ ,其值却极其之小,而且,这个值因凹部的形状而异。这个现象表明,尽管人们想要控制  $P-TEOS$  膜 21 的表面状态,用由  $N_2$  气体形成的等离子体处理,却依赖于基底(第 1 布线层 16)的形状,这将是使对  $P-TEOS$  膜 21 的控制变难的主要因素。

这样一来,用由  $N_2$  气体形成的等离子体进行等离子体处理的方法,就存在着这么一个问题: $P-TEOS$  膜 21 将取决于有无第一布线层 16 而变成台阶形状,而由于  $P-TEOS$  膜 21 的台阶形状不一样,用由  $N_2$  气体形成的等离子体处理的效果也不一样。

另外,用由  $N_2$  气体形成的等离子体进行等离子体处理的方法,还存在着这样的问题:由于基底上必须要有  $P-TEOS$  膜 21,同时,又必须具备进行由  $N_2$  气体形成的等离子体处理的装置,故招致了处理条件和处理工艺的复杂化。

本发明的目的是:提供这样一种半导体装置,使得用应用  $TEOS$  和  $O_3$  进行反应的常压  $CVD$  法定积的硅氧化膜,例如  $TEOS-O_3$  膜,其基底膜的表面是均一的。本发明同时提供这样一种半导体装置的制造方法。

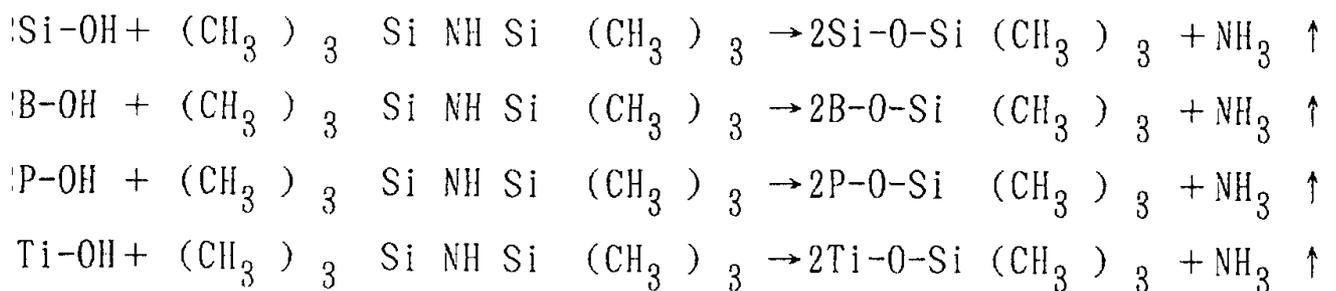
本发明是基于这样一种从实际观察中得来的见解而产生的： $TEOS-O_3$ 膜对基底膜的依赖性，起因于下述两种理由。一个理由是：由于基底膜材料种类不同，故 $TEOS-O_3$ 膜的膜厚因部位而异。另一个理由是：由于在基底膜上混合存在着亲水性部分和排水性部分，使得淀积速度和淀积延迟时间各不相同。基于这种见解，本发明采用在淀积 $TEOS-O_3$ 膜之前的基底膜上形成由具有排水基的分子组成的分子层的办法，或者采用应用涂敷液体或喷蒸汽而产生气相固相界面反应以形成分子层的办法，以排除上述原因。

本发明所涉及的半导体装置，具备有：半导体基板，在该半导体基板的一主面上的部分区域形成的第1布线层，在上述半导体基板的一主面和上述第1布线层上，在整个面上形成的第1硅氧化膜，在该第1硅氧化膜的整个面上形成的，由具有排水基的分子组成的分子层，由利用臭氧与有机系硅进行反应的CVD法在上述分子层的整个面上形成的第2硅氧化膜以及在上述第2硅氧化膜上部分区域形成的第2布线层。

本发明涉及的半导体装置的第一种制造方法具有下述工艺。在半导体基板的一主面上，部分性地形成第1布线层的工艺和，在上述半导体基板的一主面和上述第1布线层的整个面上形成第1硅氧化膜的工艺和，在上述第1硅氧化膜上整个面上形成由具有排水基的分子组成的分子层的工艺和，用利用了臭氧和有机系硅进行反应的CVD法，在上述分子层的整个面上形成第2硅氧化膜的

工艺以及在上述第 2 硅氧化膜上部分性地形成第 2 布线层的工艺。

应用上述半导体装置或半导体装置的第 1 种制造方法，用利用了臭氧与有机系硅进行反应的 CVD 法形成的第 2 硅氧化膜的膜质将变得良好而均一。就是说，在多层布线构造中所用的下层布线层及其周边部分的膜表面，几乎在所有的情况下都是被氧化了的状态。由于氧化状态的材料表面将受水洗时的水或大气中的水的影响，所以，该材料表面将会被羟基： $-OH$ （形成  $Si-OH, B-OH, P-OH, Ti-OH$  等形成）覆盖。在这样的材料的表面上，当形成由具有排水基的分子，例如，环六甲基二硅氮烷（化学式： $(Si(CH_3)_3)_2NH$ ），以下，称之为 HMDS）构成的分子层时，在材料表面上将发生甲硅烷化反应，材料表面，例如，将由三甲基甲硅烷基（*trimethylsilyl* 基）所覆盖。下边，给出若干甲硅烷化反应。在以下的反应式中，箭头  $\uparrow$  表示挥发性。



当时行了上述那样的甲硅烷化处理时，由下层布线层及其周边的膜构成的基底膜或者由下层硅氧化膜构成的基底膜的表面，在整个面上都具有由甲基形成的排水性质。因此，无需进行由  $N_2$

气体形成的等离子体处理,就可以把基底膜的表面制作得质优而均一。

如前边说过的那样,如果应用本发明所涉及的半导体装置或半导体装置的第一种制造方法,则由于在第2硅氧化膜上整个面地形成了由具有排水基的分子构成的分子层,所以,利用了臭氧与有机系硅进行的反应的CVD法所形成的第2硅氧化膜的基底膜,在其整个面上都具有排水性。因此,无需进行由N<sub>2</sub>气体构成的等离子体处理,就可使第2硅氧化膜的基底膜的排水性均一化,同时,使之质地优良,所以,消除了利用臭氧和有机系硅进行反应的CVD法对基底依赖性,就可以形成均一且质优的第2硅氧化膜。

在上述半导体装置或半导体装置的第一种制造方法中,理想的是上述分子层由界面活性剂组成,而上述界面活性剂最好含有硅或锗。这样的话,就可以在第1层硅氧化膜上确实地形成由具有排水基的分子形成的分子层。

本发明涉及的半导体装置的第二种制造方法具备有下述工艺:在半导体基板的一主面上部分性地形成第一层布线层的工艺和,在上述半导体基板的一主面以及第一层布线层上,整个面地形成第一层硅氧化膜的工艺和,用涂敷液体或喷蒸汽所产生的气相固相界面反应法,在上述半导体基板的一主面及第一层布线层上全面地形成分子层的工艺和,利用于臭氧和有机系硅进行反应的CVD法,在上述分子层上,整个面地形成第2层硅氧化层的工艺

以及在上述第 2 层硅氧化层上,部分地形成第 2 层布线层的工艺。

应用本发明所涉及的半导体装置的第 2 种制造方法,则用利用了臭氧和有机系硅进行反应的 CVD 法所形成第 2 层硅氧化膜的膜质将会变得均一。就是说,在半导体基板的一主面及第一层布线层上形成的第一层硅氧化膜上,在整个面上用涂敷液体或喷蒸汽所产生的气相固相反应法形成了分子层,所以,无需进行由  $N_2$  气体形成的等离子体处理,就可以使基底膜的表面做得均一。因此消除利用臭氧和有机系硅进行反应的 CVD 法对基底的依相性,得以形成均一且质优的硅氧化膜。

图 1 是一个断面图,它给出了本发明的第 1 实施例所涉及的半导体装置制造方法的各个制造工艺。

图 2 是一个原子级的模式图,它给出了用上述第一实施例所提到的方法,在第一层布线层上形成的分子层的断面构造。

图 3 是一幅概略图,它给出了上述第一实施例所涉及的半导体装置的制造方法中形成分子层的工艺。

图 4 是给出导出淀积速度和淀积延迟时间的方法的附图,淀积速度和淀积延迟时间是观察对基底依赖性的基础。

图 5 给出了对各种基底材料的淀积速度及淀积延迟时间。

图 6 给出了改变从形成  $P-TEOS$  膜或者分子层之后到形成  $TEOS-O_3$  膜的天数所观察到的淀积速度和淀积延迟时间。

图 7 给出了研究  $TEOS-O_3$  膜的表面粗糙程度及细孔的结

果,TEOS—O<sub>3</sub>膜是用旧有的方法及上述第一实施例所涉及的方法形成的。

图 8 是用于评价用旧有的方法及上述第一实施例所涉及的方法所形成的 TEOS—O<sub>3</sub> 膜的断面图。

图 9 是表示本发明的第二实施例所涉及的半导体装置制造方法的各个制造工艺的断面图。

图 10 是用于评价用旧有的方法及本发明的第 2 实施例所涉及的方法形成的 TEOS—O<sub>3</sub> 膜的断面图。

图 11 是表示旧有的半导体装置的制造方法的各个制造工艺的断面图。

图 12 是用旧有的方法在第一层布线层上形成的 P—TEOS 膜的原子级的断面模式图。

图 13 是原子级的模式图,它表示出对用旧有的方法在第一层布线层上形成的 P—TEOS 膜进行了由 N<sub>2</sub> 气体形成的等离子体处理时的 P—TEOS 膜的断面构造。

图 14 是原子级的模式图,它表示出对用旧有的方法在第一层布线层上形成的 P—TEOS 膜进行了由 N<sub>2</sub> 气体形成原等离子体处理时的 P—TEOS 膜的断面构造。

以下,参照附图对本发明的实施例进行说明。

图 1 是一个断面图,它给出了本发明的第一实施例所涉及的半导体装置及其制造方法。

首先,如图 1(a)所示,在由 Si 基板构成的半导体基板 10 上,分别形成源极区或漏极区 14,栅极绝缘膜 17,用于绝缘隔离的 LOCOS 膜 11,由多晶硅构成的栅极电极 12, BPSG 膜 13,由 W 构成的源板电极或漏板电极 15 及第一层布线层 16。

接着,用把 TEOS 作为原料气体的等离子体 CVD 法,如图 1(b)所示,在 BPSG 膜 13 及第一层布线层 16 上边形成 P-TEOS 膜 21(第一层硅氧化膜)。

其次,通过在反应温度 130℃,HMDS 流量 5sccm,压力为 1 个气压,反应时间 5 分钟的条件供给 HMDS,如图 1(c)所示,在 P-TEOS 膜 21 上边形成分子层 24。

其次,用利用 TEOS 和 O<sub>3</sub> 进行反应的常压 CVD 法,如图 1(d)所示,在分子层 24 上边形成 TEOS-O<sub>3</sub> 膜 22(第二层硅氧化膜),之后,在 TEOS-O<sub>3</sub> 膜 22 上边形成第二层布线层 23。

用于第一层布线层 16 的材料为 Si 材料(单晶硅,多晶硅), SiO<sub>2</sub> 系材料(包括 BPSG),金属材料(铝合金, Ti 系, W 系)等材料。在 Si 材料的表面上,存在着自然氧化膜,就连难于氧化的 TiN 金属,实际上也偏离了化学计算量,在表面上存在有 Ti 的氧化物。因此,第一层布线层 16 的表面被认为是由 -OH 基覆盖着的状态。因而,通过给第一层布线层 16 的表面上供给 HMDS 的方法, HMDS 与第一层布线层 16 的表面的 -OH 基进行反应形成了排水性的分子层。

作为形成排水性分子层的一种方法,可以采用应用甲硅烷化反应的方法。这种甲硅烷化反应是使甲硅烷化剂,例如 *HMDS* 与第一层布线层 16 的表面的  $-OH$  基进行反应, $-OH$  基的  $H$  被甲硅烷基置换,变成  $-O-Si(CH_3)_3$  的形式。由于甲硅烷化反应在常温下反应得很快,故甲硅烷化处理的方法可以极其简易地进行。

进行甲硅烷化处理时,如图 2 所示,由于所有的未结合键都由  $Si-(CH_3)_3$  所覆盖,故可以阻止淀积  $TEOS-O_3$  膜 22 时示结合键的影响。

作为前边说过的甲硅烷化反应的基本方法,可以举出下边的 2 种三个方法。

*HMDS* 蒸气涂层…中炉中曝露于蒸气中

…曝露在发泡蒸气中

*HMDS* 旋转涂层…溶液的旋转涂敷

图 3(a)–(c)具体地给出了上述处理方法,可采用如图 3(a)所示,通过向身为封闭容器的干燥器中充满加过热的 *HMDS* 溶液的蒸气,使 *HMDS* 的蒸气吸附到半导体基板 10 上的第一层布线层 16 的表面上去的方法,可采用如图 3(b)所示那样,应用 *HMDS* 发泡器 26,通过用  $N_2$  气体等气体载体使 *HMDS* 溶液发泡的办法,使 *HMDS* 蒸气吸附到半导体基板 10 上的第一布线层 16 的表面上,也可以采用如图 3(c)所示,通过向用旋转器 27 旋转着的半导体基板 10 上的第一层布线层 16 的表面上供给 *HMDS* 溶液的

办法,把 *HMDS* 溶液旋转涂敷到第一层布线层 16 的表面上去的方法等方法。

以下,就在第一层布线层 16 的表面上形成了由 *HMDS* 构成的分子层 24 之后,在该分子层 24 的上边形成了 *TEOS—O<sub>3</sub>* 膜 22 时的评价问题进行说明。

首先,就 *TEOS—O<sub>3</sub>* 膜 22 的基底依赖性进行说明。图 4 示出了导出作为基底依赖性而被观察的淀积速度及淀积延迟时间的方法。先测定淀积时间变化时的,对各种基底材料(在图 4 中,作为基底材料的一个例子,给出了单晶硅和 *P—TEOS* 膜的情况)的淀积膜厚,并把测定点的外插线的淀积膜厚为 0 时的值作为淀积延迟时间。淀积速度由外插线的倾率来求。

图 5 给出了对各种基底材料的淀积速度和淀积延迟时间。进行了单晶硅、*P—TEOS* 膜以及玻璃流的 *BPSG* 膜的各个样品,从样品准备到淀积 *TEOS—O<sub>3</sub>* 膜 22,在超净室内保管于三天。*TiN* 样品同样在超净室内保管了 21 天。淀积速度按单晶硅、*TiN* 膜、*P—TEOS* 膜及 *BPSG* 膜的顺序减少,而淀积延迟时间则依照上述顺序逐个增大。

为了弄清上述理由,把从形成 *P—TEOS* 膜 21 到淀积 *TEOS—O<sub>3</sub>* 膜 22 的时间改变为 1 天和 3 天进行了实验。另外,为了评价本发明,对把从在 *P—TEOS* 膜 21 的上边形成分子层 24 到淀积 *TEOS—O<sub>3</sub>* 膜 22 的时间改变为 1 天和 3 天的情况也作了实验。实

验结果如图 6 所示。对淀积速度来说,旧有例子和本发明一样,即使改变到淀积  $TEOS-O_3$  膜 22 的时间也不怎么变化。在现有例子的情况下,当把淀积  $TEOS-O_3$  膜 22 之前的时间从 1 天变为 3 天时,淀积延迟时间变大了,但用本发明所涉及的,在  $P-TEOS$  膜 21 上边形成了分子层 24 的样品,则淀积延迟时间没发生变化。

如实验结果所表明的那样:仅仅把基底材料作成为应用  $P-TEOS$  形成的同一材料,不能消除淀积延迟时间的变化,但如果在  $P-TEOS$  膜 21 上边形成分子层 24,则不产生淀积延迟时间的变化。

如实验结果所表明的那样,通过用分子层 24 把形成  $TEOS-O_3$  膜 22 之前的基底层表面覆盖起来的办法,可以使基底形成均一且具有排水性的表面,所以,用利用  $TEOS$  和  $O_3$  进行反应的常压  $CVD$  法可以形成优质的  $TEOS-O_3$  膜 22。

下边,考察均一且具有排水性的基底膜表面与优质  $TEOS-O_3$  膜 22 的关系。

首先就具有排水性的基底膜表面与  $TEOS-O_3$  膜 22 的关系进行说明。图 7 是这么一个附图:形成了  $TEOS-O_3$  膜 22 之后将膜划断,并用氧酸水溶液对  $TEOS-O_3$  膜 22 的表面及内部进行轻微腐蚀,然后测膜表面的粗糙度和细孔(这是一种在膜内部产生的,因腐蚀量的强弱不同而形成的凹坑)。由采用在  $P-TEOS$  膜 21 上形成分子层 24 的办法使基底层变为优质基底层,故本发明所涉及的

TEOS—O<sub>3</sub>膜 22 与用旧有方法形成的同类膜相比,其表面粗糙程度及细孔数都有了很大的改善。

其次,就均一的基底表面与 TEOS—O<sub>3</sub>膜 22 的关系进行说明。我们用扫描式电子显微镜(以下,称之为 SEM)观察过形成了 TEOD—O<sub>3</sub>膜之后的断面形状。即测定了如图 8 所示的那种在宽度为 40 $\mu$ m 的宽布线上形成的 TEOS—O<sub>3</sub>膜 22 的膜厚以及在没有布线的宽的平坦部位上形成的 TEOS—O<sub>3</sub>膜 22 的膜厚,并求出了(宽布线上的 TEOS—O<sub>3</sub>膜 22 的膜厚)/(无布线的宽平坦部位上的 TEOS—O<sub>3</sub>膜 22 的膜厚)这一比值。其结果是:本发明的 TEOS—O<sub>3</sub>的膜厚,其上述比值为 0.99,而旧有例子的 TEOS—O<sub>3</sub>膜厚的上述:比值为 0.70。从这个结果可知,在现有示例中,存在着在宽布线上形成的 TEOS—O<sub>3</sub>膜 22 的膜厚变薄的问题,而应用本发明,这个问题就会解决。

在现有技术示例中,尽管在整个面上形成 P—TEOS 膜以使基底膜均一,但宽布线上的 TEOS—O<sub>3</sub>膜 22 的膜厚的变薄的现象,被认为其膜质变了的缘故。膜质变化或者是因为第一层布线层 16 上的 P—TEOS 膜 21,由于第一层布线层 16 的原因而形成凸部,大多曝露于来自于等离子体的电荷或粒子中原故,或者是因为宽线布线部位上的 P—TEOS 膜 21 强烈地受到布线金属热膨胀的影响的原故。

另外,把 P—TEOS 膜 21 曝露于由 N<sub>2</sub> 气体所形成的等离子

体中这种方法,虽然可以解决在宽布线部位上的  $P-TEOS$  膜 21 的膜厚度薄这个问题,但却存在着下边将要说明的问题。即由于器件的高集成化,栅极绝缘膜变薄,比方说,当薄到  $10nm$  以下时,则尽管在一层布线层 16 为  $P-TEOS$  膜所覆盖(参看图 11(b)),由于使  $P-TEOS$  膜 21 曝露于等离子体中,来自于等离子体的离子或电子就会流向连接到栅极电极 12 上的第一层布线层 16、在栅极电极 12 与半导体基板 10 之间产生电场,栅极绝缘膜 17 将因此而受到破坏。为此,把  $P-TEOS$  膜 21 曝露于由  $N_2$  气体形成的等离子体中这种旧有的方法,对器件的微细化是有限度的,对此,本发明的方法,由于不使用等离子体,故对器件的微细化没有限度。

图 9 是一个断面图,它示出了本发明的第 2 实施例所涉及的半导体装置及其制造方法。

首先,如图 9(a)所示,在半导体基板 10 上,分别形成源极或漏极区 14,栅极绝缘膜 17,用于进行绝缘隔离的  $LOCOS$  膜 11,由多晶硅形成的栅极电极 12,  $BPSG$  膜 13,由  $W$  形成的源极或漏极电极 15 以及第一层布线层 16。

接着,把  $HMDS$  溶液滴到半导体基板 10 上,用旋转涂敷的办法,如图 9(b)所示,在第一层布线层 16 上形成由  $HMDS$  组成的分子层 24。

接着,用利用  $TEOS$  与  $O_3$  进行反应的常压  $CVD$  法,如图 9(c)所示,先在分子层 24 上边形成  $TEOS-O_3$  膜 22,之后,在  $TEOS$

膜 22 的上边形成第 2 层布线层 23。

以下,对无需在第一层布线层 16 上边形成 P-TEOS 膜 21,在介以分子层而淀积 TEOS-O<sub>3</sub> 膜 22 的情况下,研究甲硅烷化处理对 TEOS-O<sub>3</sub> 膜 22 的淀积将产生什么样的影响这一研究结果进行说明。

用 SEM 观察 TEOS-O<sub>3</sub> 膜 22 形成后的断面形状,并测定如图 10 所示那种在宽度为 40 $\mu$ m 的宽布线上形成的 TEOS-O<sub>3</sub> 膜 22 的膜厚和在无布线的宽平坦部位上形成的 TEOS-O<sub>2</sub> 膜 22 的膜厚,然后求出比值:(宽布线上 TEOS-O<sub>3</sub> 膜 22 的膜厚)/(无布线的宽平坦部位上的 TEOS-O<sub>3</sub> 膜 22 的膜厚)。结果是这样的,本发明方法的上述比值为 0.96,而旧有方法的上述比值为 0.40。结果表明,在宽度为 40 $\mu$ m 这种宽度非常宽的布线上,TEOS-O<sub>3</sub> 膜 22 的膜厚表现出显著的差别。在旧有例子的情况下,如图 10 所示,在布线中央部位附近的 TEOS-O<sub>3</sub> 膜 22 的膜厚减小了。同时,布线上的 TEOS-O<sub>3</sub> 膜 22,与其周围的平坦部位的膜厚相比,变成约 40%左右。这个结果表明,TEOS-O<sub>3</sub> 膜 22 的膜,将因布线图形的形状而导,同时,产生了这么一个问题:介以层间绝缘层的布线间的电容不均一性和过渡孔深度不相同。对比如果应用本发明,在宽布线上的 TEOS-O<sub>2</sub> 膜 22 的膜厚与无布线的宽平坦部位上的 TEOS-O<sub>3</sub> 膜 22 的膜厚之比为 96%,可以实现保形的膜淀积。

还有,在上述第 1 和第 2 实施例,谈的是用常压 CVD 法进行

的  $TEOS-O_3$  膜 22 的淀积, 但  $TEOS-O_3$  膜 22 的淀积方法, 却不限于此, 例如, 在单纯减压状态下淀积  $TEOS-O_3$  膜 22 也可以得到与上述实施例相同的效果。此外, 作为  $CVD$  法, 也可以应用把等离子体或者紫外光照射到氧上以生成  $O_3$  这种等离子体  $CVD$  法或光  $CVD$  法。

另外, 在上述第一和第二实施例中, 布线金属用了铝合金, 但布线金属不仅限于铝合金, 也可以应用纯铝和铜等其他布线材料, 本发明对所有的布线材料都有效。

此外, 在上述第一和第二实施例中, 分子层 24 的材料用了  $HMDS$ , 但也可代之而用硅烷化合物, 硅氧烷化合物, 二硅氮烷化合物, 三硅氮烷化合物, 哌嗪化合物, 氨基锗化合物, 卤化锗化合物之类的其他界面活性剂。

再有, 在上述第一第二实施例中,  $P-TEOS$  膜 21 和  $TEOS-O_3$  膜 22 的材料采用了  $TEOS$ , 但也可以代之采用四甲氧基硅烷、四丙氧基硅烷, 环六甲基二硅氮烷, 四甲基硅烷, 四甲基硅烷, 四乙基硅烷等有机系硅材料。

如果像这样地应用上述各发明, 由于可以用分子层均一地制作基底膜, 故可以省去用等离子体  $CVD$  法形成硅氧化膜的工艺, 同时, 为了使用该工艺所形成的硅氧化膜的材质稳定而进行的  $N_2$  等离子体处理工艺也变得不再需要, 所以处理条件和处理工艺都变得简单了, 同时, 由于可以消除栅极绝缘膜因进行等离子体处理而受

到的损伤,伴随着器件的高集成化带来的对器件的微细化的制约不存在了。

## 图 1

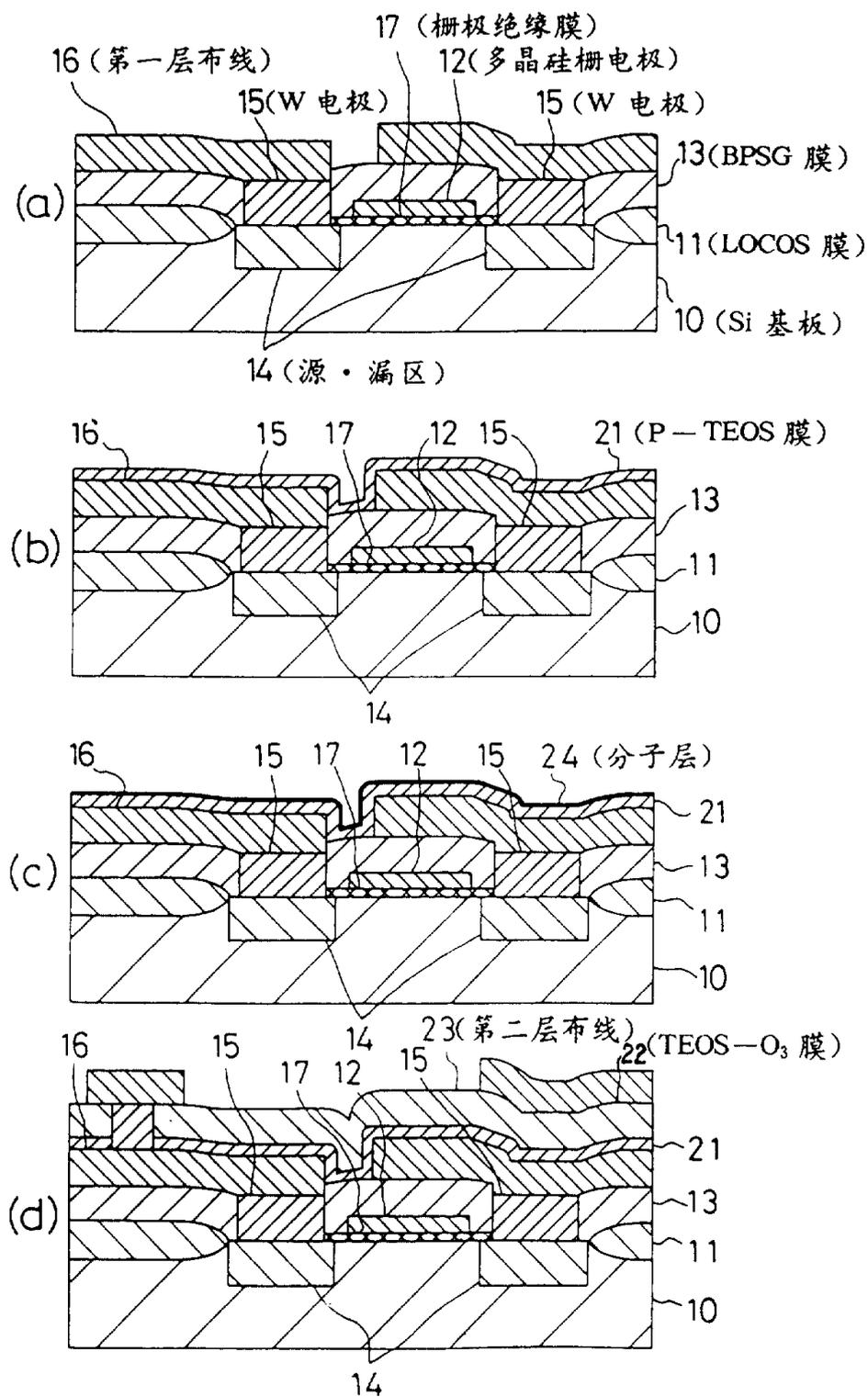


图 2

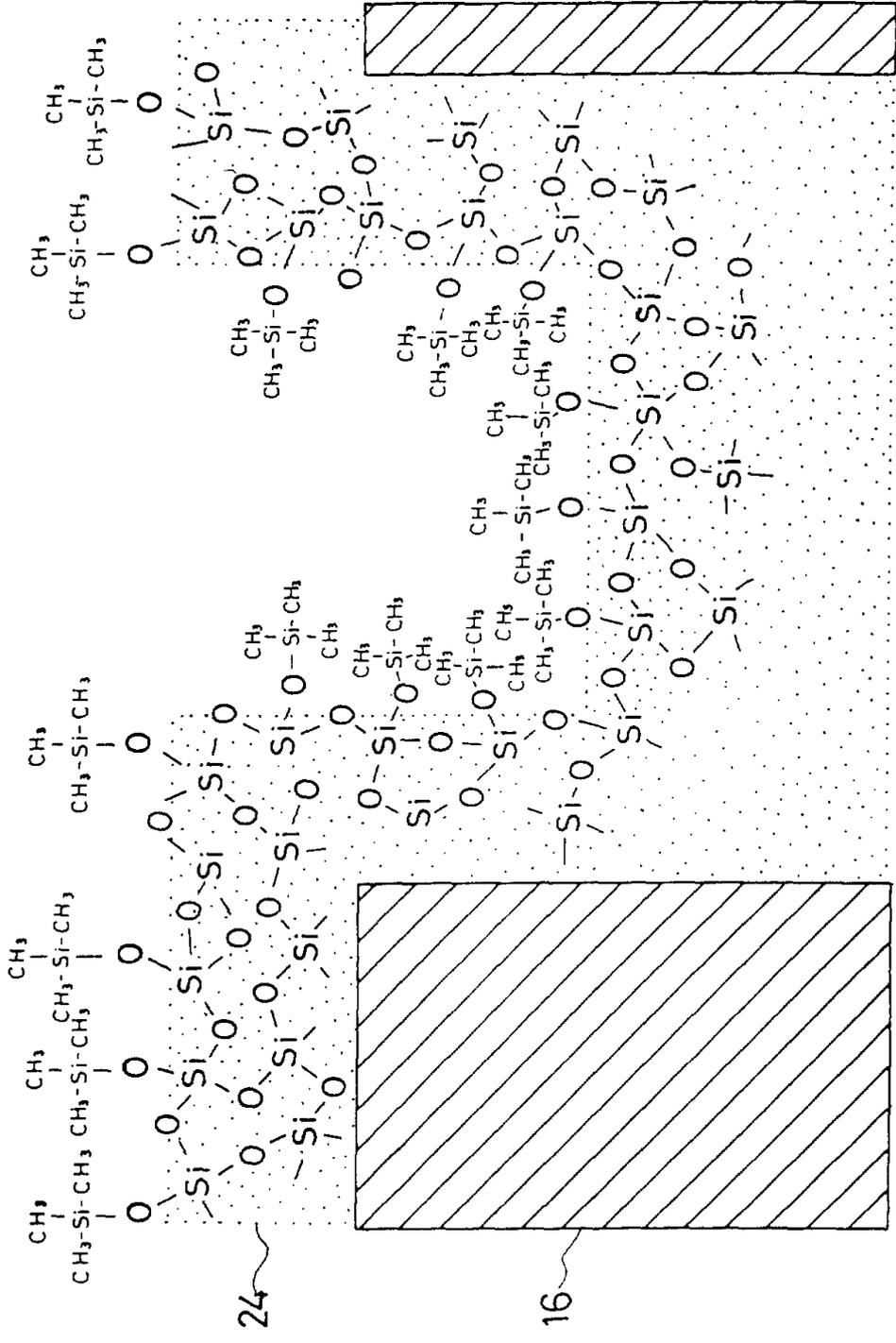


图 3

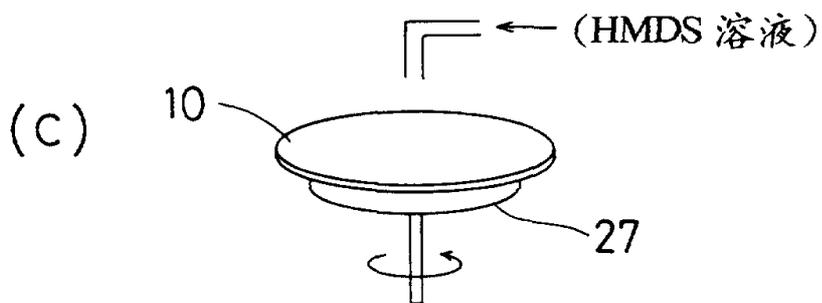
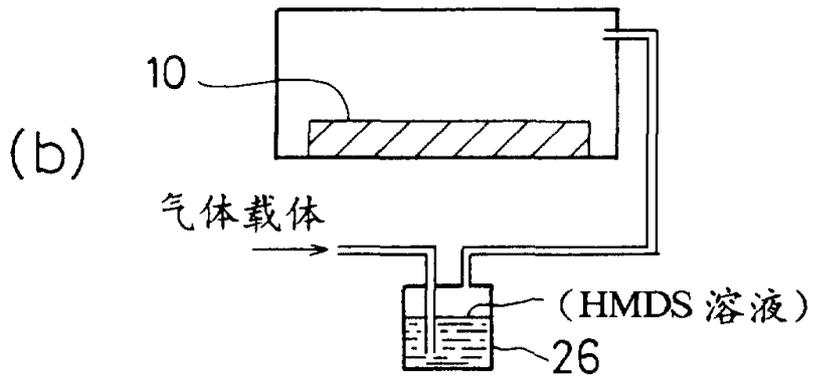
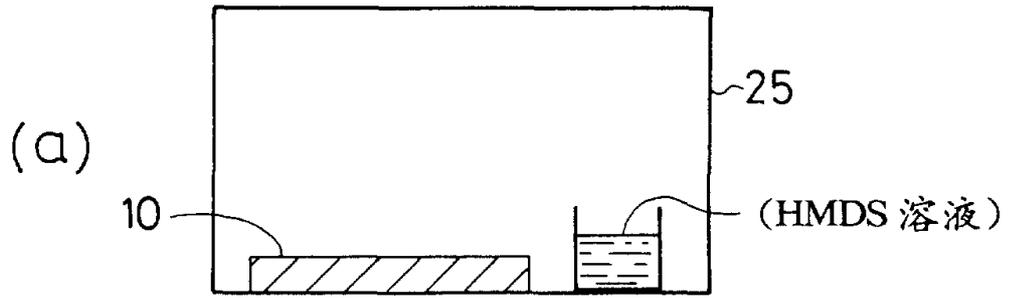


图 4

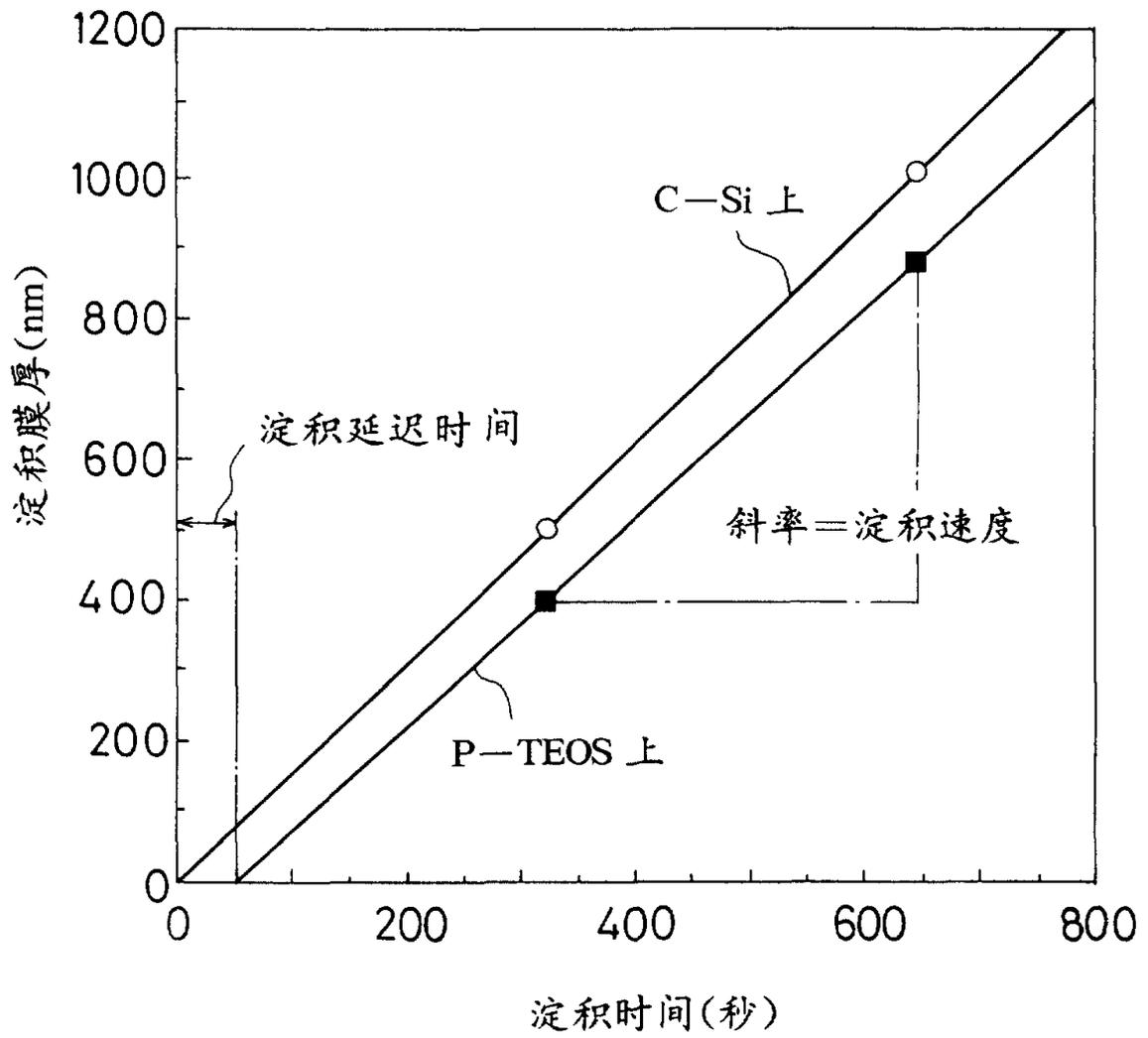


图 5

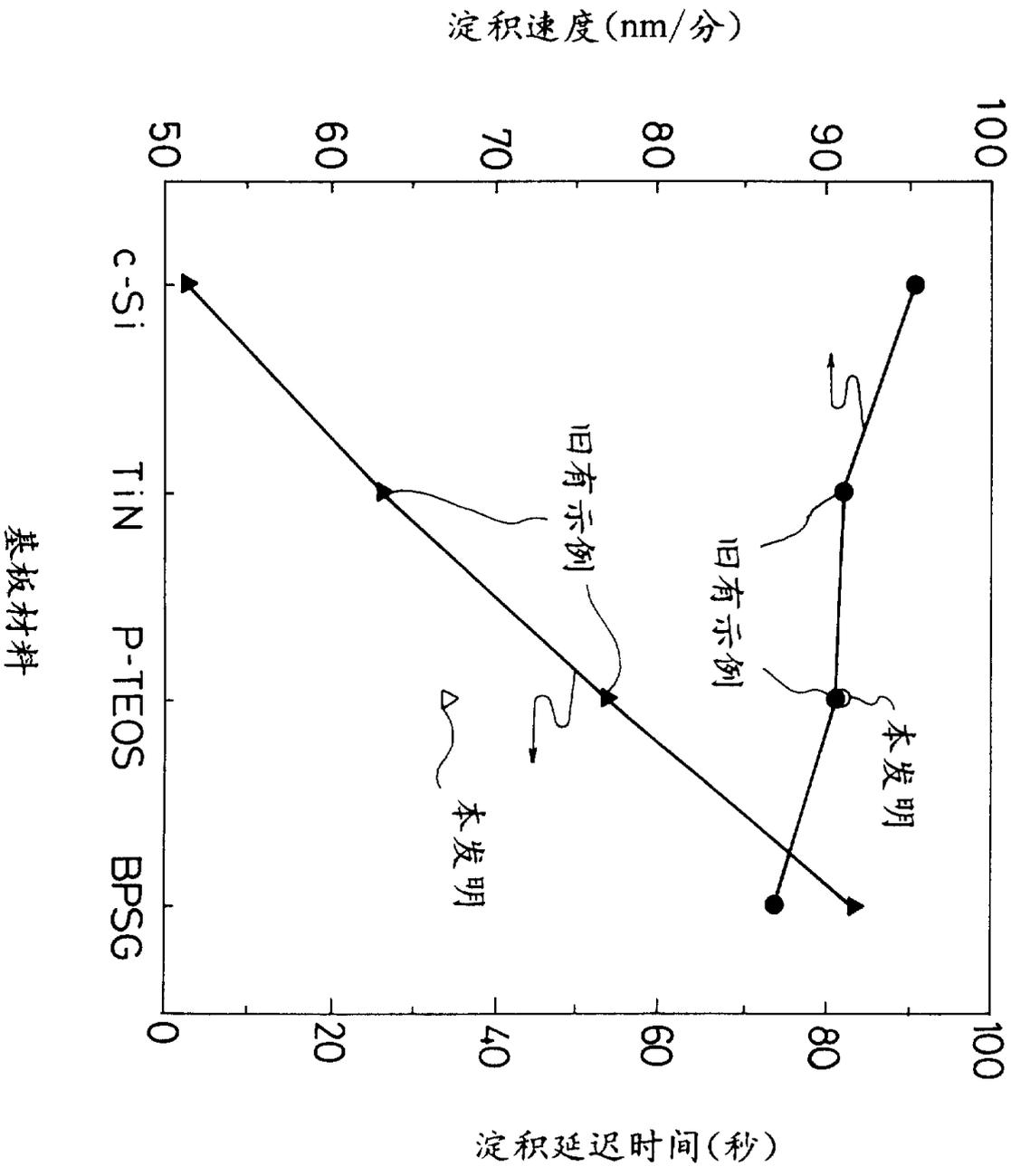
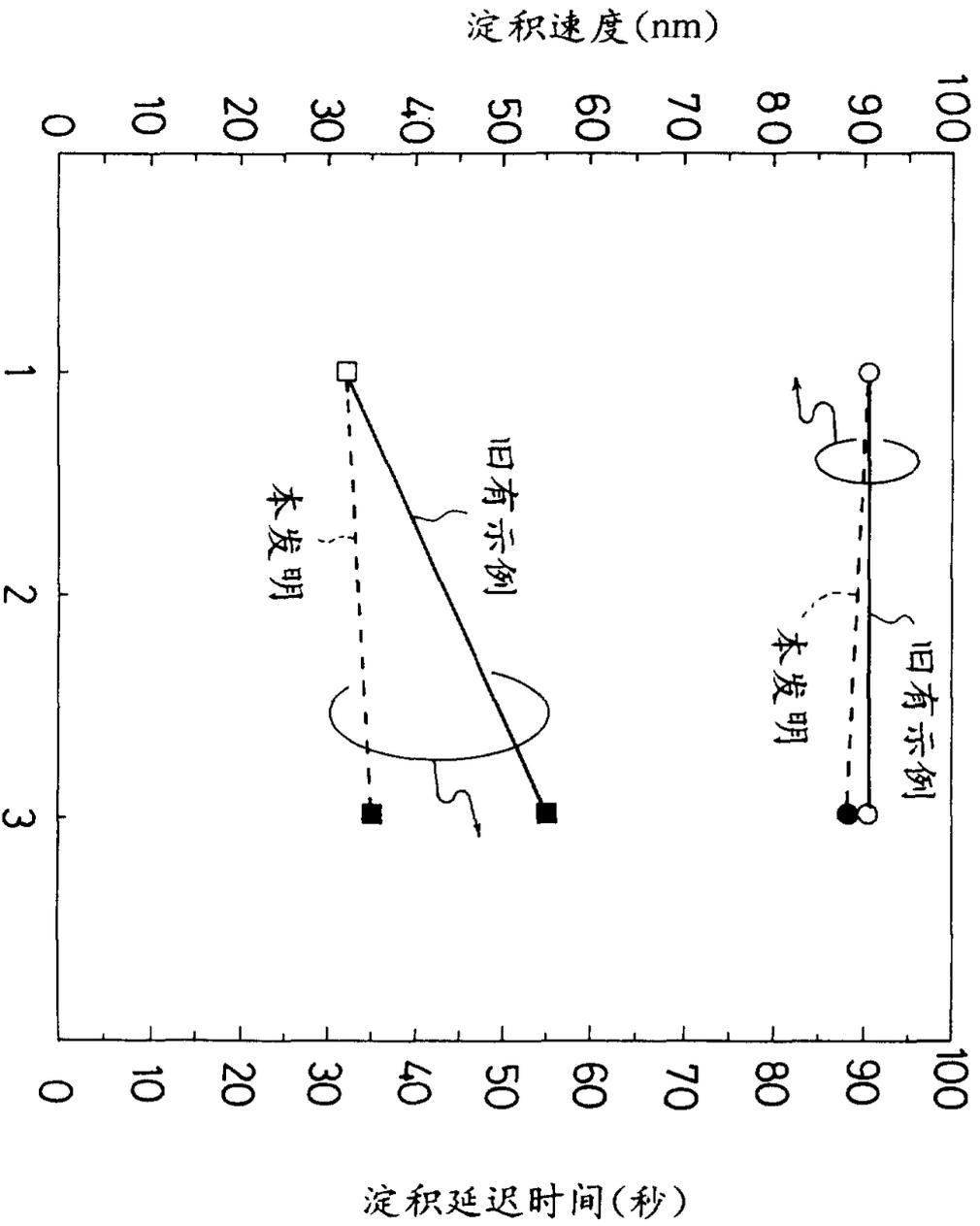


图 6



(从形成基板到淀积  $O_3$ /TEOS 之间的天数)

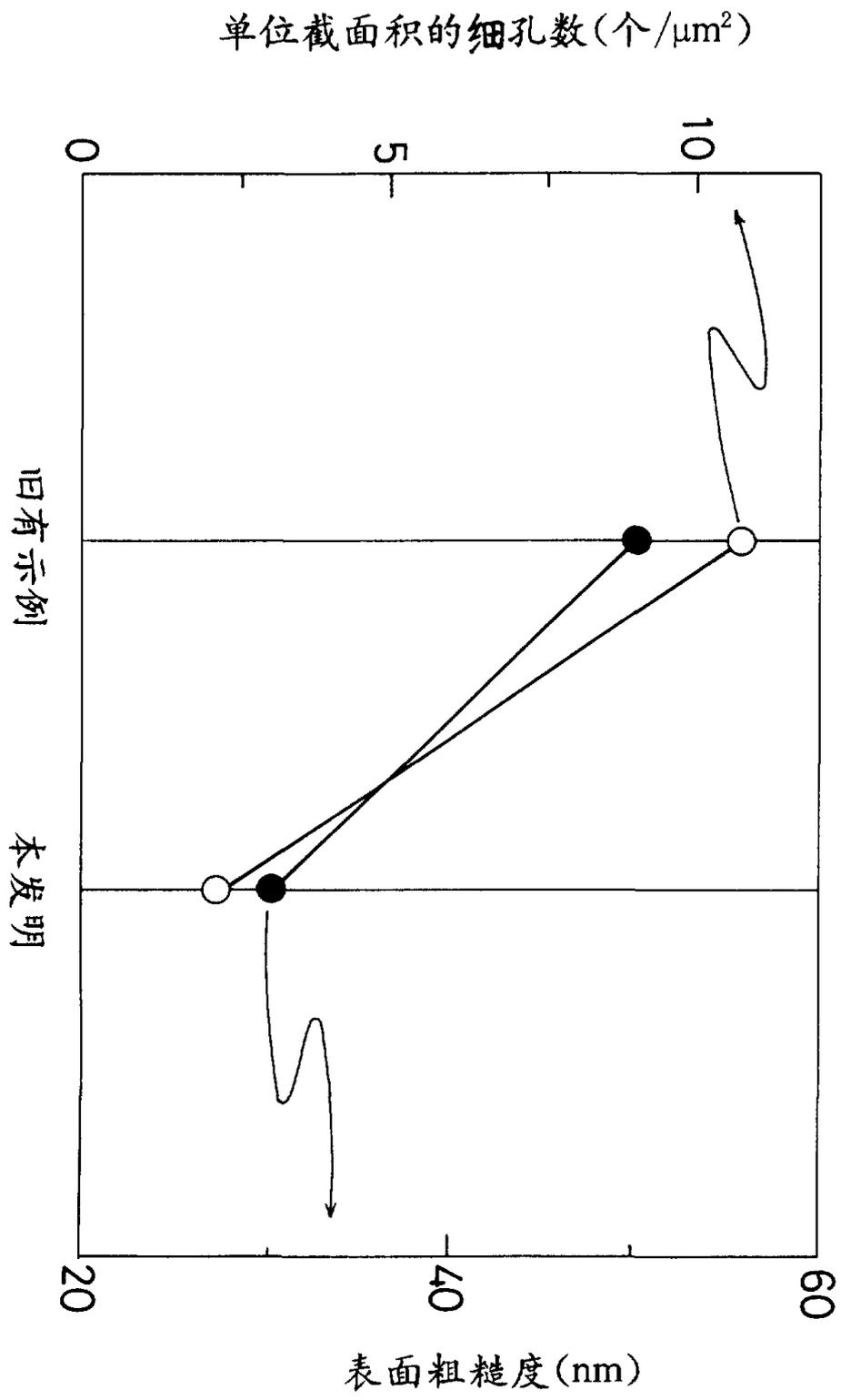


图 7

图 8

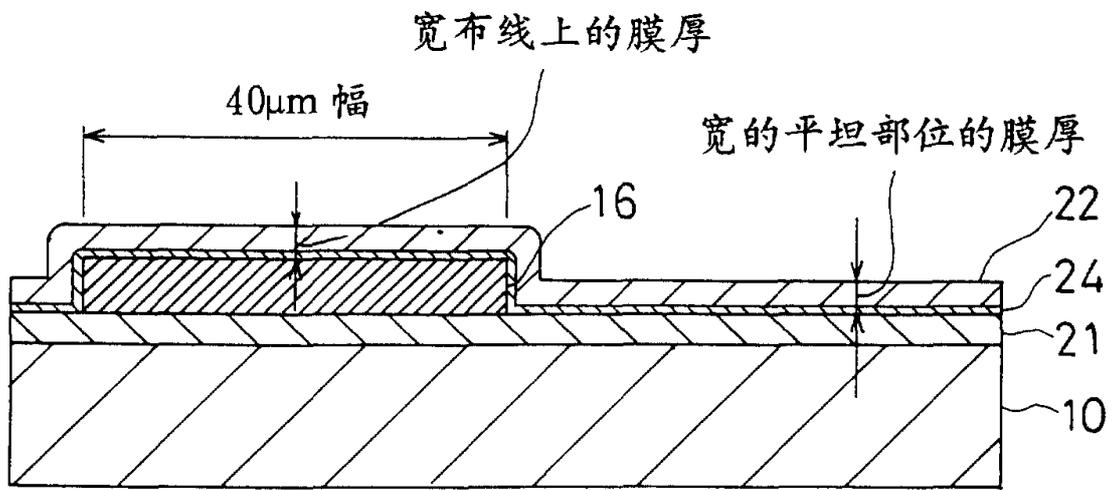


图 9

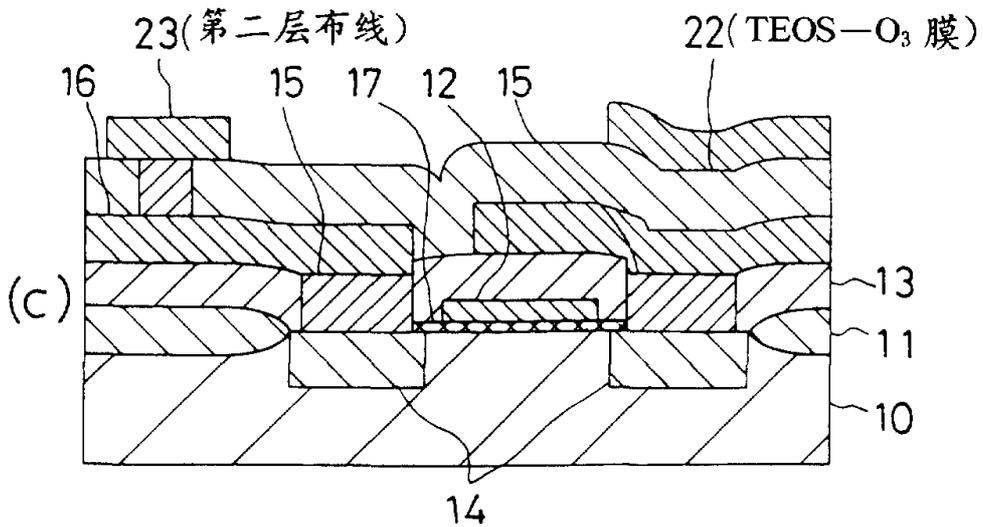
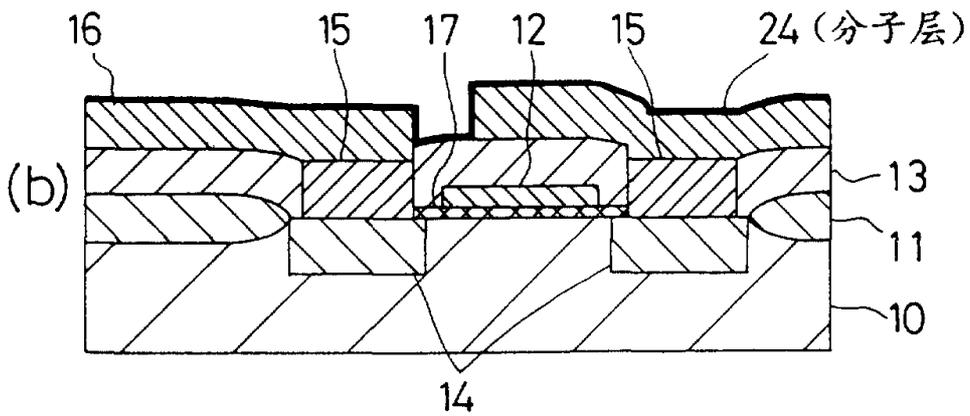
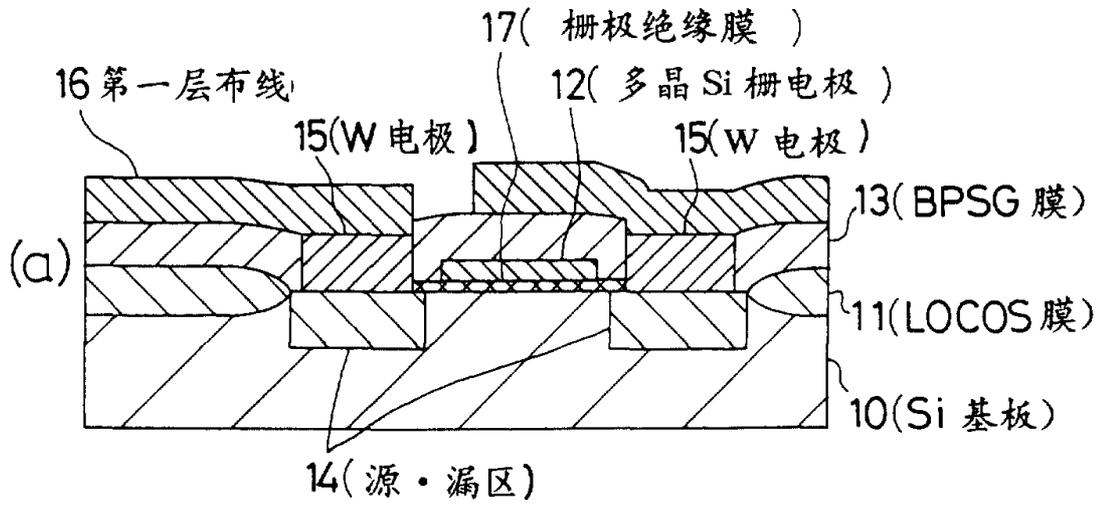


图 10

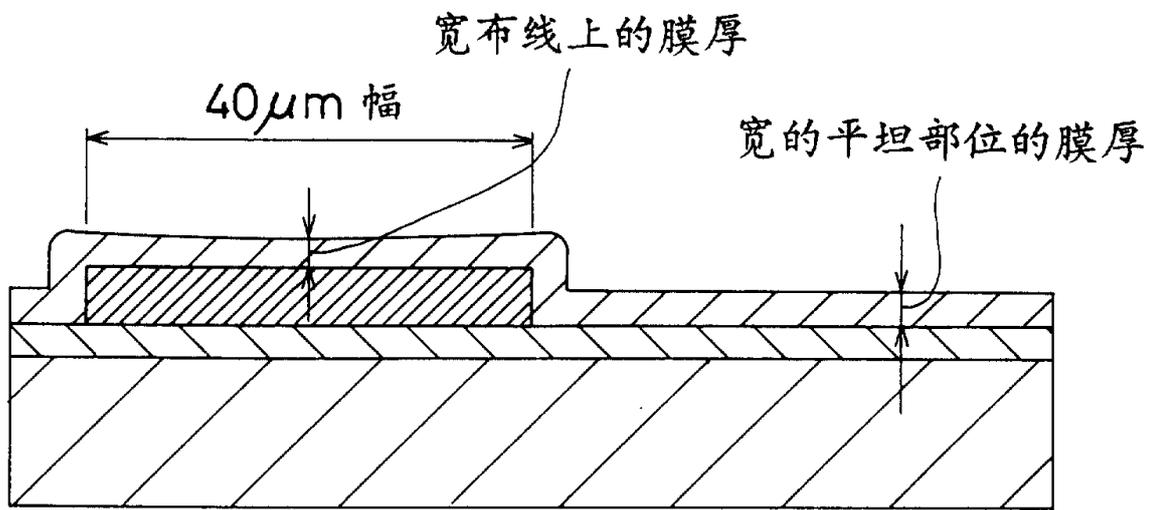


图 11

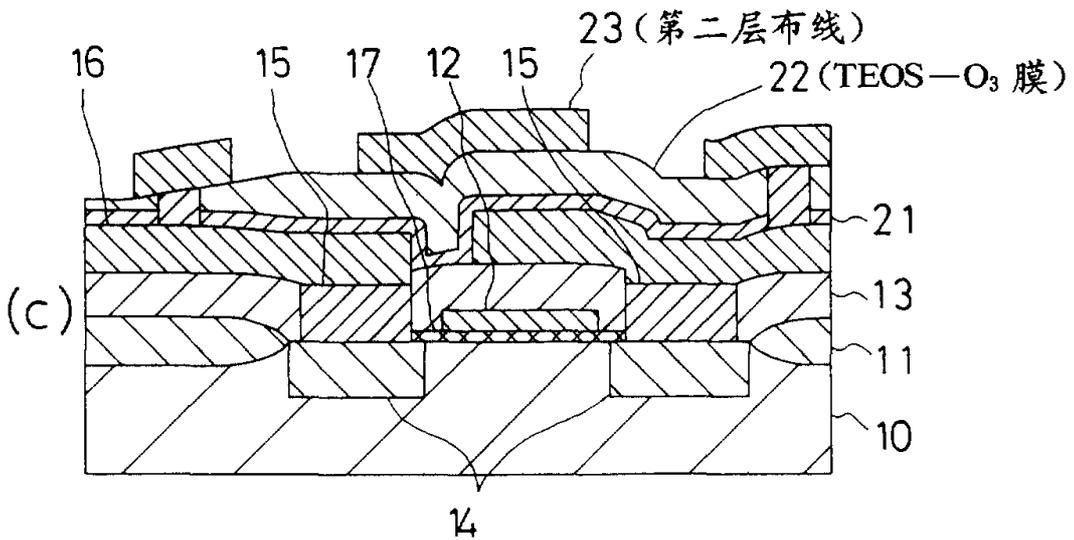
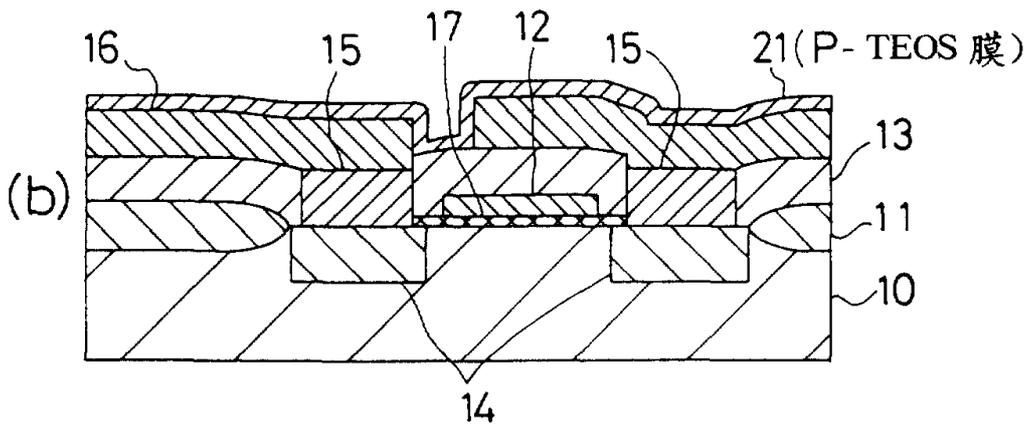
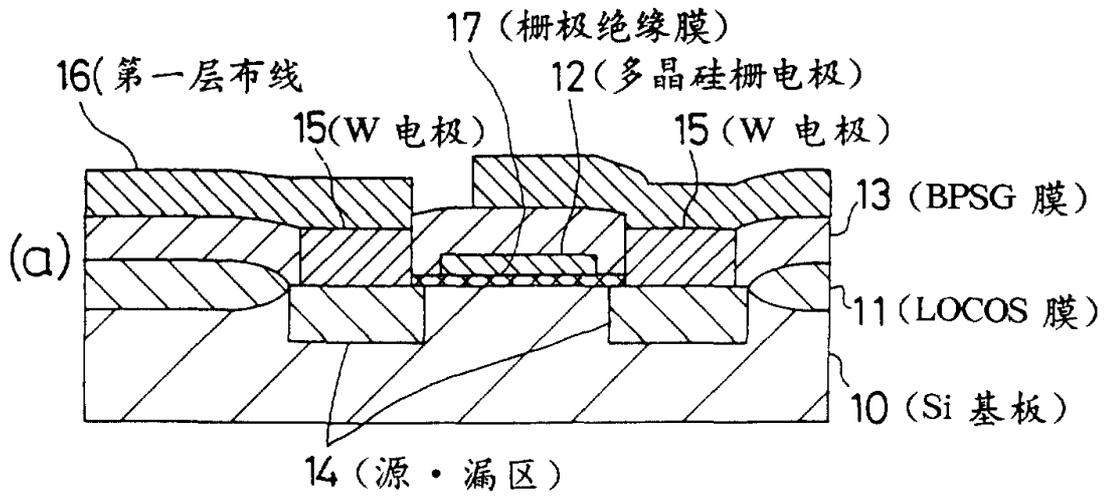


图 12

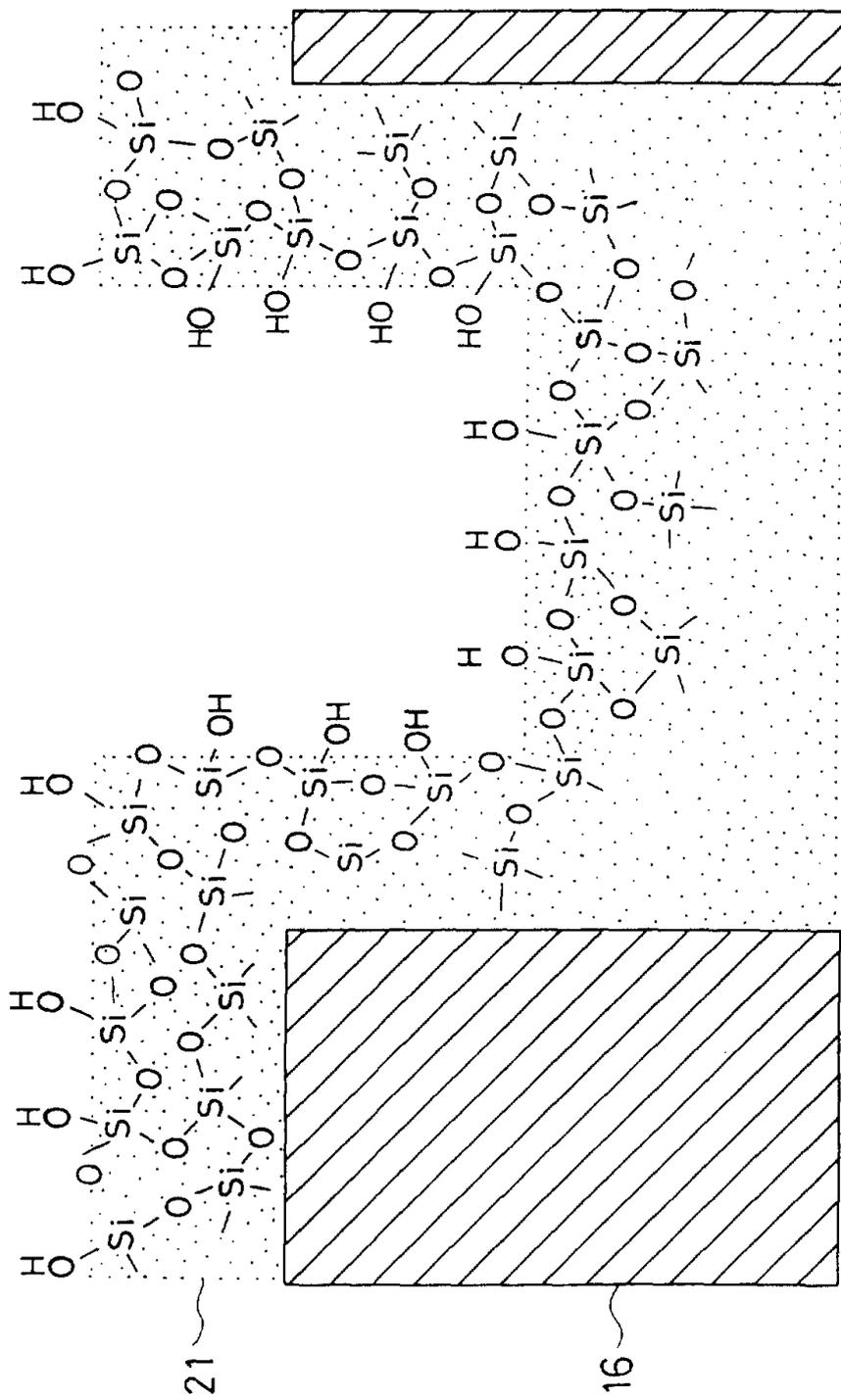


图 13

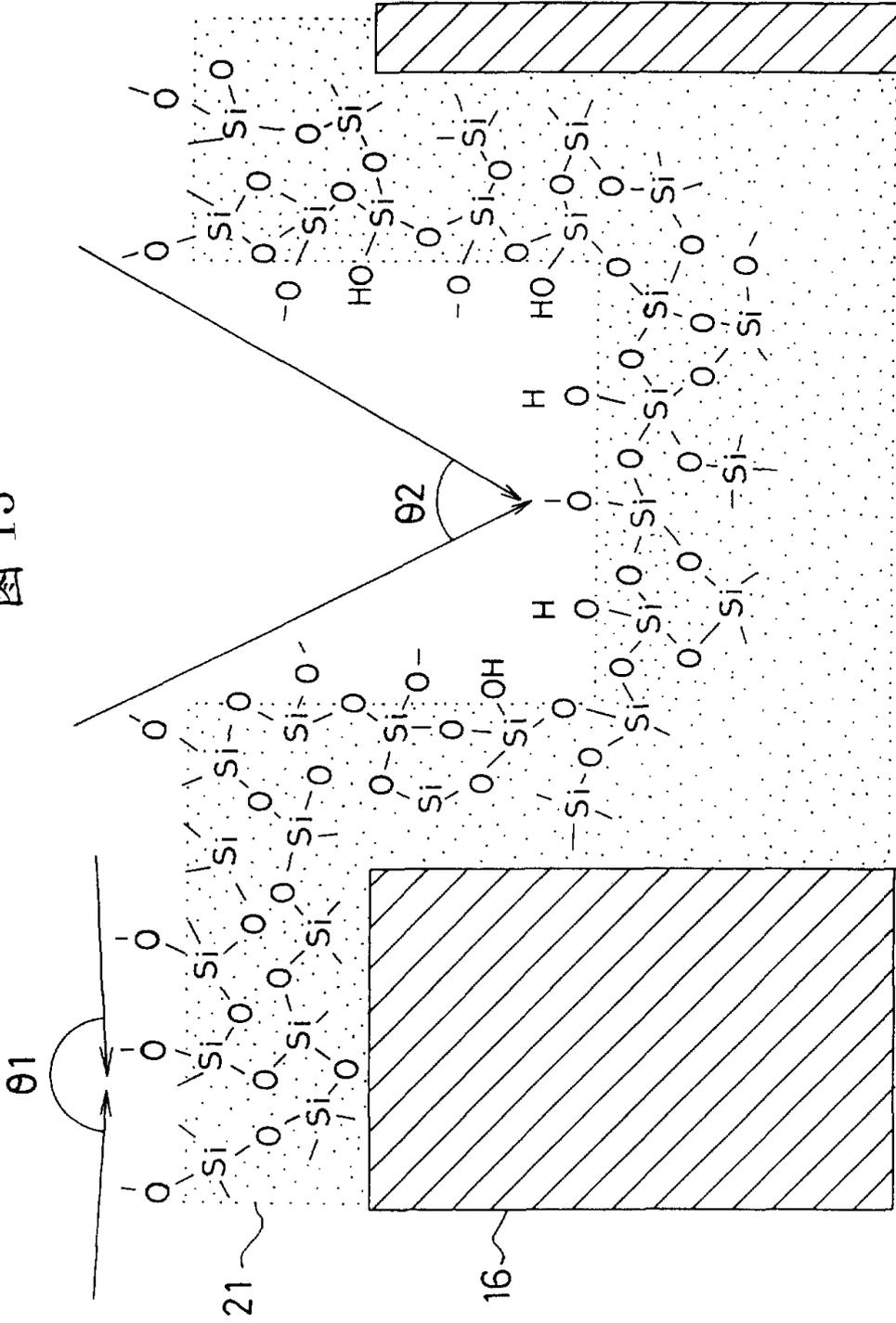


图 14

