

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>4</sup>  
H01L 29/94

(45) 공고일자 1989년11월04일  
(11) 공고번호 특1989-0004472

(21) 출원번호	특1985-0000281	(65) 공개번호	특1985-0005736
(22) 출원일자	1985년01월24일	(43) 공개일자	1985년08월28일
(30) 우선권 주장	85- 281 1984년01월20일 일본(JP)		
(71) 출원인	마쯔시다덴기산교 가부시기가이샤 야마시다 도시히꼬 일본국 오오사까후 가도마시 오오마자가도마 1006반지		
(72) 발명자	쓰지 카즈히꼬 일본국 오오사까후 카타노시 이꾸노 4쵸메 4-17 야마구찌 세이지 일본국 오오사까후 히라카타시 히가시코오리 1쵸메 12-19 이찌노헤 에이스케 일본국 오오사까후 카타노시 요겐자까 6쵸메 14-13		
(74) 대리인	신중훈		

심사관 : 정용철 (특허공보 제1684호)

(54) CMOS 집적회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

CMOS 집적회로

[도면의 간단한 설명]

제1도는 본 발명에 따른 CMOS 집적회로의 개략평면도.

제2도는 제1도의 X-Y선을 따라 절취한 CMOS 집적회로의 단면도.

제3도는 제2도의 CMOS 집적회로의 대응회로도.

제4도는 래치업효과를 설명하기 위한 CMOS 집적회로의 회로도.

제5도 및 제6도는 본 발명에 따른 CMOS 집적회로도인 다른 실시예에 대한 대응회로도.

제7도는 본 발명에 따른 CMOS 집적회로의 또다른 실시예에 대한 단면도.

제8도는 제7도에 도시한 CMOS 집적회로의 대응회로도.

제9도는 본 발명의 적용된 CMOS 메모리장치의 개략평면도.

\* 도면의 주요부분에 대한 부호의 설명

10 : P웰	12 : N형반도체기판
14 : P채널 MOS트랜지스터	16 : 소오스
18 : 게이트	20 : 트레인
22 : N채널 MOS트랜지스터	24 : 소오스
26 : 게이트	28 : 드레인
30, 32 : N형불순물층	34, 36 : P형불순물층

38 : 전원단자

40, 42, 44 : 알루미늄층

48 : 산화층

## [발명의 상세한 설명]

본 발명은 상보형금속산화물 반도체(CMOS)집적회로에 관한 것으로, 특히 래치업효과가 발생하지 않을뿐만 아니라 고밀도 및 고집적화가 가능한 CMOS 집적회로에 관한 것이다.

근년에 들어, 집적회로는 밀도, 집적도 및 성능면에서 진보를 거듭해왔다. 이러한 진보발전을 가속화하기 위해서는, 집적회로를 구성하는 소자와 소자들간의 층을 미세화 할 필요가 있다. 즉, 소자 및 소자층의 크기를 감소시켜야 하는 것이다.

일반적으로 CMOS 집적회로는 동일한 반도체기판상에 형성된 P채널 및 N채널형 MOS트랜지스터로 구성된다. 이러한 구조 때문에 CMOS 집적회로내에는 PNP형과 NPN형의 기생적 양극트랜지스터를 형성시킨다.

기생적 양극트랜지스터는 기생적 PNP구조, 즉 다이리스터 구조를 취한다. 이와같은 CMOS 집적회로에 있어서는, 외부노이즈나 전원회로상에서의 급격한 전압변화로 인하여 반도체기판에 전자 또는 홀이 발생한다.

전자 또는 홀은 다이리스터 구조가 기생적 양극트랜지스터로 흘러가게 되고, 기생적 양극트랜지스터는 통전된다. 그 결과, 다이리스터가 동작하고, 과도한 이상전류가 다이리스터를 통하여 흐르게되어 CMOS 집적회로가 파괴되는 경우가 있다. 이 현상을 이른바 "래치업효과"라 한다.

래치업효과를 방지하기 위해서는, 통상적으로 가이드밴드라 불리는 불순물확산층을 가아드밴드가 MOS트랜지스터를 둘러쌀 수 있도록 P채널형 MOS트랜지스터간의 층에 형성시킨다. 그리하여 가아드밴드는 P채널형 MOS트랜지스터와 N채널 MOS트랜지스터간의 층을 전기적으로 분리하여 래치업효과를 방지하게 된다.

그러나 가아드밴드를 형성시키는 것은 CMOS 집적회로의 크기 또는 치수를 증가시키게 되어 CMOS 집적회로를 고밀도·고집적화하는데 지장을 가져온다.

따라서, 본 발명의 목적은 고밀도·고집적화가 가능할뿐만 아니라 가아드밴드를 사용하지 않더라도 래치업 효과가 발생하지 않는 CMOS 집적회로를 제공하는 것이다.

이러한 목적을 달성하기 위한 본 발명은 제1 도전형 반도체기판과, 상기 반도체기판에 형성된 제2도전형불순물층과, 상기 반도체기판에 형성된 제1 MOS형 트랜지스터와, 상기 불순물층에 형성된 제2 MOS형 트랜지스터와, 상기 제1 및 제 2MOS형 트랜지스터에 전압을 공급하는 전원수단과, 상기 제1 및 제2MOS형 트랜지스터중 적어도 하나의 하부에 위치한 상기 반도체기판 및 불순물층중 적어도 하나 이상에 형성된 한개이상의 저항으로 구성된다. 상기 저항은 전원수단과 상기 MOS형 트랜지스터중 적어도 하나와의 사이에 전기적으로 접속된다. 본 발명의 한 실시예에 있어서, 반도체 기판은 N형과 P형이고, 불순물층은 각각 P형과 N형이다.

제1MOS형 트랜지스터는 P채널형 또는 N채널형이며, 제2MOS형 트랜지스터 N채널형 또는 P채널형이다. 전원수단은 전원회로와 접지회로를 가지며, 전원회로는 저항을 통하여 제1MOS형 트랜지스터와 접속된다. 그리고 접지회로는 저항을 통하여 제2MOS형 트랜지스터와 접속된다. 상기 저항은 반도체기판과 불순물층중 적어도 하나의 일부를 이용하여 형성시킨다. 제1MOS형 트랜지스터와 제 2MOS형 트랜지스터는 상보회로를 형성한다.

본 발명의 다른 실시예에 있어서, CMOS 집적회로는 N형 반도체기판과, 이 반도체기판에 형성된 P웰과, 상기 반도체기판에 형성된 P채널형 MOS트랜지스터 및 상기 P웰에 형성된 N채널형 MOS트랜지스터를 가진 CMOS 회로와, 전압이 인가되는 전원회로와, CMOS 회로로부터 이격되게 반도체기판에 형성되어 전원회로와 전기적으로 접속된 제 1단자전극과, CMOS 회로로부터 이격되게 P웰에 형성되어 접지회로와 전기적으로 접속된 제2 단자전극으로 구성된다. 이러한 구조를 이용하면, 제1단자전극과, CMOS 회로부 사이에 위치한 반도체기판의 일부와, CMOS 회로부와 제 2 단자전극 사이에 위치한 P웰의 일부가 CMOS 집적회로의 래치업효과를 방지하기 위한 저항으로서의 기능을 한다.

본 발명의 또다른 실시예에 있어서, CMOS 집적회로는 P형 반도체기판과, 상기 반도체기판에 형성된 N웰과, 상기 반도체기판에 형성된 N채널형 MOS트랜지스터 및 상기 N웰에 형성된 P채널형 MOS트랜지스터를 가진 CMOS 회로와, 전압이 인가되는 전원회로와, 상기 CMOS 회로로부터 이격되게 N웰에 형성된 단자전극으로 구성된다. 상기 단자전극은 전원회로와 전기적으로 접속된다. 이러한 구조를 이용하면, CMOS 회로부와 단자전극사이에 위치한 N웰의 일부는 CMOS 집적회로의 래치업효과를 방지하기 위한 저항으로서의 기능을 한다.

본 발명의 또다른 실시예에 있어서, 반도체메모리 장치는 반도체기판과, 이 반도체기판에 형성된 것으로 CMOS 구조를 포함하는 다수의 메모리셀과, 상기 메모리셀로부터 이격된 위치에 형성되어 메모리셀하부의 반도체기판부분을 통하여 메모리셀과 전기적으로 접속되어서 메모리셀에 전압을 공급하기 위한 전원회로로 구성된다. 이러한 구조를 이용하면, 상기 반도체기판의 부분은 메모리셀의 래치업효과를 방지하는 저항으로서의 기능을 한다.

이상에서 설명한 본 발명의 CMOS 집적회로는 다음과 같은 잇점을 제공한다. 가아드밴드가 없는 간단한 구조로도 래치업효과를 방지할 수 있다. 다시말해서, 반도체기판의 일부와 불순물층의 일부가 래치업효과를 방지하기 위한 저항으로서의 기능을 한다.

이상, 청구범위에 기재된 본 발명의 신규의 특징을 요약하여 본 발명을 설명하였으나, 이하에서는

첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하겠다.

제1도 및 제2도를 참조하면, P형 불순물층, 즉 P웰(10)은 N형 반도체기판(12)에 형성된다. P채널형 MOS트랜지스터(14)는 소오스(16)와, 게이트(18) 및 드레인(20)을 가진다. 소오스(16)와 드레인(20)은 N형 반도체기판에 형성되고, 게이트(18)는 폴리실리콘층에 형성된다. 한편, N채널형 MOS트랜지스터(22)는 P웰(10)에 형성된다. 이 N채널형 MOS트랜지스터(22)는 소오스(24)와, 게이트(26) 및 드레인(28)을 가진다. 상기 소오스(24)와 드레인(28)은 P형불순물층에 형성되고, 상기 게이트(26)는 폴리실리콘층에 형성된다. P채널형 MOS트랜지스터(14)와 N채널형 MOS트랜지스터(22)는 각각 게이트(18)(26)가 입력으로서 상호접속됨과 동시에 각각의 드레인(20)(28)이 출력으로서 상호접속되어 상보형 MOS, 즉 CMOS 회로를 형성하게끔 전기적으로 접속된다. N형불순물층(30)(32)은 N채널형 MOS트랜지스터(22)의 소오스(24)와 드레인(28)이 P웰(10)에 형성됨과 동시에 반도체기판(12)에 형성된다.

P형불순물층(34)(36)은 P채널형 MOS트랜지스터의 소오스(16)와 드레인(20)이 반도체기판(12)에 형성됨과 동시에 P웰(10)에 형성된다. N형불순물층(30)은 알루미늄층(40)을 통하여 전압( $V_0$ )을 인가하는 전원단자(38)와 전기적으로 접속되고, N형불순물층(32)은 알루미늄층(42)을 통하여 소오스(16)와 전기적으로 접속된다. P형불순물층(34)은 알루미늄층(44)을 통하여 접지되거나 전압( $V_s$ )을 공급받는 다른 전원단자와 전기적으로 접속된다. P형불순물층(36)은 알루미늄층(46)을 통하여 소오스(24)와 전기적으로 접속된다. 이와같은 불순물층(30)(32)(34)(36)은 오옴의 특성을 나타내게 되고, 그에 따라 알루미늄층과 반도체기판(12)또는 P웰(10)간의 접촉을 양호하게 한다. (48)은 절연층 구실을 하는 산화층이다.

이러한 CMOS 회로구조에 따르면, 기생적 양극트랜지스터( $Tr_1$ )( $Tr_2$ )와 저항( $r_1$ )( $r_2$ )( $r_3$ )( $r_4$ )( $R_1$ )( $R_2$ )이 생성된다. 기생적 양극트랜지스터( $Tr_1$ )는 PNP형의 것으로, 소오스(16)(P형), 반도체기판(12)(N형) 및 P웰(10)에 의해 형성된다. 상기 저항( $r_1$ )은 N형불순물층(30)에 의해 발생하는 저항과, 이 불순물층(30)과 소오스(16)및 P웰(10)에 인접한 지역간에 위치한 반도체기판(12)의 일부에 의해 발생하는 저항에 의해 형성된다.

저항( $r_2$ )은 P채널형 MOS트랜지스터(14)의 소오스(16)에 의해 발생하는 저항에 의해 형성된다. 저항( $r_3$ )은 P형불순물층(34)에 의해 발생하는 저항과, 불순물층(34)과 소오스(24) 및 반도체기판(12)에 인접한 지역간에 위치한 P웰(10)의 일부에 의해 발생하는 저항에 의해 형성된다. 저항( $r_4$ )은 N채널형 MOS트랜지스터(22)의 소오스(24)에 의해 발생하는 저항에 의해 형성된다.

트랜지스터( $Tr_1$ )( $Tr_2$ )와 저항( $r_1 \sim r_4$ )을 포함한 상기 소자에 의하여, 제4도에 도시한 다이리스터 구조가 형성된다. 즉, 전원단자(38)는 저항( $R_2$ ), 트랜지스터( $Tr_1$ )및 저항( $R_3$ )의 제1연속연결과, 저항( $r_1$ ), 트랜지스터( $Tr_2$ )및 저항( $r_4$ )의 제2연속연결을 거쳐 접지된다. 트랜지스터( $Tr_1$ )의 베이스는 트랜지스터( $Tr_2$ )의 컬렉터에 접속된다.

래치업효과는 제4도를 참조하여 설명한다. 정상상태에 있어서는, 트랜지스터( $Tr_1$ )의 베이스와 에미터에서 전압( $V_0$ )이 나타난다. 따라서, 트랜지스터( $Tr_1$ )를 도전시키는 부전압은 트랜지스터( $Tr_1$ )의 베이스에서 나타나지 않게되어 트랜지스터( $Tr_1$ )는 비도전상태로 있게되고, 트랜지스터( $Tr_2$ )도 역시 비도전상태로 있게 된다.

한예로, 외부노이즈가 CMOS 집적회로에 인가되었을 경우에는 반도체기판(12)상에 전자 또는 홀이 나타나고 전류( $i_0$ )는 제4도에 도시한것과 같이 흐른다. 그에 따라, 트랜지스터( $Tr_1$ )의 베이스 전위가

$V_0$ 로부터  $V_0 - \Delta V_B$ 로 낮아지고, 부전압( $-\Delta V_B$ )이 트랜지스터( $Tr_1$ )의 베이스에 인가되어서 트랜지스터( $Tr_1$ )가 도전된다. 이러한 트랜지스터( $Tr_1$ )의 도전에 따라 트랜지스터( $Tr_2$ )의 베이스에 정전압이 인가되므로써 트랜지스터( $Tr_2$ )도 도전된다. 이와같은 트랜지스터( $Tr_2$ )의 도전에 따라 트랜지스터( $Tr_1$ )는 도전상태로 남아있게 된다. 상술한 동작을 반복하면 트랜지스터( $Tr_1$ )( $Tr_2$ )는 항상 도전상태로 있게되고 전류( $i_1$ )는 연속하여 흐른다. 즉, 래치업효과가 발생하는 것이다.

상기 설명에 있어서, 전류( $i_0$ )는 반도체기판(12)으로 흐르고, 트랜지스터( $Tr_1$ )는 최초로 도전된다. 그러나 전류( $i_0'$ )가 P웰(10)에 흐르고, 트랜지스터( $Tr_2$ )가 먼저 도전되는 경우도 있다.

즉, 전류( $i_0'$ )가 제4도에 도시한것과 같이 흐르면, 정베이스전압이 트랜지스터( $Tr_2$ )의 베이스에서 나타나고, 그에 따라 트랜지스터( $Tr_2$ )는 전류가 흐를수 있도록 도전된다. 이렇게되면, 부전압(저항 $r_1$ )의 전압강하)이 트랜지스터( $Tr_1$ )의 베이스에 인가되어서 트랜지스터( $Tr_1$ )가 도전되고 전류( $i_1$ )가 흐르게 된다. 이상의 동작이 반복되면 래치업효과가 발생한다.

제1도 및 제2도에 도시한 본 발명의 실시예는 래치업효과를 방지하기 위한 특수구조를 가진다. 즉, 상기 저항( $R_1$ )( $R_2$ )은 래치업효과를 방지하기 위한 수단으로서의 기능을 한다. 저항( $R_1$ )은 반도체기판(12)에 의해 발생하는 저항, 특히 N형불순물층(30)(32)사이의 지역에서 발생하는 저항에 의하여 형성된다. 저항( $R_1$ )은 제3도에 도시한 바와같은 전원단자(38)와 저항( $r_2$ )사이에 전기적으로 접속된다. 한편, 저항( $R_2$ )은 P웰(10)에 의해 발생하는 저항, 특히 P형불순물층(34)(36)사이에서 발생하는 저항에 의해 형성된다.

저항( $R_2$ )은 저항( $r_4$ )과 지면사이에 전기적으로 접속된다. 즉 저항( $R_1$ )은 저항( $r_1$ )이 발생한 반도체기

판(12)에 의해서 형성되고, 저항( $R_2$ )은 저항( $r_3$ )이 발생한 P웰(10)에 의해서 형성된다.

이러한 구조 때문에, 외부노이즈등에 의해 전류( $i_0$ )가 흐르게 되더라도 이 전류( $i_0$ )는 반드시 저항( $R_1$ )을 통하여 흐른다.

따라서, 트랜지스터( $Tr_1$ )의 베이스전압이  $V_0 - \Delta V_B$ 로 강하되면, 트랜지스터( $Tr_1$ )의 에미터전압은  $V_0$ 로부터  $V_0 - \Delta V_E$ 로 강해진다. 제2도를 보면 명백히 알 수 있는 바와같이, 저항( $R_1$ )을 형성하는 지역의 길이가 저항( $r_1$ )을 형성하는 지역보다 길기 때문에 저항( $R_1$ )은 저항( $r_1$ )보다 크다. 그러므로

$\Delta V_B < \Delta V_E$  이고,  $V_0 - \Delta V_B > V_0 - \Delta V_E$  이다. 따라서 정전압은 트랜지스터( $Tr_1$ )의 베이스에 인가되고, 트랜지스터( $Tr_1$ )는 비도전상태로 있게된다. 그 결과, 래치업효과는 발생하지 않게된다.

한편, 외부노이즈등에 의해 전류( $i_0'$ )가 흐르게 되면, 이 전류( $i_0'$ )는 반드시 저항( $R_2$ )을 통하여 흐른다. 따라서 정전압이 트랜지스터( $Tr_2$ )의 베이스에 나타나면, 트랜지스터( $Tr_2$ )의 에미터에는 높은 정전압이 나타나고, 트랜지스터( $Tr_2$ )의 베이스전압은 부전압으로 되어 트랜지스터( $Tr_2$ )는 비도전상태로 유지된다. 따라서 래치업효과는 방지된다.

이상에서 설명한 바와같이, 2개의 저항( $R_1$ )( $R_2$ )을 부가하면, 래치업효과를 완전히 방지할 수 있다. 이들 저항( $R_1$ )( $R_2$ )의 저항치는 쉽게 조정할 수 있다. 다시말해서, 불순물층(30)(32) 또는 (34)(36)간의 간격을 크게 하면, 저항( $R_1$ )또는 ( $R_2$ )의 저항치가 커진다. 반대로 상기 간격을 좁게하면, 저항치 역시 작아진다. 따라서, 트랜지스터( $Tr_1$ ) 또는 ( $Tr_2$ )가 도전되지 않게끔 저항( $R_1$ )또는 ( $R_2$ )를 세트하는 것은 용이하다.

상술한 잇점은 저항( $R_1$ )( $R_2$ )중 하나만에 의해서도 얻을 수 있다. 제5도는 저항( $R_1$ )만을 사용하는 실시예를 도시한 것이고, 제6도는 저항( $R_2$ )만을 사용하는 실시예를 도시한 것이다. 제5도에 있어서, 전류( $i_0$ )가 흐르면, 트랜지스터( $Tr_1$ )는 비도전상태로 되어 래치업효과의 발생을 방지하게 된다. 한편 전류( $i_0'$ )가 흐르면, 트랜지스터( $Tr_2$ )는 도전되고 트랜지스터( $Tr_1$ )도 도전되지만, 전류( $i_1$ )의 레벨은 저항( $R_1$ )에 의해서 통제된다.

따라서, 트랜지스터( $Tr_2$ )의 베이스전압( $V_{BE}$ )는 부전압으로 되어서 비도전상태가 된다. 그러므로 래치업효과는 발생하지 않는다.

제6도에 도시한 회로의 작동은 제5도에 도시한 회로의 작동과 거의 동일하다. 즉, 저항( $R_2$ )은 래치업효과를 방지한다. 작동에 관한 상세한 설명은 생략한다.

상술한 실시예는 N형반도체기판에 형성된 P웰을 가진 CMOS 구조를 채용한다. 그러나 P형반도체기판에 형성된 N웰을 가진 CMOS 구조도 채용할 수 있다. 제7도는 P형반도체기판(12')에 형성된 N웰을 가진 CMOS 구조를 채용하는 한편, 래치업효과의 방지를 위하여 N웰(10')에 형성된 저항( $R_1$ )만을 사용하는 본 발명의 다른 실시예를 도시한 것이다. 제7도에 있어서, 동일한 부품에 대한 도번은 제1도 및 제2도에 도시한것과 같으며, 상세한 설명은 생략한다. 제8도는 제7도의 구조에 대응하는등가 회로도이다.

그런데, 제7도 및 제8도에 있어서 저항( $r_4$ )과 바닥사이에는 부가정항( $r_a$ )이 전기적으로 접속된다. 상기 저항( $r_a$ )은 반도체기판(12)상에 형성된 폴리실리콘필름이나 반도체기판(12)에 형성된 불순물확산층 또는 CMOS 집적회로에 형성된 저항에 의해서 형성된다. 이 저항( $r_a$ )은 트랜지스터( $Tr_2$ )를 통한 전류의 흐름을 제한하여 과전류의 흐름을 방지하고, 나아가서는 래치업효과를 방지하는데 사용된다.

제9도는 본 발명에 따른 적용예, 즉 반도체메모리 장치이다. 각각의 CMOS 메모리셀(50)은 P채널형 MOS 트랜지스터(14)와 N채널형 MOS트랜지스터(22)로 구성된다. 상기 다수의 CMOS 메모리셀(50)은 제9도에 도시한것과 같이 수평방향으로 배열된다. 이들 메모리셀(50)은 저항( $R_1$ )( $R_2$ )을 통하여 알루미늄층(40)(44)에 전기적으로 접속된다. P채널형트랜지스터(14)의 공통불순물층(16)은 알루미늄층(42)을 통하여 불순물층(32)에 접속된다. N채널형트랜지스터(22)의 공통불순물층(24)은 알루미늄층(46)을 통하여 불순물층(36)에 접속된다. 알루미늄층(40)은 전원회로의 기능을 하며, 알루미늄층(44)은 접지회로의 기능을 한다.

상술한 저항( $R_1$ )은 알루미늄층(40)사이, 특히 불순물층(30)과 알루미늄층(42), 또는 불순물층(32)사이의 지역에 형성된다. 즉, 저항( $R_1$ )은 CMOS 메모리셀의 P채널형 MOS트랜지스터 부분 아래에 위치한 반도체기판(12)의 일부에 의해 형성된다. 상술한 저항( $R_2$ )은 알루미늄층(42)사이, 특히 불순물층(34)과 알루미늄층(46) 또는 불순물층(36)사이에 형성된다. 다시말해서, CMOS 메모리셀의 N채널형 MOS트랜지스터 부분의 하부에 위치한 P웰(10)의 일부에 의해 형성된다. 저항( $R_1$ )( $R_2$ )의 저항치는 메모리셀(50)의 사이즈를 변경하거나, 수평방향의 선을 따라 배열된 메모리셀의 수를 변경함으로써 변화시킬 수 있다. 상술한 CMOS 메모리장치는 N웰을 가진 P형반도체기판으로 형성시킬수도 있으며, 저항( $R_1$ )( $R_2$ )중 하나를 생략하여도 무방하다.

**(57) 청구의 범위****청구항 1**

제1도전형 반도체기판(12)(12')과, 상기 반도체기판(12)(12')에 형성된 제2도전형 불순물층(10)(10')과, 상기 반도체기판(12)(12')에 형성된 제1 MOS트랜지스터와, 상기 불순물층(10)(10')에 형성된 제2MOS트랜지스터와, 상기 제1 MOS트랜지스터와 제2 MOS트랜지스터에 전압을 공급하는 전원수단과, 상기 제1 MOS트랜지스터 및 제2 MOS트랜지스터중 적어도 하나의 하부에 위치한 상기 반도체기판(12)(12') 및 불순물층(10)(10')중 적어도 하나이상에 형성되어서 상기 전원수단과 상기 제1 및 제2 MOS트랜지스터중 적어도 하나와의 사이에 전기적으로 접속된 한개 이상의 저항( $R_1$ )( $R_2$ )으로 구성된 CMOS 집적회로.

**청구항 2**

제1항에 있어서, 상기 반도체기판(12)은 N형이고, 상기 불순물층(10)은 P형이며, 상기 제1 MOS트랜지스터(14)는 P채널형이고, 상기 제2 MOS트랜지스터(22)는 N채널형인 것을 특징으로 하는 CMOS 집적회로.

**청구항 3**

제1항에 있어서, 상기 반도체기판(12')은 P형이고, 상기 불순물층(10')은 N형이며, 상기 제1 MOS트랜지스터(22)는 N채널형이고, 상기 제2 MOS트랜지스터(14)는 P채널형인 것을 특징으로 하는 CMOS 집적회로.

**청구항 4**

제1항에 있어서, 상기 전원수단은 전원회로와 접지회로를 가지며, 상기 전원회로는 상기 저항을 통하여 상기 제1MOS트랜지스터에 접속된 것을 특징으로 하는 CMOS 집적회로.

**청구항 5**

제1항에 있어서, 상기 전원수단은 전원회로와 접지회로를 가지며, 상기 접지회로는 상기 저항을 통하여 상기 제2 MOS트랜지스터와 접속된 것을 특징으로 하는 CMOS 집적회로.

**청구항 6**

제1항에 있어서, 상기 전원수단은 전원회로와 접지회로를 가지며, 상기 전원회로는 제1 저항을 통하여 상기 제1 MOS트랜지스터에 접속되고, 상기 접지회로는 제2 저항을 통하여 상기 제2 MOS트랜지스터에 접속된 것을 특징으로 하는 CMOS 집적회로.

**청구항 7**

제1항에 있어서, 상기 저항은 상기 반도체기판(12)(12')과 불순물층(10)(10')중 적어도 하나의 일부를 사용하여 형성시킨 것을 특징으로 하는 CMOS 집적회로.

**청구항 8**

제1항에 있어서, 상기 제1 및 제2 MOS트랜지스터는 상보회로를 형성하는 것을 특징으로 하는 CMOS 집적회로.

**청구항 9**

제1도전형 반도체기판(12)(12')과, 상기 반도체기판(12)(12')에 형성된 제2도전형 불순물층(10)(10')과, 상기 반도체기판(12)(12')에 형성된 제1 MOS트랜지스터 및 상기 불순물층(10)(10')에 형성된 제2 MOS트랜지스터를 가진 CMOS 회로와, 상기 반도체기판(12)(12') 및 불순물층(10)(10')중 적어도 하나의 일부를 통하여 상기 CMOS 회로와 전기적으로 접속되어서 상기 CMOS 회로에 전압을 공급하는 전원수단으로 구성되고, 상기 반도체기판(12)(12')과 불순물층(10)(10')중 적어도 하나의 일부는 상기 CMOS 집적회로의 래치업효과를 방지하기 위한 저항의 기능을 하도록 된 CMOS 집적회로.

**청구항 10**

제9항에 있어서, 상기 반도체기판(12')은 P형이고, 상기 불순물층은 상기 P형 반도체기판(12')에 형성된 N웰(10')이며, 상기 전원수단은 상기 N웰(10')의 일부를 통하여 상기 제2 MOS트랜지스터에 전기적으로 접속된 것을 특징으로 하는 CMOS 집적회로.

**청구항 11**

제9항에 있어서, 상기 전원수단은 상기 반도체기판(12)(12')의 일부를 통하여 상기 제1 MOS트랜지스터에 전기적으로 접속된 것을 특징으로 하는 CMOS 집적회로.

**청구항 12**

P형 실리콘기판(12')과, 상기 기판(12')에 형성된 N웰(10')과 상기 기판에 형성된 N채널형 MOS트랜지스터 및 상기 N웰(10')에 형성된 P채널형 MOS트랜지스터를 가진 CMOS 회로와, 전압이 인가되는 전원회로와, 상기 CMOS 회로로부터 이격되게 상기 N웰(10')에 형성되어서 상기 전원회로와 전기적으로 접속된 단자전극으로 구성되며, 상기 CMOS회로부와 단자전극사이에 위치한 상기 N웰(10')의 일부는 상기 CMOS집적회로의 래치업효과를 방지하기 위한 저항의 기능을 하도록 된 CMOS 집적회로.

### 청구항 13

제12항에 있어서, 상기 CMOS회로와 접지와와 사이에 전기적으로 접속된 외부저항( $r_a$ )을 가진것을 특징으로 하는 CMOS 집적회로.

### 청구항 14

N형 실리콘기판(12)과, 상기 기판(12)에 형성된 P웰(10)과, 상기 기판(12)에 형성된 P채널형 MOS트랜지스터 및 상기 P웰에 형성된 N채널형 MOS트랜지스터를 가진 CMOS 회로와, 전압이 인가되는 전원회로와, 상기 CMOS 회로로부터 이격되게 상기 기판에 형성되어서 상기 전원회로와 전기적으로 접속된 제1단자전극과, 상기 CMOS 회로로부터 이격되게 상기 P웰에 형성되어서 상기 바닥에 전기적으로 접속된 제2단자전극으로 구성되며, 상기 제1 단자전극과 CMOS 회로부사이에 위치한 상기 기판의 일부와 상기 제2 단자전극과 CMOS 회로부사이에 위치한 상기 P웰(10)의 일부는 상기 CMOS 집적회로의 래치업효과를 방지하기 위한 저항( $R_1$ )( $R_2$ )의 기능을 하도록 된 CMOS 집적회로.

### 청구항 15

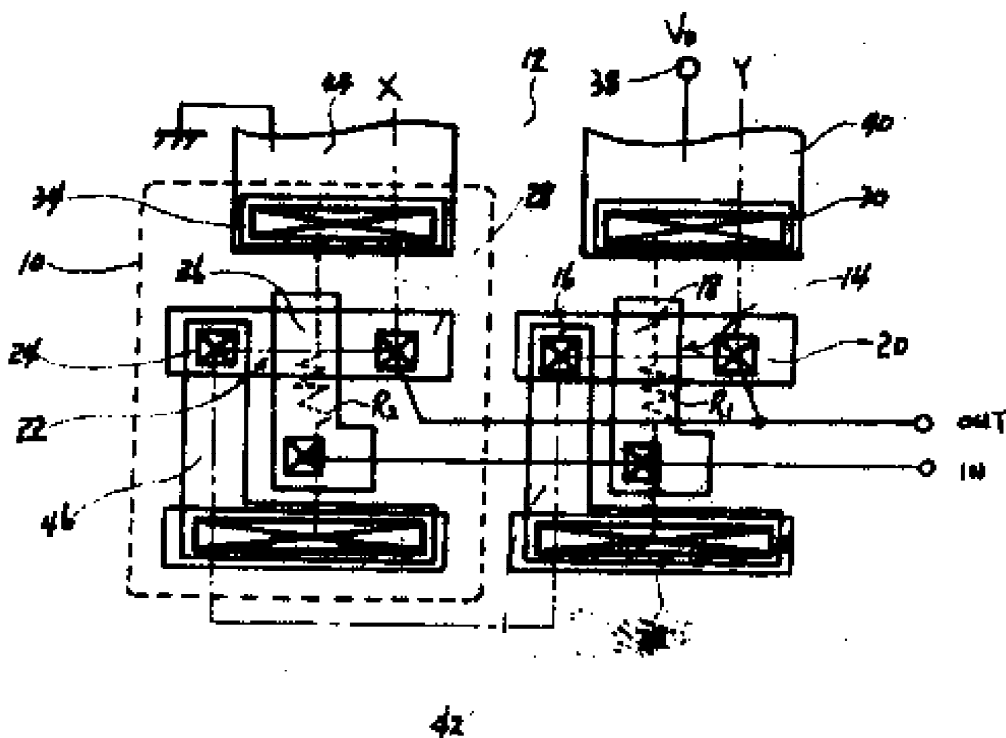
반도체기판(12)(12')과, 상기 기판(12)(12')에 형성되며 CMOS 구조를 포함하는 다수의 메모리셀(50)과, 상기 메모리셀(50)과 이격된 위치에 형성되어서 상기 메모리셀(50)하부의 상기 기판부분을 통하여 상기 메모리셀(50)과 전기적으로 접속된 상기 메모리셀(50)에 전압을 공급하기 위한 전원회로로 구성되며, 상기 기판의 일부는 상기 메모리셀(50)의 래치업효과를 방지하기 위한 저항( $R_1$ )( $R_2$ )의 기능을 하도록 된 반도체 메모리장치.

### 청구항 16

제15항에 있어서, 상기 저항( $R_1$ )( $R_2$ )은 상기 메모리셀(50)의 하부에 배열된 것을 특징으로 하는 반도체 메모리장치.

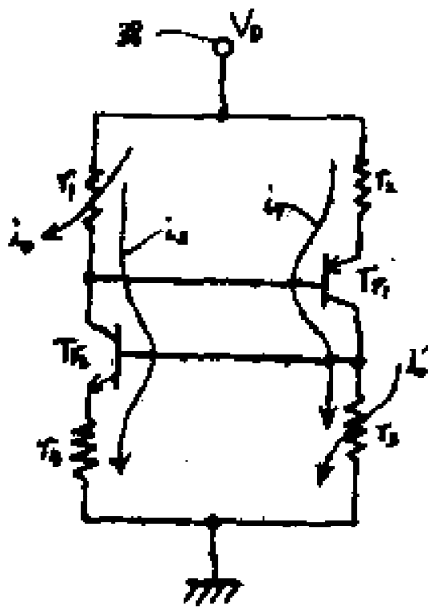
도면

도면1

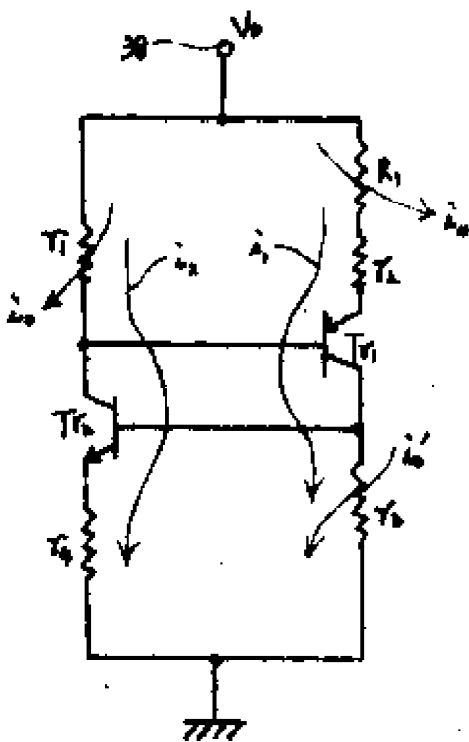




도면4

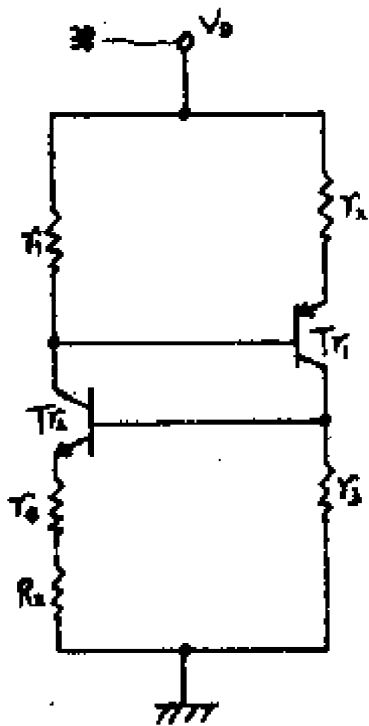


도면5

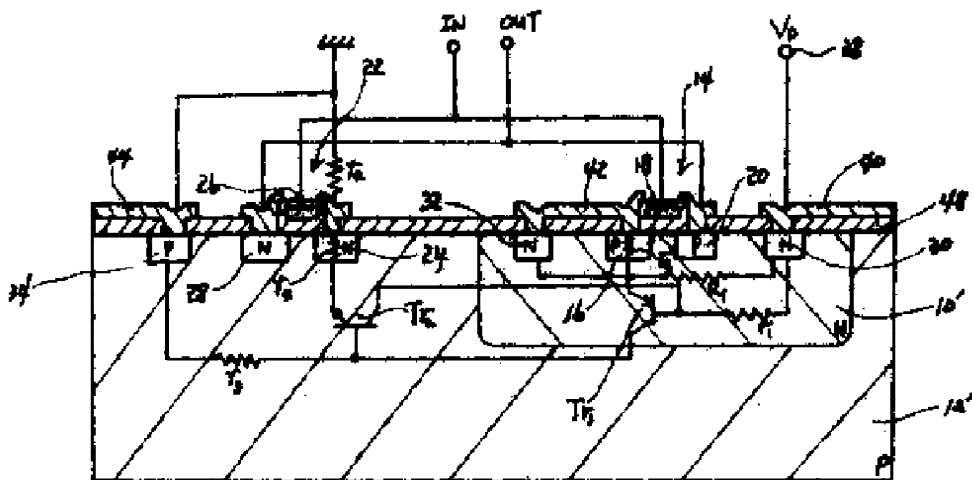




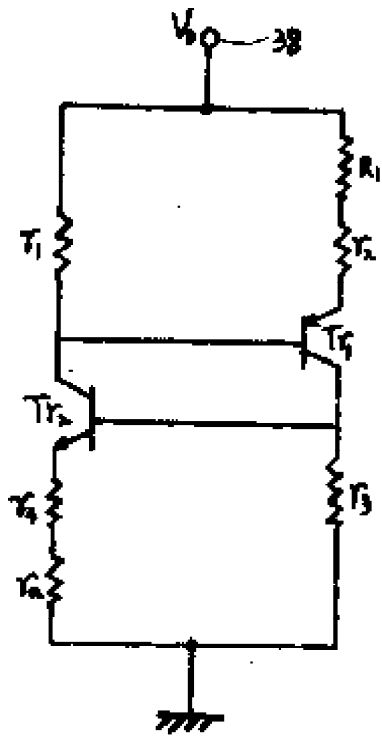
도면6



도면7



도면8



도면9

