



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I622054 B

(45)公告日：中華民國 107 (2018) 年 04 月 21 日

(21)申請案號：106103146

(22)申請日：中華民國 106 (2017) 年 01 月 23 日

(51)Int. Cl. : G11C29/44 (2006.01)

(71)申請人：晶豪科技股份有限公司 (中華民國) ELITE SEMICONDUCTOR MEMORY TECHNOLOGY INC. (TW)

新竹市科學園區工業東四路 23 號

(72)發明人：姚澤華 YAO, TSE HUA (TW) ; 陳懿範 CHEN, YI FAN (TW)

(56)參考文獻：

TW 200921690 US 5631868

US 9190175B2 US 9208879B2

US 2015/022136A1

審查人員：劉耀允

申請專利範圍項數：9 項 圖式數：4 共 21 頁

(54)名稱

記憶體自動修復電路

MEMORY AUTO REPAIRING CIRCUIT

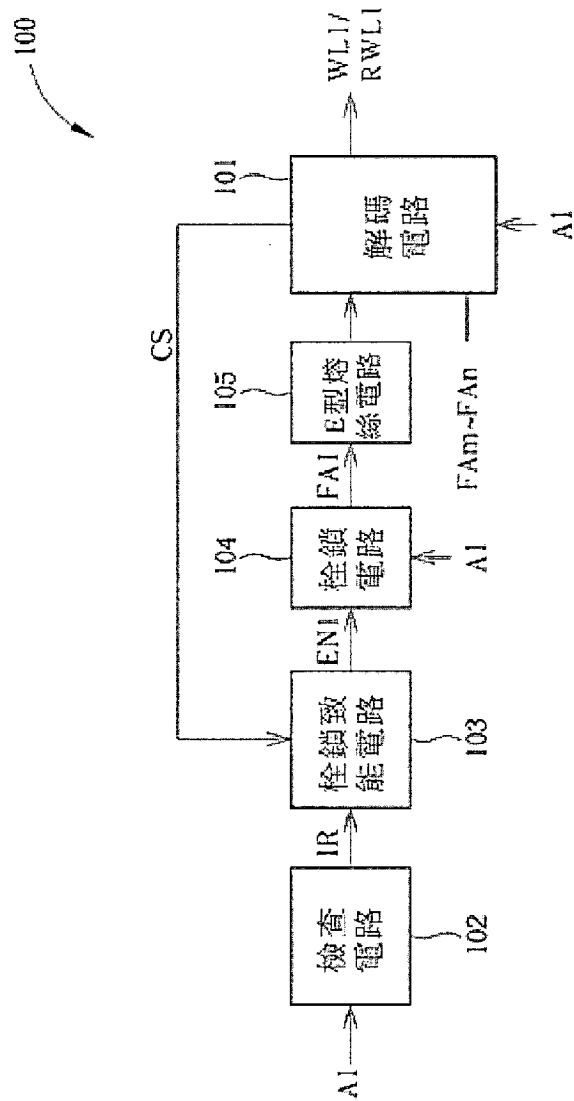
(57)摘要

一種記憶體自動修復電路，包括一解碼電路，一栓鎖致能電路以及一第一栓鎖電路。該解碼電路用以比較一第一輸入位址和複數個不良位址，藉以產生一控制信號。該栓鎖致能電路用以至少根據該控制信號以選擇性地產生一第一致能信號。該第一栓鎖電路用以接收該第一輸入位址，且在接收該第一致能信號後儲存該第一輸入位址。當該控制信號指示該第一輸入位址和該等不良位址的其中一者相同時，該栓鎖致能電路阻止該致能信號傳送到該第一栓鎖電路。

The memory auto repairing circuit incorporates a decoding circuit, a latch enable circuit and a first latch circuit. The decoding circuit compares a first input address with a plurality of fail addresses to generate a control signal. The latch enable circuit selectively generates a first enable signal at least according to the control signal. The first latch circuit receives the first input address, and stores the first input address when the first enable signal is received by the first latch circuit. When the control signal indicates that the first input address is identical to one of the fail addresses, the enable signal is prevented from being transmitted to the first latch circuit.

指定代表圖：

符號簡單說明：



第一圖

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 記憶體自動修復電路

MEMORY AUTO REPAIRING CIRCUIT

**【技術領域】**

**【0001】** 本發明係關於一種記憶體自動修復電路。

**【先前技術】**

**【0002】** 記憶體元件的測試通常有兩階段：裸晶測試(Chip Probing, CP)和最終測試(Final Test, FT)。前者是針對晶片上的晶粒以針測方式進行檢測，而後者是針對封裝後的成品，再進行一次電性測試。在測試過程中，當發現對應到一輸入位址的字元線有缺陷時，通常會選取一冗餘字元線來替換有缺陷的字元線。當對應到一特定位址的一字元線被發現有缺陷時，有可能在兩個不同測試階段中有兩條冗餘字元線對應到該特定位址，此時會出現重複選擇的問題。在最終測試階段時，也有可能出現重複選擇的問題。因此，有必要提出一電路以使一特定位址僅會存取一正常字元線或一冗餘字元線。

**【發明內容】**

**【0003】** 根據本發明一實施例之一種記憶體自動修復電路，包括一解碼電路，一栓鎖致能電路以及一第一栓鎖電路。該解碼電路用以比較一第一輸入位址和複數個不良位址，藉

以產生一控制信號。該栓鎖致能電路用以至少根據該控制信號以選擇性地產生一第一致能信號。該第一栓鎖電路用以接收該第一輸入位址，且在接收該第一致能信號後儲存該第一輸入位址。當該控制信號指示該第一輸入位址和該等不良位址的其中一者相同時，該栓鎖致能電路阻止該致能信號傳送至該第一栓鎖電路。

### 【圖式簡單說明】

#### 【0004】

第一圖顯示結合本發明第一實施例之記憶體自動修復電路之方塊示意圖。

第二圖顯示結合本發明第二實施例之記憶體自動修復電路之方塊示意圖。

第三圖顯示結合本發明第三實施例之記憶體自動修復電路之方塊示意圖。

第四圖顯示結合本發明第四實施例之記憶體自動修復電路之方塊示意圖。

### 【實施方式】

【0005】 在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有通常知識者應可理解，製造商可能會用不同的名詞來稱呼同樣的元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上的差異來作為區分的準則。

在通篇說明書及後續的請求項當中所提及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。另外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。因此，若文中描述一第一裝置耦接於一第二裝置，則代表該第一裝置可直接電氣連接於該第二裝置，或透過其他裝置或連接手段間接地電氣連接至該第二裝置。

**【0006】** 第一圖顯示結合本發明第一實施例之記憶體自動修復電路之方塊示意圖。參考第一圖，該記憶體自動修復電路100包含一解碼電路101、一檢查電路102、一栓鎖致能電路103、一栓鎖電路104和一E型熔絲電路105。

**【0007】** 該解碼電路101用以接收一輸入位址(例如第一圖的輸入位址A1)，並且根據該輸入位址A1是否相同於複數個不良位址FAm~FAn的其中一者來進行解碼。當該輸入位址A1相同於該等不良位址FAm~FAn的其中一者時，該解碼電路101會選取先前分派給該不良位址的一冗餘字元線，而不是一正常字元線。該等不良位址FAm~FAn通常儲存於多個E型熔絲電路中。為了簡潔之故，本實施例中僅繪示一E型熔絲電路105。

**【0008】** 參照第一圖，當該輸入位址A1相同於該等不良位址FAm~FAn的其中一者時，該解碼電路101產生一控制信號CS。該檢查電路102接收並檢查該輸入位址A1以決定該輸入位址A1是否對應於一具有缺陷的字元線。該檢查電路102產生一

檢查結果IR至該栓鎖致能電路103。在本實施例中，該檢查電路102位於該記憶體自動修復電路100中。然而在其他實施例中，該檢查電路102位於該記憶體自動修復電路100外部。該檢查電路102可以為硬體、軟體或韌體等各種型式。

**【0009】** 該栓鎖致能電路103用以根據該控制信號CS和該檢查結果IR以選擇性地產生一致能信號EN1。當該控制信號CS產生時，代表該輸入位址A1相同於該等不良位址FAm~FAn的其中一者，該栓鎖致能電路103阻止該致能信號EN1傳送至該栓鎖電路104。當該檢查結果IR產生時，代表該輸入位址A1並不對應到一具有缺陷的字元線，該栓鎖致能電路103阻止該致能信號EN1傳送至該栓鎖電路104。在其他狀況中，該致能信號EN1會由該栓鎖致能電路103傳送至該栓鎖電路104。該栓鎖電路104用以接收該輸入位址A1，並在接收該致能信號EN1後將該輸入位址A1儲存至該E型熔絲電路105以作為一不良位址FA1。當該不良位址FA1由該E型熔絲電路105儲存後，該解碼電路101在接收該輸入位址A1後會比較該輸入位址A1和該缺陷位址FA1。由於兩者相同，該解碼電路101會選取該缺陷位址FA1所對應的一冗餘字元線RWL1開啟。

**【0010】** 進一步說明，該記憶體自動修復電路100在運作時會有三種狀況。在第一個狀況中，當該輸入位址A1不同於該等不良位址FAm~FAn的其中一者，且該檢查結果IR指示該輸入位址A1並未對應於一具有缺陷的字元線時，該栓鎖致能

電路103會阻止該致能信號EN1傳送至該栓鎖電路104。因此，該栓鎖電路104不會儲存該輸入位址A1以作為一不良位址。該解碼電路101對該輸入位址A1進行解碼後會存取對應於該輸入位址A1的一正常字元線WL1。在第二個狀況中，當該輸入位址A1相同於該等不良位址FAm~FAn的其中一者時，該控制信號CS會產生至該栓鎖致能電路103，使得該致能信號EN1不會傳送至該栓鎖電路104。因此，該栓鎖電路104不會儲存該輸入位址A1。該解碼電路101在接收該輸入位址A1進行解碼後，將會選取先前分派給該不良位址的一冗餘字元線。在第三個狀況中，當該輸入位址A1不同於該等不良位址FAm~FAn的其中一者時，且該檢查結果IR指示該輸入位址A1對應到一具有缺陷的字元線時，該栓鎖致能電路103產生該致能信號EN1至該栓鎖電路104。因此，該栓鎖電路104將該輸入位址A1儲存至該E型熔絲電路105以作為不良位址FA1。該解碼電路101在接收該輸入位址A1後會選取該不良位址FA1所對應的冗餘字元線RWL1開啟。

**【0011】** 第二圖顯示結合本發明第二實施例之記憶體自動修復電路200之方塊示意圖。參考第二圖，該記憶體自動修復電路200包含一解碼電路201、一檢查電路202、一栓鎖致能電路203、兩栓鎖電路204\_1和204\_2、兩E型熔絲電路205\_1和205\_2以及一比較電路206。

**【0012】** 在本實施例中，輸入位址A1已經根據致能信號

EN1儲存於該栓鎖電路204\_1中，因此該缺陷位址FA1由該E型熔絲電路205\_1儲存。該解碼電路201用以接收一輸入位址(例如第二圖的輸入位址A2)，並且根據該輸入位址A2是否相同於複數個不良位址FAm~FAn的其中一者來進行解碼。當該輸入位址A2相同於該等不良位址FAm~FAn的其中一者時，該解碼電路201會選取先前分派給該不良位址的一冗餘字元線。

**【0013】** 此外，當該輸入位址A2相同於該等不良位址FAm~FAn的其中一者時，該解碼電路201產生該控制信號CS。該檢查電路202接收並檢查該輸入位址A2以決定該輸入位址A2是否對應於一具有缺陷的字元線。該檢查電路202產生該檢查結果IR至該栓鎖致能電路203。

**【0014】** 該比較電路206用以比較該輸入位址A1和輸入位址A2，藉以產生一比較信號COM。該栓鎖致能電路203用以根據該控制信號CS、該檢查結果IR和該比較信號COM以選擇性地產生一致能信號EN2。當該控制信號CS產生時，代表該輸入位址A2相同於該等不良位址FAm~FAn的其中一者，該栓鎖致能電路203阻止該致能信號EN2的傳送。當該檢查結果IR產生時，代表該輸入位址A2並不對應到一具有缺陷的字元線，該栓鎖致能電路203阻止該致能信號EN2的傳送。當該比較電路260比較該輸入位址A2後發現相同於先前儲存於栓鎖電路204\_1中的位址A1時，該栓鎖致能電路203阻止該致能信號EN2的傳送。在其他狀況中，該致能信號EN2會由該栓鎖致

能電路203傳送至該栓鎖電路204\_2。該栓鎖電路204\_2接收該輸入位址A2後，在根據該致能信號EN2將該輸入位址A2儲存至該E型熔絲電路205\_2以作為一不良位址FA2。當該不良位址FA2由該E型熔絲電路205\_2儲存後，該解碼電路201在接收該輸入位址A2後，若該輸入位址A2相同於該不良位址FA2，該解碼電路201會選取該不良位址FA2所對應的一冗餘字元線RWL2開啟。

**【0015】**進一步說明，該記憶體自動修復電路200在運作時會有四種狀況。在第一個狀況中，當該比較信號COM指示該輸入位址A2和該輸入位址A1不相同，該輸入位址A2不同於該等不良位址FAm~FAn的其中一者，且該檢查結果IR指示該輸入位址A2並未對應於一具有缺陷的字元線時，該栓鎖致能電路203會阻止該致能信號EN2傳送至該栓鎖電路204\_2。因此，該栓鎖電路204\_2不會儲存該輸入位址A2以作為一不良位址。該解碼電路201對該輸入位址A2進行解碼後會存取對應於該輸入位址A2的一正常字元線WL2。在第二個狀況中，當該比較信號COM指示該輸入位址A2和該輸入位址A1不相同，且該輸入位址A2相同於該等不良位址FAm~FAn的其中一者時，該控制信號CS會產生至該栓鎖致能電路203，使得該致能信號EN2不會傳送至該栓鎖電路204\_2。因此，該栓鎖電路204\_2不會儲存該輸入位址A2以作為一不良位址。該解碼電路201在接收該輸入位址A2進行解碼後，將會選取先前分派給該不

良位址的一冗餘字元線。在第三個狀況中，當該比較信號COM指示該輸入位址A2和該輸入位址A1不相同，該輸入位址A2不同於該等不良位址FAm~FAn的其中一者時，且該檢查結果IR指示該輸入位址A2對應到一具有缺陷的字元線時，該栓鎖致能電路203產生該致能信號EN2至該栓鎖電路204\_2。因此，該栓鎖電路204\_2將該輸入位址A2儲存至該E型熔絲電路205\_2以作為一缺陷位址FA2。該解碼電路201在接收該輸入位址A2後會選取該缺陷位址FA2所對應的冗餘字元線RWL2開啟。在最後一個狀況中，當該比較信號COM指示該輸入位址A2相同於該輸入位址A1，該栓鎖致能電路203不會產生該致能信號EN2至該栓鎖電路204\_2。因此，該栓鎖電路204\_2不會儲存該輸入位址A2。該解碼電路201在接收該輸入位址A2後會選取該不良位址FA1所對應的冗餘字元線RWL1開啟。藉由該控制信號CS和該比較信號COM，該解碼電路201根據一輸入位址僅會存取一正常字元線或一冗餘字元線。

**【0016】** 第三圖顯示結合本發明第三實施例之記憶體自動修復電路之方塊示意圖。參考第三圖，該記憶體自動修復電路300包含一解碼電路301、一檢查電路302、一栓鎖致能電路303、兩栓鎖電路304\_1和304\_2、兩E型熔絲電路305\_1和305\_2以及一比較電路306。該檢查電路302、該栓鎖致能電路303、該等栓鎖電路304\_1和304\_2、該等E型熔絲電路305\_1和305\_2以及該比較電路306的運作原理和第二圖繪示的實施例

的電路運作原理相同。第二實施例和第三實施例的差別在於當該輸入位址A1儲存至該E型熔絲電路305\_1以作為該不良位址FA1時，該E型熔絲電路305\_1會產生一熔斷信號B1至該栓鎖電路304\_1。當該熔斷信號B1由該栓鎖電路304\_1所接收時，該栓鎖電路304\_1不會再儲存任何輸入位址。同樣地，當該輸入位址A2儲存至該E型熔絲電路305\_2以作為該不良位址FA2時，該E型熔絲電路305\_2會產生一熔斷信號B2至該栓鎖電路304\_2。當該熔斷信號B2由該栓鎖電路304\_2所接收時，該栓鎖電路304\_2不會再儲存任何輸入位址。

**【0017】** 接著，該記憶體自動修復電路300的電源中斷，又恢復上電後，如果該等E型熔絲電路305\_1和305\_2藉由該等熔斷信號B1和B2已儲存該等缺陷位址FA1和FA2，該等栓鎖電路304\_1和304\_2將不會再儲存任何輸入位址，藉以避免重複選擇的問題。

**【0018】** 第四圖顯示結合本發明第四實施例之記憶體自動修復電路400之方塊示意圖。參考第四圖，該記憶體自動修復電路400包含一解碼電路401、一檢查電路402、一栓鎖致能電路403、兩栓鎖電路404\_1和404\_2、兩E型熔絲電路405\_1和405\_2以及一比較電路406。該解碼電路401、該檢查電路402、該栓鎖致能電路403、該等栓鎖電路404\_1和404\_2、該等E型熔絲電路405\_1和405\_2以及該比較電路406的運作原理和第二圖及第三圖繪示的實施例的電路運作原理相同。第四實施

例與前者的差別在於該等栓鎖電路404\_1和404\_2是用來儲存一特定位址，例如第四圖所示的特定位址SA1和SA2，而不用來儲存該等輸入位址A1和A2。參照第四圖，該栓鎖致能電路403接收一主動命令(Active command) ACT和測試模式命令RT1/RT2後，該記憶體自動修復電路400進入一特定測試模式。在特定測試模式期間，該栓鎖致能電路403會忽略該檢查結果IR和該比較信號COM，而響應於該測試模式命令RT1以產生該致能信號EN1及響應於該測試模式命令RT2以產生該致能信號EN2。接著，當該致能信號EN1產生時，該栓鎖電路404\_1會儲存主動命令ACT所指定的位址SA1，而當該致能信號EN2產生時，該栓鎖電路404\_2會儲存主動命令ACT所指定的位址SA2，而不是不良位址。

**【0019】** 在上述實施例中，第一圖至第四圖中的解碼電路、檢查電路、栓鎖電路和比較電路所接收的位址為列位址，而該解碼電路根據該列位址僅會選擇一正常字元線或一冗餘字元線開啟。然而，本發明不應以此為限。上述解碼電路、檢查電路、栓鎖電路和該比較電路可接收行位址，而該解碼電路根據該行位址會存取一正常位元線或一冗餘位元線開啟。藉由該控制信號CS、該比較信號COM和該檢查結果IR的產生，本發明所揭示之記憶體自動修復電路可以避免重複選擇的問題。

**【0020】** 本發明之技術內容及技術特點已揭示如上，然

而熟悉本項技術之人士仍可能基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明之保護範圍應不限於實施例所揭示者，而應包括各種不背離本發明之替換及修飾，並為隨後之申請專利範圍所涵蓋。

### 【符號說明】

#### 【0021】

100	記憶體自動修復電路
101	解碼電路
102	檢查電路
103	栓鎖致能電路
104	栓鎖電路
105	E型熔絲電路
200	記憶體自動修復電路
201	解碼電路
202	檢查電路
203	栓鎖致能電路
204_1,204_2	栓鎖電路
205_1,205_2	E型熔絲電路
206	比較電路
300	記憶體自動修復電路
301	解碼電路
302	檢查電路
303	栓鎖致能電路
304_1,304_2	栓鎖電路
305_1,305_2	E型熔絲電路

306	比較電路
400	記憶體自動修復電路
401	解碼電路
402	檢查電路
403	栓鎖致能電路
404_1,404_2	栓鎖電路
405_1,405_2	E型熔絲電路
406	比較電路

# 公告本

## 發明摘要

※ 申請案號：106103146

※ 申請日：106/01/23

※IPC 分類：**G11C 29/44** (2006.01)

**【發明名稱】** 記憶體自動修復電路

MEMORY AUTO REPAIRING CIRCUIT

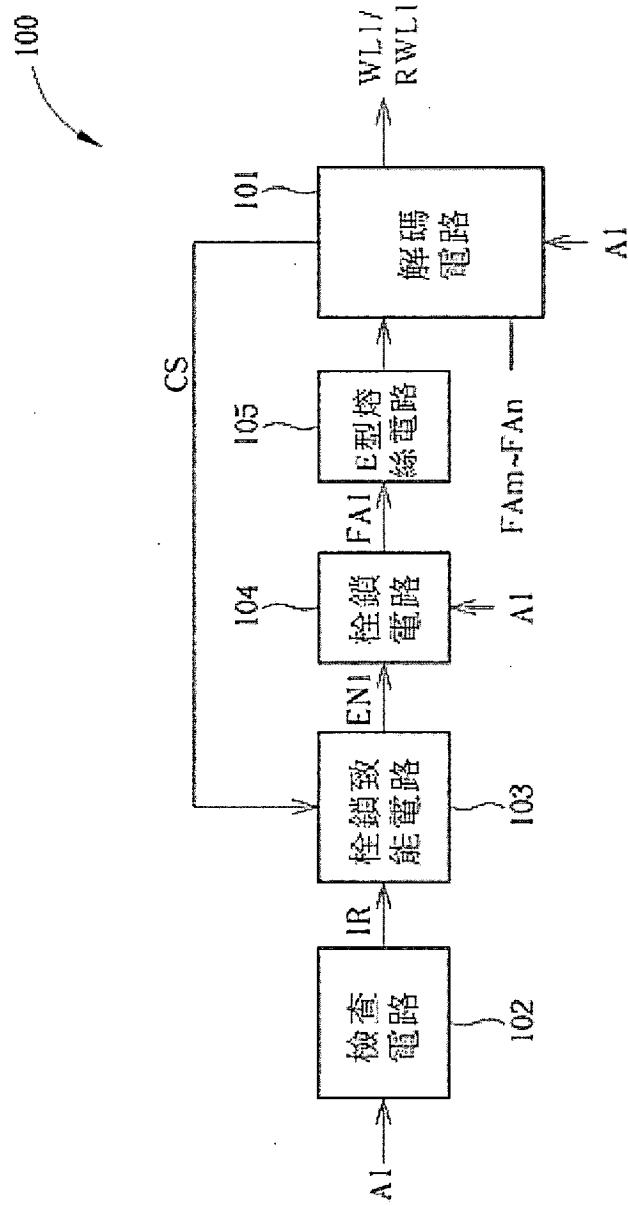
**【中文】**

一種記憶體自動修復電路，包括一解碼電路，一栓鎖致能電路以及一第一栓鎖電路。該解碼電路用以比較一第一輸入位址和複數個不良位址，藉以產生一控制信號。該栓鎖致能電路用以至少根據該控制信號以選擇性地產生一第一致能信號。該第一栓鎖電路用以接收該第一輸入位址，且在接收該第一致能信號後儲存該第一輸入位址。當該控制信號指示該第一輸入位址和該等不良位址的其中一者相同時，該栓鎖致能電路阻止該致能信號傳送到該第一栓鎖電路。

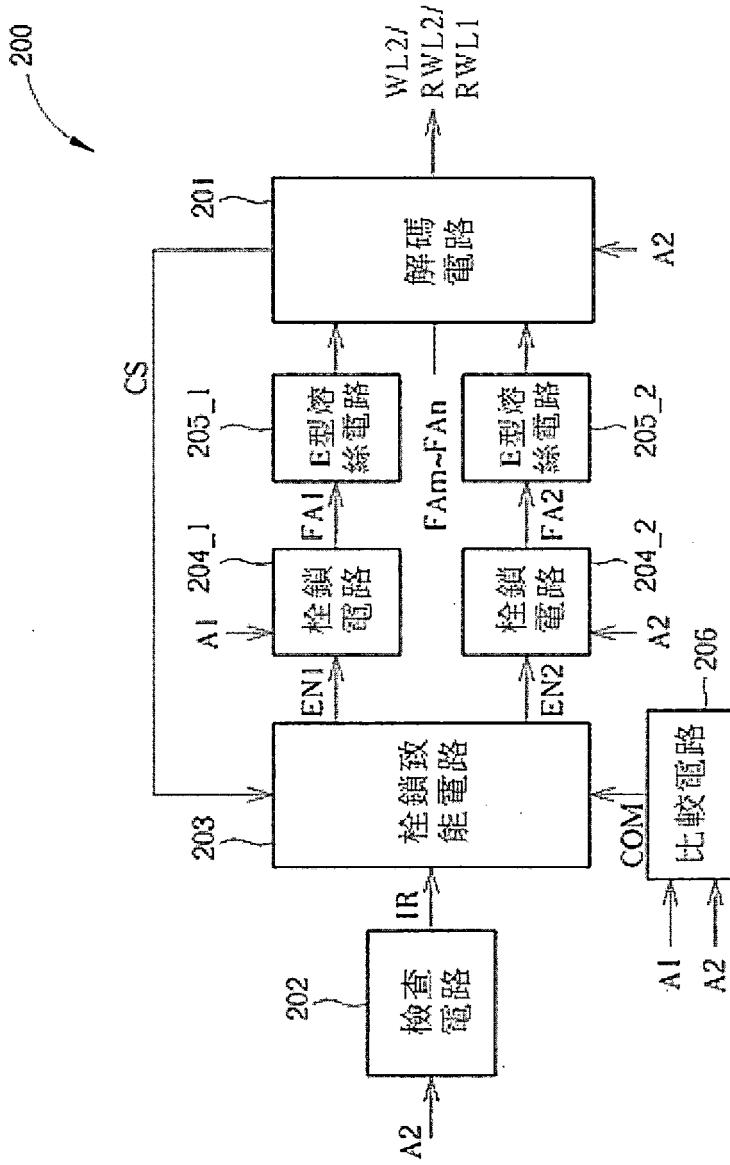
**【英文】**

The memory auto repairing circuit incorporates a decoding circuit, a latch enable circuit and a first latch circuit. The decoding circuit compares a first input address with a plurality of fail addresses to generate a control signal. The latch enable circuit selectively generates a first enable signal at least according to the control signal. The first latch circuit receives the first input address, and stores the first input address when the first enable signal is received by the first latch circuit. When the control signal indicates that the first input address is identical to one of the fail addresses, the enable signal is prevented from being transmitted to the first latch circuit.

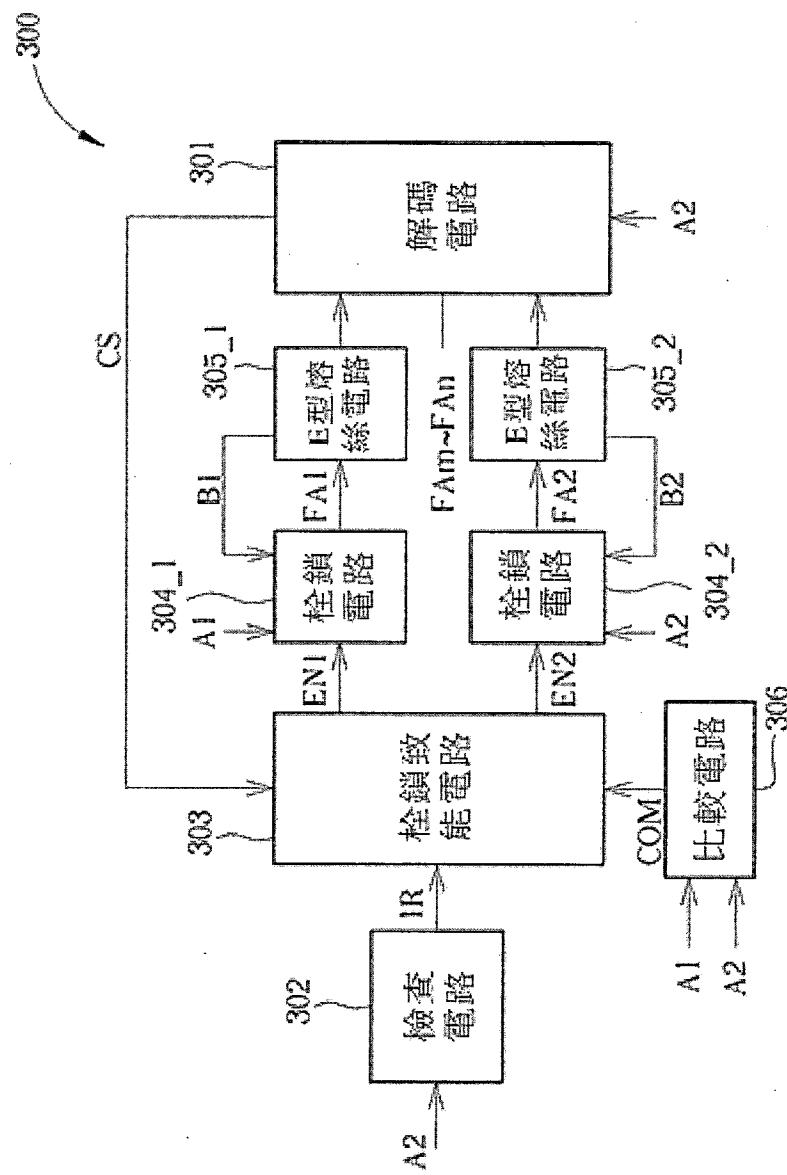
## 圖式



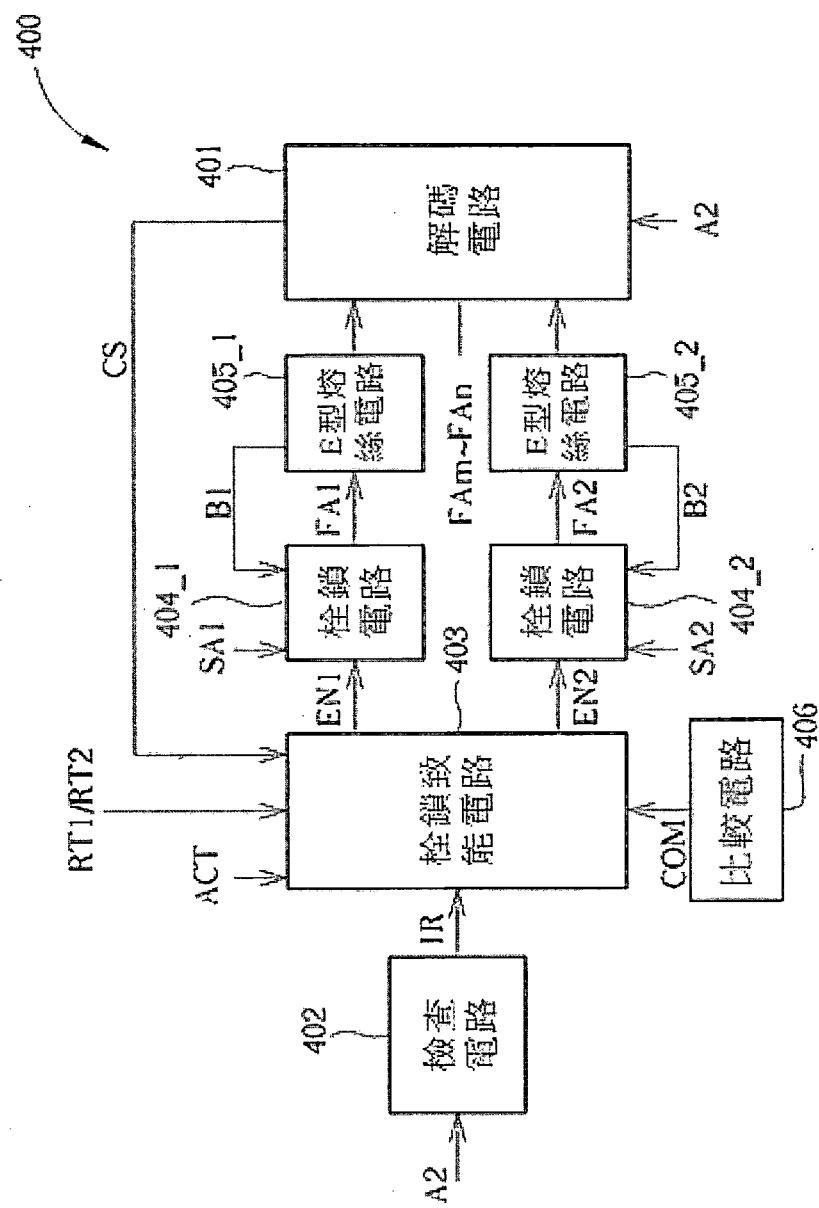
第一圖



第二圖



第三圖



第四圖

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100	記憶體自動修復電路
101	解碼電路
102	檢查電路
103	栓鎖致能電路
104	栓鎖電路
105	E型熔絲電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

## 申請專利範圍

### 1. 一種記憶體自動修復電路，包括：

一解碼電路，用以比較第一輸入位址和複數個不良位址，藉以產生一控制信號，其中該解碼電路用以選取對應於該等不良位址的該其中一者的一冗餘字元線或一正常字元線；

一栓鎖致能電路，用以至少根據該控制信號以選擇性地產生一第一致能信號；以及

一第一栓鎖電路，用以接收該第一輸入位址，且在接收該第一致能信號後儲存該第一輸入位址；

其中，當該控制信號指示該第一輸入位址和該等不良位址的其中一者相同時，該栓鎖致能電路阻止該致能信號傳送到該第一栓鎖電路。

### 2. 根據申請專利範圍第1項之記憶體自動修復電路，更包括：

一比較電路，用以比較該第一輸入位址和一第二輸入位址，藉以產生一比較信號至該栓鎖致能電路；

其中，當該比較信號指示該第一輸入位址和該第二輸入位址不相同時，該栓鎖致能電路產生一第二致能信號。

### 3. 根據申請專利範圍第2項之記憶體自動修復電路，更包括：

一第二栓鎖電路，用以在該第一輸入位址由該第一栓鎖電路儲存後接收該第二輸入位址，且在該第二致能信號由該第二栓鎖電路接收後儲存該第二輸入位址。

4. 根據申請專利範圍第3項之記憶體自動修復電路，更包括：

一第一E型熔絲電路，其中當該第一致能信號由該第一栓鎖電路接收後，該第一栓鎖電路儲存該第一輸入位址並傳送至該第一E型熔絲電路以作為一第一不良位址；以及  
一第二E型熔絲電路，其中當該第二致能信號由該第二栓鎖電路接收後，該第二栓鎖電路儲存該第二輸入位址並傳送至該第二E型熔絲電路以作為一第二不良位址。

5. 根據申請專利範圍第4項之記憶體自動修復電路，其中當該第一E型熔絲電路儲存該第一輸入位址以作為該第一不良位址時，該第一E型熔絲電路產生一第一熔斷信號至該第一栓鎖電路，而當該第二E型熔絲電路儲存該第二輸入位址以作為該第二不良位址時，該第二E型熔絲電路產生一第二熔斷信號至該第二栓鎖電路。

6. 根據申請專利範圍第5項之記憶體自動修復電路，其中當該第一栓鎖電路接收該第一熔斷信號後，該第一栓鎖電路不會儲存任何輸入位址，而當該第二栓鎖電路接收該第二熔斷信號後，該第二栓鎖電路不會儲存任何輸入位址。

7. 根據申請專利範圍第2項之記憶體自動修復電路，其中當該栓鎖致能電路接收一主動命令和一測試模式命令後，該栓鎖致能電路忽略該比較信號而產生該第一致能信號，且當該第一致能信號產生時，該第一栓鎖電路儲存由該主動命令所指定的一第三位址。
8. 根據申請專利範圍第1項之記憶體自動修復電路，其中當該控制信號指示該第一輸入位址和該等不良位址的其中一者相同時，該第一栓鎖電路不會儲存該第一輸入位址，而當該解碼電路對該第一輸入位址進行解碼後，該解碼電路存取對應於該等不良位址的該其中一者的該冗餘字元線。
9. 根據申請專利範圍第1項之記憶體自動修復電路，更包括：一檢查電路，用以接收並檢查該第一輸入位址以決定該第一輸入位址是否對應於一具有缺陷的字元線；其中當該控制信號指示該第一輸入位址和該等不良位址的其中一者不同時，且該檢查電路決定該第一輸入位址並未對應於該具有缺陷的字元線時，該第一栓鎖電路不會儲存該第一輸入位址，而該解碼電路對該第一輸入位址進行解碼後存取對應於該第一輸入位址的該正常字元線。