

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4603585号  
(P4603585)

(45) 発行日 平成22年12月22日 (2010.12.22)

(24) 登録日 平成22年10月8日 (2010.10.8)

(51) Int. Cl. F I  
 G O 6 F 21/24 (2006.01) G O 6 F 12/14 5 3 0 B  
 G O 6 F 12/14 (2006.01) G O 6 F 12/14 5 1 0 D

請求項の数 29 (全 10 頁)

(21) 出願番号	特願2007-539196 (P2007-539196)	(73) 特許権者	591003943 インテル・コーポレーション
(86) (22) 出願日	平成17年10月27日 (2005.10.27)		アメリカ合衆国 95052 カリフォル ニア州・サンタクララ・ミッション カレ ッジ プーレバード・2200
(65) 公表番号	特表2008-518363 (P2008-518363A)	(74) 代理人	100104156 弁理士 龍華 明裕
(43) 公表日	平成20年5月29日 (2008.5.29)	(72) 発明者	ポイズナー、デーヴィッド アメリカ合衆国、95630 カリフォル ニア州、フォルサム、ペンリー スクエア 205
(86) 国際出願番号	PCT/US2005/039048		
(87) 国際公開番号	W02006/047762	審査官	児玉 崇晶
(87) 国際公開日	平成18年5月4日 (2006.5.4)		
審査請求日	平成19年5月10日 (2007.5.10)		
(31) 優先権主張番号	10/974, 217		
(32) 優先日	平成16年10月27日 (2004.10.27)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 制限付き実行環境及び非制限実行環境を生成するメカニズム

(57) 【特許請求の範囲】

【請求項1】

データへのフルアクセスが提供される非制限スレッドである第1のスレッドIDを有する第1のスレッドと、データへの制限されたアクセス権が提供される制限付きスレッドである第2のスレッドIDを有する第2のスレッドとを実行するCPU（中央処理装置）と

、  
 前記CPUからバスを介してアクセス要求を受け取り、前記アクセス要求に含まれているスレッドIDを調べて、前記アクセス要求が、前記第1のスレッドからのものであるか、前記第2のスレッドからのものであるかを判断するスレッドIDチェッカと、前記制限付きスレッドが要求した資源についてアクセス権を有するか否かを判断し、アクセス権を有する場合、前記制限付きスレッドが要求した資源についてアクセス権を提供するメモリ制御ハブ（MCH）及び入/出力制御ハブ（ICH）と、を有するチップセットと、  
 を備える、コンピュータシステム。

【請求項2】

前記メモリ制御ハブ（MCH）及び入/出力制御ハブ（ICH）は、前記アクセス要求によるデータを前記制限付きスレッドに渡すか否かを定めるために、前記アクセス要求によるデータをまず前記非制限スレッドに送ることができる請求項1に記載のコンピュータシステム。

【請求項3】

前記メモリ制御ハブ（MCH）及び入/出力制御ハブ（ICH）は、前記アクセス要求

を前記制限付きスレッドのために実行するか否かを決めるために、前記アクセス要求をまず前記非制限スレッドに送ることができる請求項 1 又は 2 に記載のコンピュータシステム

。

【請求項 4】

前記チップセットは、出力オーディオストリームが前記非制限スレッド及び前記制限付きスレッドに対して独立して動作して、該制限付きスレッドが該非制限スレッドをミュート化しないようにすることができるオーディオコントローラを備える、請求項 1 から 3 のいずれか 1 項に記載のコンピュータシステム。

【請求項 5】

前記オーディオコントローラは、入力ストリームをまず前記非制限スレッドに送り、オーディオデータを前記制限付きスレッドに渡すべきか否かを判断できるようにするモードを含む請求項 4 に記載のコンピュータシステム。

【請求項 6】

前記チップセットに結合されるメモリ装置をさらに備え、

前記非制限スレッドには該メモリ装置のすべてのページに対するアクセス権が提供され、

前記制限付きスレッドには前記メモリ装置の割り振られる領域へのアクセス権が提供される、請求項 1 から 5 のいずれか 1 項に記載のコンピュータシステム。

【請求項 7】

前記 CPU 及び前記チップセットは、前記非制限スレッド及び前記制限付きスレッドに対してアクセス権が提供された非制限構成要素をリセットせずに、コンピュータシステムの、前記非制限スレッドにアクセス権が提供され、前記制限付きスレッドに対してアクセス権が提供されない制限付き構成要素を変更できるようにする、請求項 1 から 6 のいずれか 1 項に記載のコンピュータシステム。

【請求項 8】

前記非制限スレッドは前記制限付きスレッドに対して管理アクセス権 (supervisory access) を有し、前記非制限スレッドが前記制限付きスレッドが要求した資源へのアクセス権を有するか否かを調べられるようにする、請求項 1 から 7 のいずれか 1 項に記載のコンピュータシステム。

【請求項 9】

前記チップセットは、前記制限付きスレッドにより変更することができないタイマ資源及び割り込み資源を備える、請求項 1 から 8 のいずれか 1 項に記載のコンピュータシステム。

【請求項 10】

前記チップセットは、前記非制限スレッドが前記制限付きスレッドにより処理される事象を生成できるようにするレジスタをさらに備える、請求項 1 から 9 のいずれか 1 項に記載のコンピュータシステム。

【請求項 11】

前記チップセットは、前記制限付きスレッドに関連するウィンドウを前記非制限スレッドに関連するウィンドウの上に配置できないように、前記非制限スレッドがモニタ上にウィンドウを表示できるようにするグラフィックインタフェースを備える、請求項 1 から 10 のいずれか 1 項に記載のコンピュータシステム。

【請求項 12】

前記チップセットは、前記非制限スレッドに、ディスクコントローラに結合されるハードディスク上のデータへのフルアクセスを提供し、前記制限付きスレッドに、前記ハードディスクの特定のセクションへのアクセス権を提供するディスクコントローラを備える、請求項 1 から 11 のいずれか 1 項に記載のコンピュータシステム。

【請求項 13】

前記ディスクコントローラは、

前記非制限スレッドに関連する第 1 のインタフェースと、

10

20

30

40

50

前記制限付きスレッドに関連する第2のインタフェースと、  
DMAエンジンと、  
を備える請求項12に記載のコンピュータシステム。

【請求項14】

前記チップセットは、前記非制限スレッドにフルアクセスを許可し、前記制限付きスレッドに制限付きアクセス権を許可するネットワークコントローラを備える、請求項1から13のいずれか1項に記載のコンピュータシステム。

【請求項15】

前記ネットワークコントローラは、前記制限付きスレッドにより送られるパケットを、検査又は変更のために前記非制限スレッドが利用できるようにし、前記ネットワークから受け取られたパケットを、まず、前記制限付きスレッドが利用できるようになる前に前記非制限スレッドにより検査することができる、請求項14に記載のコンピュータシステム。

10

【請求項16】

チップセットが、CPUから、装置のデータ資源にアクセスする要求を受け取ること、スレッドIDチェックが、前記要求に含まれているスレッドIDを調べること、前記スレッドIDが非制限スレッドからの要求を示す場合、チップセットが、前記データ資源へのフルアクセスを提供すること、前記スレッドIDが制限付きスレッドからの要求を示す場合、チップセットが、予め定められたアクセス権に従い、前記データ資源の制限付き構成要素へのアクセスを提供すること、

20

を含む方法。

【請求項17】

前記スレッドIDが制限付きスレッドからの要求を示す場合、チップセットが、前記制限付きスレッドが要求した資源へのアクセス権を有するか否かを判断すること、

前記アクセス権が明記されている場合、チップセットが、前記制限付きスレッドに、要求した資源へのアクセス権を提供すること、

前記アクセス権を有しないと判断される場合、チップセットが、前記制限付きスレッドに対し、要求した資源へのアクセスを拒絶すること、

30

をさらに含む請求項16に記載の方法。

【請求項18】

コンピュータシステムに、請求項16又は17に記載の方法を実行させるプログラム。

【請求項19】

中央処理装置(CPU)からバスを介してアクセス要求を受け取り、前記アクセス要求に含まれるスレッドIDを調べて、前記アクセス要求が、データへのフルアクセスが提供される非制限スレッドである第1のスレッドIDを有する第1のスレッドからのものであるか、又は、データへの制限されたアクセス権が提供される制限付きスレッドである第2のスレッドIDを有する第2のスレッドからのものであるかを判断するスレッド識別(ID)チェックと、

40

前記制限付きスレッドが要求した資源についてアクセス権を有するか否かを判断し、アクセス権を有する場合、前記制限付きスレッドが要求した資源についてアクセス権を提供するメモリ制御ハブ(MCH)及び入/出力制御ハブ(ICH)と、

を備えるチップセット。

【請求項20】

前記メモリ制御ハブ(MCH)及び入/出力制御ハブ(ICH)は、前記アクセス要求によるデータを前記制限付きスレッドに渡すか否かを定めるために、前記アクセス要求によるデータをまず前記非制限スレッドに送ることができる請求項19に記載のチップセット。

【請求項21】

50

前記メモリ制御ハブ(MCH)及び入/出力制御ハブ(ICH)は、前記アクセス要求を前記制限付きスレッドのために実行するか否かを定めるために、前記アクセス要求をまず前記非制限スレッドに送ることができる請求項19又は20に記載のチップセット。

【請求項22】

出力オーディオストリームが前記非制限スレッド及び前記制限付きスレッドに対して独立して動作して、該制限付きスレッドが該非制限スレッドをミュート化しないようにすることができるオーディオコントローラを備える、請求項19から21のいずれか1項に記載のチップセット。

【請求項23】

前記オーディオコントローラは、入力ストリームをまず前記非制限スレッドに送り、オーディオデータを前記制限付きスレッドに渡すべきか否かを判断できるようにするモードを含む、請求項22に記載のチップセット。

10

【請求項24】

前記非制限スレッドは前記制限付きスレッドに対して管理アクセス権を有し、前記非制限スレッドが前記制限付きスレッドが要求した資源へのアクセス権を有するか否かを調べられるようにする、請求項19から23のいずれか1項に記載のチップセット。

【請求項25】

前記制限付きスレッドにより変更することができないタイマ資源及び割り込み資源を備える、請求項19から24のいずれか1項に記載のチップセット。

【請求項26】

前記非制限スレッドが前記制限付きスレッドにより処理される事象を生成できるようにするレジスタをさらに備える、請求項19から25のいずれか1項に記載のチップセット。

20

【請求項27】

前記制限付きスレッドに関連するウィンドウを前記非制限スレッドに関連するウィンドウの上に配置できないように、前記非制限スレッドがモニタ上にウィンドウを表示できるようにするグラフィックスインタフェースを備える、請求項19から26のいずれか1項に記載のチップセット。

【請求項28】

前記非制限スレッドに、ディスクコントローラに結合されるハードディスク上のデータへのフルアクセスを提供し、前記制限付きスレッドに、前記ハードディスクの特定のセクションへのアクセス権を提供するディスクコントローラを備える、請求項19から27のいずれか1項に記載のチップセット。

30

【請求項29】

前記非制限スレッドにフルアクセスを許可し、前記制限付きスレッドに制限付きアクセス権を許可するネットワークコントローラを備える、請求項19から28のいずれか1項に記載のチップセット。

【発明の詳細な説明】

【技術分野】

【0001】

40

[発明の分野]

本発明はコンピュータシステムに関し、特に、信頼性のある環境又はセキュアな環境で動作することができるコンピュータシステムに関する。

【0002】

[著作権通知]

本明細書に含まれるものは、著作権保護の対象となる資料である。著作権所有者は、いかなる人物による、特許商標庁の特許ファイル又は記録に見られる本特許開示のファクシミリ複製に対しても異を唱えないが、著作権に対するすべての権利を、それがいかなるものであれ保有するものである。

【背景技術】

50

## 【 0 0 0 3 】

「分離実行」及び「分離ストレージ」から恩恵を受ける種々のアプリケーションがある。分離実行とは、他のソフトウェアが妨げることができず、観察することもできないコードを実行する能力である。分離実行は、セキュリティソフトウェア並びに悪意はないが出来の悪いソフトウェアからの保護にとって重要である。たとえば、出来の悪いデバイスドライバは、オペレーティングシステム（OS）の適切な動作に干渉し、結果として時間が重要なアプリケーション（デジタルビデオレコーダ等）の動作を妨げるクラッシュを生じさせる恐れがある。

## 【 0 0 0 4 】

分離ストレージは、許可を受けた所有者のみがアクセス可能な不揮発性メモリにデータを記憶させる能力に関する。したがって、他のソフトウェアはそのデータを変更又は削除する能力を有しない。削除の概念は、OS又はそのデバイスドライバにおけるエラーにより、ディスク上のデータにアクセス不能になる恐れがあるため重要である。

## 【 0 0 0 5 】

本発明について、同様の参照符号が同様の要素を示す添付図面の図に限定ではなく例として示す。

## 【発明を実施するための最良の形態】

## 【 0 0 0 6 】

コンピュータシステムでの制限付き実行環境及び非制限実行環境のメカニズムについて記載する。本発明の以下の詳細な説明では、多くの具体的な詳細を、本発明の完全な理解を提供するために記す。しかし、本発明がこういった具体的な詳細なしで実行可能なことが当業者には理解されよう。また場合によっては、既知の構造及び装置は詳細にではなくブロック図の形で示し、本発明を曖昧にしないようにする。

## 【 0 0 0 7 】

本明細書において「一実施形態（one embodiment）」又は「一実施形態（an embodiment）」と言うときは、その実施形態に関連して説明される特定の特徴、構造、又は特性が本発明の少なくとも1つの実施形態に含まれることを意味する。本明細書の各所で見られる「一実施形態では」という語句は、必ずしもすべて同じ実施形態を指すわけではない。

## 【 0 0 0 8 】

以下の詳細な説明のいくつかの部分は、コンピュータメモリ内のデータビットに対する演算のアルゴリズム及び象徴的表現に関して提示される。こういったアルゴリズム的な説明及び表現は、データ処理分野の当業者が他の当業者に自身の作業の実質を最も有効に伝えるために使用する手段である。

## 【 0 0 0 9 】

アルゴリズムは、本明細書において、また一般に、所望の結果につながる自己無矛盾の一連のステップであると考えられる。ステップとは、物理量の物理的な操作を必要とするものである。必ずではないが通常、これらの量は、記憶、転送、結合、比較、及び他の様式で操作されることが可能な電気信号又は磁気信号の形をとる。時により、主に一般的な用法という理由により、これらの信号をビット、値、要素、記号、文字、用語、数等として言及することが都合のよいことが証明されている。

## 【 0 0 1 0 】

しかし、これらの用語及び同様の用語は、すべて適当な物理量が関連づけられるべきであり、これらの量に適用される都合のよいラベルにすぎないことを念頭に置かれたい。特記しない限り、又は以下の考察から明らかなように、説明全体を通して、「処理」、「計算」、「算出」、「求める」、又は「表示」等の用語を利用した考察が、コンピュータシステムのレジスタ及びメモリ内の物理的な（電子的な）量として表されるデータを操作して、コンピュータシステムメモリ、レジスタ、又は他のこのような情報記憶装置、伝送装置、又は表示装置内の物理量として同様に表される他のデータに変換するコンピュータシステム又は同様の電子計算装置の動作及び処理を指すことが理解される。

## 【 0 0 1 1 】

本発明は、本明細書における動作を実行する装置にも関する。この装置は、要求される目的のために特別に構築されてもよく、又はコンピュータに記憶されているコンピュータプログラムによって選択的に起動又は再構成される汎用コンピュータを含んでもよい。このようなコンピュータプログラムは、コンピュータシステムバスにそれぞれ結合されるフロッピーディスク、光ディスク、CD-ROM及び光磁気ディスク、読み取り専用メモリ(ROM)、ランダムアクセスメモリ(RAM)、EPROM、EEPROM、磁気カード若しくは光カードを含む任意の種類ディスク又は電子命令の記憶に適した任意の種類媒体等であるがこれらに限定されないコンピュータ可読記憶媒体に記憶することができる。

#### 【0012】

本明細書において提示するアルゴリズム及び表示は、特定のいかなるコンピュータ又は他の装置に固有に関連するものではない。各種の汎用システムを本明細書の教示によるプログラムと併せて使用してもよく、又は必要な方法ステップを実行する、より特化された装置を構築するほうが都合のよいことが証明される場合もある。種々のこのようなシステムに求められる構造は以下の説明から明らかになる。さらに、本発明は任意の特定のプログラミング言語を参照して説明されない。種々のプログラミング言語を、本明細書において述べる本発明の教示を実施するために使用してもよいことが理解されよう。

#### 【0013】

プログラミング言語(複数可)の命令は、1つ又は複数の処理装置(たとえば、プロセッサ、コントローラ、制御処理装置(CPU)、実行コア等)で実行することができる。

#### 【0014】

図1は、コンピュータシステム100の一実施形態のブロック図である。コンピュータシステム100は、バス105に結合される中央処理装置(CPU)102を備える。一実施形態によれば、CPU102は複数のコア103を備える。たとえば、CPU102はコア0及びコア1を備える。一実施形態では、コンピュータシステム100は複数のオペレーティングシステムを同時に実行する。このような実施形態では、別個のOSが各コア103で動作する。したがって、第1のOSがコア0で動作し、第2のOSがコア1で動作する。さらなる実施形態では、個々のコアのそれぞれは2つ以上のスレッドを実行することができる。しかし、以下の説明では、スレッドという用語を、OSを実施しているプロセッサ機能を示すために使用する。

#### 【0015】

一実施形態では、CPU102は、カリフォルニア州サンタクララ所在のIntel Corporationから入手可能なPentium(登録商標)IIプロセッサファミリ、Pentium(登録商標)IIIプロセッサ、及びPentium(登録商標)IVプロセッサを含むPentium(登録商標)プロセッサファミリのプロセッサである。別法として、他のCPUを使用してもよい。

#### 【0016】

チップセット107もバス105に結合される。チップセット107はメモリ制御ハブ(MCH)110を含む。MCH110は、メインシステムメモリ115に結合されるメモリコントローラ112を含んでもよい。メインシステムメモリ115は、データ、及びCPU102又はシステム100に備えられる他の任意の装置によって実行される一連の命令を記憶する。一実施形態では、メインシステムメモリ115はダイナミックランダムアクセスメモリ(DRAM)を含むが、他のメモリタイプを使用して実装してもよい。

#### 【0017】

一実施形態によれば、MCH110はスレッドIDチェッカ112を備える。IDチェッカ116は、バス105を介してCPUから、どのスレッドがメモリ又はI/Oアクセスを実行しているかを示すスレッドIDを受け取る。一実施形態では、スレッドIDチェッカ112は特定のメモリ領域を特定のスレッドに割り振る。

#### 【0018】

さらなる実施形態では、1つの非制限スレッドにすべてのメモリページに対するアクセ

10

20

30

40

50

ス権が提供され、1つ又は複数の他の制限付きスレッドに特定のページのみへのアクセス権が提供される。さらに、CPU 102及びチップセット110は、コンピュータシステム100プラットフォームの制限付き構成要素を変更できるようにする一方で、プラットフォームの非制限構成要素はリセットされない。さらなる実施形態では、非制限スレッドは制限付きスレッドに対して管理アクセス権を有することができる。このような管理アクセス権は、非制限スレッドが制限付きスレッドのアクセスレベルを調べられるようにする。

【0019】

MCHは、タイマ資源及び割り込み資源114並びにリセットレジスタ及び電源管理レジスタ116も備える。タイマ資源及び割り込み資源は非制限スレッドに提供されて、非制限スレッドが、制限付きスレッド(複数可)により(故意に、又は偶発的に)変更できないタイマサービス及び割り込みサービスを有することを可能にする。

10

【0020】

リセットレジスタ及び電源管理レジスタ116もまた非制限スレッドのために実装される。リセットレジスタ及び電源管理レジスタ116は、制限付きスレッドによって処理される事象を発生させる。これにより、制限付きスレッドはリセットポリシー及び電源管理ポリシーを所有することができる。一実施形態によれば、MCH110は、普通ならばシステム管理割り込み(SMI)を発生させる恐れのある危機的事象が、SMIに代えて非制限スレッドへの割り込みを発生させるようにする。これにより、制限付きスレッドで実行中のOSの実行フローを妨げることなく、OS独立スレッドを非制限スレッドで実行できるようにする。

20

【0021】

MCH110は、グラフィックスアクセラレータ130に結合されるグラフィックスインタフェース113を備えることもできる。一実施形態によれば、グラフィックスインタフェース113は、制限付きスレッドに関連するウィンドウを非制限スレッドに関連するウィンドウの上に配置することができないように、非制限スレッドがディスプレイモニタ(図示せず)にウィンドウを表示できるようにする。

【0022】

MCH110は、ハブインタフェースを介して入/出力制御ハブ(ICH)140に結合される。ICH140は、コンピュータシステム100内の入/出力(I/O)装置へのインタフェースを提供する。ICH140は、ディスクコントローラ142、オーディオコントローラ144、及びネットワークコントローラ146を含む。ディスクコントローラ142は1つ又は複数のディスクドライブ(図示せず)とインタフェースして、チップセット107とドライブとの間のデータ転送を制御する。

30

【0023】

一実施形態によれば、非制限スレッドは、ディスクコントローラ142を介してハードディスク260上のデータへのフルアクセスが許可される。しかし、このような実施形態では、制限付きスレッドにはディスク260の特定のセクションへのアクセスが許可されない。図2は、ディスクに結合されるディスクコントローラ142の一実施形態を示すブロック図である。ディスクコントローラ142は、インタフェース230及びDMAエンジン250を備える。インタフェース230はインタフェース0及びインタフェース1を備える。

40

【0024】

インタフェース0及びインタフェース1は、ハードディスク260上のデータにアクセスするソフトウェアへの独立したインタフェースを提示する。たとえば、或る構成空間は非制限スレッドにより見ることができる一方で、他の構成空間は1つ又は複数の非制限スレッドにより見ることができる。DMAエンジン250は、ハードディスク260間の直接メモリアクセスに役立つ。

【0025】

再び図1を参照すると、オーディオコントローラ144は、音声の録音及び再生を調整

50

するように動作する。一実施形態によれば、オーディオコントローラ 144 は、出力オーディオストリームが非制限スレッド及び制限付きスレッドに向けて独立して動作できるようにする。これは、制限付きスレッドが非制限スレッドを「ミュート化」しないようにする。さらなる実施形態では、オーディオコントローラ 144 は、入力ストリームをまず非制限スレッドに送れるようにするモードを含み、これは、オーディオデータを制限付きスレッドに渡すべきか否かを定めることができる。

【0026】

ネットワークコントローラ 146 は、コンピュータシステム 100 をコンピュータネットワーク（図 1 に示さず）にリンクし、機械間での通信をサポートする。一実施形態によれば、非制限スレッドはネットワークコントローラ 146 へのフルアクセスが許可されるが、制限付きスレッドはフルアクセスを有しない。一実施形態では、制限付きスレッドにより「送られる」パケットはまず、検査又は変更のために非制限スレッドが利用できるようにされる。さらに、ネットワークから受け取られたパケットはまず、制限付きスレッドが利用できるようになる前に非制限スレッドにより検査することができる。

10

【0027】

図 3 は、コンピュータシステム 100 でのメモリアクセス要求又は I/O アクセス要求の場合の一実施形態の流れ図である。処理ブロック 310 では、装置へのアクセス要求は CPU 102 からチップセット 107 において受け取られる。たとえば、このようなメモリ 115 へのアクセス要求を MCH 110 において受け取ってもよい。同様に、ハードディスク 260 へのアクセス要求をディスクコントローラ 142 において受け取ってもよい。

20

【0028】

処理ブロック 320 において、スレッド ID チェッカ 116 は、要求に含まれているスレッド ID を調べて、要求側スレッドを判断する。判断ブロック 330 において、要求側スレッドが制限付きスレッドであるか、又は非制限スレッドであるかが判断される。非制限スレッドの場合、非制限スレッドに、要求が向けられる装置からのデータへのフルアクセスが提供される（処理ブロック 340）。

【0029】

しかし、制限付きスレッドの場合、検査が行われて、制限付きスレッドが要求された資源へのアクセス権を有するか否かが判断される（処理ブロック 350）。判断ブロック 360 において、制限付きスレッドが要求されたデータにアクセスできるか否かが判断される。アクセスが明記されている場合、スレッドに、要求が向けられる装置からの要求されたデータへのアクセス権が提供される（処理ブロック 370）。しかし、スレッドが要求されたデータへのアクセス権を有しないと判断される場合、アクセスは拒絶される（処理ブロック 380）。

30

【0030】

おそらく、本発明の多くの代替及び変更が、上記説明を読んだ後に当業者に明らかになるが、例示として図示し説明されたいかなる特定の実施形態も決して限定とみなされるものではないことを理解されたい。したがって、各種実施形態の詳細への言及は特許請求の範囲の限定を意図するものではなく、特許請求の範囲それ自体には、本発明の本質であるとみなされる特徴のみが記される。

40

【図面の簡単な説明】

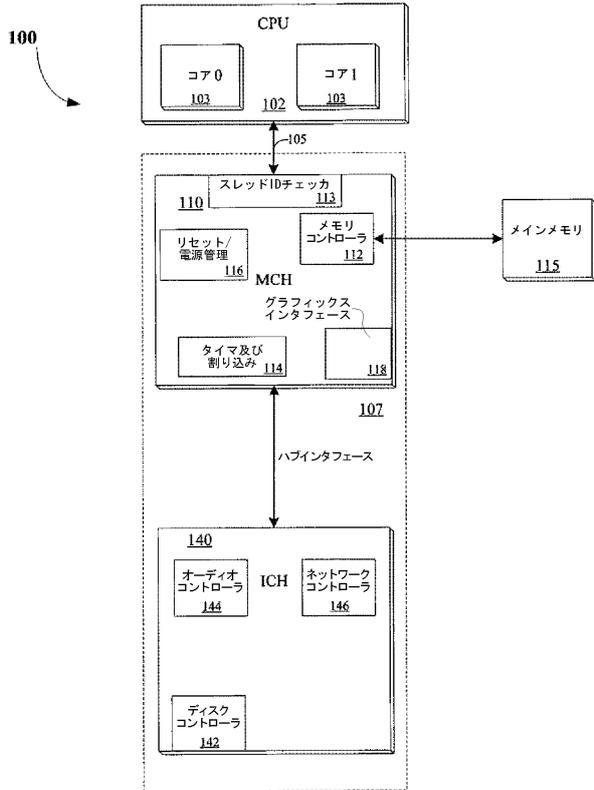
【0031】

【図 1】コンピュータシステムの一実施形態のブロック図である。

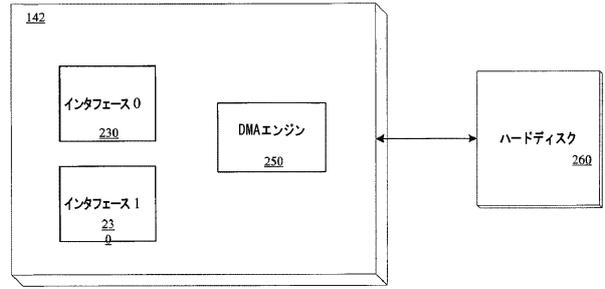
【図 2】ディスクに結合されているディスクコントローラの一実施形態を示すブロック図である。

【図 3】コンピュータシステムの動作の一実施形態の流れ図である。

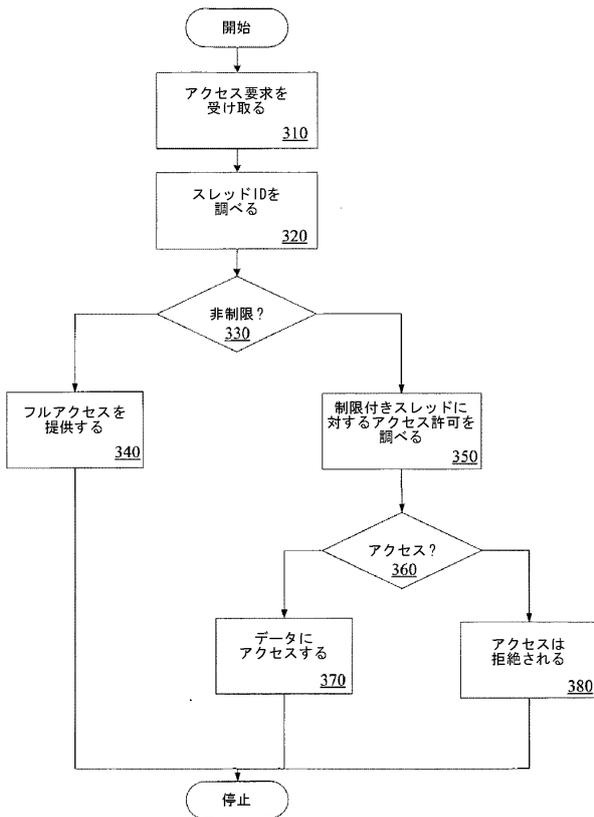
【図1】



【図2】



【図3】



---

フロントページの続き

- (56)参考文献 特表平 1 1 - 5 0 5 6 5 2 ( J P , A )  
米国特許第 0 4 4 4 2 4 8 4 ( U S , A )  
米国特許第 0 5 0 3 8 2 8 1 ( U S , A )  
米国特許第 0 5 8 2 2 4 3 5 ( U S , A )  
米国特許第 0 6 1 9 2 3 9 5 ( U S , B 1 )  
米国特許出願公開第 2 0 0 3 / 0 0 0 9 6 4 8 ( U S , A 1 )  
特開 2 0 0 3 - 1 8 6 6 8 3 ( J P , A )  
欧州特許出願公開第 0 1 1 6 8 1 8 4 ( E P , A 1 )

(58)調査した分野(Int.Cl. , D B 名)

G06F 21/24

G06F 12/14