

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】令和 2 年 4 月 30 日 (2020.4.30)

【公表番号】特表 2019-520716 (P2019-520716A)

【公表日】令和 1 年 7 月 18 日 (2019.7.18)

【年通号数】公開・登録公報 2019-028

【出願番号】特願 2018-523813 (P2018-523813)

【国際特許分類】

H 0 3 M 1/10 (2006.01)

H 0 3 M 1/50 (2006.01)

H 0 3 K 5/26 (2006.01)

H 0 2 M 1/08 (2006.01)

【F I】

H 0 3 M 1/10 A

H 0 3 M 1/50

H 0 3 K 5/26 S

H 0 2 M 1/08 A

【手続補正書】

【提出日】令和 2 年 3 月 18 日 (2020.3.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

差動デジタル遅延ラインアナログ・デジタルコンバータであって、
ソースからの入力差動電圧を差動電流に変換するように構成されるトランスコンダクタ
入力段と、

2 つのデジタル遅延ラインであって、前記 2 つのデジタル遅延ラインは、それぞれ、前
記差動電流の第 1 の電流または第 2 の電流のどちらかを受信し、各デジタル遅延ラインは

第 1 の回路であって、前記第 1 の回路は、遅延要素のセットを備え、各々、前記第 1
の電流または前記第 2 の電流によってバイアスされ、デジタル信号を遅延させるように構
成される、第 1 の回路と、

前記第 1 の回路と直列に結合される構成可能な第 2 の回路であって、前記第 2 の回路
は、遅延要素の別のセットを備え、各々、前記第 1 の電流または前記第 2 の電流によって
バイアスされ、前記デジタル信号を遅延させるように構成される、第 2 の回路と

を備える、2 つのデジタル遅延ラインと

を備え、

前記第 1 の回路は、前記入力差動電圧のアナログ・デジタル変換を表すサーモメータコ
ードを発生させるように構成され、

前記第 2 の回路は、前記デジタル遅延ラインの各々において追加の遅延要素を追加する
ことによって、前記差動デジタル遅延ラインアナログ・デジタルコンバータを較正するよ
うに構成される、アナログ・デジタルコンバータ。

【請求項 2】

前記第 1 の回路 (706) は、入力電圧と基準電圧との間の差異を測定するように構成
される、請求項 1 に記載のアナログ・デジタルコンバータ。

【請求項 3】

前記トランスコンダクタ入力段(200)は、前記デジタル遅延ラインの各々へのバイアス電流を反映するように構成される制御可能な電流ソース回路をさらに備える、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 4】

前記第2の回路(704)は、前記第1の電流および前記第2の電流(pbias、nbias)を調節するように構成される、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 5】

前記第2の回路は、追加の遅延要素をそれぞれのデジタル遅延ラインに追加するように、インデックス化されたコマンドを通して制御される複数のマルチプレクサを備える、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 6】

前記トランスコンダクタ入力段は、前記第2の回路の出力信号を受信し、電圧・電流レンジを調節するように構成される、請求項5に記載のアナログ・デジタルコンバータ。

【請求項 7】

各遅延要素は、電流限定バッファ鎖によって形成される、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 8】

前記第1の回路のそれぞれの遅延要素から出力信号を受信する複数のNANDゲートと、

前記NANDゲートの出力と結合されるラッチとをさらに備え、

前記ラッチは、前記デジタル遅延ラインのうちのより高速なものの完了に応じて、前記デジタル遅延ラインのうちのより低速のものからのデータを保存するように構成される、請求項1～7のいずれかに記載のアナログ・デジタルコンバータ。

【請求項 9】

各遅延ラインの最後の遅延要素の出力と結合されるANDゲートをさらに備え、前記ANDゲートの出力は、前記ラッチを制御する信号を発生させる、請求項8に記載のアナログ・デジタルコンバータ。

【請求項 10】

各デジタル遅延ラインは、前記第1の回路および前記第2の回路と直列に結合される第3の回路をさらに備え、前記第3の回路は、遅延要素のさらに別のセットを備え、各々、前記第1の電流または前記第2の電流によってバイアスされる、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 11】

前記第1の回路のそれぞれの遅延要素から出力信号を受信する複数のNANDゲートと、

前記NANDゲートの出力と結合されるラッチであって、前記ラッチは、前記デジタル遅延ラインのうちのより高速なものの完了に応じて、前記デジタル遅延ラインのうちのより低速のものからのデータを保存するように構成される、ラッチと

各遅延ラインの最後の遅延要素の出力と結合されるANDゲートであって、前記ANDゲートの出力は、前記ラッチを制御する信号を発生させ、前記ANDゲートは、前記第3の回路のそれぞれの遅延要素から出力信号を受信する複数のさらなるANDゲートをさらに備え、前記第3の回路の前記遅延要素の出力は、前記アナログ・デジタルコンバータへの入力が所定の入力レンジから外れている程度を示すデータを生成する、ANDゲートとをさらに備える、請求項7に記載のアナログ・デジタルコンバータ。

【請求項 12】

差動デジタル遅延ラインアナログ・デジタルコンバータを作動させるための方法であって、前記方法は、

ソースからの入力差動電圧を差動電流に変換することと、

第 1 のデジタル遅延ラインおよび第 2 のデジタル遅延ラインに前記差動電流をフィードすることであって、各デジタル遅延ラインは、第 1 の遅延要素のセットを備える第 1 の回路を備え、各々、前記第 1 の電流または前記第 2 の電流によってバイアスされ、デジタル信号を遅延させるように構成される、ことと、

前記第 1 の電流によって前記第 1 のデジタル遅延ラインの前記第 1 の回路の遅延要素をバイアスし、前記第 2 の電流によって前記第 2 のデジタル遅延ラインの前記第 1 の回路の遅延要素をバイアスすることであって、各デジタル遅延ラインは、前記第 1 の回路と直列に結合される構成可能な第 2 の回路をさらに備え、前記第 2 の回路は、遅延要素の別のセットを備え、各々、前記第 1 の電流または前記第 2 の電流によってバイアスされ、前記デジタル信号を遅延させるように構成される、ことと、

追加の遅延要素を追加するように前記第 2 の回路を構成することと、

前記第 1 のデジタル遅延ラインおよび前記第 2 のデジタル遅延ラインにデジタル信号をフィードし、前記第 1 の回路によって前記第 1 のデジタル遅延ラインと前記第 2 のデジタル遅延ラインとの間の時間遅延を測定し、それによって、前記入力差動電圧のアナログ・デジタル変換を表すサーモメータコードを発生させることと

を含む、方法。

【請求項 13】

前記第 2 の回路は、追加の遅延要素をそれぞれのデジタル遅延ラインに追加するように、インデックス化されたコマンドを通して制御される、請求項 12 に記載の方法。

【請求項 14】

各デジタル遅延ラインは、前記第 1 の回路および前記第 2 の回路と直列に結合される第 3 の回路をさらに備え、前記第 3 の回路は、遅延要素のさらに別のセットを備え、各々、前記第 1 の電流または前記第 2 の電流によってバイアスされ、前記第 3 の回路は、前記アナログ・デジタルコンバータへの入力が入力レンジから外れている程度を示すデータを生成するように構成される、請求項 12 に記載の方法。

【請求項 15】

前記アナログ・デジタルコンバータへの入力が入力レンジから外れている程度を示す前記データによって、前記差動電流を発生させるために使用される電流ソースを制御することをさらに含む、請求項 14 に記載の方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本開示の実施形態は、前述の実施形態の A D C のいずれかによって行われる方法を含む。

本発明は、例えば、以下を提供する。

(項目 1)

差動デジタル遅延ラインアナログ・デジタルコンバータ (A D C) であって、

複数の差動デジタル遅延ラインと、

前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備える第 1 の回路と、

前記差動デジタル遅延ライン内に含まれる遅延要素の別のセットを備える第 2 の回路とを備え、

前記第 1 の回路は、入力のアナログ・デジタル変換を表すデータを発生させるように構成され、

前記第 2 の回路は、前記差動デジタル遅延ラインへのソースを校正するように構成される、

A D C。

(項目 2)

前記第 1 の回路は、入力電圧と基準電圧との間の差異を測定するように構成される、項目 1 または 3 - 1 0 のいずれかに記載の A D C。

(項目 3)

前記差動デジタル遅延ラインのそれぞれへの基準電流を反映するように構成される電流ソース回路をさらに備える、項目 1 - 2 または 5 - 1 0 のいずれかに記載の A D C。

(項目 4)

前記差動デジタル遅延ラインのそれぞれへの基準電流を反映するように構成される電流ソース回路をさらに備え、前記第 2 の回路は、前記基準電流を調節し、誤差を最小限にするように構成される、項目 1 - 2 または 5 - 1 0 のいずれかに記載の A D C。

(項目 5)

入力差動電圧を差動電流に変換するように構成されるトランスコンダクタをさらに備え、前記第 1 の回路は、前記差動電流を測定し、前記差動電圧を表すデータを発生させるように構成される、項目 1 - 4 または 6 - 1 0 のいずれかに記載の A D C。

(項目 6)

入力差動電圧を差動電流に変換することと、

前記複数の差動デジタル遅延ラインに基づいて、入力を受け取り、電圧・電流レンジを調節することと

を行うように構成される、トランスコンダクタ

をさらに備える、項目 1 - 5 または 7 - 1 0 のいずれかに記載の A D C。

(項目 7)

各差動デジタル遅延ラインは、電流限定バッファ鎖を含む、項目 1 - 6 または 8 - 1 0 のいずれかに記載の A D C。

(項目 8)

所与の差動デジタル遅延ラインが、前記所与の差動デジタル遅延ラインに適用される差動電流に従って、ある速度で動作するように構成され、

前記 A D C はさらに、ラッチを備え、

前記ラッチは、より高速の差動デジタル遅延ラインの完了に応じて、より低速の差動デジタル遅延ラインからのデータを保存するように構成される、

項目 1 - 7 または 9 - 1 0 のいずれかに記載の A D C。

(項目 9)

前記差動デジタル遅延ライン内に含まれる遅延要素のさらに別のセットを備える第 3 の回路をさらに備え、前記第 3 の回路は、前記 A D C への入力が入力レンジから外れている程度を示すデータを生成するように構成される、項目 1 - 8 または 1 0 のいずれかに記載の A D C。

(項目 1 0)

相互から独立して前記デジタル遅延ラインの長さを調節することによって前記 A D C を較正するための第 4 の回路をさらに備える、項目 1 - 9 のいずれかに記載の A D C。

(項目 1 1)

差動デジタル遅延ラインアナログ・デジタルコンバータ (A D C) であって、

複数の差動デジタル遅延ラインと、

前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備える第 1 の回路と、

前記差動デジタル遅延ライン内に含まれる遅延要素の別のセットを備える第 2 の回路とを備え、

前記第 1 の回路は、入力のアナログ・デジタル変換を表すデータを発生させるように構成され、

前記第 2 の回路は、前記 A D C への入力が入力レンジから外れている程度を示すデータを生成するように構成される、

A D C。

(項目 1 2)

前記第 1 の回路は、入力電圧と基準電圧との間の差異を測定するように構成される、項目 1 1 または 1 3 - 2 0 のいずれかに記載の A D C。

(項目 1 3)

前記差動デジタル遅延ラインのそれぞれへの基準電流を反映するように構成される電流ソース回路をさらに備える、項目 1 1 - 1 2 または 1 5 - 2 0 のいずれかに記載の A D C。

(項目 1 4)

前記差動デジタル遅延ラインのそれぞれへの基準電流を反映するように構成される電流ソース回路をさらに備え、前記第 2 の回路は、前記基準電流を調節し、誤差を最小限にするように構成される、項目 1 1 - 1 2 または 1 5 - 2 0 のいずれかに記載の A D C。

(項目 1 5)

入力差動電圧を差動電流に変換するように構成されるトランスコンダクタをさらに備え、前記第 1 の回路は、前記差動電流を測定し、前記差動電圧を表すデータを発生させるように構成される、項目 1 1 - 1 4 または 1 6 - 2 0 のいずれかに記載の A D C。

(項目 1 6)

入力差動電圧を差動電流に変換することと、
前記複数の差動デジタル遅延ラインに基づいて、入力を受け取り、電圧・電流レンジを調節することと
を行うように構成される、トランスコンダクタ
をさらに備える、項目 1 1 - 1 5 または 1 7 - 2 0 のいずれかに記載の A D C。

(項目 1 7)

各差動デジタル遅延ラインは、電流限定バッファ鎖を含む、項目 1 1 - 1 6 または 1 8 - 2 0 のいずれかに記載の A D C。

(項目 1 8)

所与の差動デジタル遅延ラインが、前記所与の差動デジタル遅延ラインに適用される差動電流に従って、ある速度で動作するように構成され、
前記 A D C はさらに、ラッチを備え、
前記ラッチは、より高速の差動デジタル遅延ラインの完了に応じて、より低速の差動デジタル遅延ラインからのデータを保存するように構成される、
項目 1 1 - 1 7 または 1 9 - 2 0 のいずれかに記載の A D C。

(項目 1 9)

前記差動デジタル遅延ライン内に含まれる遅延要素のさらに別のセットを備える第 3 の回路をさらに備え、前記第 3 の回路は、前記差動デジタル遅延ラインへのソースを校正するように構成される、項目 1 1 - 1 8 または 2 0 のいずれかに記載の A D C。

(項目 2 0)

相互から独立して前記デジタル遅延ラインの長さを調節することによって前記 A D C を校正するための第 4 の回路をさらに備える、項目 1 1 - 1 9 のいずれかに記載の A D C。

(項目 2 1)

差動デジタル遅延ラインアナログ・デジタルコンバータ (A D C) であって、
複数の差動デジタル遅延ラインと、
前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備える第 1 の回路と、
トランスコンダクタであって、
入力差動電圧を差動電流に変換することと、
前記複数の差動デジタル遅延ラインに基づいて、入力を受け取り、電圧・電流レンジを調節することと
を行うように構成される、トランスコンダクタと
を備える、A D C。

(項目 2 2)

前記差動デジタル遅延ライン内に含まれる遅延要素のさらに別のセットを備える、第 2

の回路をさらに備え、前記第２の回路は、前記ＡＤＣへの入力が入力レンジから外れている程度を示すデータを生成するように構成される、項目２１に記載のＡＤＣ。

(項目２３)

項目１－２２に記載のＡＤＣのいずれかを備える、マイクロコントローラ。

(項目２４)

項目１－２２に記載のＡＤＣの構成のいずれかの動作を含む、方法。