

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】令和2年4月30日(2020.4.30)

【公表番号】特表2019-520716(P2019-520716A)

【公表日】令和1年7月18日(2019.7.18)

【年通号数】公開・登録公報2019-028

【出願番号】特願2018-523813(P2018-523813)

【国際特許分類】

H 03M 1/10 (2006.01)

H 03M 1/50 (2006.01)

H 03K 5/26 (2006.01)

H 02M 1/08 (2006.01)

【F I】

H 03M 1/10 A

H 03M 1/50

H 03K 5/26 S

H 02M 1/08 A

【手続補正書】

【提出日】令和2年3月18日(2020.3.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

差動デジタル遅延ラインアナログ・デジタルコンバータであって、ソースからの入力差動電圧を差動電流に変換するように構成されるトランスコンダクタ

入力段と、

2つのデジタル遅延ラインであって、前記2つのデジタル遅延ラインは、それぞれ、前記差動電流の第1の電流または第2の電流のどちらかを受信し、各デジタル遅延ラインは

、第1の回路であって、前記第1の回路は、遅延要素のセットを備え、各々、前記第1の電流または前記第2の電流によってバイアスされ、デジタル信号を遅延させるように構成される、第1の回路と、

前記第1の回路と直列に結合される構成可能な第2の回路であって、前記第2の回路は、遅延要素の別のセットを備え、各々、前記第1の電流または前記第2の電流によってバイアスされ、前記デジタル信号を遅延させるように構成される、第2の回路と

を備える、2つのデジタル遅延ラインと

を備え、

前記第1の回路は、前記入力差動電圧のアナログ・デジタル変換を表すサーモメータコードを発生させるように構成され、

前記第2の回路は、前記デジタル遅延ラインの各々において追加の遅延要素を追加することによって、前記差動デジタル遅延ラインアナログ・デジタルコンバータを較正するように構成される、アナログ・デジタルコンバータ。

【請求項2】

前記第1の回路(706)は、入力電圧と基準電圧との間の差異を測定するように構成される、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 3】

前記トランスコンダクタ入力段(200)は、前記デジタル遅延ラインの各々へのバイアス電流を反映するように構成される制御可能な電流ソース回路をさらに備える、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 4】

前記第2の回路(704)は、前記第1の電流および前記第2の電流(pbias, nbias)を調節するように構成される、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 5】

前記第2の回路は、追加の遅延要素をそれぞれのデジタル遅延ラインに追加するよう、インデックス化されたコマンドを通して制御される複数のマルチプレクサを備える、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 6】

前記トランスコンダクタ入力段は、前記第2の回路の出力信号を受信し、電圧・電流レンジを調節するように構成される、請求項5に記載のアナログ・デジタルコンバータ。

【請求項 7】

各遅延要素は、電流限定バッファ鎖によって形成される、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 8】

前記第1の回路のそれぞれの遅延要素から出力信号を受信する複数のNANDゲートと

前記NANDゲートの出力と結合されるラッチとをさらに備え、

前記ラッチは、前記デジタル遅延ラインのうちのより高速なものの完了に応じて、前記デジタル遅延ラインのうちのより低速のものからのデータを保存するように構成される、請求項1～7のいずれかに記載のアナログ・デジタルコンバータ。

【請求項 9】

各遅延ラインの最後の遅延要素の出力と結合されるANDゲートをさらに備え、前記ANDゲートの出力は、前記ラッチを制御する信号を発生させる、請求項8に記載のアナログ・デジタルコンバータ。

【請求項 10】

各デジタル遅延ラインは、前記第1の回路および前記第2の回路と直列に結合される第3の回路をさらに備え、前記第3の回路は、遅延要素のさらに別のセットを備え、各々、前記第1の電流または前記第2の電流によってバイアスされる、請求項1に記載のアナログ・デジタルコンバータ。

【請求項 11】

前記第1の回路のそれぞれの遅延要素から出力信号を受信する複数のNANDゲートと

前記NANDゲートの出力と結合されるラッチであって、前記ラッチは、前記デジタル遅延ラインのうちのより高速なものの完了に応じて、前記デジタル遅延ラインのうちのより低速のものからのデータを保存するように構成される、ラッチと

各遅延ラインの最後の遅延要素の出力と結合されるANDゲートであって、前記ANDゲートの出力は、前記ラッチを制御する信号を発生させ、前記ANDゲートは、前記第3の回路のそれぞれの遅延要素から出力信号を受信する複数のさらなるANDゲートをさらに備え、前記第3の回路の前記遅延要素の出力は、前記アナログ・デジタルコンバータへの入力が所定の入力レンジから外れている程度を示すデータを生成する、ANDゲートとをさらに備える、請求項7に記載のアナログ・デジタルコンバータ。

【請求項 12】

差動デジタル遅延ラインアナログ・デジタルコンバータを作動させるための方法であつて、前記方法は、

ソースからの入力差動電圧を差動電流に変換することと、

第1のデジタル遅延ラインおよび第2のデジタル遅延ラインに前記差動電流をフィードすることであって、各デジタル遅延ラインは、第1の遅延要素のセットを備える第1の回路を備え、各々、前記第1の電流または前記第2の電流によってバイアスされ、デジタル信号を遅延させるように構成される、ことと、

前記第1の電流によって前記第1のデジタル遅延ラインの前記第1の回路の遅延要素をバイアスし、前記第2の電流によって前記第2のデジタル遅延ラインの前記第1の回路の遅延要素をバイアスすることであって、各デジタル遅延ラインは、前記第1の回路と直列に結合される構成可能な第2の回路をさらに備え、前記第2の回路は、遅延要素の別のセットを備え、各々、前記第1の電流または前記第2の電流によってバイアスされ、前記デジタル信号を遅延させるように構成される、ことと、

追加の遅延要素を追加するように前記第2の回路を構成することと、

前記第1のデジタル遅延ラインおよび前記第2のデジタル遲延ラインにデジタル信号をフィードし、前記第1の回路によって前記第1のデジタル遲延ラインと前記第2のデジタル遲延ラインとの間の時間遅延を測定し、それによって、前記入力差動電圧のアナログ・デジタル変換を表すサーモメータコードを発生させることと

を含む、方法。

【請求項13】

前記第2の回路は、追加の遅延要素をそれぞれのデジタル遲延ラインに追加するよう、インデックス化されたコマンドを通して制御される、請求項12に記載の方法。

【請求項14】

各デジタル遲延ラインは、前記第1の回路および前記第2の回路と直列に結合される第3の回路をさらに備え、前記第3の回路は、遲延要素のさらに別のセットを備え、各々、前記第1の電流または前記第2の電流によってバイアスされ、前記第3の回路は、前記アナログ・デジタルコンバータへの入力が入力レンジから外れている程度を示すデータを生成するように構成される、請求項12に記載の方法。

【請求項15】

前記アナログ・デジタルコンバータへの入力が入力レンジから外れている程度を示す前記データによって、前記差動電流を発生させるために使用される電流ソースを制御することをさらに含む、請求項14に記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本開示の実施形態は、前述の実施形態のADCのいずれかによって行われる方法を含む。

本発明は、例えば、以下を提供する。

(項目1)

差動デジタル遲延ラインアナログ・デジタルコンバータ(ADC)であって、複数の差動デジタル遲延ラインと、

前記差動デジタル遲延ライン内に含まれる遲延要素のセットを備える第1の回路と、前記差動デジタル遲延ライン内に含まれる遲延要素の別のセットを備える第2の回路とを備え、

前記第1の回路は、入力のアナログ・デジタル変換を表すデータを発生させるように構成され、

前記第2の回路は、前記差動デジタル遲延ラインへのソースを較正するように構成される、

A D C。

(項目2)

前記第1の回路は、入力電圧と基準電圧との間の差異を測定するように構成される、項目1または3-10のいずれかに記載のA D C。

(項目3)

前記差動デジタル遅延ラインのそれぞれへの基準電流を反映するように構成される電流ソース回路をさらに備える、項目1-2または5-10のいずれかに記載のA D C。

(項目4)

前記差動デジタル遅延ラインのそれぞれへの基準電流を反映するように構成される電流ソース回路をさらに備え、前記第2の回路は、前記基準電流を調節し、誤差を最小限にすることにより構成される、項目1-2または5-10のいずれかに記載のA D C。

(項目5)

入力差動電圧を差動電流に変換するように構成されるトランスコンダクタをさらに備え、前記第1の回路は、前記差動電流を測定し、前記差動電圧を表すデータを発生させるように構成される、項目1-4または6-10のいずれかに記載のA D C。

(項目6)

入力差動電圧を差動電流に変換することと、

前記複数の差動デジタル遅延ラインに基づいて、入力を受け取り、電圧・電流レンジを調節することと

を行うように構成される、トランスコンダクタ

をさらに備える、項目1-5または7-10のいずれかに記載のA D C。

(項目7)

各差動デジタル遅延ラインは、電流限定バッファ鎖を含む、項目1-6または8-10のいずれかに記載のA D C。

(項目8)

所与の差動デジタル遅延ラインが、前記所与の差動デジタル遅延ラインに適用される差動電流に従って、ある速度で動作するように構成され、

前記A D Cはさらに、ラッチを備え、

前記ラッチは、より高速の差動デジタル遅延ラインの完了に応じて、より低速の差動デジタル遅延ラインからのデータを保存するように構成される、

項目1-7または9-10のいずれかに記載のA D C。

(項目9)

前記差動デジタル遅延ライン内に含まれる遅延要素のさらに別のセットを備える第3の回路をさらに備え、前記第3の回路は、前記A D Cへの入力が入力レンジから外れている程度を示すデータを生成するように構成される、項目1-8または10のいずれかに記載のA D C。

(項目10)

相互から独立して前記デジタル遅延ラインの長さを調節することによって前記A D Cを較正するための第4の回路をさらに備える、項目1-9のいずれかに記載のA D C。

(項目11)

差動デジタル遅延ラインアナログ・デジタルコンバータ(A D C)であって、

複数の差動デジタル遅延ラインと、

前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備える第1の回路と、

前記差動デジタル遅延ライン内に含まれる遅延要素の別のセットを備える第2の回路とを備え、

前記第1の回路は、入力のアナログ・デジタル変換を表すデータを発生させるように構成され、

前記第2の回路は、前記A D Cへの入力が入力レンジから外れている程度を示すデータを生成するように構成される、

A D C。

(項目12)

前記第1の回路は、入力電圧と基準電圧との間の差異を測定するように構成される、項目11または13-20のいずれかに記載のADC。

(項目13)

前記差動デジタル遅延ラインのそれぞれへの基準電流を反映するように構成される電流ソース回路をさらに備える、項目11-12または15-20のいずれかに記載のADC

。

(項目14)

前記差動デジタル遅延ラインのそれぞれへの基準電流を反映するように構成される電流ソース回路をさらに備え、前記第2の回路は、前記基準電流を調節し、誤差を最小限にす るように構成される、項目11-12または15-20のいずれかに記載のADC。

(項目15)

入力差動電圧を差動電流に変換するように構成されるトランスコンダクタをさらに備え、前記第1の回路は、前記差動電流を測定し、前記差動電圧を表すデータを発生させるよ うに構成される、項目11-14または16-20のいずれかに記載のADC。

(項目16)

入力差動電圧を差動電流に変換することと、

前記複数の差動デジタル遅延ラインに基づいて、入力を受け取り、電圧・電流レンジを 調節することと

を行うように構成される、トランスコンダクタ

をさらに備える、項目11-15または17-20のいずれかに記載のADC。

(項目17)

各差動デジタル遅延ラインは、電流限定バッファ鎖を含む、項目11-16または18 - 20のいずれかに記載のADC。

(項目18)

所与の差動デジタル遅延ラインが、前記所与の差動デジタル遅延ラインに適用される差 動電流に従って、ある速度で動作するように構成され、

前記ADCはさらに、ラッチを備え、

前記ラッチは、より高速の差動デジタル遅延ラインの完了に応じて、より低速の差動デ ジタル遅延ラインからのデータを保存するように構成される、

項目11-17または19-20のいずれかに記載のADC。

(項目19)

前記差動デジタル遅延ライン内に含まれる遅延要素のさらに別のセットを備える第3の 回路をさらに備え、前記第3の回路は、前記差動デジタル遅延ラインへのソースを較正す るように構成される、項目11-18または20のいずれかに記載のADC。

(項目20)

相互から独立して前記デジタル遅延ラインの長さを調節することによって前記ADCを 較正するための第4の回路をさらに備える、項目11-19のいずれかに記載のADC。

(項目21)

差動デジタル遅延ラインアナログ・デジタルコンバータ(ADC)であって、

複数の差動デジタル遅延ラインと、

前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備える第1の回路と、 トランスコンダクタであって、

入力差動電圧を差動電流に変換することと、

前記複数の差動デジタル遅延ラインに基づいて、入力を受け取り、電圧・電流レンジ を調節することと

を行うように構成される、トランスコンダクタと

を備える、ADC。

(項目22)

前記差動デジタル遅延ライン内に含まれる遅延要素のさらに別のセットを備える、第2

の回路をさらに備え、前記第2の回路は、前記ADCへの入力がレンジから外れる程度を示すデータを生成するように構成される、項目21に記載のADC。

(項目23)

項目1-22に記載のADCのいずれかを備える、マイクロコントローラ。

(項目24)

項目1-22に記載のADCの構成のいずれかの動作を含む、方法。