

(12) 发明专利申请

(10) 申请公布号 CN 102412840 A

(43) 申请公布日 2012. 04. 11

(21) 申请号 201110343582. X

(51) Int. Cl.

(22) 申请日 2011. 11. 03

H03M 1/44 (2006. 01)

(30) 优先权数据

13/238, 236 2011. 09. 21 US

(71) 申请人 香港应用科技研究院有限公司

地址 中国香港特别行政区新界沙田香港科学园科技大道西二号生物资讯中心三楼

(72) 发明人 陈桂枝 王一涛 温皓明 温锦泉
邝国权

(74) 专利代理机构 深圳新创友知识产权代理有限公司 44223

代理人 江耀纯

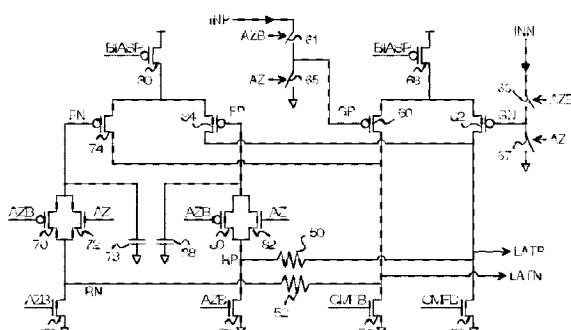
权利要求书 4 页 说明书 6 页 附图 6 页

(54) 发明名称

超低电压的自动调零的多阶段高速 CMOS 比较器

(57) 摘要

为了用于一精密 ADC，一个前置放大器电路可以被级联并驱动一锁存器。该前置放大器有一主要部分和一反馈部分，反馈部分连接反馈电阻，而不会在主要部分产生电压降。偏移电荷在自动调零阶段存储在偏移电容上，在放大阶段则被传输门隔离。偏移电容驱动反馈晶体管的栅极，其驱动主要部分的输出节点。反馈部分内的自动调零流入晶体管在线性区域工作运行，而主要部分内的电流流入晶体管在饱和区域工作运行。可以增加反冲电荷隔离晶体管用于电荷隔离。均衡输出也可以被一个均衡传输门来均衡。由于折叠的反馈电阻安排，甚至可以支持一个非常低的电源电压用于高速运行，而且消除偏移。



1. 一种偏移消除放大器，包括：

第一差分晶体管，在放大阶段其栅极接收一真输入 (true input)；

第二差分晶体管，在放大阶段其栅极接收一补输入 (complement input)；

第一电流流入晶体管，其从第一差分晶体管吸入电流；

第二电流流入晶体管，其从第二差分晶体管吸入电流；

第一输出，介于第一差分晶体管和第一电流流入晶体管之间；

第二输出，介于第二差分晶体管和第二电流流入晶体管之间；

第一偏移电容，用于存储第一偏移电荷；

第二偏移电容，用于存储第二偏移电荷；

第一反馈晶体管，其栅极被第一偏移电容控制，并驱动第一偏移电流到第一输出，以响应存储在第一偏移电容上的第一偏移电荷；

第二反馈晶体管，其栅极被第二偏移电容控制，并驱动第二偏移电流到第二输出，以响应存储在第二偏移电容上的第二偏移电荷；

第一反馈开关，用于在放大阶段隔离第一偏移电容和第一反馈节点；

第二反馈开关，用于在放大阶段隔离第二偏移电容和第二反馈节点；

第一反馈电阻，其连接在第一输出和第一反馈节点之间；

第二反馈电阻，其连接在第二输出和第二反馈节点之间；

由此，第一和第二偏移电荷消除该偏移消除放大器上的差分偏移。

2. 如权利要求 1 所述的偏移消除放大器，还包括：

第一线性晶体管，用于在放大阶段停止第一反馈节点；

第二线性晶体管，用于在放大阶段停止第二反馈节点；

3. 如权利要求 2 所述的偏移消除放大器，其中

在放大阶段该偏移消除放大器的增益是第一反馈电阻和第二反馈电阻的电阻值的函数。

4. 如权利要求 2 所述的偏移消除放大器，其中

第一线性晶体管连接第一反馈节点到地；

其中第二线性晶体管连接第二反馈节点到地；

由此，在放大阶段第一和第二反馈节点被停止接地。

5. 如权利要求 2 所述的偏移消除放大器，还包括：

第一接地开关，用于当放大阶段没有激活时，在自动调零阶段将第一差分晶体管的栅极接地；

第二接地开关，用于在自动调零阶段将第二差分晶体管的栅极接地。

6. 如权利要求 5 所述的偏移消除放大器，还包括：

主电流源，其发起一主电流到第一差分晶体管和到第二差分晶体管；

反馈电流源，其发起一反馈电流到第一反馈晶体管和到第二反馈晶体管。

7. 如权利要求 6 所述的偏移消除放大器，其中

第一电流流入晶体管的栅极接收一共模电压；

其中第二电流流入晶体管的栅极接收该共模电压；

其中该共模电压在电源电压和地之间。

8. 如权利要求 7 所述的偏移消除放大器，其中

第一电流流入晶体管和第二电流流入晶体管被偏压以在饱和运行区域上工作运行；
其中第一线性晶体管和第二线性晶体管被偏压以在线性运行区域上工作运行。

9. 如权利要求 2 所述的偏移消除放大器，还包括：

第一共源共栅晶体管，其在第一差分晶体管和第一输出之间连接传导电流；
第二共源共栅晶体管，其在第二差分晶体管和第二输出之间连接传导电流。

10. 如权利要求 9 所述的偏移消除放大器，还包括：

第一反馈共源共栅晶体管，其在第一偏移电容和第一反馈晶体管的栅极之间连接传导电流；

第二反馈共源共栅晶体管，其在第二偏移电容和第二反馈晶体管的栅极之间连接传导电流。

11. 如权利要求 10 所述的偏移消除放大器，其中

第一差分晶体管、第二差分晶体管、第一反馈晶体管、第二反馈晶体管是 P 通道晶体管；

其中第一共源共栅晶体管、第二共源共栅晶体管、第一反馈共源共栅晶体管、第二反馈共源共栅晶体管每个都包括一栅极接地的 P 通道晶体管。

12. 如权利要求 2 所述的偏移消除放大器，其中

第一反馈开关包括第一传输门，其有并联的一 P 通道晶体管和一 N 通道晶体管；
其中第二反馈开关包括第二传输门，其有并联的一 P 通道晶体管和一 N 通道晶体管。

13. 如权利要求 2 所述的偏移消除放大器，还包括：

均衡开关，其连接在第一输出和第二输出之间，该均衡开关用于在放大阶段之前短路第一输出和第二输出。

14. 如权利要求 13 所述的偏移消除放大器，其中

均衡开关包括一传输门，其有并联的一 P 通道晶体管和一 N 通道晶体管。

15. 一种自动调零的前置放大器，包括：

主电流源，其驱动一主源电流到一主源节点；

第一差分晶体管，其有第一栅极控制主源节点和第一输出节点之间的第一电流；

第二差分晶体管，其有第二栅极控制主源节点和第二输出节点之间的第二电流；

第一电流流入晶体管，其栅极接收一中间电压，用于吸入第一电流到地；

第二电流流入晶体管，其栅极接收一中间电压，用于吸入第二电流到地；

第一反馈电阻，其连接在第一输出节点和第一反馈节点之间；

第二反馈电阻，其连接在第二输出节点和第二反馈节点之间；

第一停止晶体管，其栅极接收一放大阶段信号，在放大阶段，该信号被驱高至电源电压，当放大阶段信号是高时，第一停止晶体管连接第一反馈节点到地；

第二停止晶体管，其栅极接收一放大阶段信号，当放大阶段信号是高时，第二停止晶体管连接第二反馈节点到地；

第一电容，其在第一电荷节点上存储第一电荷；

第二电容，其在第二电荷节点上存储第二电荷；

第一反馈开关，用于在自动调零阶段，当自动调零信号是高时，连接第一电荷节点到第

一反馈节点，在放大阶段，隔离第一电荷节点；

第二反馈开关，用于在当自动调零信号是高时，连接第二电荷节点到第二反馈节点，在放大阶段，隔离第二电荷节点；

反馈电流源，其驱动一反馈源电流到一反馈源节点；

第一反馈晶体管，其栅极被第一电荷节点控制，并控制第一反馈电流从该反馈源节点到第一输出节点；

第二反馈晶体管，其栅极被第二电荷节点控制，并控制第二反馈电流从该反馈源节点到第二输出节点。

16. 如权利要求 15 所述的自动调零前置放大器，还包括：

第一输入开关，用于在放大阶段连接第一差分输入到第一栅极；

第二输入开关，用于在放大阶段连接第二差分输入到第二栅极；

第一接地开关，用于在自动调零阶段将第一栅极接地；

第二接地开关，用于在自动调零阶段将第二栅极接地。

17. 如权利要求 16 所述的自动调零前置放大器，其中

第一差分晶体管、第二差分晶体管、第一反馈晶体管、第二反馈晶体管、主电流源、反馈电流源是 P 通道晶体管；

其中第一电流流入晶体管、第二电流流入晶体管、第一停止晶体管、第二停止晶体管是源极接地的 N 通道晶体管。

18. 如权利要求 17 所述的自动调零前置放大器，还包括：

第一共源共栅晶体管，其在第一差分晶体管和第一输出节点之间连接传导电流；

第二共源共栅晶体管，其在第二差分晶体管和第二输出节点之间连接传导电流；

第一反馈共源共栅晶体管，其在第一电容和第一反馈晶体管的栅极之间连接传导电流；

第二反馈共源共栅晶体管，其在第二电容和第二反馈晶体管的栅极之间连接传导电流；

其中第一共源共栅晶体管、第二共源共栅晶体管、第一反馈共源共栅晶体管、第二反馈共源共栅晶体管每个都包括一栅极接地的 P 通道晶体管。

19. 如权利要求 15 所述的自动调零前置放大器，还包括：

模拟输入，其有一模拟输入电压；

逐次逼近式寄存器 (SAR)，其有一数字值，其被逐次调整以收敛而接近模拟输入电压；

数模转换器 (DAC)，其接收一参考电压和来自 SAR 的数字值，用于产生一个表示该数字值的转换的模拟电压；

一系列阶段，包括第一阶段和最后阶段，第一阶段接收转换的模拟电压和模拟输入电压作为阶段输入，最后阶段输出比较结果作为阶段输出，其中在这一系列阶段中的每个中间阶段的阶段输入连接前一个阶段的阶段输出，每个中间阶段的阶段输出连接下一个阶段的阶段输入；

最终锁存器，其接收来自最后阶段的比较结果，锁存该比较结果，用于传输给 SAR；

其中 SAR 根据来自最终锁存器的比较结果来调整数字值；

其中这一系列阶段中的每个阶段包括：

一个自动调零前置放大器的复制；
其中第一差分输入和第二差分输入是阶段输入；
其中第一输出节点和第二输出节点是阶段输出；
其中该自动调零前置放大器是 ADC 中这一系列阶段的复制。

20. 一种放大器，包括：

第一差分晶体管装置，用于驱动第一电流，以响应第一栅极在放大阶段接收一真输入；

第二差分晶体管装置，用于驱动第二电流，以响应第二栅极在放大阶段接收一补输入；

主电流源装置，用于提供一主电流给第一差分晶体管装置和第二差分晶体管装置；

第一接地开关装置，用于当放大阶段没有激活时，在自动调零时，将第一差分晶体管装置的第一栅极接地；

第二接地开关装置，用于在自动调零时，将第二差分晶体管装置的第二栅极接地；

第一电流流入晶体管装置，用于从第一差分晶体管装置吸入第一电流；

第二电流流入晶体管装置，用于从第二差分晶体管装置吸入第二电流；

第一输出，介于第一差分晶体管装置和第一电流流入晶体管装置之间；

第二输出，介于第二差分晶体管装置和第二电流流入晶体管装置之间；

第一偏移电容装置，用于存储第一偏移电荷；

第二偏移电容装置，用于存储第二偏移电荷；

第一反馈晶体管装置，用于驱动第一偏移电流到第一输出，以响应存储在第一偏移电容装置上的第一偏移电荷，其栅极被第一偏移电容装置控制；

第二反馈晶体管装置，用于驱动第二偏移电流到第二输出，以响应存储在第二偏移电容装置上的第二偏移电荷，其栅极被第二偏移电容装置控制；

反馈电流源装置，用于提供反馈电流到第一反馈晶体管装置和第二反馈晶体管装置；

第一反馈开关装置，用于在放大阶段，隔离第一偏移电容装置和第一反馈节点；

第二反馈开关装置，用于在放大阶段，隔离第二偏移电容装置和第二反馈节点；

第一反馈电阻装置，用于在第一输出和第一反馈节点之间提供一电阻；

第二反馈电阻装置，用于在第二输出和第二反馈节点之间提供一电阻；

第一线性晶体管装置，用于在放大阶段，停止第一反馈节点；

第二线性晶体管装置，用于在放大阶段，停止第二反馈节点；

由此，第一和第二偏移电荷消除了放大器中的差分偏移。

超低电压的自动调零的多阶段高速 CMOS 比较器

【技术领域】

[0001] 本发明涉及模数转换器 (ADC)，特别涉及用于 ADC 的一个比较器。

【背景技术】

[0002] 对于一些高精度的应用，差分输入上不能容忍有偏移电压 (Offset voltages)。一个常见的应用就是高解析度的模数转换器 (ADC)。一个 ADC 是不能容忍大于最低有效位 (LSB) 的输入偏移的，因为 LSB 精度将被丢失。

[0003] 因为一个单阶段放大器的增益带宽积是恒定的，所以几个放大器阶段经常级联在一起。级联会提供一个期望的放大因子，具有最小延迟。一个级联的前置放大器可以将一个小的输入电荷放大以产生一个足够大的输出电荷，然后其驱动一个锁存器，该锁存器通常是一个精密装置如 ADC 的一部分。

[0004] 但是，在级联的前置放大器上的任意随机输入偏移会传播通过级联的放大器阶段，最后的放大偏移会大大降低系统精度。

[0005] 可以使用自动调零技术来消除这种偏移。通常使用两个相位来为级联放大器提供时钟，其中偏移电荷存储在一个相位里，信号放大则出现在另一个相位里。

[0006] 已经降低电源电压来避免损害晶体管（晶体管已经缩小了用于高级的半导体过程）。较低的电源电压会带来电路设计的挑战，因为在一些电路里晶体管饱和电压会切断 (cut) 残余的电源电压。通过晶体管 $I \times R$ 压降，残余电压 (remaining voltage) 会进一步降低。传统的放大器电路具有与电阻串联的饱和晶体管，当电源电压降低时，只留下很小的空间给放大晶体管运行。

[0007] 期望有一个前置放大器阶段，能消除因为电阻串联饱和晶体管而带来的 $I \times R$ 压降。期望放大器能在降低的电源电压下工作运行。也期望能有自动调零的放大器和折叠的晶体管电路设计用于精密应用，如用于一个 ADC。

[0008] 精密 ADC 应用如图 1-2。

[0009] 一个具有自动调零输入偏移的前置放大器可以用于精密 ADC 应用，这将在以下描述，如图 1-2 所示。前置放大器也可以用于其他精密应用，如低噪声放大器、高精度测量放大器、高精度比较器、任意偏移消除放大器、DAC 等等。

[0010] 逐次逼近式 ADC (Successive-approximation ADC) 使用一系列阶段将一个模拟电压转换为数字比特。每个阶段都比较一个模拟电压和一个参考电压，产生一个数字比特。在分级式 ADC (sub-ranging ADC) 里，每个阶段比较一个模拟电压和几个电压电平，所以每个阶段产生几个比特。在管线里，后面的阶段比前面的阶段产生更低的有效数字 (lower-significant digital bits)。

[0011] 算法式 ADC、循环式 ADC 都使用一个回路来转换模拟电压。该模拟电压被采样和比较，以产生一个最高有效数字。然后该数字比特再被转换回模拟并被模拟电压减去，而产生一个残余电压。然后该残余电压乘以 2 再环回到比较器，以产生下一个数字比特。因此数字比特是在同一个比较器阶段经过多次循环而产生的。

[0012] 图 1 显示一个逐次逼近式 ADC。逐次逼近寄存器 SAR 302 接收一个时钟 CLK 并包含一个寄存器数值，该数值会逐渐改变，慢慢接近于模拟输入电压 VIN。例如，当与 VIN 0.312 伏特比较时，SAR 302 里的数值刚开始是 0.5，然后 0.25，然后 0.32，然后 0.28，然后 0.30，然后 0.31，然后 0.315，然后 0.313，然后 0.312。SAR 302 输出当前寄存器数值到 DAC 300，DAC 300 接收一个参考电压 VREF，并将该寄存器数值转换为一个模拟电压 VA。

[0013] 输入模拟电压 VIN 施加在取样保持电路 S/H 304 上，其对 VIN 数值采样并保持。例如，一个电容可以被 VIN 充电，然后该电容与 VIN 隔离并保持该模拟电压。被取样保持电路 304 采样了的输入电压被施加到比较器 306 的反相输入端上。被转换的模拟电压 VA 则施加到比较器 306 的同相输入端。

[0014] 比较器 306 比较被转换的模拟电压 VA 和被采样的输入电压，当被转换的模拟电压 VA 高于采样的 VIN，就产生一个高输出，SAR 302 内的寄存器数值太高。然后 SAR 302 的寄存器数值可以降低。

[0015] 当被转换的模拟电压 VA 低于采样的输入电压，比较器 306 就产生一个低输出给 SAR 302。SAR 302 内的寄存器数值太低。然后 SAR 302 的寄存器数值可以升高用于下一个循环。

[0016] SAR 302 的寄存器数值是 N 比特的二进制数值，D(N-1) 是最高有效位 (MSB)，D0 是最低有效位 (LSB)。SAR 302 刚开始可以设置 MSB 为 D(N-1)，然后比较被转换的模拟电压 VA 和输入电压 VIN，然后调整 MSB 和 / 或根据比较而设置下一个 MSN 为 D(N-2)。重复该设置和比较直到 N 次循环后设置 LSB。在最后一次循环后，循环结束信号 EOC 被激活，指示结束。可以和 SAR 302 一起使用一个状态机或其他控制器，或者包含在 SAR 302 内，以控制顺序。

[0017] 也可以用一系列前置放大器阶段和一个最终锁存器来替代比较器 306。图 2A 是前置放大器和锁存器阶段的响应图。前置放大器阶段有负的响应，如曲线 312 所示，而最终锁存器有正响应，如曲线 310 所示。对于低电压，曲线 312 在曲线 310 的上方和左方，表示前置放大器比锁存器需要更短的时间去达到同一 VOUT 电压。但是，对于更高的 VOUT 电压，曲线 310 在曲线 312 的上方，表示对于大数值 VOUT，锁存器比前置放大器更快达到更大的电压输出。

[0018] 图 2B 显示一系列前置放大器和一个最终锁存器。前置放大器阶段 320、322、324、326、328 是放大器，其增加 VIN 和 VA 之间的电压差。特别是接近比较结束时当设置 LSB 时，VIN 和 VA 之间的差异非常小。这个电压差被前置放大器阶段逐渐增加，直到最后阶段。锁存器阶段 330 锁存该电压差以产生比较信号，比较信号反馈回 SAR 302。因此阶段 320-330 替代图 1 中的比较器 306。

[0019] 通过组合一系列前置放大器阶段和有正响应的最终锁存器，可以达到快速的响应时间。前置放大器阶段逐渐放大和增加 VIN 和 VA 之间的电压差，直到放大的电压差足够大到驱动最终的锁存器。通过使用低增益、宽带宽的前置放大器，可以最小化延迟时间。

[0020] 期望前置放大器阶段可以用于一个精密 ADC。也期望前置放大器能消除由于电阻串联饱和晶体管而引起的 I*R 电压降，并能在降低的电源电压下工作运行。还期望能有自动调零的放大器和折叠的晶体管电路设计用于精密应用，如用于图 1 中的 ADC。

【附图说明】

- [0021] 图 1 显示一个逐次逼近式 ADC。
- [0022] 图 2A 是前置放大器和锁存器阶段的响应图。
- [0023] 图 2B 显示一系列前置放大器和一个最终锁存器。
- [0024] 图 3 是一个高速锁存器的示意图。
- [0025] 图 4 是第一实施例的前置放大器阶段和一个折叠电阻 (folded resistor) 的示意图。
- [0026] 图 5 是前置放大器自动调零的波形图。
- [0027] 图 6 是存储在前置放大器内一个偏移的波形图。
- [0028] 图 7 是第二实施例的前置放大器和反冲电荷隔离 (kickback charge isolation) 的示意图。
- [0029] 图 8 是第三实施例的前置放大器和均衡器的示意图。

【具体实施方式】

[0030] 本发明涉及一个改进的精密自动调零比较器和放大器。以下描述使本领域技术人员能够依照特定应用及其要求制作和使用在此提供的本发明。所属领域的技术人员将明了对优选实施例的各种修改，且本文所界定的一般原理可应用于其它实施例。因此，本发明不希望限于所展示和描述的特定实施例，而是应被赋予与本文所揭示的原理和新颖特征一致的最广范围。

[0031] 图 3 是一个高速锁存器的示意图。图 3 中的高速锁存器产生锁存输出 OUT, OUT 可以是 ADC 的一部分，如图 1 中的 SAR 302。锁存器输入 LATP、LATN 可以是图 2B 所示的级联前置放大器的最后阶段的输出，级联中的每个阶段可以使用图 4-6 中的其中一个电路。

[0032] 一个偏压 BIASP 施加到 P 通道偏压晶体管 46 的栅极，晶体管 46 提供电流到 P 通道差分晶体管 48、49 (differential transistors) 的源极。锁存器输入 LATP、LATN 是差分信号，其是级联前置放大器的最后阶段的输出。LATP 施加到 P 通道差分晶体管 48 的栅极，而 LATN 施加到 P 通道差分晶体管 49 的栅极。

[0033] 交叉连接的与非 (NAND) 门 40、42 形成一个双稳态，其通过逆变器 44 驱动输出 OUT。当 CLK 是高和 CLKB 是低的时候，交叉连接的 P 通道晶体管 22、24 帮助设置双稳态，关闭传输门晶体管 30、32、34、36 (transmission gate transistors)，打开 P 通道源晶体管 20、26 (source transistors)，以保持到 NAND 与非门 40、42 的输入的状态。

[0034] 当时钟 CLK 是低，CLKB 是高时，P 通道源晶体管 20、26 关闭，传输门晶体管 30、32、34、36 打开，允许锁存器被输入 LATP、LATN 设置或重设。N 通道共源共栅晶体管 28、29 (cascode transistors) 在其栅极上接收一公共源共栅偏压 CASCN，每个形成一源跟随器连接到传输门。当传输门打开 (CLKB 为高) 时，电流由 N 通道电流流入晶体管 38、39 (current sink transistors) 拉下而流经 N 通道共源共栅晶体管 28、29。

[0035] 当 LATP 高于 LATN 时，施加在 P 通道差分晶体管 48 栅极上的 LATP 引导较少的电流到 N 通道电流流入晶体管 38 的漏极。这允许更多的电流流经共源共栅晶体管 28，将 NAND 门 42 的输入拉得更低，设置 OUT 为高。

[0036] 图 4 是第一实施例的前置放大器阶段和一折叠电阻的示意图。反馈电阻 50、52 不

是串联在电源和地之间,因此不会降低电压,不会有 $V = I \cdot R$ 电压降。这允许两个 P 通道晶体管和一个饱和 N 通道晶体管串联在放大器主要部分的 V_{cc} 和地之间(晶体管 68、60、54),两个 P 通道晶体管、一个传输门、和一个饱和 N 通道晶体管串联在放大器反馈部分的 V_{cc} 和地之间(晶体管 30、74、70/72、76)。电源可以低至饱和晶体管电压降的三倍。

[0037] 图 4 电路可以是级联前置放大器的第一阶段,或是任意的中间阶段,或是驱动图 3 锁存器的最后阶段。输入 INP、INN 可以是来自前一阶段放大器的 LATP、LATN 输出,或者是外部输入(当放大器是第一阶段时)。类似地,输出 LATP、LATN 可以驱动级联中下一阶段的 INP、INN 输入,或者可以驱动图 3 锁存器的 LATP、LATN 输入。

[0038] 当自动调零信号 AZ 是低时,开关 61、65 连接 INP 到 P 通道差分晶体管 60 的栅节点 GP,但是在自动调零期间,将栅节点 GP 接地。类似地,当自动调零信号 AZ 是低时,开关 63、67 连接 INN 到 P 通道差分晶体管 62 的栅节点 GN,但是在自动调零期间,将栅节点 GN 接地。

[0039] N 通道电流流入晶体管 54、56 在其栅极上接收共模反馈偏压 CMFB,并从 P 通道差分晶体管 60、62 的漏极吸入电流,它们也分别是锁存器输出 LATN、LATP。

[0040] P 通道源晶体管 68 接受偏压 BIASP,并提供电流给主放大器部分的 P 通道差分晶体管 60、62 的源极。在反馈部分,P 通道源晶体管 30 也接收偏压 BIASP,并提供电流给 P 通道反馈晶体管 74、84 的源极。

[0041] 前置放大器的反馈部分有 N 通道自动调零流入晶体管 76、86 (autozeroing sink transistors),它们在栅极上接收自动调零信号 AZB,当 AZB 是高时,在线性(三极管)区域上打开。因为 AZB 会跳到 V_{cc},而 CMFB 是低电压时,放大器部分的晶体管 54、56 在饱和区域工作运行,而反馈部分的晶体管 76、86 在线性区域工作运行。

[0042] 在自动调零时,偏移电荷存储在偏移电容 78、88 里。传输门晶体管 70、72、80、82 打开,自动调零流入晶体管 76、86 关闭。栅节点 GP、GN 通过开关 65、67 接地,因此输入从主放大器部分断开分离。自动调零时的该隔离允许差分晶体管 60、62 上的偏移电荷 (offsets) 穿过反馈电阻 50、52 和传输门晶体管 70、72、80、82,而被存储在偏移电容 78、88 里。

[0043] 存储在偏移电容 78、88 里的偏移电荷施加在 P 通道反馈晶体管 74、84 的栅极上,其漏极驱动 LATN、LATP。因此该偏移电荷反馈通过反馈电阻 50、52 和反馈晶体管 74、84 的一个反馈环路。存储在偏移电容 78、88 里的电荷由反馈环路调整,直到达到稳态。该前置放大器在自动调零以存储偏移电荷时被设置为一个高增益放大器。

[0044] 当自动调零完成时,偏移电荷存储在偏移电容 78、88 上。在下一个(放大)时期,AZB 是高, AZ 是低。将发生 INP、INN 输入的比较和放大,因为开关 61、63 闭合以连接 INP、INN 到差分晶体管 60、62 的栅极上。

[0045] 自动调零流入晶体管 76、86 打开,在线性区域内工作运行。传输门晶体管 70、72、80、82 关闭,将节点 RN、RP 和节点 FN、FP 隔离。存储在偏移电容 78、88 上的偏移电荷施加在反馈晶体管 74、84 的栅极上,并被放大以驱动存储偏移电荷到 LATN、LATP 上,补偿差分晶体管 60、62 或电路其他部分里的偏移。

[0046] 在放大时期,前置放大器被设置为一个高速低增益放大器。在此期间前置放大器的增益由反馈电阻 50、52 的电阻值决定,如 300K 欧姆。因为反馈电阻 50、52 是折叠电路设置,到差分晶体管 60、62 的电源电压不会通过反馈电阻 50、52 而降低 $I \cdot R$ 。

[0047] 图 5 是前置放大器自动调零的波形图。在模拟里,一个 -2.92mV 的偏压施加在输入 INP、INN 上。在此模拟里,自动调零在大约 345us 开始,在大约 349us 结束。在所示的几个脉冲里,前置放大器进行采样和转换。在几个循环内,该偏移电荷存储在偏移电容 78、88 上,反馈环路使 LATP、LATN 最终均衡并定在大约 0.3 伏特上。

[0048] 图 6 是存储在前置放大器里的偏移的波形图。在模拟里,一个 -2.92mV 的偏压施加在输入 INP、INN 上。在几个自动调零循环里,节点 FP、FN(它们也是偏移电容 78、88 的电压)设定在 0.48 和 0.49 伏特之间,与表示存储偏移的 -2.97mV 有差异。请注意,存储偏移 -2.97mV 与真实偏移 -2.92mV 相差仅 0.05mV。这表示仅有 1.7% 的注入偏移的误差。

[0049] 图 7 是第二实施例的前置放大器和反冲电荷隔离的示意图。反冲电荷隔离晶体管 172、174、176、178(Kickback-charge isolation transistors) 是栅极接地 P 通道晶体管,其隔离反馈部分和主放大器部分之间的反冲电荷。反冲电荷 (kickback charge) 是指在转换 (switching) 期间的电荷注入。隔离反冲电荷的好处是防止电荷注入而干扰比较器。

[0050] 因为反冲电荷隔离晶体管 172、174、176、178 的栅极是接地的,所以它们在线性区域上工作运行,不会切断大部分的电源电压余量。但是,由于这些晶体管,会有一些电压损失。

[0051] 图 8 是第三实施例的前置放大器和均衡器的示意图。增加了均衡晶体管 160、162(Equalizing transistors)。当均衡时钟 CLK 是高时,晶体管 160、162 打开,短路 LATP 和 LATN。CLK 可以只在每次比较之前脉冲到高,以允许更快速地设定 LATP、LATN。这迫使调整存储在偏移电容 78、88 上的电荷。

[0052] CMFB 是共模反馈。在自动调零时使用 CMFB 信号,因为前置放大器被重设为一个完全差分运算放大器。CMFB 信号由另一个复制的低电压前置放大器(连接有一个输出二极管)产生。这个复制的前置放大器不需要高增益,在比较时是关闭的。内部节点电压的一个例子是 AZ = 1V, AZB = 0V, FB 和 FN = 0.5V, CMFB = 0.5V, 电源电压 Vcc 是 1V。在此例子里,栅长度为 0.18nm。

【替代实施例】

[0053] 发明人还想到一些其他的实施例。例如其他实施例可以是所述的那些的组合。可以增加均衡晶体管 160、162,而不增加反冲电荷隔离晶体管 172、174、176、178。开关可以用传输门和并联的 P 通道和 N 通道晶体管来实现,或者用单独的 P 通道或 N 通道晶体管来实现。对于前置放大器,也可以使用不同的锁存器电路。虽然描述了 ADC 应用,但是前置放大器也可以用于其他电路,例如 DAC、比较器、低噪声放大器、仪表放大器、或其他偏移消除放大器。

[0054] 可以在电路的各个位置增加缓存器、逆变器、门控逻辑 (gating logic)、电容、电阻、或其他元件,用于与本发明无关的各种理由,例如用于节电模式。

[0055] 信号可以编码、压缩、反相、组合、或其他改变。时钟可以与其他信号或条件合并。整个电路或部分电路可以反转,P 通道和 N 通道晶体管可以交换。

[0056] 方向术语如上面、下面、向上、向下、顶部、底部等等都是相对的和可变化的,因为系统、电路或数据是可以旋转的、颠倒的,等等。这些术语对于描述装置是有用的,但是不是绝对的。信号可以是高电平有效或低电平有效,也可以被反相、缓存、编码、限定或其他改变。

[0057] 可在各种节点处添加额外组件，例如电阻器、电容器、电感器、晶体管等，且还可存在寄生组件。启用和停用所述电路可用额外晶体管或以其它方式实现。可添加传送门晶体管或传输门以用于隔离。可添加反相或额外缓冲。晶体管和电容器的最终大小可在电路模拟或现场测试之后选择。金属掩模选项或其它可编程组件可用以选择最终电容器、电阻器或晶体管大小。

[0058] 可针对一些技术或工艺使用 p 通道而非 n 通道晶体管（或反之亦然），且可将反相、缓冲器、电容器、电阻器、门或其它组件添加到一些节点以用于各种目的或调整设计。可通过添加延迟线或通过控制延迟来调整时序。可针对一些组件使用单独的电源和接地。可添加各种滤波器。可用低有效信号而非高有效信号来替代。

[0059] 尽管已描述了正电流，但电流可为负或正，因为在一些情况下可将电子或空穴视为载流子。源电流或流入电流可在指代具有相反极性的载流子时为可互换术语。电流可在相反方向上流动。固定偏压可切换到电源或接地以使电路断电。

[0060] 尽管已描述了互补金属氧化物半导体 (CMOS) 晶体管，但可用其它晶体管技术和变型来替代，且可使用除硅以外的材料，例如砷化镓 (GaAs) 和其它变型。

[0061] 本发明背景技术部分可含有关于本发明的问题或环境的背景信息而非描述其它现有技术。因此，在背景技术部分中包括材料并不是申请人承认现有技术。

[0062] 本文中所描述的任何方法或工艺为机器实施或计算机实施的，且既定由机器、计算机或其它装置执行且不希望在没有此类机器辅助的情况下单独由人类执行。所产生的有形结果可包括在例如计算机监视器、投影装置、音频产生装置和相关媒体装置等显示装置上的报告或其它机器产生的显示，且可包括也为机器产生的硬拷贝打印输出。对其它机器的计算机控制为另一有形结果。

[0063] 所描述的任何优点和益处可能并不适用于本发明的所有实施例。当在权利要求元件中叙述词“构件”时，申请人希望所述权利要求元件遵守 35USC 第 112 章节第 6 段。通常，一个或一个以上词的标签出现在词“构件”之前。出现在词“构件”之前的词为既定简化对权利要求元件的参考的标签，而不希望传达结构限制。此类构件加功能权利要求既定不仅涵盖本文中所描述的用于执行功能的结构及其结构等效物，而且涵盖等效结构。举例来说，虽然钉子与螺钉具有不同结构，但其为等效结构，因为其均执行紧固功能。不使用词“构件”的权利要求不希望遵守 35USC 第 112 章节第 6 段。信号通常为电子信号，但可为例如可经由光纤线路携载的光学信号。

[0064] 已出于说明和描述的目的呈现了对本发明实施例的先前描述。其不希望为详尽的或将本发明限于所揭示的精确形式。鉴于以上教示，许多修改和变型是可能的。希望本发明的范围不受此详细描述限制，而是由所附权利要求书限制。

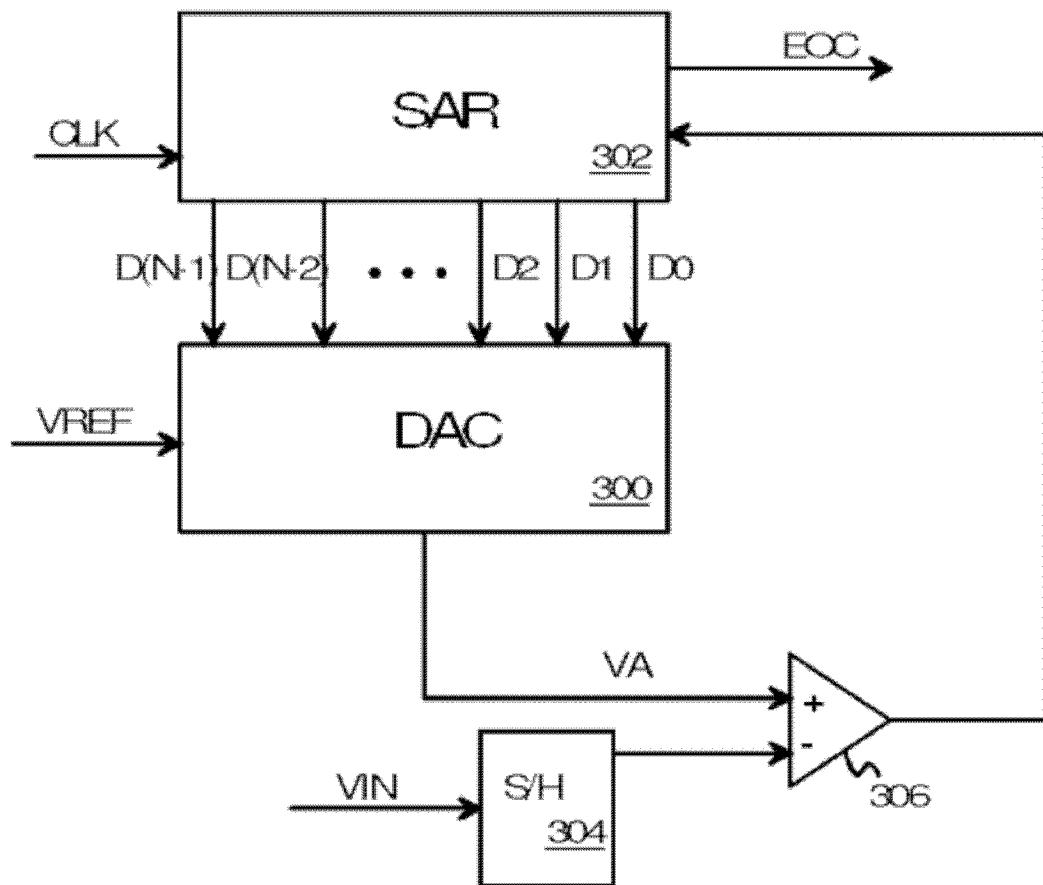


图 1

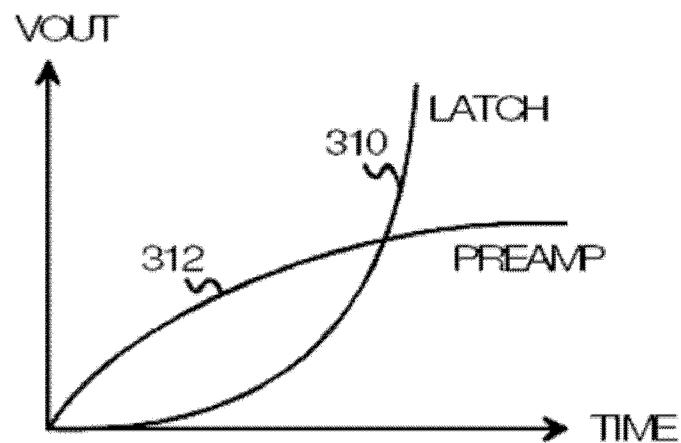


图 2A

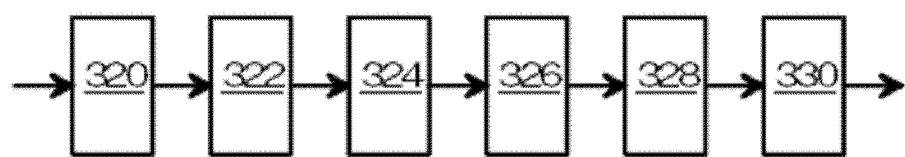


图 2B

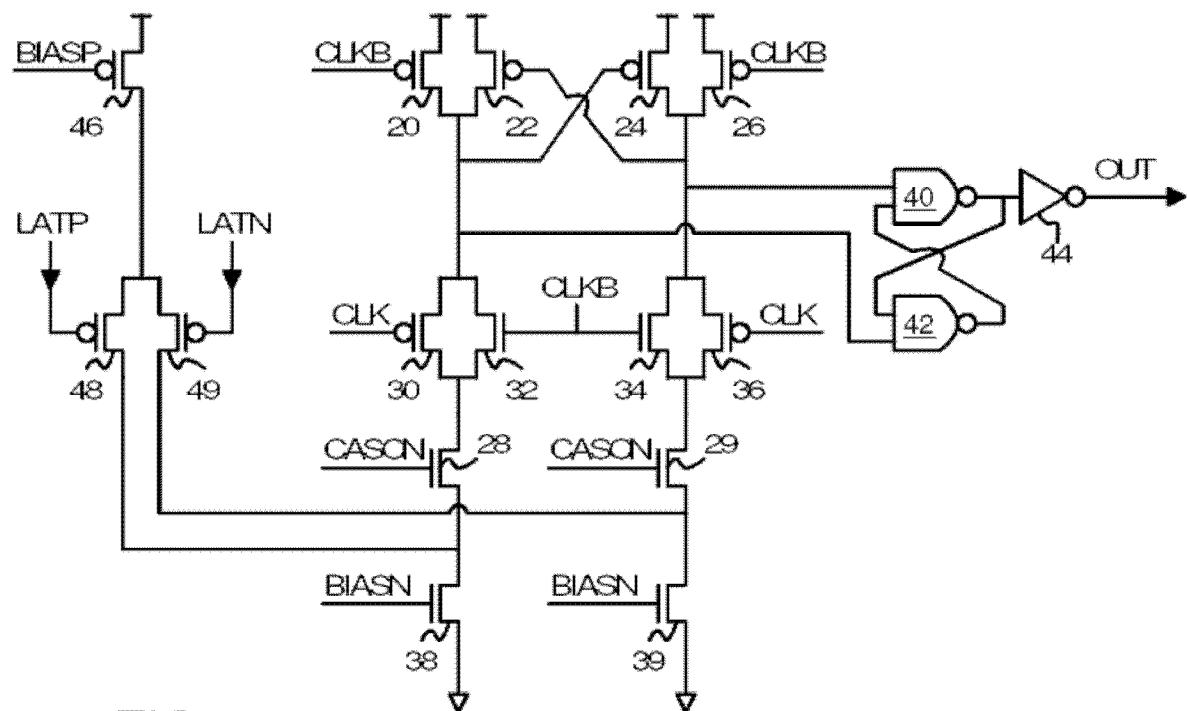


图 3

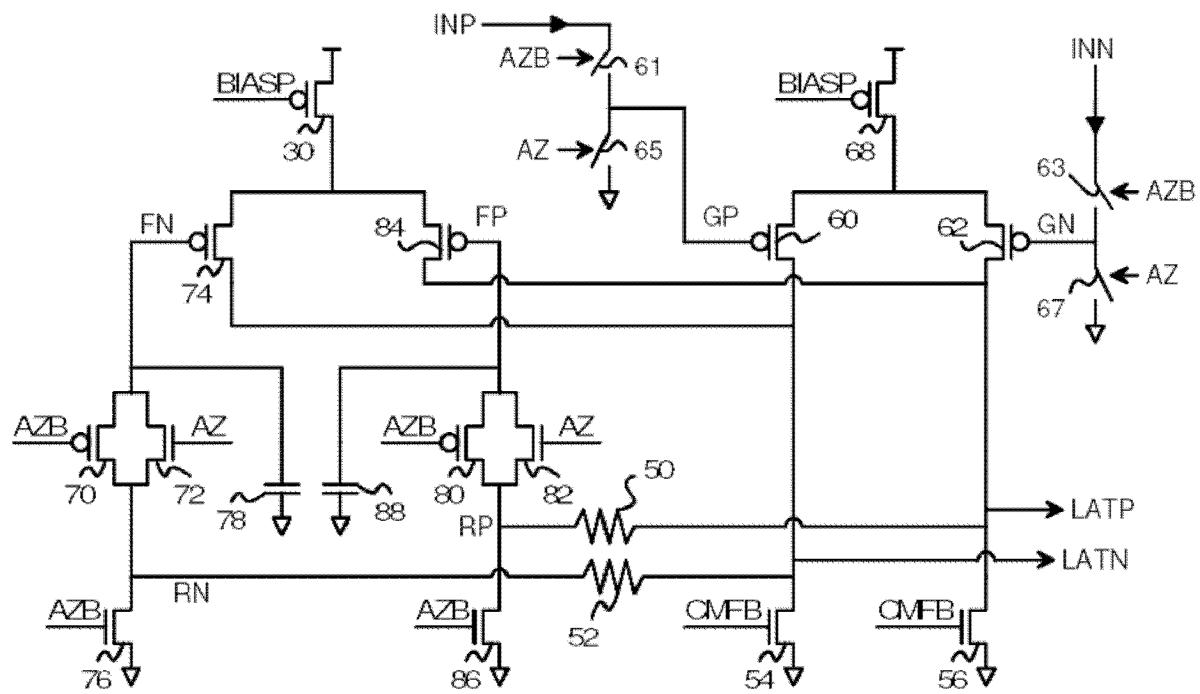


图 4

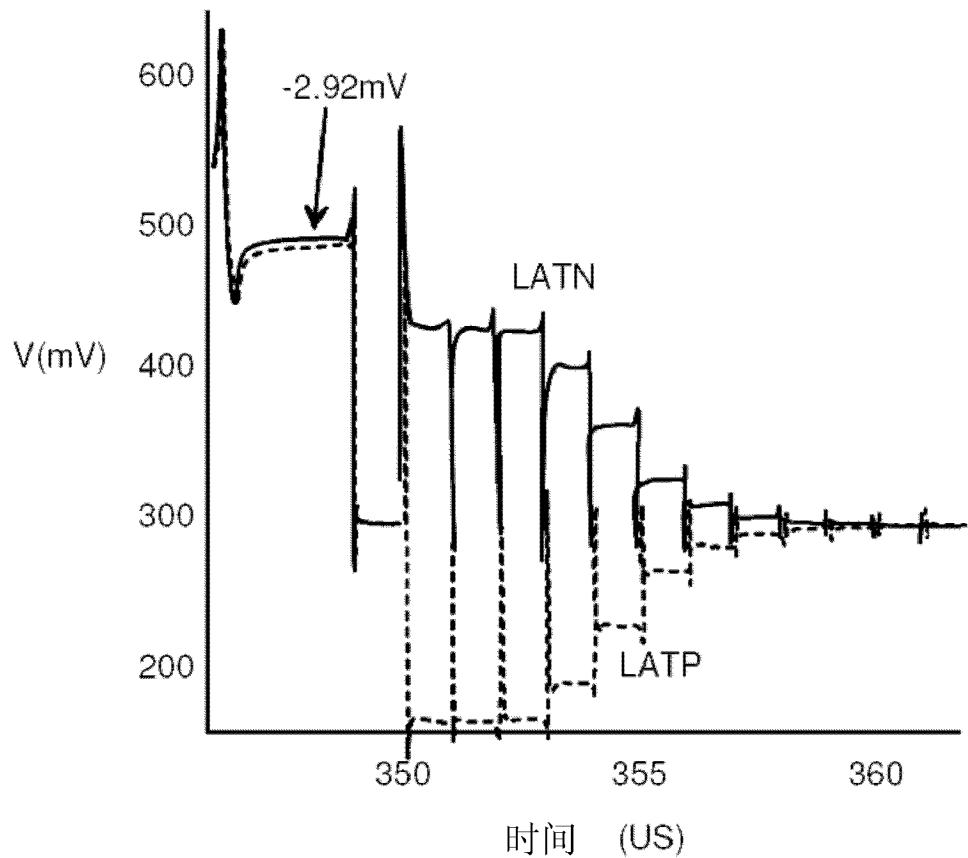


图 5

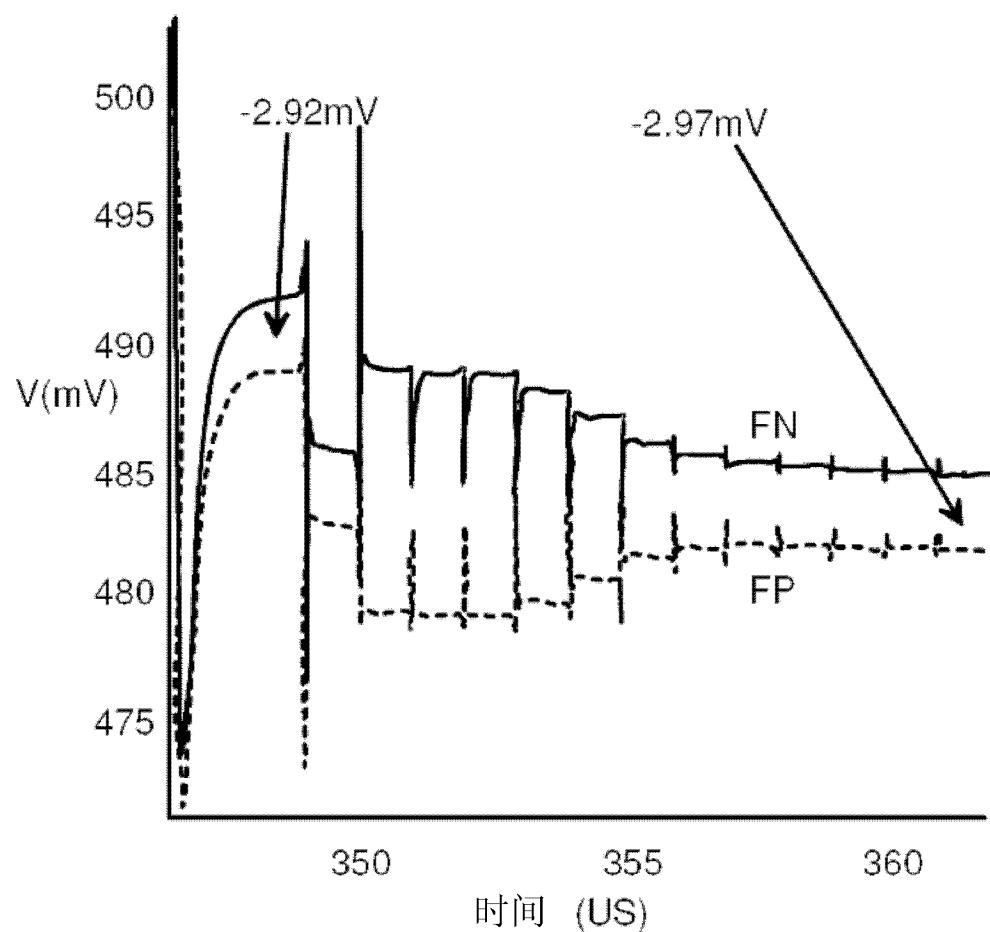


图 6

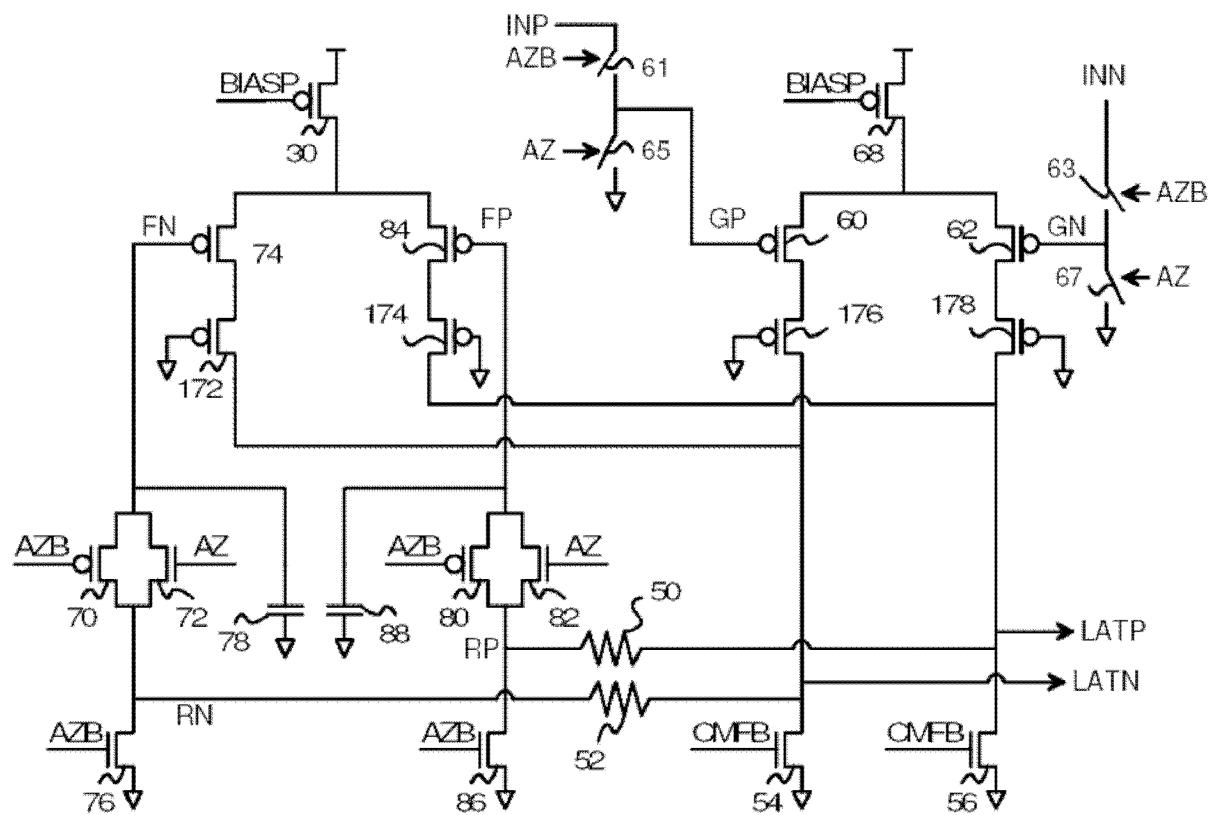


图 7

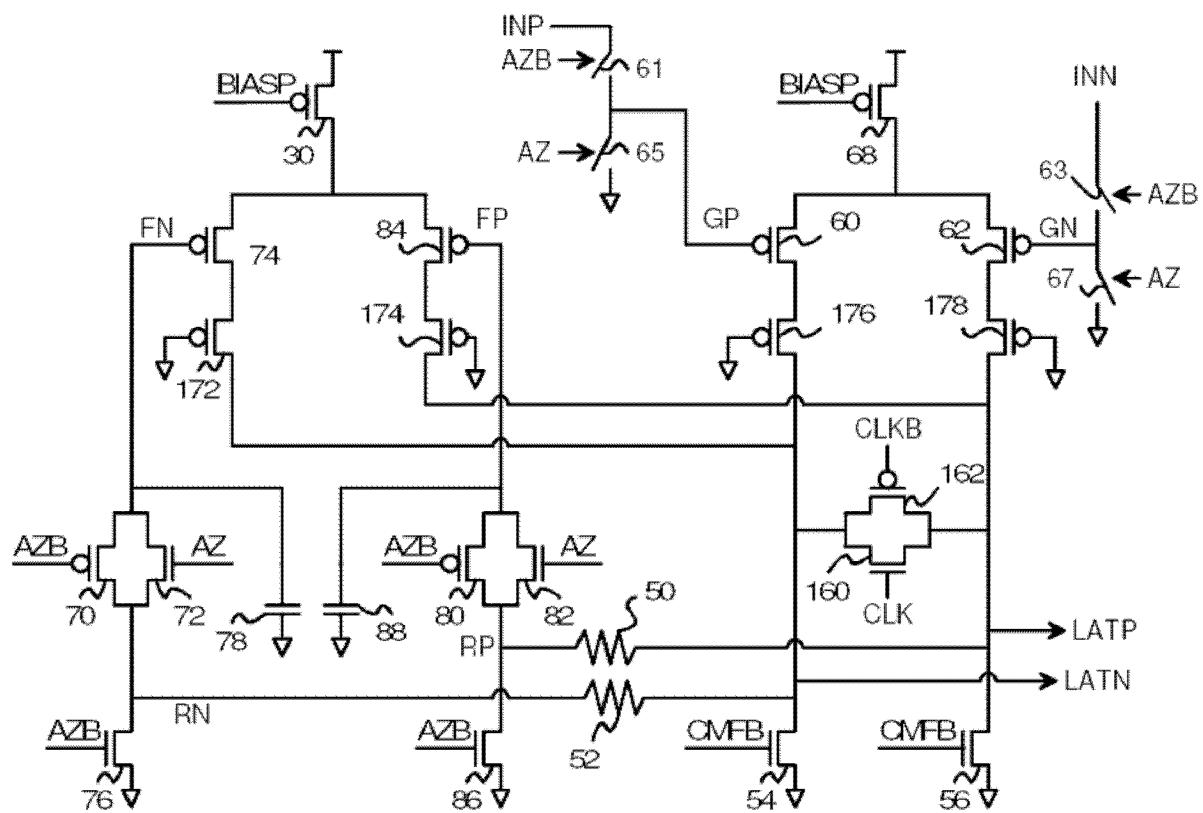


图 8