

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6077750号
(P6077750)

(45) 発行日 平成29年2月8日 (2017.2.8)

(24) 登録日 平成29年1月20日 (2017.1.20)

(51) Int.Cl.

A 6 3 F 7/02 (2006.01)

F I

A 6 3 F 7/02 3 3 4

A 6 3 F 7/02 3 2 6 Z

請求項の数 1 (全 99 頁)

(21) 出願番号	特願2012-63684 (P2012-63684)	(73) 特許権者	000132747
(22) 出願日	平成24年3月21日 (2012.3.21)		株式会社ソフィア
(65) 公開番号	特開2013-192787 (P2013-192787A)		群馬県桐生市境野町7丁目201番地
(43) 公開日	平成25年9月30日 (2013.9.30)	(74) 代理人	110002468
審査請求日	平成27年1月20日 (2015.1.20)		特許業務法人後藤特許事務所
		(74) 代理人	100075513
			弁理士 後藤 政喜
		(74) 代理人	100120260
			弁理士 飯田 雅昭
		(74) 代理人	100142468
			弁理士 高山 裕志
		(72) 発明者	園田 欽章
			群馬県太田市吉沢町990番地 株式会社
			ソフィア内

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技を統括的に制御する遊技制御装置を備えた遊技機において、
前記遊技制御装置には、
遊技制御プログラムを記憶する遊技制御プログラム記憶手段と、
前記遊技制御プログラムにより所要の演算処理を行う演算処理手段と、
前記演算処理手段によって更新される情報が記憶されるとともに、スタック領域が設定される更新情報記憶手段と、
前記演算処理を行う際に値が記憶される第1のレジスタ群と、
前記第1のレジスタ群と同じ構成を有する第2のレジスタ群と、
前記演算処理手段による演算結果を記憶するためのフラグレジスタと、
が備えられ、
前記フラグレジスタには、前記第1のレジスタ群及び前記第2のレジスタ群の何れがアクセス可能であることを示すレジスタ群切替情報が含まれ、
前記第1のレジスタ群又は前記第2のレジスタ群には、前記遊技制御プログラムが記憶されるアドレスの値が前記演算処理手段によって設定可能な分岐アドレス設定レジスタが含まれ、
前記遊技制御プログラムには、
前記分岐アドレス設定レジスタに設定された値のアドレスに処理を分岐させる特定の命令が含まれるとともに、

10

20

呼出元の処理が記述された呼出元ルーチンと、

前記呼出元ルーチンに記述された命令の実行中において、所定の割込信号が発生した場合に呼び出される処理が記述された呼出先ルーチンと、が含まれ、

前記演算処理手段は、

所定の起動信号が発生した際に、前記演算処理手段が前記遊技制御プログラムのリセットアドレスに設定された命令を実行するよりも前に、前記分岐アドレス設定レジスタに所定の固定値を設定する固定値設定手段を備え、

前記レジスタ群切替情報が示しているレジスタ群にアクセス可能に構成されるとともに、

前記呼出先ルーチンが呼び出された場合は、前記呼出元ルーチンに含まれる戻りアドレスの値と前記フラグレジスタの値の各々を前記スタック領域に格納した状態で、前記呼出先ルーチンの処理の実行を開始し、

前記呼出先ルーチンから前記呼出元ルーチンに復帰する際には、前記スタック領域に格納されているフラグレジスタの値が復帰することにより、前記レジスタ群切替情報も復帰するようにし、

前記呼出先ルーチンを呼び出した場合に、前記フラグレジスタの値及び前記戻りアドレスの値は、前記フラグレジスタの値を前記スタック領域に格納した後に、前記戻りアドレスの値を前記スタック領域に格納し、

前記遊技制御プログラムの実行開始後は、前記分岐アドレス設定レジスタ以外のレジスタを用いた命令を実行するまでは、該分岐アドレス設定レジスタにおいて前記固定値を維持することを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レジスタを備えたプロセッサによって制御を行う遊技機に関する。

【背景技術】

【0002】

パチンコ機の制御装置のプログラムにおいては、遊技状態に対応して異なる命令が実行されるように、プログラム内部で分岐の処理が行われている（例えば、特許文献1）。この特許文献1では、段落[0072]～[0073]に記載があるように、プロセスフラグの値に応じて制御を分岐させる処理がなされ、その分岐の際には、基本回路30のROMに記憶されているプロセスジャンプテーブル（特許文献1の図13）を参照して行なわれる。

【0003】

一方、パチンコ機の制御装置などに用いられるCPUとして、Z80系のCPUが知られている（例えば、特許文献2）。Z80系の命令には、特許文献2の段落[0020]に示されるような「JP(HL)」の命令が用意されている。この命令は、HLレジスタに格納された値をアドレスと認識させて、そのアドレスで示されるプログラムの箇所に処理を分岐させるものである。なお、CPUが起動した時点では、HLレジスタの値は不定な値が格納されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平10-033804号公報

【特許文献2】特開平11-232099号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来の技術では、遊技制御プログラムのコード量を十分に削減することができなかった

【 0 0 0 7 】

本発明は、上記のような問題点を解決するためになされたもので、遊技制御プログラムのコード量を削減することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の代表的な一形態では、遊技を統括的に制御する遊技制御装置を備えた遊技機において、前記遊技制御装置には、遊技制御プログラムを記憶する遊技制御プログラム記憶手段と、前記遊技制御プログラムにより所要の演算処理を行う演算処理手段と、前記演算処理手段によって更新される情報が記憶されるとともに、スタック領域が設定される更新情報記憶手段と、前記演算処理を行う際に値が記憶される第1のレジスタ群と、前記第1のレジスタ群と同じ構成を有する第2のレジスタ群と、前記演算処理手段による演算結果を記憶するためのフラグレジスタと、が備えられ、前記フラグレジスタには、前記第1のレジスタ群及び前記第2のレジスタ群の何れがアクセス可能であることを示すレジスタ群切替情報が含まれ、前記第1のレジスタ群又は前記第2のレジスタ群には、前記遊技制御プログラムが記憶されるアドレスの値が前記演算処理手段によって設定可能な分岐アドレス設定レジスタが含まれ、前記遊技制御プログラムには、前記分岐アドレス設定レジスタに設定された値のアドレスに処理を分岐させる特定の命令が含まれるとともに、呼出元の処理が記述された呼出元ルーチンと、前記呼出元ルーチンに記述された命令の実行中において、所定の割込信号が発生した場合に呼び出される処理が記述された呼出先ルーチンと、が含まれ、前記演算処理手段は、所定の起動信号が発生した際に、前記演算処理手段が前記遊技制御プログラムのリセットアドレスに設定された命令を実行するよりも前に、前記分岐アドレス設定レジスタに所定の固定値を設定する固定値設定手段を備え、前記レジスタ群切替情報が示しているレジスタ群にアクセス可能に構成されるとともに、前記呼出先ルーチンが呼び出された場合は、前記呼出元ルーチンに含まれる戻りアドレスの値と前記フラグレジスタの値の各々を前記スタック領域に格納した状態で、前記呼出先ルーチンの処理の実行を開始し、前記呼出先ルーチンから前記呼出元ルーチンに復帰する際には、前記スタック領域に格納されているフラグレジスタの値が復帰することにより、前記レジスタ群切替情報も復帰するようにし、前記呼出先ルーチンを呼び出した場合に、前記フラグレジスタの値及び前記戻りアドレスの値は、前記フラグレジスタの値を前記スタック領域に格納した後に、前記戻りアドレスの値を前記スタック領域に格納し、前記遊技制御プログラムの実行開始後は、前記分岐アドレス設定レジスタ以外のレジスタを用いた命令を実行するまでは、該分岐アドレス設定レジスタにおいて前記固定値を維持する。

【発明の効果】

【 0 0 0 9 】

本発明の一形態によれば、遊技制御プログラムのコード量を削減することができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図1】本発明の第1の実施の形態の遊技装置の構成を説明する図である。

【図2】本発明の第1の実施の形態の遊技機の背面図である。

【図3】本発明の第1の実施の形態の遊技盤の正面図である。

【図4】本発明の第1の実施の形態の遊技装置のブロック図である。

【図5】本発明の第1の実施の形態の遊技用演算処理装置（アミューズチップ）のブロック図である。

【図6】本発明の第1の実施の形態の遊技制御装置におけるシリアル送信回路の構成例を示すブロック図である。

【図7】本発明の第1の実施の形態の送信シリアルチャンネル設定レジスタの構成例を示す図である。

【図8】本発明の第1の実施の形態の送信制御レジスタの構成例を示す図である。

【図9】本発明の第1の実施の形態の送信データステータスレジスタの構成例を示す図である。

10

20

30

40

50

【図 1 0】本発明の第 1 の実施の形態の送信データレジスタ（１段分）の構成例を示す図である。

【図 1 1】本発明の第 1 の実施の形態の遊技制御装置に備わる遊技用演算処理装置（アミューズチップ）とその周辺のブロック図である。

【図 1 2】本発明の第 1 の実施の形態の CPU コアの内部構成を説明するブロック図である。

【図 1 3】本発明の第 1 の実施の形態のフラグレジスタの構成を説明する図である。

【図 1 4】本発明の第 1 の実施の形態のユーザワーク RAM の一例を示す図である。

【図 1 5】本発明の第 1 の実施の形態のユーザワーク RAM に割り当てられたワークエリアに格納されるデータの具体例を説明する図であり、保留カウンタ、各種乱数の生成領域及び普図乱数の保存領域を示す図である。

10

【図 1 6】本発明の第 1 の実施の形態のユーザワーク RAM に割り当てられたワークエリアに格納されるデータの具体例を説明する図であり、第 1 特図変動表示ゲームを実行するために必要な各種乱数の保存領域を示す図である。

【図 1 7】本発明の第 1 の実施の形態のユーザワーク RAM に割り当てられたワークエリアに格納されるデータの具体例を説明する図であり、第 2 特図変動表示ゲームを実行するために必要な各種乱数の保存領域を示す図である。

【図 1 8】本発明の第 1 の実施の形態のスタック領域の一例を示す図である。

【図 1 9】本発明の第 1 の実施の形態のスタック領域の一例を示す図である。

【図 2 0】本発明の第 1 の実施の形態のスタック領域の変形例を示す図である。

20

【図 2 1】本発明の第 1 の実施の形態の CPU コアによって実行される遊技制御プログラムを記述するためのアセンブリ言語の命令を説明する図であり、変換後のコードデータにアドレス部を含まない命令（変換後のコードデータが命令コード部のみで構成される命令）を示す図である。

【図 2 2】本発明の第 1 の実施の形態の CPU コアによって実行される遊技制御プログラムを記述するためのアセンブリ言語の命令を説明する図であり、変換後のコードデータに命令コード部とアドレス部の各々を含む命令を示す図である。

【図 2 3】本発明の第 1 の実施の形態の各装置（遊技制御装置、払出制御装置、及び演出制御装置）の電源投入時処理のフローチャートである。

【図 2 4】本発明の第 1 の実施の形態の遊技制御装置プログラム開始準備処理を説明するフローチャートである。

30

【図 2 5】本発明の第 1 の実施の形態の遊技制御装置メイン処理の前半部のフローチャートである。

【図 2 6】本発明の第 1 の実施の形態の遊技制御装置メイン処理の後半部のフローチャートである。

【図 2 7】本発明の第 1 の実施の形態の遊技制御装置メイン処理におけるステップ 2 5 0 1 からステップ 2 5 0 2 B までの処理を説明する図である。

【図 2 8】本発明の第 1 の実施の形態のディレイ処理を説明する図である。

【図 2 9】本発明の第 1 の実施の形態のタイマ割込処理を示すフローチャートである。

【図 3 0】本発明の第 1 の実施の形態の遊技制御装置から、演出制御装置及び払出制御装置に初期化指令信号を送信する初期化指令送信処理の手順を示すフローチャートである。

40

【図 3 1】本発明の第 1 の実施の形態の遊技制御装置から、演出制御装置及び払出制御装置にコマンドを送信するためのコマンド送信処理の手順を示すフローチャートである。

【図 3 2】本発明の第 1 の実施の形態の電源投入時の遊技制御装置、払出制御装置、及び演出制御装置が行う処理、並びに、遊技制御装置に備わるシリアル送信回路の状態のタイミングチャートである。

【図 3 3】本発明の第 1 の実施の形態の遊技制御装置から払出制御装置に送信される排出指令の一例を示す図である。

【図 3 4】本発明の第 1 の実施の形態のスイッチの立ち上がりを検出する手順を示すタイムチャートである。

50

【図 3 5】本発明の第 1 の実施の形態の遊技制御装置から演出制御装置に送信される演出制御コマンドの一例を示す図である。

【図 3 6】本発明の第 1 の実施の形態の遊技制御装置から演出制御装置に送信される送信データの構成を示す説明図であり、(a) は送信データの概略構成を示し、(b) は送信データの詳細構成を示している。

【図 3 7】本発明の第 1 の実施の形態の特図ゲーム処理の手順を示すフローチャートである。

【図 3 8】本発明の第 1 の実施の形態の特図ゲーム処理におけるゲーム処理番号に基づいた分岐の処理を説明する図である。

【図 3 9】本発明の第 1 の実施の形態の始動口 S W 監視処理の手順を示すフローチャートである。 10

【図 4 0】本発明の第 1 の実施の形態の特図始動口 S W 共通処理の手順を示すフローチャートである。

【図 4 1】本発明の第 1 の実施の形態の特図保留情報判定処理の手順を示すフローチャートである。

【図 4 2】本発明の第 1 の実施の形態の特図大当たり判定処理の手順を示すフローチャートである。

【図 4 3】本発明の第 1 の実施の形態の後半変動パターンテーブルである。

【図 4 4】本発明の第 1 の実施の形態の前半変動パターンテーブルである。

【図 4 5】本発明の第 1 の実施の形態の特図普段処理の手順を示すフローチャートである 20

【図 4 6】本発明の第 1 の実施の形態の特図 1 / 特図 2 変動開始処理の手順を示すフローチャートである。

【図 4 7】本発明の第 1 の実施の形態における始動記憶をシフトさせる処理のプログラムの一例を示す図であり、K レジスタを利用して記憶容量を削減したプログラムである。

【図 4 8】本発明の第 1 の実施の形態における始動記憶をシフトさせる処理のプログラムの一例を示す図であり、従来のプログラムである。

【図 4 9】本発明の第 1 の実施の形態の変動表示ゲームにおける画面遷移を説明する図である。

【図 5 0】本発明の第 1 の実施の形態の変動表示ゲームにおける画面遷移を説明する図である。 30

【図 5 1】本発明の第 1 の実施の形態の変形例のユーザワーク R A M の一例を示す図である。

【図 5 2】本発明の第 2 の実施の形態の特図変動表示ゲームを実行するために必要な各種乱数の保留 1 から 4 までの保存領域を示す図である。

【図 5 3】本発明の第 2 の実施の形態の特図変動表示ゲームを実行するために必要な各種乱数の保留 5 から 8 までの保存領域を示す図である。

【図 5 4】本発明の第 2 の実施の形態の特図保留情報判定処理の手順を示すフローチャートである。

【図 5 5】本発明の第 2 の実施の形態の特図普段処理の手順を示すフローチャートである 40

【発明を実施するための形態】

【 0 0 1 1 】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 1 2 】

なお、以下の実施の形態の説明における前後左右とは、遊技者から見た、つまり遊技盤（遊技機）に向かって見た方向を指すものとする。

【 0 0 1 3 】

（第 1 の実施の形態）

図 1 は、本発明の第 1 の実施の形態の遊技装置 6 の構成を説明する図である。

【 0 0 1 4 】

遊技装置 6 は、有価価値を記憶する記憶媒体が挿入されるカードユニット 7 0 及び実際に遊技を行い、遊技媒体を払出可能な遊技機 1 を備える。

【 0 0 1 5 】

まず、遊技機 1 について説明する。

【 0 0 1 6 】

遊技機 1 の前面枠 3 は、本体枠（外枠）2 にヒンジ 4 によって開閉回動可能に組み付けられる。遊技盤 5（図 3 参照）は前面枠 3 の表側に形成された収納部（図示省略）に収装される。また、前面枠 3 には、遊技盤 5 の前面を覆うカバーガラス（透明部材）を備えたガラス枠 1 8 が取り付けられている。

10

【 0 0 1 7 】

ガラス枠 1 8 のカバーガラスの周囲には、装飾光が発光される装飾部材 9 が備えられている。この装飾部材 9 の内部にはランプや LED 等からなる装飾装置が備えられている。この装飾装置を所定の発光態様によって発光させることによって、装飾部材 9 が所定の発光態様で発光する。

【 0 0 1 8 】

ガラス枠 1 8 の左右には、音響（例えば、効果音）を発するスピーカ 3 0 が備えられている。また、ガラス枠 1 8 の上方には照明ユニット 1 0 が備えられている。照明ユニット 1 0 の内部には、装飾装置が備えられている。

【 0 0 1 9 】

照明ユニット 1 0 の右側には、遊技機 1 のエラー発生や前面枠 3 の開放をホール店員に通知するためのエラー報知 LED 2 9 が備えられている。

20

【 0 0 2 0 】

前面枠 3 の下部の開閉パネル 2 0 には図示しない打球発射装置に遊技球を供給する上皿 2 1 が備えられている。さらに、固定パネル 2 2 には灰皿 1 5、下皿 2 3 及び打球発射装置の操作部 2 4 等が備えられている。下皿 2 3 には、下皿 2 3 に貯まった遊技球を排出するための下皿球抜き機構 1 6 が備えられる。前面枠 3 下部右側には、ガラス枠 1 8 を施錠するための鍵 2 5 が備えられている。

【 0 0 2 1 】

また、遊技者が操作部 2 4 を回動操作することによって、打球発射装置は、上皿 2 1 から供給される遊技球を発射する。

30

【 0 0 2 2 】

また、上皿 2 1 の上縁部には、遊技者からの操作入力を受け付けるためのセレクトスイッチ 4 0 及び操作スイッチ 4 1 が備えられている。

【 0 0 2 3 】

遊技者がセレクトスイッチ 4 0 を操作することによって、表示装置 8（図 3 参照）における変動表示ゲームの演出内容を選択することができる。また、遊技者が操作スイッチ 4 1 を操作することによって、表示装置 8 における変動表示ゲームに、遊技者の操作を介入させた演出を行うことができる。

【 0 0 2 4 】

上皿 2 1 の右上部には、遊技者が遊技媒体を借りる場合に操作する球貸ボタン 2 6、及び、カードユニット 7 0 からプリペイドカードを排出させるために操作される排出ボタン 2 7 が設けられている。これらのボタン 2 6、2 7 の間には、プリペイドカードの残高を表示する残高表示部 2 8 が設けられる。

40

【 0 0 2 5 】

次に、カードユニット 7 0 について説明する。

【 0 0 2 6 】

カードユニット 7 0 の下部には、プリペイドカード又は会員カード等のカードを挿入可能なカード挿入口 7 1 が設けられる。

【 0 0 2 7 】

50

プリペイドカード又は会員カード等のカードには、当該カードの一意的識別子、当該カードの所有者（遊技者）の会員情報、及び残高等が記憶されている。会員情報には、カードの所有者の住所、氏名、年齢、及び職業等が含まれる。

【 0 0 2 8 】

カード挿入口 7 1 にプリペイドカード又は会員カード等のカードが挿入された場合、図示しないカードリーダ・ライタによって、カードに記憶された情報が読み出される。そして、当該カードに記憶された残高が、遊技機 1 の残高表示部 2 8 及びカードユニット 7 0 の中央付近に設けられた残高表示部 7 2 に表示される。

【 0 0 2 9 】

残高表示部 7 2 の上方には、紙幣を挿入可能な紙幣挿入口 7 3 が設けられる。紙幣挿入口 7 3 に挿入された紙幣の有価価値は、カードに残高として記憶される。

【 0 0 3 0 】

紙幣挿入口 7 3 の上方には、動作表示部 7 4 が設けられる。動作表示部 7 4 は、カードユニット 7 0 の動作に対応して色で点灯する。

【 0 0 3 1 】

次に、図 2 を参照しながら遊技機 1 の裏面側について説明する。図 2 は、本発明の第 1 の実施の形態の遊技機 1 の背面図である。

【 0 0 3 2 】

遊技機 1 の裏面側、具体的には、前面枠 3 の裏面側には、中央に略正方形の開口部を有する枠状の裏機構盤 3 1 0 が取り付けられる。

【 0 0 3 3 】

裏機構盤 3 1 0 の上部には、島設備に設けられた補給装置（図示省略）から補給された遊技球を貯留すると共に、貯留した遊技球を流下させる球貯留ユニット 3 2 0 が配設される。

【 0 0 3 4 】

裏機構盤 3 1 0 の側部（図 2 中右側）には、球貯留ユニット 3 2 0 から流下してきた遊技球を、遊技機前面に配設された上皿 2 1 及び下皿 2 3 に払い出す球排出ユニット 3 3 0 が配設される。

【 0 0 3 5 】

裏機構盤 3 1 0 の中央部には、遊技を統括的に制御する遊技制御装置 1 0 0 と、遊技制御装置 1 0 0 から送信される演出制御指令に基づいて変動表示ゲームの演出を制御する演出制御装置 1 5 0 とが配設される。

【 0 0 3 6 】

遊技制御装置 1 0 0 には、図示しない検査装置に接続される検査装置接続端子 1 0 7 が配設される。

【 0 0 3 7 】

裏機構盤 3 1 0 の下部には、遊技制御装置 1 0 0 から送信されるデータに基づいて球排出ユニット 3 3 0 の動作を制御し、遊技者に賞球を付与する払出制御装置（付与制御装置） 2 1 0 と、電源装置 1 6 0 とが配設される。

【 0 0 3 8 】

払出制御装置 2 1 0 には、図示しない検査装置に接続される検査装置接続端子 2 1 7 及び払出制御装置 2 1 0 に発生したエラーの種類を数字で表示するエラーナンバー表示器 2 2 2 が配設される。

【 0 0 3 9 】

また、電源装置 1 6 0 の右側の裏機構盤 3 1 0 には、遊技機 1 をカードユニット 7 0 に接続するためのカードユニット接続端子 3 4 0 が配設される。

【 0 0 4 0 】

次に、遊技盤 5 について、図 3 を参照しながら説明する。図 3 は、本発明の第 1 の実施の形態の遊技盤 5 の正面図である。

【 0 0 4 1 】

10

20

30

40

50

遊技盤 5 の表面には、ガイドレール 5 5 で囲われた略円形状の遊技領域 5 1 が形成される。遊技領域 5 1 は、遊技盤 5 の四方に各々設けられた樹脂製のサイドケース 5 2 及びガイドレール 5 5 によって構成される。遊技領域 5 1 の右下側のサイドケース 5 2 は、前面の中央部が黒色透明の証紙プレート 5 3 で覆われている。

【 0 0 4 2 】

遊技領域 5 1 には、ほぼ中央に表示装置 8 が設けられるセンターケース 3 0 0 が配置される。表示装置 8 はセンターケース 3 0 0 に設けられた凹部に、センターケース 3 0 0 の前面より奥まった位置に取り付けられている。すなわち、センターケース 3 0 0 は表示装置 8 の表示領域の周囲を囲い、表示装置 8 の表示領域から突出して設けられている。

【 0 0 4 3 】

また、遊技領域 5 1 の右下の領域には、図 4 で後述する特図表示器 1 2 0 及び普図表示器 1 2 1 を一体化した、図柄表示ユニット 4 5 が備えられる。

【 0 0 4 4 】

表示装置 8 は、例えば、LCD (液晶表示器)、CRT (ブラウン管) 等で表示画面が構成されている。表示画面の画像を表示可能な領域 (表示領域) には、複数の変動表示領域が設けられており、各変動表示領域に識別情報 (特別図柄) や特図 (特別図柄) 変動表示ゲームを演出するキャラクタが表示される。表示画面の変動表示領域には、識別情報として割り当てられた三つの特別図柄が変動表示 (可変表示) して特図変動表示ゲームが行われる。その他、表示画面には遊技の進行に基づく画像 (例えば、大当たり表示、ファンファーレ表示、エンディング表示等) が表示される。

【 0 0 4 5 】

センターケース 3 0 0 の左側には、普通図柄始動ゲート 3 1 が設けられる。センターケース 3 0 0 の左下側には、三つの一般入賞口 3 2 が備えられ、センターケース 3 0 0 の右下側には、一つの一般入賞口 3 2 が備えられている。

【 0 0 4 6 】

センターケース 3 0 0 の下方には、第 1 始動入賞口 3 7 と、第 1 始動入賞口 3 7 の直下に配設され、上部に逆「八」の字状に開いて遊技球が流入し易い状態に変換する一対の開閉部材を含む普通変動入賞装置 3 3 を備える第 2 始動入賞口 3 4 とが配置される。そして、遊技球が第 1 始動入賞口 3 7 又は第 2 始動入賞口 3 4 に入賞した場合には、補助遊技として特図変動表示ゲームが実行される。すなわち、第 1 始動入賞口 3 7 又は第 2 始動入賞口 3 4 に遊技球が入賞することが特図変動表示ゲームを開始するための始動条件となっており、第 1 始動入賞口 3 7 及び第 2 始動入賞口 3 4 が当該始動条件を発生させる変動始動入賞装置をなしている。なお、第 1 始動入賞口 3 7 に遊技球が入賞したことによって実行される特図変動表示ゲームを第 1 特図変動表示ゲームとし、第 2 始動入賞口 3 4 に遊技球が入賞したことによって実行される特図変動表示ゲームを第 2 特図変動表示ゲームとする。

【 0 0 4 7 】

また、センターケース 3 0 0 に設けられた始動入賞口の下方には、表示装置 8 の作動結果 (特図変動表示ゲームの結果) によって遊技球を受け入れない状態と受け入れ易い状態とに変換可能な特別変動入賞装置 (大入賞口) 3 6 が配設される。

【 0 0 4 8 】

遊技機 1 では、図示しない発射装置から遊技領域 5 1 に向けて遊技球 (パチンコ球) が打ち出されることによって遊技が行われる。打ち出された遊技球は、遊技領域 5 1 内の各所に配置された釘や風車等の方向転換部材によって転動方向を変えながら遊技領域 5 1 を流下する。そして、普通図柄始動ゲート 3 1、一般入賞口 3 2、第 1 始動入賞口 3 7、第 2 始動入賞口 3 4、又は特別変動入賞装置 3 6 に入賞するか、遊技領域 5 1 の最下部に設けられたアウト口 3 9 から排出される。

【 0 0 4 9 】

また、第 2 始動入賞口 3 4 の状態には、普通変動入賞装置 3 3 の開閉によって、遊技球が入賞しやすい状態 (入賞容易状態) と遊技球が入賞しにくい状態 (非入賞容易状態) と

10

20

30

40

50

がある。

【 0 0 5 0 】

通常、普通変動入賞装置 3 3 が閉状態の場合には、第 2 始動入賞口 3 4 は、遊技球が入賞しにくい状態となる。普通図柄始動ゲート 3 1 を遊技球が通過することによって、普通変動表示ゲームが実行され、普通変動表示ゲームの結果が当たりとなると、普通変動入賞装置 3 3 が開状態に変換され、第 2 始動入賞口 3 4 は遊技球が入賞し易い状態となる。

【 0 0 5 1 】

一般入賞口 3 2 への遊技球の入賞は、一般入賞口 3 2 に備えられた入賞口 S W (スイッチ) 3 2 A ~ 3 2 N (図 4 参照) によって検出される。

【 0 0 5 2 】

第 1 始動入賞口 3 7 への遊技球の入賞は第 1 特図始動 S W (スイッチ) 3 7 A (図 4 参照) によって検出される。この遊技球の通過タイミングによって抽出された各種乱数は、遊技制御装置 1 0 0 内の特図 1 始動記憶領域に特別図柄入賞記憶として所定回数 (例えば、最大で 4 回分) を限度に記憶される。

【 0 0 5 3 】

また、第 2 始動入賞口 3 4 への遊技球の入賞は第 2 特図始動 S W (スイッチ) 3 4 A (図 4 参照) によって検出される。この遊技球の通過タイミングによって抽出された各種乱数は、遊技制御装置 1 0 0 内の特図 2 始動記憶領域に特別図柄入賞記憶として所定回数 (例えば、最大で 4 回分) を限度に記憶される。

【 0 0 5 4 】

遊技制御装置 1 0 0 は、これらの特別図柄入賞記憶に基づき、図柄表示ユニット 4 5 を形成する特図表示器 1 2 0 (図 4 参照) にて、第 1 特図動表示ゲーム及び第 2 特図動表示ゲームを行う。

【 0 0 5 5 】

ここで特図表示器 1 2 0 について説明する。特図表示器 1 2 0 は、図示しない第 1 特図図柄表示部、第 1 特図入賞記憶数表示部、第 2 特図図柄表示部、及び第 2 特図入賞記憶数表示部を有する。

【 0 0 5 6 】

そして、遊技球が第 1 始動入賞口 3 7 に入賞して特別図柄入賞記憶が発生すると、第 1 特図入賞記憶数表示部に特別図柄入賞記憶の記憶数が表示され、第 1 特図図柄表示部にて第 1 特図変動表示ゲームが実行される。同様に、遊技球が第 2 始動入賞口 3 4 に入賞して特別図柄入賞記憶が発生すると、第 2 特図入賞記憶数表示部に特別図柄入賞記憶の記憶数が表示され、第 2 特図図柄表示部にて第 2 特図変動表示ゲームが実行される。

【 0 0 5 7 】

なお、第 1 始動入賞口 3 7 への入賞が所定のタイミングでなされたとき (具体的には、入賞検出時の当り乱数値が当り値であるとき) には、第 1 特図変動表示ゲームの結果として表示図柄により特別結果態様が導出される。具体的には、第 1 図柄表示部にて、対応する特定の図柄 (例えば、「1」~「9」までのいずれかの数字等) が停止表示される。なお、第 1 特図変動表示ゲームがはずれの場合には、第 1 特図図柄表示部にて、はずれに対応する図柄 (例えば「0」等) が停止表示される。

【 0 0 5 8 】

同様に、第 2 始動入賞口 3 4 への入賞が所定のタイミングでなされたとき (具体的には、入賞検出時の当り乱数値が当り値であるとき) には、第 2 特図変動表示ゲームの結果として表示図柄により特別結果態様が導出される。具体的には、第 2 特図図柄表示部にて、対応する特定の図柄 (例えば、「1」~「9」までのいずれかの数字等) が停止表示される。なお、第 2 特図変動表示ゲームがはずれの場合には、第 2 特図図柄表示部にて、はずれに対応する図柄 (例えば「0」等) が停止表示される。

【 0 0 5 9 】

そして、第 1 特図変動表示ゲームの結果として特別結果態様が導出された場合、或いは、第 2 特図変動表示ゲームの結果として特別結果態様が導出された場合には、大当たり状態

10

20

30

40

50

(特別遊技状態)が発生する。このとき、特別変動入賞装置36は、大入賞口ソレノイド38(図4参照)への通電によって、所定の時間(例えば、30秒)だけ、遊技球を受け入れない閉状態から遊技球を受け入れやすい開状態に変換される。すなわち、特別変動入賞装置36が所定の時間又は所定数の遊技球が入賞するまで大きく開くので、この間遊技者は多くの遊技球を獲得することができるという特典が付与される。

【0060】

なお、表示装置8においても、図柄表示ユニット45の特図表示器120で実行される第1特図変動表示ゲームと第2特図変動表示ゲームに同期して、飾り特図変動表示ゲームが実行される。このとき、前述した数字等で構成される特別図柄(識別情報)が左(第一特別図柄)、右(第二特別図柄)、中(第三特別図柄)の順に変動表示を開始して、飾り特図変動表示ゲームに関する画像が表示される。

10

【0061】

第1特図変動表示ゲーム若しくは第2特図変動表示ゲームが特別結果態様を導出する場合は、表示装置8でも特定態様の図柄が導出されて停止表示する。具体的には、表示装置8では、三つの特別図柄が揃った状態(大当り図柄)で停止する。第1特図変動表示ゲーム及び第2特図変動表示ゲームが特別結果態様を導出しない場合は、表示装置8でも特定態様の図柄を停止表示しないように制御される。

【0062】

なお、本実施形態では、図柄表示ユニット45で実行される第1特図変動表示ゲーム及び第2特図変動表示ゲームと、表示装置8で実行される飾り特図変動表示ゲームのいずれをも特図変動表示ゲームとして扱うものとする。

20

【0063】

特別変動入賞装置36への遊技球の入賞は、カウントSW(スイッチ)36A(図4参照)によって検出される。

【0064】

普通図柄始動ゲート31への遊技球の通過は、普図始動SW(スイッチ)31A(図4参照)で検出される。この遊技球の通過タイミングによって抽出された普図乱数は、遊技制御装置100内の普図始動記憶領域に普通図柄入賞記憶として所定回数(例えば、最大で4回分)を限度に記憶される。遊技制御装置100は、この普通図柄入賞記憶に基づき、図柄表示ユニット45を形成する普図表示器121(図4参照)にて、普図変動表示ゲームを行う。

30

【0065】

ここで普図表示器121について説明する。普図表示器121は、図示しない普図図柄表示部と普図入賞記憶数表示部を有する。前述したように、遊技球が普通図柄始動ゲート31を通過して普通図柄入賞記憶が発生すると、この普図図柄表示部にて普図変動表示ゲームが実行される。また、普図入賞記憶数表示部には、普通図柄入賞記憶の記憶数が表示される。

【0066】

そして、遊技球が普通図柄始動ゲート31を通過して普通図柄入賞記憶が発生すると、普図入賞記憶数表示部に普通図柄入賞記憶の記憶数が表示され、普図図柄表示部にて普図変動表示ゲームが実行される。

40

【0067】

なお、普通図柄始動ゲート31の通過が所定のタイミングでなされたとき(具体的には、通過検出時の当り乱数値が当り値であるとき)には、普図図柄表示部に表示される普通図柄が当り状態で停止し、普図変動表示ゲームが当りとなる。このとき、普通変動入賞装置33は、普電ソレノイド90(図4参照)への通電により、第2始動入賞口34への入口が所定の時間(例えば、0.5秒~2.9秒の範囲内で予め定められた時間)だけ開放するように変換され、遊技球の第2始動入賞口34への入賞が許容される。これによって、遊技球が第2始動入賞口34へ入賞しやすくなり、第2特図変動表示ゲームの始動が容易となる。

50

【 0 0 6 8 】

このようにして、一般入賞口 3 2、第 1 始動入賞口 3 7、第 2 始動入賞口 3 4、又は特別変動入賞装置 3 6 に遊技球が入賞すると、入賞した入賞口の種類に応じた数の賞球が払出制御装置 2 1 0 によって制御される払出ユニットから、前面枠 3 の上皿 2 1 又は下皿 2 3 に排出される。

【 0 0 6 9 】

なお、本実施形態のパチンコ遊技機は、特図変動表示ゲームの結果に対応して（厳密には、特図変動表示ゲームの結果として特図表示器 1 2 0 に停止表示される図柄に対応して）、以後の特図変動表示ゲームの当り確率が変化する場合があります。遊技状態は、常時、特図変動表示ゲームが低確率で大当りとなる低確率状態か、当該低確率状態よりも特図変動表示ゲームが大当りとなる確率の高い高確率状態のいずれかに設定されている。なお、低確率状態を通常状態や非確変遊技状態と称したり、高確率状態を確変遊技状態（確変状態）と称したりする場合もある。

10

【 0 0 7 0 】

さらに、本実施形態のパチンコ遊技機の遊技状態は、特図変動表示ゲームの結果に対応して、普通変動入賞装置 3 3 の開放頻度が変化する場合があります。遊技状態は、常時、普通変動入賞装置 3 3 の開放頻度が低い入賞抑制状態か、当該入賞抑制状態よりも普通変動入賞装置 3 3 の開放頻度が高い入賞促進状態のいずれかに設定されている。なお、入賞抑制状態を通常状態や非時短遊技状態と称したり、入賞促進状態を時短遊技状態（時短状態）と称したりする場合もある。

20

【 0 0 7 1 】

この入賞促進状態においては、普通変動表示ゲームの実行時間が入賞抑制状態における実行時間より短くなるように制御される（例えば、入賞抑制状態で 1 0 秒に対し、入賞促進状態で 1 秒）。これによって、単位時間当りの普通変動入賞装置 3 3 の開放回数が実質的に多くなるように制御される。

【 0 0 7 2 】

また、入賞促進状態においては、普通変動表示ゲームが当り結果となって普通変動入賞装置 3 3 が開放される場合に、開放時間が通常遊技状態の開放時間より長くなるように制御されてもよい（例えば、入賞抑制状態で 0 . 5 秒に対し、入賞促進状態で 2 . 9 秒）。また、入賞促進状態においては、普通図柄変動表示ゲームの 1 回の当り結果に対して、普通変動入賞装置 3 3 が 1 回ではなく、複数回（例えば、2 回）開放してもよい。さらに、入賞促進状態においては、普通図柄変動表示ゲームの結果が当りとなる確率が入賞抑制状態より高くなるように制御してもよい。すなわち、入賞促進状態では、入賞抑制状態よりも普通変動入賞装置 3 3 の開放頻度が増加し、普通変動入賞装置 3 3 に遊技球が入賞しやすくなり、特図変動表示ゲームの始動が容易となる特典が付与される。

30

【 0 0 7 3 】

図 4 は、本発明の第 1 の実施の形態の遊技装置 6 のブロック図である。

【 0 0 7 4 】

遊技制御装置 1 0 0 は、遊技用マイコン（遊技用演算処理装置 6 0 0 ） 1 0 1、入力 I / F（Interface）1 0 5、出力 I / F（Interface）1 0 6 及び検査装置接続端子 1 0 7 を備える。

40

【 0 0 7 5 】

遊技用マイコン 1 0 1 は、CPU 1 0 2、ROM（Read Only Memory）1 0 3 及び RAM（Random Access Memory）1 0 4 を備える。

【 0 0 7 6 】

CPU 1 0 2 は、遊技を統括的に制御する主制御装置であって、遊技制御を行う。ROM 1 0 3 は、遊技制御のための不変の情報（プログラム、データ等）を記憶する。RAM 1 0 4 は、遊技制御時にワークエリアとして利用される。

【 0 0 7 7 】

遊技制御装置 1 0 0 には、遊技用マイコン 1 0 1 に一意に設定された識別番号を出力す

50

ることが可能な検査装置接続端子107が設けられている。検査装置接続端子107に図示しない検査装置を接続すると、検査装置は遊技機1を識別することができる。

【0078】

CPU102は、入力I/F105を介して各種検出器（第1特図始動SW37A、第2特図始動SW34A、普図始動SW31A、カウントSW36A、及び入賞口SW32A～入賞口SW32N、オーバーフローSW（スイッチ）109、球切れSW（スイッチ）110、及び枠開放SW（スイッチ）111）からの検出信号を受けて、大当たり抽選等、種々の処理を行う。

【0079】

オーバーフロースイッチ109は、下皿23に遊技球が所定数以上貯留されていることを検出する。球切れスイッチ110は、球貯留ユニット320に配設され、球貯留ユニット320に貯留される遊技球が所定数以下になることを検出する。枠開放スイッチ111は、前面枠3の開放を検出する。

10

【0080】

また、CPU102は、出力I/F106を介して、普図表示器121、特図表示器120、普電SOL（ソレノイド）90、大入賞口SOL（ソレノイド）38、払出制御装置210及び演出制御装置150に指令信号を送信し、遊技を統括的に制御する。

【0081】

普図表示器121は、前述したように、普図変動表示ゲームが表示される。特図表示器120は、前述したように、第1特図変動表示ゲームと第2特図変動表示ゲームとが表示される。

20

【0082】

普電SOL90は、第2始動入賞口34に遊技球が入賞可能となるように、第2始動入賞口34に備えられた開閉部材で構成された普通変動入賞装置33を所定の時間だけ開放させる。

【0083】

大入賞口SOL38は、特別変動入賞装置36の大入賞口を所定の時間だけ、遊技球を受け入れない閉状態（遊技者に不利な状態）から遊技球を受け入れやすい開状態（遊技者に有利な状態）にする。

【0084】

30

また、遊技制御装置100は、遊技機1に関する情報を、外部情報端子108を介して、遊技店に設置された情報収集端末や遊技場内部管理装置（図示省略）に出力する。

【0085】

遊技制御装置100は、変動開始コマンド、客待ちデモコマンド、ファンファーレコマンド、確率情報コマンド、及びエラー指定コマンド等を、演出制御指令信号として、演出制御装置150へ送信する。

【0086】

次に、払出制御装置210及び演出制御装置150について説明する。

【0087】

演出制御装置（表示制御装置）150は、遊技制御装置100から入力される各種信号に基づいて、エラー報知LED29、スピーカ30、発光により遊技演出を行う装飾部材9（図1）及び表示装置8を制御する。

40

【0088】

演出制御装置150は、遊技用マイコン（遊技用演算処理装置600）151、ドライバ155、音回路156、及びVDP157を備える。

【0089】

遊技用マイコン151は、CPU152、ROM153及びRAM154を備える。

【0090】

CPU152は、演出制御を行う制御装置である。ROM153は、演出制御に必要な不変の情報（プログラム、データ等）を記憶している。RAM154は、演出制御時にワ

50

ークエリアとして利用される。

【0091】

ドライバ155は、CPU152からの指令により、エラー報知LED29及び装飾部材9を制御する。音回路156は、CPU152からの指令により、効果音を生成してスピーカ30から出力する。VDP157は、CPU152からの指令により、画像データを生成して表示装置8へ出力する。

【0092】

払出制御装置210は、遊技制御装置100からの賞球指令信号に基づいて、払出装置の払出モータ220を駆動させ、賞球を払い出させるための制御を行う。また、払出制御装置210は、カードユニット70からの貸球要求信号に基づいて、遊技制御装置100が送信する排出指令信号に基づいて、払出装置の払出モータ220を駆動させ、貸球を払い出させるための制御を行う。

10

【0093】

払出制御装置210は、遊技用マイコン（遊技用演算処理装置600）211、入力I/F（Interface）215、入出力I/F（Interface）216及び検査装置接続端子217を備える。

【0094】

遊技用マイコン211は、CPU212、ROM213及びRAM214を備える。

【0095】

CPU212は、払い出しを統括的に制御する制御装置であって、払出制御を司る。ROM213は、払出制御のための不変の情報（プログラム、データ等）を記憶している。RAM214は、払出制御時にワークエリアとして利用される。

20

【0096】

CPU212は、入力I/F215を介して払出球検出スイッチ112、オーバーフロースイッチ109、球切れスイッチ110、エラー解除スイッチ223、税率設定スイッチ226、及び貸出料金設定スイッチ227からの入力を受ける。

【0097】

エラー解除スイッチ223は、払出制御装置210にエラーが発生した場合に、遊技店の店員等が発生したエラーの原因を解消した際に、遊技店の店員等によって操作され、エラー状態を解除するためのスイッチである。

30

【0098】

税率設定スイッチ226は、遊技球の貸し出しに対して課税される間接税の税率を設定するスイッチである。貸出料金設定スイッチ227は、貸し出される遊技球の有価値を設定するためのスイッチである。

【0099】

また、CPU212は、入出力I/F216を介して、払出モータ220、発射制御装置221、エラーナンバー表示器222、税率表示器224及び貸出料金表示器225に指令信号を送信する。また、CPU212は、入出力I/F216を介して遊技制御装置100から送信された各種信号を受信する。

【0100】

払出モータ220は、実際に払出装置で遊技球を払い出すために駆動されるモータである。具体的には、払出モータ220は、1個の遊技球を貯留可能な凹部を所定個数有するスプロケットを回転させることによって、遊技球を払い出す。

40

【0101】

発射制御装置221は、遊技球を遊技盤5に発射するための発射装置を制御する。エラーナンバー表示器222は、払出制御装置210の裏面側に配設され、払出制御装置210で発生したエラーの種類を特定可能に表示する。

【0102】

税率表示器224は、払出制御装置210の裏面側に配設され、税率設定スイッチ226によって設定された間接税の税率を表示する。貸出料金表示器225は、払出制御装置

50

210の裏面側に配設され、貸出料金設定スイッチ227によって設定された貸し出される遊技球の有価価値を表示する。

【0103】

電源装置160は、バックアップ電源161、RAMクリアスイッチ162を備える。遊技制御装置100、演出制御装置150、及び払出制御装置210は、電源装置160に接続される。

【0104】

バックアップ電源161は、停電時においても、遊技制御装置100、演出制御装置150、及び払出制御装置210に電源を供給する。なお、演出制御装置150には必ずしも電源を供給しなくてもよく、停電復帰後、遊技制御装置100からコマンドを送信する

10

【0105】

RAMクリアスイッチ162は、遊技制御装置100に備わるRAM104及び払出制御装置210に備わるRAM214に記憶されている情報を初期化するスイッチである。

【0106】

また、遊技機1に備わる球貸ボタン26が操作されると、カードユニット70は、プリペイドカード又は会員カード等のカードに記憶されている有価価値から貸し出される遊技球分の有価価値を減算して、減算した有価価値の値を遊技機1の残高表示部28に表示する。また、遊技機1に備わる排出ボタン27が操作されると、カードユニット70は、カード挿入口71に挿入されたカードを排出する。

20

【0107】

遊技制御装置100に備わる遊技用マイコン101と払出制御装置210に備わる遊技用マイコン211とは、暗号化された暗号化信号（暗号化データ）を双方向通信可能に接続される。また、暗号化されない非暗号化信号（平文データ）については、遊技制御装置100に備わる遊技用マイコン101から払出制御装置210に備わる遊技用マイコン211に単方向通信が可能に接続される。

【0108】

また、遊技制御装置100に備わる遊技用マイコン101と演出制御装置150に備わる遊技用マイコン151とは、暗号化されない非暗号化信号（平文データ）を遊技制御装置100から演出制御装置150への単方向で通信可能に接続される。

30

【0109】

なお、遊技制御装置100に備わる遊技用マイコン101、演出制御装置150に備わる遊技用マイコン151及び払出制御装置210に備わる遊技用マイコン211は、これらの接続に必要なポートを備えている。

【0110】

次に、遊技制御装置100に備わる遊技用マイコン101、演出制御装置150に備わる遊技用マイコン151及び払出制御装置210に備わる遊技用マイコン211（以下、総称して遊技用演算処理装置600という）について、図5を用いて詳細に説明する。

【0111】

図5は、本発明の第1の実施の形態の遊技用演算処理装置（アミューズチップ）600のブロック図である。

40

【0112】

遊技用演算処理装置600はいわゆるアミューズチップ用のICとして製造され、遊技制御を行う遊技領域部600Aと情報管理を行う情報領域部600Bとに区分される。

【0113】

まず、遊技領域部600AはCPUコア601、ユーザプログラムROM602、HWパラメータROM603、ユーザワークRAM604、ミラードRAM605、外部バスインターフェース（I/F）606、バス切替回路607、乱数生成回路608、クロック生成回路609、割込制御回路610A、リセット回路610B、アドレスデコーダ611、出力制御回路612、ブートブロック613、復号化・ROM書込回路614、シ

50

リアル送信回路 6 1 5 A、シリアル送信回路 6 1 5 B、シリアル受信回路 6 2 5、暗号化送受信回路 6 1 6、及びバス 6 1 7 によって構成される。なお、シリアル送信回路 6 1 5 A 及びシリアル送信回路 6 1 5 B を総称して、シリアル送信回路 6 1 5 という。

【 0 1 1 4 】

C P U コア 6 0 1 は、図 4 の C P U 1 0 2、C P U 1 5 2 又は C P U 2 1 2 に相当する。ユーザプログラム R O M 6 0 2 は、図 4 の R O M 1 0 3、R O M 1 5 3 又は R O M 2 1 3 に相当する。また、ユーザプログラム R O M 6 0 2 及び H W パラメータ R O M 6 0 3 を総称して、R O M (不揮発性記憶手段) という。

【 0 1 1 5 】

ユーザワーク R A M 6 0 4 は、図 4 の R A M 1 0 4、R A M 1 5 4 又は R A M 2 1 4 に相当する。また、ユーザワーク R A M 6 0 4 及びミラード R A M 6 0 5 を総称して、R A M (揮発性記憶手段) という。

10

【 0 1 1 6 】

C P U コア 6 0 1 は、遊技制御のための演算処理を行う演算処理手段として機能する。ユーザプログラム R O M 6 0 2 は、制御プログラムを格納する。制御プログラムは、遊技用演算処理装置 6 0 0 が遊技制御装置 1 0 0 に備わる遊技用マイコン 1 0 1 である場合には、遊技の制御を行うための遊技制御プログラムである。また、遊技用演算処理装置 6 0 0 が払出制御装置 2 1 0 に備わる遊技用マイコン 2 1 1 である場合には、遊技球の払い出しを行うための払出制御プログラムである。さらに、遊技用演算処理装置 6 0 0 が演出制御装置 1 5 0 に備わる遊技用マイコン 1 5 1 である場合には、演出の制御を行うための演出制御プログラムである。

20

【 0 1 1 7 】

H W パラメータ R O M 6 0 3 は、正当性確認情報を格納する。正当性確認情報とは、遊技用演算処理装置 6 0 0 の正当性の簡易チェックを行う場合の情報であり、例えば、遊技機 1 の一意な識別子を示す固有 I D、メーカーコード (遊技機 1 の製造メーカー毎に割り振られた固有の製造メーカーの一意な識別子)、遊技機 1 のランク (1 種、2 種等) を示すランクコード、製造メーカーが遊技機 1 の種類に設定する機種コード、検査番号を示す検査コード、電源投入時に R A M をバックアップするか否かを示す R A M バックアップコード、税率設定スイッチ 2 2 6 によって設定された税率、貸出料金設定スイッチ 2 2 7 によって設定された貸出料金等である。また、H W パラメータ R O M 6 0 3 には、最初に貸出情報要求を送信した検査装置の一意な識別子である固有 I D が一つのみ記憶される。

30

【 0 1 1 8 】

第三者機関又は遊技機 1 の製造メーカーがユーザプログラム R O M 6 0 2 にプログラムを書き込む際に、正当性確認情報が H W パラメータ R O M 6 0 3 に書き込まれる。遊技用演算処理装置 6 0 0 は、電源立ち上がり時に、ユーザプログラム R O M 6 0 2 に書き込まれたプログラムが正当であるか否かについて簡易チェックを行うことができる。具体的には、遊技用演算処理装置 6 0 0 の電源立ち上がり時に、遊技用演算処理装置 6 0 0 自身が演算した演算値と、正当性確認情報 (すなわち、第三者機関等によって予め設定された結果値) とを比較判定することで、簡易的な遊技用演算処理装置 6 0 0 のチェックを行うことが可能になっている。

40

【 0 1 1 9 】

ユーザワーク R A M 6 0 4 は、遊技領域部 6 0 0 A におけるプログラムに基づく処理を実行する際にワークエリア (作業領域) として用いられるものである。このユーザワーク R A M 6 0 4 には、バックアップ電源 1 6 1 (図 4) からのバックアップ電源が供給されているので、遊技機 1 への電源供給が途絶えても、記憶データが保持されるように構成されている。ミラード R A M 6 0 5 は、クロックの立ち下がり時にユーザワークエリアに記憶された情報を複製し、複製した情報を記憶する (C P U コアが Z 8 0 の場合には、クロックの立ち上がり時に処理を実行するため、同期して動くことがないようにしている)。

【 0 1 2 0 】

外部バスインターフェース 6 0 6 は、メモリリクエスト信号 M R E Q、入出力リクエス

50

ト信号IORQ、メモリ書込み信号WR、メモリ読み出し信号RD及びモード信号MODEなどのインターフェースであり、また、バス切替回路607は、16ビットのアドレス信号A0～A15や8ビットのデータ信号D0～D7のインターフェースである。

【0121】

例えば、MODE信号をハイレベルにした状態で、アドレス信号A0～A15を順次にインクリメントしながら、データ信号D0～D7を加えると、ユーザプログラムROM602への書き込みモードとなって遊技機1の製造メーカ又は第三者機関によるプログラムの書き込みが可能になる。なお、書き込みモードはプログラムの書き込みを可能にするものであり、ブートブロック613に記憶されるブートプログラムを書き込みできるようにするものではない。

10

【0122】

また、ユーザプログラムROM602へのプログラムの書き込みが終了すると、HWパラメータROM603の所定領域に書込終了コードが記録（例えば、所定のコード若しくは所定ビットを物理的に切断することで記録）されるようになっており、HWパラメータROM603に書込終了コードが記録されている場合には、ユーザプログラムROM602への新たなプログラムの書き込みができないようになっている。

【0123】

乱数生成回路608は遊技の実行過程において遊技価値（例えば、大当り）を付加するか否か等に係わる乱数（乱数は、大当りの決定や停止時の図柄の決定等に使用）を生成するもので、一様性乱数を生成する数学的手法（例えば、合同法又はM系列法等）を利用している。なお、遊技用演算処理装置600が払出制御装置210に備わる遊技用マイコン211である場合には、乱数生成回路608は必要ない。

20

【0124】

クロック生成回路609は、遊技用演算処理装置600の外部から入力されたシステムクロック信号を分周して、遊技制御に必要な各種の周期的な信号を生成する。具体的には、CPUコア102を動作させるためのクロック信号、乱数生成回路608の乱数カウンタ値を更新するためのクロック信号、及びシリアル送受信を行う際のタイミング信号などを生成する。なお、クロック生成回路609は、CTC（Counter Timer Circuit）の機能を有しており、CPUコア102にて所定周期（例えば、4ミリ秒）のタイマ割込処理を行わせるためのタイマ割込信号も生成している。

30

【0125】

割込制御回路610Aは、所定の割り込み条件の成立に基づいて、割り込みの発生をCPUコア102に知らせる。なお、所定の割り込み条件は、遊技用演算処理装置600の外部から割込要求信号（INT信号、NMI信号）が入力された場合や、クロック生成回路609のCTCからタイマ割込信号が出力された場合などが相当する。

【0126】

CPUコア102は、INT信号やNMI信号が入力された場合には、現在実行中の処理を中断して予め定められた割込処理を実行する。なお、INT信号による割込（マスカブル割込）は、プログラムの設定により禁止できるが、NMI信号による割込（ノンマスカブル割込）はプログラムの設定により禁止できない。また、CPUコア102は、タイマ割込信号が出力された場合には、図29に示すタイマ割込処理を実行する。

40

【0127】

また、リセット回路610Bは、外部から入力されたリセット信号（RST0端子からの信号RST0）を検出すると、遊技用演算処理装置600の内部に備えられた各回路とCPUコア102にリセット信号を伝達する。

【0128】

なお、リセット回路610Bは、セキュリティ回路630（図11参照）としても機能する。このセキュリティ回路630は、遊技用演算処理装置600の内部に備えられた各回路に対して異常なアクセスが発生したことを検出する機能を有しており、異常を検出するとCPUコア102にリセット信号を伝達する。

50

【 0 1 2 9 】

アドレスデコーダ 6 1 1 は、内蔵デバイス及び内蔵コントロール / ステータスレジスタ群のロケーションをメモリマップド I / O 方式及び I / O マップド I / O 方式によりデコードする。

【 0 1 3 0 】

出力制御回路 6 1 2 は、アドレスデコーダ 6 1 1 からの信号制御を行って外部端子より 8 ビットのチップセレクト信号 (C S 0 ~ C S 7) を外部に出力するとともに、遊技用演算処理装置 6 0 0 の内部に備えた回路を選択するチップセレクト信号を発生する機能を有する。ブートブロック 6 1 3 は、ブートプログラムを記憶し、電源投入時に遊技用演算処理装置 6 0 0 の初期化に係わる処理を行う。

10

【 0 1 3 1 】

復号化・ROM 書込回路 6 1 4 は、ユーザプログラム ROM 6 0 2 及び HW パラメータ ROM 6 0 3 への書込みモードの際に使用されるもので、モード信号 MODE が [H] レベルになっている間、バス切替回路 6 0 7 を介してアドレス信号 A 0 ~ A 1 5 やデータ信号 D 0 ~ D 7 を取り込み、そのデータ信号 D 0 ~ D 7 に含まれる情報 (暗号化されたプログラム及び暗号化された変更後の固有 ID) を復号化処理した後、バス 6 1 7 を介してユーザプログラム ROM 6 0 2 及び HW パラメータ ROM 6 0 3 に出力する (書き込む) 。

【 0 1 3 2 】

シリアル送信回路 6 1 5 A 及びシリアル送信回路 6 1 5 B は、暗号化されていない平文データを送信するための回路である。シリアル送信回路 6 1 5 A は、S I O T X 0 端子を介して演出制御装置 1 5 0 に接続される。また、シリアル送信回路 6 1 5 B は、S I O T X 1 端子を介して払出制御装置 2 1 0 に接続される。シリアル受信回路 6 2 5 は、暗号化されていない平文データを、S I O R X 端子を介して受信するための回路である。

20

【 0 1 3 3 】

暗号化送受信回路 6 1 6 は、N J L I N K 端子を介して暗号化された暗号化データを送受信する回路である。例えば、遊技制御装置 1 0 0 から払出制御装置 2 1 0 にデータを送信する場合に使用される、また、遊技制御装置 1 0 0 と払出制御装置 2 1 0 との間は、N J L I N K 接続で接続され、暗号化送受信回路 6 1 6 には、N J L I N K 信号線が接続される。暗号化送受信回路 6 1 6 は、N J L I N K 信号線を介してデータを送受信する。

【 0 1 3 4 】

バス 6 1 7 はデータバス (図 1 1 のデータバス 6 6 0) 、アドレスバス (図 1 1 のアドレスバス 6 5 0) 及び制御バスを含むものであり、情報領域部 6 0 0 B まで延びている。

30

【 0 1 3 5 】

次に、遊技用演算処理装置 6 0 0 における情報管理を行う情報領域部 6 0 0 B は、H P G プログラム ROM 6 1 8 、I D プロパティメモリ 6 1 9 、バスモニタ回路 6 2 0 、H P G ワーク RAM 6 2 1 、制御回路 6 2 2 、外部通信制御回路 6 2 3 、バス 6 2 4 、及び遊技領域部 6 0 0 A から延びるバス 6 1 7 の一部を含んで構成される。

【 0 1 3 6 】

H P G プログラム ROM 6 1 8 には、各種検査動作を行う H P G プログラムが格納される。

40

【 0 1 3 7 】

I D プロパティメモリ 6 1 9 には、図示しない検査装置から外部通信制御回路 6 2 3 を介して受信した要求に基づいて、HW パラメータ ROM 6 0 3 に記憶されている情報を図示しない検査装置にすぐに出力できるように、遊技用演算処理装置 6 0 0 の電源投入時 (システムリセット時) に HW パラメータに記憶されている情報を複製して記憶する。なお、I D プロパティメモリ 6 1 9 は、遊技領域部 6 0 0 A 側及び情報領域部 6 0 0 B 側の双方よりアクセスが可能な構成になっている。

【 0 1 3 8 】

バスモニタ回路 6 2 0 は、情報領域部 6 0 0 B 側より遊技領域部 6 0 0 A 側のバス 6 1 7 の状態監視及び制御を行う。ここでの制御とは、HW パラメータ ROM 6 0 3 の内容を

50

ＩＤプロパティメモリ６１９に複写する際のタイミング制御や、ユーザプログラムＲＯＭ６０２に格納されたプログラムを外部に出力する際（遊技領域部６００Ａ側のバス６１７を開放してユーザプログラムＲＯＭ６０２からプログラムを読み込んで情報領域部６００Ｂ側より外部に出力する際）のタイミング制御である。なお、プログラムは、外部通信制御回路６２３で暗号化されてから出力される。

【０１３９】

ＨＰＧワークＲＡＭ６２１は、情報領域部６００Ｂにおけるプログラムに基づく処理を実行する際にワークエリア（作業領域）として用いられるものである。

【０１４０】

制御回路６２２は情報領域部６００Ｂ側を制御するもので、バッファメモリを有している。制御回路６２２は、例えば、バスモニタ回路６２０を介してＣＰＵコア１０２の動作を監視し、非動作中に遊技領域部６００ＡのユーザワークＲＡＭ６０４に記憶された内容をミラードＲＡＭ６０５へコピーする。また、図示しない検査装置からの要求に应答して情報領域部６００ＢのＩＤプロパティメモリ６１９の内容を外部へ転送したり、プログラム要求に应答してバスモニタ回路６２０を介してユーザプログラムＲＯＭ６０２内のプログラムを外部へ転送したりする。制御回路６２２のメモリは、転送時のタイミング調節のために用いられる。

10

【０１４１】

外部通信制御回路６２３は図示しない検査装置との通信を行うもので、例えば、外部からの指令に基づいて遊技用演算処理装置６００内に格納されている情報（例えば、固有ＩＤ、プログラム、実払出数等）を暗号化した後、外部へ転送する等の処理を行う。

20

【０１４２】

遊技用演算処理装置６００では、遊技領域部６００Ａと情報領域部６００Ｂがバスモニタ回路６２０を介して独立して動作する。すなわち、情報領域部６００Ｂ側は遊技領域部６００ＡにおけるＣＰＵコア１０２の作動に関係なく（プログラム実行に関係なく）動作可能である。

【０１４３】

なお、図５では図示されていないが、遊技用演算処理装置６００には、図１１にて後述するＲＡＭアクセス規制回路（更新規制手段）６４０を備えている。

【０１４４】

30

図６は、本発明の第１の実施の形態の遊技制御装置１００におけるシリアル送信回路６１５の構成例を示すブロック図である。

【０１４５】

シリアル送信回路６１５は、送信シリアルチャンネル設定レジスタ６３３、送信データステータスレジスタ６３１、送信制御レジスタ６３２、送信データレジスタ６３５（送信データバッファレジスタ６３５Ａ、送信データシフトレジスタ６３５Ｂ）、ポーレート生成回路（送信速度設定手段）６３４を含んで構成される。

【０１４６】

シリアル送信回路６１５は、出力制御回路６１２から入力された選択信号に基づいて、送信先を選択する。また、リセット信号の入力を受け付けると、各種レジスタに設定された値を０クリアする。

40

【０１４７】

送信シリアルチャンネル設定レジスタ６３３は、データ送信時の通信速度及び通信フォーマットを指定するレジスタである。送信シリアルチャンネル設定レジスタ６３３には、後述するメイン処理におけるシリアル通信設定処理によって各値が設定される。

【０１４８】

図７は、本発明の第１の実施の形態の送信シリアルチャンネル設定レジスタ６３３の構成例を示す図である。図７に示すように、送信シリアルチャンネル設定レジスタ６３３は、１６ビットで構成されており、ビット０～１５はすべて書き込み／読み出し可能とされる。

50

【 0 1 4 9 】

送信シリアルチャンネル設定レジスタ 6 3 3 において、ビット 0 ~ 1 2 には、送信ボーレート（通信速度）を算出するためのボーレート設定値（例えば、分周比）が設定される。

【 0 1 5 0 】

具体的には、遊技用演算処理装置 6 0 0 に入力されるシステムクロック（MCLK）の周波数（単位Hz：ヘルツ）を 3 2 で除した値を、さらに、このボーレート設定値で除した値が、送信ボーレート（1 秒間に送信されるデータのビット数）として設定される。例えば、ボーレート設定値として 1 0 0 を設定すると、システムクロックの周波数が 2 0 M Hz であった場合には、送信ボーレートは、 $20,000,000 \div 32 \div 100 = 6250$ (bps) となる。

10

【 0 1 5 1 】

ビット 1 3 には、送信データ長を 8 ビットとする場合に “ 0 ” が設定され、9 ビットとする場合に “ 1 ” が設定される。

【 0 1 5 2 】

ビット 1 4 には、送信データにパリティを付加しない場合に “ 0 ” が設定され、パリティを付加する場合に “ 1 ” が設定される。ビット 1 5 には、送信データに付加するパリティを偶数パリティとする場合に “ 0 ” が設定され、奇数パリティとする場合に “ 1 ” が設定される。なお、ビット 1 5 は、ビット 1 4 に “ 1 ”（パリティ有り）が設定されている場合に有効となる。

20

【 0 1 5 3 】

なお、遊技用演算処理装置 6 0 0 にリセット信号（RST0）が入力されると、シリアル送信回路 6 1 5 がリセットされ、送信シリアルチャンネル設定レジスタ 6 3 3 の全ビットが “ 0 ” に設定される（図 6 等も参照）。

【 0 1 5 4 】

図 6 の説明に戻り、送信制御レジスタ 6 3 2 は、シリアル送信回路 6 1 5 の動作を制御するためのレジスタである。

【 0 1 5 5 】

図 8 は、本発明の第 1 の実施の形態の送信制御レジスタ 6 3 2 の構成例を示す図である。図 8 に示すように、送信制御レジスタ 6 3 2 は、例えば 8 ビットで構成され、ビット 6 は読み出し専用とされ、他のビット 0、4、5、7 は書き込み / 読み出し可能とされる。なお、本実施形態では送信制御レジスタ 6 3 2 のビット 1 ~ 3 は未使用としているため、図 8 では記載を省略している。

30

【 0 1 5 6 】

送信制御レジスタ 6 3 2 のビット 0 には、送信回路（シリアル送信回路 6 1 5）を初期化する場合に “ 1 ” が設定される。送信回路が初期化されると送信データレジスタ 6 3 5 のデータも含めて全てのレジスタが初期値とされる。

【 0 1 5 7 】

ビット 4 には、送信データレジスタ 6 3 5（送信データシフトレジスタ 6 3 5 B）からのデータ送信を禁止する場合に “ 0 ” が設定され、データ送信を許可する場合に “ 1 ” が設定される。

40

【 0 1 5 8 】

ビット 5 には、送信データレジスタ 6 3 5 が空になったときに送信割り込みを要求しない場合に “ 0 ” が設定され、送信割り込みを要求する場合に “ 1 ” が設定される。

【 0 1 5 9 】

ビット 6 には、送信割り込み要求が発生しているか否か（送信割り込み状態）を示す値が設定される。ビット 6 に “ 0 ” が設定されている場合には送信割り込みを要求していない状態であることを示し、“ 1 ” が設定されている場合には送信割り込みを要求している状態であることを示す。

【 0 1 6 0 】

50

ビット7には、送信データレジスタのビット8の値（データ長が9ビットの場合）が設定される。

【0161】

なお、遊技用演算処理装置600にリセット信号（RST0）が入力されると、シリアル送信回路615がリセットされ、送信制御レジスタ632の全ビットが“0”に設定される（図6等も参照）。その結果、送信制御レジスタ632のビット4が“0”になるので、送信データレジスタ635（送信データシフトレジスタ635B）からのデータ送信が禁止され、データ出力がオフされた状態になる。

【0162】

図6の説明に戻り、送信データステータスレジスタ631は、送信データレジスタ635の状態を示すレジスタである。CPU102は、送信データステータスレジスタ631の設定値によって、送信データレジスタ635の状態を確認することができる。

10

【0163】

図9は、本発明の第1の実施の形態の送信データステータスレジスタ631の構成例を示す図である。送信データステータスレジスタ631は、例えば8ビットで構成され、ビット0～5、7はすべて読み出し専用とされる。なお、本実施形態では送信データステータスレジスタ631のビット6は未使用としているため、図9では省略している。

【0164】

送信データステータスレジスタ631において、ビット0～5には、送信データの残量を示す値が設定される。例えば、ビット0～5に“00h”（16進数の“0”）が設定されていると送信データがないことを示し、“01h”が設定されていると送信データが1バイト残っていることを示し、“20h”が設定されていると送信データが32バイト残っていることを示す。

20

【0165】

ビット7には、送信データレジスタ635におけるデータの送信状態を示す値が設定される。ビット7に“1”が設定されているとデータを送信していない状態であることを示し、“0”が設定されているとデータを送信している状態であることを示す。

【0166】

なお、遊技用演算処理装置600にリセット信号（RST0）が入力されると、シリアル送信回路615がリセットされ、送信データステータスレジスタ631の全ビットが“0”に設定される（図6等も参照）。その結果、送信データステータスレジスタ631のビット0～5が“00h”となり、送信データの残量がない状態となる。

30

【0167】

図6の説明に戻り、送信データレジスタ635は、シリアル送信回路615が送信するデータを格納するレジスタである。送信データレジスタ635は、例えば、1段の送信データシフトレジスタ635Bと、31段の送信データバッファレジスタ635Aで構成される。

【0168】

図10は、本発明の第1の実施の形態の送信データレジスタ635（1段分）の構成例を示す図である。1段の送信データレジスタ635は、例えば8ビットで構成され、ビット0～7はすべて書き込み専用とされる。

40

【0169】

この送信データレジスタ635には、タイマ割り込み処理で生成される制御指令データが格納され、送信制御レジスタのビット4に“1”（送信許可）が設定されていれば、格納された制御指令データは自動的に演出制御装置150に送信される。

【0170】

制御指令データは、例えば、1バイトのモードデータと1バイトのアクションデータの2バイトで構成されるので、2段の送信データレジスタ635に1つの制御指令データが格納されることとなる。そして、本実施形態では、送信データレジスタ635を32段で構成しているので、1回のタイマ割り込み処理で最大16の制御指令データが生成される

50

場合、これをすべて送信データレジスタ 635 に格納することができる。

【0171】

ただし、CPU 102 によって、新たな送信データを送信データレジスタ 635 に格納できるのは、送信データステータスレジスタ 631 のビット 0 ~ 5 の値（送信データの残量を示す値）が“00h” ~ “1Fh”の場合（送信データレジスタ 635 に、0 ~ 31 バイトの未送信データが残っている場合）に限られる。

【0172】

送信データステータスレジスタ 631 のビット 0 ~ 5 の値が“20h”の場合は、送信データレジスタ 635 に空きがないので、CPU 102 によって送信データレジスタ 635 に書き込もうとされたデータは廃棄される。これにより、送信データレジスタ 635 が満杯のときは、誤って CPU 102 によるデータ書き込みが発生しても、既に格納されている送信データレジスタ 635 のデータが破壊されないようになっている。

【0173】

なお、遊技用演算処理装置 600 にリセット信号（RST0）が入力されると、シリアル送信回路 615 がリセットされ、送信データレジスタ 635 の全ビットが“0”に設定される（図 6 等も参照）。

【0174】

図 6 の説明に戻り、ボーレート生成回路 634 は、クロック生成回路 609 から分周回路 629 を介して出力されるクロック信号（遊技用演算処理装置 600 に入力されるシステムクロック（MCLK）を分周した信号）及び送信シリアルチャンネル設定レジスタ 633 に設定されている設定値（ボーレート設定値）に基づいて、シリアル送信回路 615 が用いる送信ボーレートを生成する。このとき、ボーレート生成回路 634 は、クロック信号及びボーレート設定値に基づいて、前述の計算式を用いて送信ボーレートを求める。また、分周回路 629 は、CPU 102 にも分周されたクロック信号を入力する。なお、分周回路 629 は、クロック生成回路 609 に含まれるように構成してもよい。

【0175】

シリアル送信回路 615 では、送信許可の設定（送信制御レジスタ 632 のビット 4 を“1”）がなされた後、送信するデータを送信データレジスタ 635（送信データバッファレジスタ 635A）に書き込む、又は、送信するデータを送信データレジスタ 635 に書き込んだ後、送信許可の設定がなされると、自動的に送信が開始される。送信が開始されると、送信データバッファレジスタ 635A のデータが送信データシフトレジスタ 635B に転送され、送信データシフトレジスタ 635B からシリアル変換されて、最下位ビット（ビット 0）から 1 ビットずつ順次出力される。そして、データの送信が完了すると送信データシフトレジスタ 635B は空になるので、送信データバッファレジスタ 635A に書き込まれている次のデータが送信データシフトレジスタ 635B に転送され、出力される。

【0176】

したがって、シリアル送信回路 615 では、送信データレジスタ 635（送信データシフトレジスタ 635B、送信データバッファレジスタ 635A）に書き込まれたデータ（制御指令データ）が、演出制御装置 150 に 1 ビットずつ順次送信されることとなる。

【0177】

このように、シリアル送信回路（制御指令送信手段）615 は、送信データ（例えば、制御指令データ）を格納する送信データレジスタ 635 を備え、送信データレジスタ 635 に送信データが格納されると、遊技制御装置 100 から演出制御装置 150 へ向かう方向に、格納された送信データを 1 ビットずつ順次送信する（いわゆるシリアル通信）ように構成されている。

【0178】

具体的には、送信データレジスタ 635 は、格納されたデータをすぐに送信する送信データシフトレジスタ 635B と、格納されたデータを保持するとともに、送信データシフトレジスタ 635B がデータを格納可能な状態（データの送信が完了した状態）となった

10

20

30

40

50

ときに、保持しているデータを送信データシフトレジスタ635Bに転送する送信データバッファレジスタ635Aと、で構成される。

【0179】

これにより、従来のパラレル通信では必須とされていたタイマ割り込み処理における制御指令データの送信処理を省略できるので、CPU102の負担を軽減することができる。

【0180】

また、シリアル通信とすることで、制御指令データを送信するための配線本数を比較的少なくすることができる。

【0181】

また、遊技制御装置100と演出制御装置150との間の通信は、遊技制御装置100から演出制御装置150へのみデータを送信可能な単方向通信とされ、遊技制御装置100にデータは入力されないの、不正が行われることを防止できる。

【0182】

なお、本実施形態においては、送信データレジスタ635に最大で32バイトの送信データが格納可能であるが、この32バイトのデータが、1回のタイマ割り込み処理において全て出力できるように、ポーレート設定値（送信シリアルチャンネル設定レジスタ633のビット0～12）の値が設定されている。

【0183】

具体的には、送信データレジスタ635から出力される1バイトあたりのデータ送信に必要な時間 T_b と、タイマ割込信号の発生周期 F と、送信データレジスタ635に格納できるデータの上限バイト数 B との関係が、 $F/B > T_b$ となるように、ポーレート設定値を設定して送信の速度を決めればよい。

【0184】

例えば、タイマ割込信号の発生周期 $F = 4$ ミリ秒で、送信データレジスタ635に格納できるデータの上限バイト数 $B = 32$ バイトであれば、 $F/B = 4000/32 = 125$ マイクロ秒よりも短くなるように T_b の値を決定し、遊技用演算処理装置600に入力されるシステムクロック（MCLK）の周波数を考慮したうえで、ポーレート設定値の値を定めればよい。

【0185】

このような構成とすることで、シリアル送信回路（制御指令送信手段、送信手段）615は、1回のタイマ割り込み処理において生成される一連の制御指令データをすべて格納することが可能となり、タイマ割り込み毎に生成される制御指令データを確実に送信することができる。

【0186】

図11は、本発明の第1の実施の形態の遊技制御装置100に備わる遊技用演算処理装置（アミューズチップ）600とその周辺のブロック図である。

【0187】

遊技用演算処理装置600は、セキュリティ回路630、CPUコア102（図11では601）、RAMアクセス規制回路640、ユーザワークRAM104（図11では604）、アドレスデコーダ611、出力制御回路612、及び、ユーザプログラムROM103（図11では602）を備える。

【0188】

なお、遊技用演算処理装置600に備わるこれらの回路等は、アドレスバス650及びデータバス660を介して接続されている。アドレスバス650は、A0～A15の16ビットの信号線によって構成され、データバス660は、D0～D7の8ビットの信号線によって構成される。

【0189】

また、遊技制御装置100は、演出制御装置150に接続されるシリアル送信回路615A、及び、払出制御装置210に接続されるシリアル送信回路615Bを備える。

10

20

30

40

50

【 0 1 9 0 】

なお、演出制御装置 1 5 0 及び払出制御装置 2 1 0 には、シリアル受信回路 6 2 5 (図 5) に相当する受信回路が備えられていて、シリアル送信回路 6 1 5 A、6 1 5 B から出力されたシリアルデータのデータを、それぞれが受信する構成となっている。

【 0 1 9 1 】

遊技用演算処理装置 6 0 0 に電源が投入される際には、R S T 0 端子 (図 5) を介して電源装置 1 6 0 からリセット信号 (起動信号) が入力され、リセット回路 6 1 0 B (図 5) が作動する。

【 0 1 9 2 】

セキュリティ回路 6 3 0 は、このリセット信号が入力されると H W パラメータ R O M 6 0 3 に記憶された正当性確認情報を用いて、セキュリティチェック処理を実行する。このセキュリティチェック処理は、ユーザプログラム R O M 1 0 3 に記憶されたプログラムの正当性の判定を行う処理である。

【 0 1 9 3 】

セキュリティ回路 6 3 0 は、このセキュリティチェック処理を実行している間は、C P U コア 1 0 2 のリセット端子 (R E S 0 (負論理)) にリセット信号を継続して出力することで、C P U コア 1 0 2 の起動を待機させる。

【 0 1 9 4 】

C P U コア 1 0 2 は、前述のリセット端子 (R E S 0 (負論理)) と、書込指令出力端子 (W R (負論理))、及び読出指令出力端子 (R D (負論理)) を備える。リセット端子はセキュリティ回路 6 3 0 に接続されており、遊技用演算処理装置 6 0 0 にリセット信号が入力されると、前述のように、セキュリティチェック処理を実行している間、C P U コア 1 0 2 に対するリセット信号がリセット端子に入力される。

【 0 1 9 5 】

C P U コア 1 0 2 のリセット端子にリセット信号が入力されると、C P U コア 1 0 2 は、C P U コア 1 0 2 に備わるレジスタ (R E G) を初期化する。

【 0 1 9 6 】

また、C P U コア 1 0 2 がユーザワーク R A M 1 0 4 にデータの書き込みを指令する書込指令を出力する場合には、C P U コア 1 0 2 の書込指令出力端子からは所定値よりも低い電圧のローレベルの信号が出力される。同様に、C P U コア 1 0 2 がユーザワーク R A M 1 0 4 からデータの読み出しを指令する読出指令を出力する場合には、C P U コア 1 0 2 の読出指令出力端子からは所定値よりも低い電圧のローレベルの信号が出力される。

【 0 1 9 7 】

つまり、書込指令出力端子及び読出指令出力端子は、通常電圧がハイレベルに維持されており、ユーザワーク R A M 1 0 4 への読み書きを行うときにのみ電圧がローレベルになる。

【 0 1 9 8 】

また、C P U コア 1 0 2 は、アドレスバス 6 5 0 に指定したアドレスを出力し、データバス 6 6 0 を介して指定したアドレスに格納されたデータを入出力する。

【 0 1 9 9 】

まず、ユーザワーク R A M 1 0 4 のデータの読み出しについて説明する。

【 0 2 0 0 】

C P U コア 1 0 2 から、ユーザワーク R A M 1 0 4 の読出指令入力端子 (R D (負論理)) に読出指令が入力されると、アドレスバス 6 5 0 及びデータバス 6 6 0 を介して C P U コア 1 0 2 に読出データが出力される。

【 0 2 0 1 】

このとき、C P U コア 1 0 2 からアドレスバス 6 5 0 へは、ユーザワーク R A M 1 0 4 のアドレスが出力され、アドレスデコーダ 6 1 1 からユーザワーク R A M 1 0 4 のチップ選択端子 (所謂 C S 端子に相当、図示は略) に選択信号が入力されることによって、ユーザワーク R A M 1 0 4 が選択される。次いで、選択されたユーザワーク R A M 1 0 4 は、

10

20

30

40

50

アドレスバス 6 5 0 が指定する記憶領域のデータをデータバス 6 6 0 へ出力する。次いで、CPU コア 1 0 2 は、データバス 6 6 0 へ出力されたデータを内部へ取り込む。このような手順により、CPU コア 1 0 2 はユーザワーク RAM 1 0 4 からデータを読み出す。

【 0 2 0 2 】

次に、ユーザワーク RAM 1 0 4 へのデータの書き込みについて説明する。

【 0 2 0 3 】

CPU コア 1 0 2 に備わる書込指令出力端子は、RAM アクセス規制回路 6 4 0 のOR ゲート回路 6 4 2 に備わる二つの入力端子のうち一方の入力端子に接続される。OR ゲート回路 6 4 2 の他方の入力端子は、RAM アクセス規制回路 6 4 0 のフリップフロップ回路 6 4 1 の出力端子 (Q (負論理)) に接続され、OR ゲート回路 6 4 2 の出力端子は、ユーザワーク RAM 1 0 4 の書込指令入力端子 (WR (負論理)) に接続されている。

10

【 0 2 0 4 】

また、ユーザワーク RAM 1 0 4 の書込指令入力端子に所定値以下の電圧であるローレベルの信号が入力されると、ユーザワーク RAM 1 0 4 への書き込みが許容される。

【 0 2 0 5 】

このため、OR ゲート回路 6 4 2 の二つの入力端子にそれぞれローレベルの信号が入力されなければ、ユーザワーク RAM 1 0 4 への書き込みが許容されない。言い換えれば、OR ゲート回路 6 4 2 の少なくとも一方の入力端子にハイレベルの信号が入力されていると、ユーザワーク RAM 1 0 4 への書き込みが規制 (禁止) される。

【 0 2 0 6 】

20

ここで、RAM アクセス規制回路 6 4 0 のフリップフロップ回路 6 4 1 について説明する。

【 0 2 0 7 】

フリップフロップ回路 6 4 1 は、D 型のフリップフロップ回路であり、入力端子として、データ端子 (D)、リセット端子 (R (負論理))、及び出力イネーブル端子 (OE (負論理)) を備えるとともに、出力端子 (Q (正論理)、Q (負論理)) を備える。

【 0 2 0 8 】

データ端子には、データバス 6 6 0 を構成する信号線 D 0 ~ D 7 のうち所定の一本の信号線 (例えば、D 0) が接続されている。

【 0 2 0 9 】

30

リセット端子には電源装置 1 6 0 からリセット信号線が接続され、リセット信号が入力されるとリセット端子はローレベルとなる。このときフリップフロップ回路 6 4 1 は、出力端子 Q (正論理) からローレベルの信号を出力させ、出力端子 Q (負論理) からハイレベルの信号を出力させる。出力端子 Q (正論理) からの出力と、出力端子 Q (負論理) からの出力は、相互に反転するレベルとなっている。

【 0 2 1 0 】

また、出力イネーブル端子は、出力制御回路 6 1 2 から送信された出力イネーブル信号が入力される。出力イネーブル信号がハイレベルの場合には、出力端子から信号の出力が可能な状態となる。

【 0 2 1 1 】

40

このフリップフロップ回路 6 4 1 に備えた出力端子 Q (負論理) からの信号レベルは、CPU コア 1 0 2 によって、自在に設定できるようになっている。この設定は、CPU コア 1 0 2 が、フリップフロップ回路 6 4 1 に割り当てられたアドレスの記憶領域に所定のデータを書き込むことで実現される。

【 0 2 1 2 】

具体的には、CPU コア 1 0 2 によってフリップフロップ回路 6 4 1 に割り当てられたアドレスの記憶領域にデータを書き込む処理が行われると、CPU コア 1 0 2 からアドレスバス 6 5 0 へは、フリップフロップ回路 6 4 1 のアドレスが出力される。次に、アドレスデコーダ 6 1 1 から、出力制御回路 6 1 2 を介して、フリップフロップ回路 6 4 1 の出力イネーブル端子にクロック信号が入力され、出力イネーブル端子の電圧レベルが立ち上

50

がり、ハイレベルとなる。

【0213】

このときフリップフロップ回路641は、データ端子に入力されている信号を取り込んで、取り込んだ信号を出力端子Q（正論理）から出力し、取り込んだ信号の反転値を出力端子Q（負論理）から出力する。

【0214】

また、フリップフロップ回路641は、出力制御回路612がクロック信号の入力を終了した場合には、出力イネーブル端子の電圧レベルは立ち下がりローレベルとなり、出力端子Q（正論理）及び出力端子Q（負論理）の電圧レベルを保持する。

【0215】

また、出力端子Q（負論理）は、ORゲート回路642の入力端子に信号を出力する。出力端子Q（正論理）には何も接続されない。

【0216】

次に、フリップフロップ回路641の入力状態に応じた各種動作について説明する。

【0217】

フリップフロップ回路641は、前述したように、出力イネーブル端子の電圧レベルの立ち上り、つまり出力イネーブル信号の入力開始時に、データ端子の電圧レベルを読み取り、読み取った電圧レベルの反転値を出力端子Q（負論理）から出力する。

【0218】

一方、フリップフロップ回路641は、出力イネーブル端子の電圧レベルの立ち下がり、つまり、出力イネーブル信号の入力終了時に、出力イネーブル端子の電源レベルの立ち上がり時の出力端子Q（負論理）からの出力を保持する。

【0219】

出力端子Q（負論理）からハイレベルの信号がORゲート回路642の入力端子に出力されていると、ORゲート回路642の他方の入力端子にローレベル及びハイレベルのいずれの信号が入力されても、ORゲート回路642の出力端子からはハイレベルの信号が出力される。

【0220】

このため、フリップフロップ回路641の出力端子Q（負論理）からハイレベルの信号が出力されていれば、ORゲート回路642の他方の入力端子に書込指令信号が入力されても（当該他方の入力端子にローレベルの信号が入力されても）、ユーザワークRAM104の書込指令入力端子にはローレベルが入力されなくなり、RAM書込禁止状態が発生する。

【0221】

RAMアクセス規制回路640をRAM書込禁止状態にするかRAM書込許可状態にするかは、クロック信号がフリップフロップ回路641に入力されたときのフリップフロップ回路641のデータ端子に入力される電圧レベル、又はリセット信号の入力の有無に基づく。

【0222】

前述のようにCPUコア102は、出力制御回路612を制御してクロック信号の出力を制御でき、データバス660の信号線の出力も制御できるので、フリップフロップ回路641の出力端子Q（負論理）から出力される信号は、CPUコア102によって制御可能である。言い換えると、CPUコア102は、データバス660の信号レベルを制御することによってRAMアクセス規制回路640の書込状態を制御できる。

【0223】

さらに、前述のようにフリップフロップ回路641のリセット端子にリセット信号が入力された場合には、フリップフロップ回路641は、出力端子Qの電圧レベルをローにするため、出力端子Q（負論理）の電圧レベルはハイになる。このため、フリップフロップ回路641にリセット信号が入力された場合には、RAMアクセス規制回路640では、RAM書込禁止状態が発生することになる。

10

20

30

40

50

【 0 2 2 4 】

前述のように、出力制御回路 6 1 2 が払出制御装置 2 1 0 に接続されるシリアル送信回路 6 1 5 B にクロック信号を入力すると、シリアル送信回路 6 1 5 B は、クロック信号が入力されたタイミングで、データバス 6 1 7 からデータを読み取り、読み取ったデータを送信データバッファレジスタ 6 3 5 A に格納する。そして、送信データバッファレジスタ 6 3 5 A に格納されたデータを送信データシフトレジスタ 6 3 5 B に格納し、払出制御装置 2 1 0 に順次出力する。

【 0 2 2 5 】

なお、前述したセキュリティ回路 6 3 0、R A M アクセス規制回路 6 4 0、及びシリアル送信回路 6 1 5 の起動（リセット）は、電源装置 1 6 0 からのリセット信号を、前述の
10 リセット回路 6 1 0 B（図 5）を介して受け入れた場合に実行される。ただし、電源装置 1 6 0 からのリセット信号は、必ずしもリセット回路 6 1 0 B を介して各回路に入力される必要はなく、リセット回路 6 1 0 B を経由しない別個の信号線を介して各回路に入力されるような構成でもよい。

【 0 2 2 6 】

なお、シリアル送信回路 6 1 5（6 1 5 A、6 1 5 B）においては、図 7～図 1 0 の説明で前述したように、リセット信号によって、演出制御装置 1 5 0 や払出制御装置 2 1 0 へのデータ出力がオフ状態となる。

【 0 2 2 7 】

また、払出制御装置 2 1 0 は、シリアル送信回路 6 1 5 を備えてはいない点が、図 6 に
20 示した遊技制御装置 1 0 0 と異なっている。その他の構成は、図 1 1 に示した遊技制御装置 1 0 0 と同じ構成である。

【 0 2 2 8 】

また、演出制御装置 1 5 0 は、シリアル送信回路 6 1 5 を備えてはいない点、さらに、遊技用演算処理装置 6 0 0 に R A M アクセス規制回路 6 4 0 を備えていない点が、図 6 に示した遊技制御装置 1 0 0 と異なっている。その他の構成については、図 1 1 に示した遊技制御装置 1 0 0 と同じ構成である。

【 0 2 2 9 】

なお、払出制御装置 2 1 0 及び演出制御装置 1 5 0 に備えたシリアル受信回路 6 2 5 は、払出制御装置 2 1 0（又は演出制御装置 1 5 0）の C P U 1 0 2 が起動した後であれば
30、遊技制御装置 1 0 0 のシリアル送信回路 6 1 5 からの信号を受け入れられる状態となっている。なお、払出制御装置 2 1 0（又は演出制御装置 1 5 0）のシリアル受信回路 6 2 5 と C P U 1 0 2 とは、データバス 6 1 7 によって相互に接続される構成となっている。

【 0 2 3 0 】

図 1 2 は、本発明の第 1 の実施の形態の C P U コア 1 0 2 の内部構成を説明するブロック図である。C P U コア 1 0 2 は Z 8 0 系の C P U として構成されている。

【 0 2 3 1 】

図 1 2 に示す C P U コア 1 0 2 は、それぞれ 8 ビットの幅を有する、W レジスタ 1 2 0 1 A、A レジスタ 1 2 0 2 A、B レジスタ 1 2 0 4 A、C レジスタ 1 2 0 5 A、D レジスタ 1 2 0 7 A、E レジスタ 1 2 0 8 A、H レジスタ 1 2 1 0 A、L レジスタ 1 2 1 1 A を
40 備えている。

【 0 2 3 2 】

これらの汎用レジスタは、W レジスタ 1 2 0 1 A と A レジスタ 1 2 0 2 A とを組み合わせ、16 ビットの幅を有する W A レジスタ 1 2 0 3 A として使用することも可能である。同様に、B レジスタ 1 2 0 4 A と C レジスタ 1 2 0 5 A とを組み合わせた B C レジスタ 1 2 0 6 A、D レジスタ 1 2 0 7 A と E レジスタ 1 2 0 8 A とを組み合わせた D E レジスタ 1 2 0 9 A、H レジスタ 1 2 1 0 A と L レジスタ 1 2 1 1 A とを組み合わせた H L レジスタ 1 2 1 2 A を使用することも可能である。

【 0 2 3 3 】

なお、これらの汎用レジスタは、1 つの汎用レジスタ群（バンク 0 のレジスタ群）1 2
50

20Aを形成している。一方、CPUコア102は、バンク0のレジスタ群1220Aに含まれる汎用レジスタと同様の構成を有する、もう1つの汎用レジスタ群（バンク1のレジスタ群）1220Bを備えている。

【0234】

このバンク1のレジスタ群1220Bには、バンク0のWレジスタ1201A～Lレジスタ1211Aと同一の機能を有する、Wレジスタ1201B～Lレジスタ1211Bを備えている。これらのレジスタも、バンク0同様に、WAレジスタ1203B～HLレジスタ1212Bとして、16ビットのレジスタとして使用することが可能である。

【0235】

さらに、CPUコア102は、8ビットの幅を有するフラグレジスタ1200を備えている。

10

【0236】

フラグレジスタ1200は、図13で詳細を説明するが、レジスタを用いた演算結果が格納される。また、フラグレジスタ1200の、レジスタバンクセクタ(RBS)1301（図13で後述）によって、2つの汎用レジスタ群1220A、1220Bのうちのいずれを、演算対象として用いるかが選択される。

【0237】

レジスタバンクセクタ(RBS)1301により選択されたレジスタ群に属する各レジスタは、後述の命令解釈実行回路1242によって演算に用いられる。一方、選択されていないレジスタ群に属する各レジスタは、レジスタバンクセクタ(RBS)1301

20

の値が変更されて選択対象となるまでは、値を保持する。

【0238】

また、CPUコア102は、8ビットの幅を有して、上位アドレス指定レジスタとして機能するKレジスタ1230を備えている。このレジスタは、後述の命令解釈実行回路1242が、所定の16ビットのアドレスに記憶されたデータにアクセスする際の上位8ビットのアドレスを指定する上位アドレス指定レジスタである。

【0239】

さらに、CPUコア102は、それぞれ16ビットの幅を有する、IXレジスタ1231、IYレジスタ1232、スタックポインタとして機能するSPレジスタ1233、及びプログラムカウンタとして機能するPCレジスタ1234を備えている。

30

【0240】

IXレジスタ1231、IYレジスタ1232は、後述の命令解釈実行回路1242がデータをアクセスする際のインデックスとして用いられる。スタックポインタ1233は、スタックエリア（図18で後述）にデータを格納する（又はデータを取り出す）際の領域の位置を示す。プログラムカウンタ1234は、後述の命令解釈実行回路1242で実行されている命令が格納されているアドレスを示している。

【0241】

命令解釈実行回路1242は、遊技制御プログラムを実行して、CPUコア102内部の各レジスタを用いた演算処理を行う。具体的には、ユーザプログラムROM103にて、プログラムカウンタ1234に示されるアドレスに記憶されたデータを読み出すとともに、読み出したデータをコードと見なして、コードに対応する命令を実行する。

40

【0242】

故に、本実施形態においては、CPUコア102自体を演算処理手段として例示しているが、CPUコア102の内部では、命令解釈実行回路1242が主体となって演算処理手段の機能を果たしている。

【0243】

なお、命令解釈実行回路1242は、遊技制御プログラムの命令に対応して、アクセス回路1243、アドレスバス650、及びデータバス660を介して、CPUコア102外部のユーザプログラムROM103、ユーザワークRAM604、及び他の回路との間で、データの授受を行う場合もある。

50

【 0 2 4 4 】

また、命令解釈実行回路 1 2 4 2 は、ユーザプログラム R O M 1 0 3 の命令を 1 つずつ実行する毎に、次の命令が格納されているアドレスをプログラムカウンタ 1 2 3 4 に格納する。このようにして命令の実行と、プログラムカウンタ 1 2 3 4 の更新を繰り返すことで、遊技制御プログラムが順次実行される。なお、割込制御回路 6 1 0 A からの割込信号を受け付けると、プログラムカウンタ 1 2 3 4 の値は、予め設定された割込処理のアドレスの値に切り替えられる。

【 0 2 4 5 】

この命令解釈実行回路 1 2 4 2 及び C P U コア 1 0 2 に備える各レジスタは、内部バス 1 2 3 5 によって、データが授受される。

10

【 0 2 4 6 】

初期値設定回路 1 2 4 1 は、C P U コア 1 0 2 に備える各レジスタに初期値をハード的に設定する回路である。

【 0 2 4 7 】

内蔵リセット回路 1 2 4 0 は、セキュリティ回路 6 3 0 からのリセット信号を受信すると、初期値設定回路 1 2 4 1 を起動させ、C P U コア 1 0 2 に備える各レジスタに初期値を設定させたのちに、命令解釈実行回路 1 2 4 2 を起動させる。

【 0 2 4 8 】

図 1 3 は、本発明の第 1 の実施の形態のフラグレジスタ 1 2 0 0 の構成を説明する図である。フラグレジスタ 1 2 0 0 の各ビットの値は、図 1 2 における命令解釈実行回路 1 2 4 2 によって設定される。

20

【 0 2 4 9 】

割込マスタ許可フラグ (I M F) 1 3 0 0 は、割込信号による割込処理の許否を設定するフラグであり、セット (値が「 1 」) で許可、クリア (値が「 0 」) で禁止となる。

【 0 2 5 0 】

レジスタバンクセクタ (R B S) 1 3 0 1 は、図 1 2 における命令解釈実行回路 1 2 4 2 が演算処理を行う際に、2 つの汎用レジスタ群 1 2 2 0 A、1 2 2 0 B のうちのいずれを用いるかを選択するフラグであり、セット (値が「 1 」) でバンク 1 のレジスタ群 1 2 2 0 B、クリア (値が「 0 」) でバンク 0 のレジスタ群 1 2 2 0 A が選択される。

【 0 2 5 1 】

30

オーバーフローフラグ (V F) 1 3 0 2 は、所定の演算によって演算対象の汎用レジスタに桁溢れ (オーバーフロー) が発生するとセット (値が「 1 」) され、他の場合はクリア (値が「 0 」) される。

【 0 2 5 2 】

サインフラグ (S F) 1 3 0 3 は、所定の演算によって演算対象の汎用レジスタの最上位ビットが「 1 」になるとセット (値が「 1 」) され、他の場合はクリア (値が「 0 」) される。

【 0 2 5 3 】

ハーフキャリーフラグ (H F) 1 3 0 4 は、8 ビット演算を行った結果として演算対象の汎用レジスタの 4 ビット目に桁上がり (キャリー) や桁借り (ボロー) が発生するとセット (値が「 1 」) され、他の場合はクリア (値が「 0 」) される。

40

【 0 2 5 4 】

キャリーフラグ (C F) 1 3 0 5 は、所定の演算によって桁上がり (キャリー) や桁借り (ボロー) が発生するとセット (値が「 1 」) され、他の場合はクリア (値が「 0 」) される。

【 0 2 5 5 】

ゼロフラグ (Z F) 1 3 0 6 は、所定の演算結果が「 0 」となった場合にセット (値が「 1 」) され、他の場合はクリア (値が「 0 」) される。

【 0 2 5 6 】

ジャンプステータスフラグ (J F) 1 3 0 7 は、キャリーフラグ (C F) 1 3 0 5 又は

50

ゼロフラグ（ZF）1306の少なくとも一方がセットされた場合にはセット（値が「1」）される。若しくは、演算処理を行わない場合であっても、汎用レジスタの値が「00H」の値になった場合は、セット（値が「1」）される。このような条件をいずれも満たさない場合は、クリア（値が「0」）される。

【0257】

図14は、本発明の第1の実施の形態のユーザワークRAM104の一例を示す図である。

【0258】

ユーザワークRAM104は、第1停電復旧領域701、ワークエリア702、第2停電復旧領域703、チェックサム領域704、使用禁止領域（アクセス禁止領域）705、及びスタック領域706を有する。

10

【0259】

ユーザワークRAM104には、アドレス「2800H」～「29FFH」が割り当てられており、第1停電復旧領域701にはアドレス「2800H」が割り当てられ、ワークエリア702にはアドレス「2801H」～「2917H」が割り当てられ、第2停電復旧領域703にはアドレス「2918H」が割り当てられ、チェックサム領域704にはアドレス「2919H」が割り当てられ、使用禁止領域705にはアドレス「291AH」～「297FH」が割り当てられ、スタック領域706にはアドレス「2980H」～「29FFH」が割り当てられる。

【0260】

20

ユーザワークRAM104の各領域について説明する。

【0261】

第1停電復旧領域701及び第2停電復旧領域703は、遊技機1への電源供給開始時に参照される情報が格納されており、直前の電源供給停止のとき（停電発生や遊技機1の電源スイッチをオフにしたとき）に、電源遮断の処理が正しく実行されていたか否かを示す情報（電源遮断確認フラグ）が格納されている。

【0262】

ワークエリア702には、遊技制御で必要な変数等が格納され、図25及び図26に示す遊技制御装置メイン処理並びに図29に示すタイマ割込処理等で、これらの変数が更新される。具体的には、特図変動表示ゲーム及び普図変動表示ゲームの保留数を格納する保留カウンタ、特図変動表示ゲームを実行するために必要な各種乱数の生成領域、普図変動表示ゲームを抽選するために必要な乱数（普図乱数）の生成領域、普図乱数の保存領域、特図変動表示ゲームを実行するために必要な各種乱数の保存領域などがワークエリア702に記憶される。これらの詳細については、図15から図17を参照して後述する。

30

【0263】

チェックサム領域704には、停電発生時に算出されたユーザワークRAM104の第1停電復旧領域701、ワークエリア702、及び第2停電復旧領域703のチェックサムが格納される。

【0264】

使用禁止領域705は使用されない記憶領域であり、当該領域へのアクセスがあると、セキュリティ回路630（図6）によって、CPUコア102がリセットされるようになっている。

40

【0265】

スタック領域706には、CPUコア102で演算されているデータの一部を一時的に退避させる場合に、退避データが格納される。また、割込みが発生した場合の戻りアドレスや、サブルーチンや関数を呼び出す場合の戻りアドレスも格納される。

【0266】

なお、本実施形態では、ワークエリア702のうち遊技制御に用いられる各種乱数の生成及び保存領域の上位アドレスと、スタック領域706が割り当てられている領域の上位アドレスが異なるように設定されている。具体的には、ワークエリア702の各種乱数の

50

生成及び保存領域の上位アドレスが「28H」、スタック領域の上位アドレスが「29H」となっており、乱数更新時にスタック領域の値を誤って更新してしまったり、スタック領域更新時に乱数の値を誤って更新してしまったりすることを防止している。

【0267】

さらに、上位アドレスが誤って設定されてしまった場合であっても誤作動を生じさせないように、各種乱数の生成及び保存領域の下位アドレスがスタック領域の下位アドレスと重ならないように設定している。

【0268】

具体的には、図15から図17で後述する、特図変動表示ゲームを実行するための各種乱数（始動記憶）の生成領域（2820H～2827H）、普図乱数の生成領域（2828H）及び普図乱数の保存領域（282CH～282FH）、第1特図変動表示ゲームを実行するための各種乱数（始動記憶）の保存領域（2830H～284FH）、及び、第2特図変動表示ゲームを実行するための各種乱数（始動記憶）の保存領域（2850H～286FH）などが該当する。これらの領域の上位アドレスを「28H」から「29H」に置換した領域（即ち2920H～296FHの領域）は、図14に示すように、使用禁止領域705として設定されている。

10

【0269】

図15から図17は、本発明の第1の実施の形態のユーザワークRAM104に割り当てられたワークエリア702に格納されるデータの具体例を説明する図である。図15は保留カウンタ、各種乱数の生成領域及び普図乱数の保存領域を示す。図16は第1特図変動表示ゲームを実行するために必要な各種乱数の保存領域、図17は第2特図変動表示ゲームを実行するために必要な各種乱数の保存領域を示す。

20

【0270】

図15を参照すると、保留カウンタを格納する領域として281DHから281FHが割り当てられている。具体的には、第1特図変動表示ゲームの保留記憶数を格納する第1特図保留カウンタ（281DH）、第2特図変動表示ゲームの保留記憶数を格納する第1特図保留カウンタ（281EH）、普図変動表示ゲームの保留記憶数を格納する普図保留カウンタ（281FH）となっている。さらに、特図変動表示ゲームを実行するための各種乱数（始動記憶）の生成領域（2820H～2827H）、普図乱数の生成領域（2828H）及び普図乱数の保存領域（282CH～282FH）が割り当てられている。

30

【0271】

特図変動表示ゲームを実行するための各種乱数には、特図変動表示ゲームの大当りを決定するための大当り乱数（2バイト）、特図変動表示ゲームの大当り図柄を決定するための大当り図柄乱数、特図変動表示ゲームの変動パターンを決定するための第1変動P（パターン）乱数（2バイト）、第2変動P（パターン）乱数、第3変動P（パターン）乱数（2バイト）が含まれる。

【0272】

図16を参照すると、第1特図変動表示ゲームを実行するための各種乱数を格納する領域が割り当てられている。本実施形態では、第1特図変動表示ゲームの始動記憶（特図1始動記憶）を最大4回分保持可能となっている。そして、これら乱数値は、特図始動口SW共通処理（図40）において設定される。

40

【0273】

具体的には、記憶された特図1始動記憶の保留順に領域が割り当てられる。具体的には、保留1は2830Hから2837H、保留2は2838Hから283FH、保留3は2840Hから2847H及び保留4は2848Hから284FHの各領域が割り当てられている。また、各領域には、前述した特図変動表示ゲームを実行するための各種乱数に応じた領域がさらに割り当てられている。

【0274】

そして、保留1個目の特図1始動記憶に対応する第1特図変動表示ゲームが実行される場合には、後述する特図普段処理の特図1変動開始処理（図45）において、保留1個目

50

の各乱数を取得（一時的に退避）した後に、保留２個目～４個目の特図１始動記憶に対応する領域に記憶された各乱数を保留１個目～３個目の特図１始動記憶に対応する領域にシフトする。

【０２７５】

そして、遊技制御装置１００は、後述する特図大当たり判定処理（図４２）において、取得した各乱数（一時的に退避していた保留１個目の各乱数）の値と、予め定義された特図１変動表示ゲーム用の大当たり判定値とを比較して、特図１変動表示ゲームが大当たりか否かを判定し、特図１始動記憶数（第１特図保留カウンタに記憶された値）を１減算する。

【０２７６】

図１７を参照すると、図１６に示した第１特図変動表示ゲームの場合と同様に、第２特図変動表示ゲームを実行するための各種乱数（特図２始動記憶）を格納する領域が割り当てられている。特図２始動記憶に含まれる各種乱数は、特図１始動記憶と同様に処理される。

10

【０２７７】

図１８及び図１９は、本発明の第１の実施の形態のスタック領域７０６の一例を示す図である。図１８及び図１９では、スタック領域７０６に戻りアドレスや所定のレジスタの値が格納される場合について説明する。

【０２７８】

まず、図１８（Ａ）は、遊技機１に電源が投入された直後の状態であり、スタック領域７０６に何もデータが格納されていない状態を示している。この場合、スタックポインタ（ＳＰ）１２３３は、スタック領域の最終領域（２９ＦＦＨ）をスタックポインタ初期値として示している。

20

【０２７９】

図１８（Ｂ）は、スタック領域７０６に退避データが格納されたり、割込み発生やサブルーチン呼び出しによって、スタック領域７０６に戻りアドレスなどのデータが格納された状態を示している。この場合、最後にデータ（又はアドレス）が格納された領域の１つ上のアドレスを、スタックポインタ１２３３によって示すことになる。

【０２８０】

なお、スタック領域７０６に戻りアドレスが格納される場合としては、割込みが発生した場合と、後述する「ＣＡＬＬ」命令を実行して通常のサブルーチン呼び出しを行った場合とがあるが、本実施形態では、前者の場合と後者の場合とで、スタック領域７０６に格納されるデータが異なる。

30

【０２８１】

図１９（Ｃ）は、呼出元のルーチンにて後述する「ＣＡＬＬ」命令を実行して通常のサブルーチン呼び出しを行った場合において、スタック領域７０６にデータが退避する様子を示している。なお、この図は、図１８（Ｂ）の状態にて「ＣＡＬＬ」命令を実行した直後の様子を示している。

【０２８２】

図１８（Ｂ）において、「ＣＡＬＬ」命令を実行すると、スタック領域７０６に、呼出元のルーチンの戻りアドレスが上位バイトと下位バイトに分離して格納される。このとき、最後にアドレスが格納された領域の１つ上のアドレスが、スタックポインタ１２３３によって示される。

40

【０２８３】

なお、呼出先のサブルーチンの処理の最後にて、後述する「ＲＥＴ」命令が実行されると、この戻りアドレスがプログラムカウンタ１２３４に戻されるとともに、スタックポインタ１２３３の値も、「ＣＡＬＬ」命令実行前の値に戻る（図１８（Ｂ）の状態に戻る）。これにより、呼出元のルーチンに処理を戻すことができる。

【０２８４】

一方、図１９（Ｄ）は、呼出元のルーチンにて割込みが発生して、呼出先の割込処理のルーチンが実行される場合において、スタック領域７０６にデータが退避する様子を示し

50

ている。なお、図 19 (D) は、図 18 (B) の状態にて割込みが発生した直後の様子を
示している。

【 0 2 8 5 】

図 18 (B) において、割込みが発生すると、スタック領域 7 0 6 に、まず、呼出元の
ルーチンで設定されていたフラグレジスタ 1 2 0 0 の値が格納され、次に、呼出元のルー
チン戻りアドレスが上位バイトと下位バイトに分離して格納される。このとき、最後にア
ドレスが格納された領域の 1 つ上のアドレスが、スタックポインタ 1 2 3 3 によって示さ
れる。

【 0 2 8 6 】

なお、呼出先の割込処理ルーチンの最後にて、後述する「 R E T I 」若しくは「 R E T
N 」命令が実行されると、スタック領域 7 0 6 に格納していた戻りアドレスがプログラム
カウンタ 1 2 3 4 に戻され、スタック領域 7 0 6 に格納していたフラグレジスタの値も、
フラグレジスタ 1 2 0 0 に戻される。さらに、スタックポインタ 1 2 3 3 の値も、割込み
が発生する前の値に戻される (図 18 (B) の状態に戻る) 。これにより、呼出元のルー
チンに処理を戻すことができる。

【 0 2 8 7 】

このようにして、スタック領域 7 0 6 に格納された戻りアドレス等のデータは、後に格
納された戻りアドレスから先に読み出される。

【 0 2 8 8 】

なお、後述する「 P U S H 」命令を実行すると、命令で指定されたレジスタの値がスタ
ック領域 7 0 6 に格納され、スタックポインタ 1 2 3 3 の値も、図 19 (C) や図 19 (D)
と同様に、最後にデータが格納された領域の 1 つ上のアドレスを示すことになる。

【 0 2 8 9 】

一方、後述する「 P O P 」命令を実行すると、スタック領域 7 0 6 に格納されていた値
を取り出して、命令で指定されたレジスタに格納され、スタックポインタ 1 2 3 3 の値も
、図 19 (C) から図 18 (B) に変化するように、最後にデータが取り出された領域の
アドレスを示すことになる。

【 0 2 9 0 】

このように、本実施形態では、スタック領域 7 0 6 において最後にデータが格納された
アドレスの 1 つ上のアドレス (言い換えれば、最後に取り出されたデータのアドレス) を
、スタックポインタ 1 2 3 3 によって示している。すなわち、現時点でのスタックポイン
タ 1 2 3 3 は、次のスタック領域 7 0 6 に格納されるデータのアドレスを示している。

【 0 2 9 1 】

なお、別の方法として、現時点でのスタックポインタ 1 2 3 3 によって、次にスタック
領域 7 0 6 から取り出されるデータのアドレスを示すような方法も考えられる。このよう
な変形例を図 20 に示す。

【 0 2 9 2 】

図 20 (E) は、遊技機 1 に電源が投入された直後の状態であり、スタック領域 7 0 6
に何もデータが格納されていない状態を示している。この場合、スタックポインタ (S P)
1 2 3 3 は、スタック領域の最終領域 (2 9 F F H) の 1 つ下のアドレス (2 A 0 0 H)
をスタックポインタ初期値として示している。なお、このスタックポインタ初期値が示
す領域は、スタック領域には含まれない領域 (本実施形態では、ユーザワーク R A M 1 0
4 の記憶領域にも含まれていない領域) である。

【 0 2 9 3 】

図 20 (F) は、スタック領域 7 0 6 に退避データが格納されたり、割込み発生やサブ
ルーチン呼び出しによって、スタック領域 7 0 6 に戻りアドレスなどのデータが格納され
た状態を示している。この場合、最後にデータ (又はアドレス) が格納された領域を、
スタックポインタ 1 2 3 3 によって示すことになる。スタック領域 7 0 6 からデータを取り
だす場合は、現時点でスタックポインタ 1 2 3 3 が示しているアドレスからデータを取り
出せばよい。

10

20

30

40

50

【 0 2 9 4 】

なお、スタック領域 7 0 6 の割り当てが、上位アドレスが同じ領域に限定されている（例えば、2 9 0 0 H ~ 2 9 F F H の領域に割り当てられることが限定されている）のであれば、スタックポインタ 1 2 3 3 は下位のアドレスのみを指定するだけで機能を発揮する。このような構成においては、スタックポインタ 1 2 3 3 を 1 バイトのレジスタで構成することが可能であり、図 2 0 の方法よりも、図 1 8 及び図 1 9 の方法にてスタックポインタ 1 2 3 3 によるアドレス指定を行う構成が効果的である。

【 0 2 9 5 】

図 2 1 及び図 2 2 は、本発明の第 1 の実施の形態の C P U コア 1 0 2 によって実行される遊技制御プログラムを記述するためのアセンブリ言語の命令を説明する図である。各命令は、対応するコードデータに変換されて、ユーザプログラム R O M 1 0 3 の所定のアドレスに記憶されている。図 2 1 は、変換後のコードデータにアドレス部を含まない命令（変換後のコードデータが命令コード部のみで構成される命令）を示し、図 2 2 は、変換後のコードデータに命令コード部とアドレス部の各々を含む命令を示している。なお、ここで対象となるレジスタは、図 1 2 に示すレジスタである。

10

【 0 2 9 6 】

図 2 1 において、命令 2 1 0 0 は、指定するレジスタの値を、A レジスタ 1 2 0 2 A に格納する命令である。例えば、「L D A , B」は、B レジスタ 1 2 0 4 A の値を、A レジスタ 1 2 0 2 A に格納する命令である。他の「L D A , C」~「L D A , L」の命令も同様に、対応する C レジスタ 1 2 0 5 A ~ L レジスタ 1 2 1 1 A から値を抽出して、A レジスタ 1 2 0 2 A に格納する命令である。

20

【 0 2 9 7 】

命令 2 1 0 1 は、A レジスタ 1 2 0 2 A の値を、指定するレジスタに格納する命令である。例えば、「L D B , A」は、A レジスタ 1 2 0 2 A の値を、B レジスタ 1 2 0 4 A の値に格納する命令である。他の「L D C , A」~「L D L , A」の命令も同様に、A レジスタ 1 2 0 2 A から値を抽出して、対応する C レジスタ 1 2 0 5 A ~ L レジスタ 1 2 1 1 A に格納する命令である。

【 0 2 9 8 】

命令 2 1 0 2 は、A レジスタ 1 2 0 2 A の値と指定するレジスタの値とで論理和演算を行い、演算結果を A レジスタ 1 2 0 2 A に格納する命令である。例えば、「O R B」は、A レジスタ 1 2 0 2 A の値と B レジスタ 1 2 0 4 A の値とで、各ビット毎に論理和演算を行い、演算結果を A レジスタ 1 2 0 2 A に格納する命令である。他の「O R C」~「O R L」の命令も同様に、A レジスタ 1 2 0 2 A の値と、対応する C レジスタ 1 2 0 5 A ~ L レジスタ 1 2 1 1 A の値とで論理和演算を行い、演算結果を A レジスタ 1 2 0 2 A に格納する命令である。

30

【 0 2 9 9 】

命令 2 1 0 3 の「A D D A , A」は、A レジスタ 1 2 0 2 A の値に、同じ A レジスタ 1 2 0 2 A の値を加算して、演算結果を A レジスタ 1 2 0 2 A に格納する命令である。実質的には、A レジスタ 1 2 0 2 A の値が 2 倍される演算が行われる命令である。命令 2 1 0 4 の「A D D H L , B C」は、H L レジスタ 1 2 1 2 A の値に B C レジスタ 1 2 0 6 A の値を加算して、演算結果を H L レジスタ 1 2 1 2 A に格納する命令である。

40

【 0 3 0 0 】

命令 2 1 0 5 の「P U S H H L」は、H L レジスタ 1 2 1 2 A の値を、スタックエリアに格納する命令である。命令 2 1 0 6 の「P O P H L」は、スタックエリアから取り出した値を H L レジスタ 1 2 1 2 A の値に格納する命令である。

【 0 3 0 1 】

命令 2 1 0 7 の「I N C H L」は、H L レジスタ 1 2 1 2 A の値を「1」だけ加算する命令である。命令 2 1 0 8 の「D E C H L」は、H L レジスタ 1 2 1 2 A の値を「1」だけ減算する命令である。

【 0 3 0 2 】

50

命令 2109 の「J P (H L)」は、H L レジスタ 1212 A の値をアドレスと見なして、そのアドレス先に分岐する命令である。例えば、H L レジスタ 1212 A の値が「1234 H」であれば、命令解釈実行回路 1242 は、プログラムカウンタ 1234 の値を「1234 H」に変更する。これにより、次に、命令解釈実行回路 1242 が実行する命令は、アドレスが「1234 H」となる領域に格納されているコードを変換した命令となる。以降、命令解釈実行回路 1242 は、変更後のアドレス以降の命令を順次実行する。

【0303】

命令 2110 は、スタックエリアに格納された値をプログラムカウンタ 1234 に戻すことで、呼び出し先の処理ルーチンから、呼び出し元の処理ルーチンに復帰する命令である。ここで、「R E T」は、図 22 で後述する「C A L L n n」命令の実行により呼び出された処理ルーチンから復帰する命令であり、「R E T I」は、I N T 割込により呼び出された処理ルーチンから復帰する命令であり、「R E T N」は、N M I 割込により呼び出された処理ルーチンから復帰する命令である。

10

【0304】

命令 2111 は、割込を受け付けるか否かを設定する命令である。「D I」は割り込みの禁止を設定する命令であり、「E I」は割り込みの許可を設定する命令である。

【0305】

命令 2112 は、K レジスタ 1230 に格納されている値を上位バイトとし、L レジスタ 1211 A に格納されている値を下位バイトとして合成した 2 バイトの値をアドレスと見なして、そのアドレスの領域に記憶されている値を、A レジスタ 1202 A に設定する命令である。具体的には、「2803 H」のアドレスに記憶された値を A レジスタ 1202 A に設定したいときは、予め、K レジスタ 1230 に「28 H」の値を格納するとともに、L レジスタ 1211 A に「03 H」の値を格納し、その状態で「L D K A, (L)」という命令を実行する。

20

【0306】

なお、A レジスタ 1202 A の値を、所望のアドレスの領域に格納する場合は、予め格納先の上位アドレスを K レジスタ 1230 に設定し、下位アドレスを L レジスタ 1211 A に設定した状態で、図に示す「L D K (L), A」という形式の命令を実行する。

【0307】

命令 2113 の「I N C L」は、L レジスタ 1211 A に格納されている値を「1」だけ加算する命令である。ただし、L レジスタ 1211 A の値が「F F H」のときに、「I N C L」命令を実行すると、命令実行後の L レジスタ 1211 A の値が「00 H」になる。

30

【0308】

命令 2114 の「D E C L」は、L レジスタ 1211 A に格納されている値を「1」だけ減算する命令である。ただし、L レジスタ 1211 A の値が「00 H」のときに、「D E C L」命令を実行すると、命令実行後の L レジスタ 1211 A の値が「F F H」になる。

【0309】

命令 2115 は、図 13 で前述したフラグレジスタ 1200 の「レジスタバンクセクタ」のビットに値を設定するための命令である。「L D R A S, 0」は該当ビットに「0」の値を設定する命令であり、「L D R A S, 1」は該当ビットに「1」の値を設定する命令である。

40

【0310】

命令 2106 の「P U S H F L G」は、フラグレジスタ 1200 の値を、スタックエリアに格納する命令である。命令 2107 の「P O P F L G」は、スタックエリアから取り出した値をフラグレジスタ 1200 に格納する命令である。

【0311】

図 21 に示す命令のうち、図に示すように、命令 2100 から命令 2114 までの命令

50

は、ユーザプログラムROM103に記憶される際に、1バイトの命令コード部を構成するコードデータに変換される。例えば、「LD A, B」の命令は、「78H」という1バイトのコードデータに変換されて、ユーザプログラムROM103の所定アドレスに記憶されている。

【0312】

一方、図21に示す命令のうち、命令2115から命令2117までの命令は、ユーザプログラムROM103に記憶される際に、2バイトの命令コード部を構成するコードデータに変換される。例えば、「LD RAS, 0」は、「CBH」「00H」という2バイトのコードデータに変換され、ユーザプログラムROM103の連続する所定のアドレスに記憶されている。

10

【0313】

次に、図22において、命令2200は、指定するレジスタに任意の1バイトの値を設定する命令である。図中の「n」はレジスタに設定する値を示しており、例えば、Aレジスタ1202Aに「42H」の値を設定したいときは、「LD A, 42H」という命令になる。

【0314】

なお、この命令2200は、ユーザプログラムROM103に記憶される際に、1バイトの命令コード部と、1バイトのアドレス部とからなる計2バイトのコードデータに変換される。例えば、「LD A, 42H」の命令は、1バイトの命令コード部のデータ「3EH」と、1バイトのアドレス部のデータ「42H」とに変換され、ユーザプログラムROM103の連続する所定のアドレスに「3EH」、「42H」の順で記憶されている。

20

【0315】

同様に、「LD B, n」は、Bレジスタ1204Aに任意の1バイトの値(n)を設定する命令であり、「LD K, n」は、Kレジスタ1230に任意の1バイトの値(n)を設定する命令である。これらの命令も、1バイトの命令コード部と、1バイトのアドレス部のデータに変換されて、ユーザプログラムROM103の連続する所定のアドレスに記憶されている。

【0316】

命令2201は、任意のアドレスの領域に記憶されている値を、Aレジスタ1202Aに設定する命令である。図中の「nn」は2バイトのアドレス値を示しており、例えば、「2901H」のアドレスに記憶された値をAレジスタ1202Aに設定したいときは、「LD A, (2901H)」という命令になる。

30

【0317】

なお、Aレジスタ1202Aの値を、任意のアドレスの領域に格納する場合は、図に示すように「LD (nn), A」という形式の命令になる。例えば、Aレジスタ1202Aの値を「2901H」のアドレスの領域に格納したいときは、「LD (2901H), A」という命令になる。

【0318】

この命令2201は、ユーザプログラムROM103に記憶される際に、1バイトの命令コード部と、2バイトのアドレス部とからなる計3バイトのコードデータに変換される。例えば、「LD A, (2901H)」の命令は、1バイトの命令コード部のデータ「3AH」と、2バイトのアドレス部のデータ「01H」「29H」とに変換され、ユーザプログラムROM103の連続する所定のアドレスに、「3AH」、「01H」、「29H」の順で記憶されている。

40

【0319】

命令2202は、Kレジスタ1230に格納されている値を上位バイトとし、任意の1バイトの値で示される値を下位バイトとして合成した2バイトの値をアドレスと見なして、そのアドレスの領域に記憶されている値を、Aレジスタ1202Aに設定する命令である。この場合の任意の1バイトの下位アドレスは、図中の「n」に対応している。

【0320】

50

具体的には、「2803H」のアドレスに記憶された値をAレジスタ1202Aに設定したいときは、予めKレジスタ1230に「28H」の値を格納しておき、その状態で「LDK A, (03H)」という命令を実行する。

【0321】

なお、Aレジスタ1202Aの値を、所望のアドレスの領域に格納する場合は、予め格納先の上位アドレスをKレジスタ1230に設定した状態で、図に示す「LDK (n), A」という形式の命令を実行する。例えば、Aレジスタ1202Aの値を「2803H」のアドレスの領域に格納したいときは、Kレジスタ1230の値を「28H」に設定した状態で、「LDK (03H), A」という命令を実行する。

【0322】

この命令2202は、ユーザプログラムROM103に記憶される際に、1バイトの命令コード部と、1バイトのアドレス部とからなる計2バイトのコードデータに変換される。例えば、「LDK A, (03H)」の命令は、1バイトの命令コード部のデータ「3FH」と、1バイトのアドレス部のデータ「03H」とに変換され、ユーザプログラムROM103の連続する所定のアドレスに、「3FH」、「03H」の順で記憶されている。

【0323】

命令2203は、指定するレジスタに任意の2バイトの値を設定する命令である。図中の「nn」はレジスタに設定する2バイトの値を示しており、例えば、HLレジスタ1212Aに「5678H」の値を設定したいときは、「LD HL, 5678H」という命令になる。

【0324】

なお、この命令2203は、ユーザプログラムROM103に記憶される際に、1バイトの命令コード部と、2バイトのアドレス部とからなる計2バイトのコードデータに変換される。例えば、「LD HL, 5678H」の命令は、1バイトの命令コード部のデータ「21H」と、2バイトのアドレス部のデータ「78H」「56H」とに変換され、ユーザプログラムROM103の連続する所定のアドレスに「21H」、「78H」、「56H」の順で記憶されている。

【0325】

同様に、「LD SP, nn」は、スタックポインタ1233に任意の2バイトの値(n)を設定する命令である。これらの命令も、1バイトの命令コード部と、2バイトのアドレス部のデータに変換されて、ユーザプログラムROM103の連続する所定のアドレスに記憶されている。

【0326】

命令2204は、任意の連続するアドレスの領域に記憶されている2バイトの値を、HLレジスタ1212Aに設定する命令である。図中の「nn」は連続する小さいほうのアドレス値を示しており、例えば、「2901H」と「2902H」の各アドレスに記憶された値をHLレジスタ1212Aに設定したいときは、「LD HL, (2901H)」という命令になる。このとき、「2901H」のアドレスに格納されている値がLレジスタ1211Aに格納され、「2902H」のアドレスに格納されている値がHレジスタ1210Aに格納される。

【0327】

なお、HLレジスタ1212Aの値を、任意の連続するアドレスの領域に格納する場合は、図に示すように「LD (nn), HL」という形式の命令になる。例えば、HLレジスタ1212Aの値を、「2901H」と「2902H」の各アドレスの領域に格納したいときは、「LD (2901H), HL」という命令になる。このとき、Lレジスタ1211Aの値が「2901H」のアドレスに格納され、Hレジスタ1210Aの値が「2902H」のアドレスに格納される。

【0328】

この命令2204は、ユーザプログラムROM103に記憶される際に、1バイトの命

10

20

30

40

50

令コード部と、2バイトのアドレス部とからなる計3バイトのコードデータに変換される。例えば、「LD HL, (2901H)」の命令は、1バイトの命令コード部のデータ「2AH」と、2バイトのアドレス部のデータ「01H」「29H」とに変換され、ユーザプログラムROM103の連続する所定のアドレスに、「2AH」、「01H」、「29H」の順で記憶されている。

【0329】

命令2205は、Kレジスタ1230に格納されている値を上位バイトとし、任意の1バイトの値で示される値を下位バイトとして合成した2バイトの値をアドレスと見なして、そのアドレスの領域に記憶されている値と、当該アドレスに続くアドレスに記憶されている値の各々を、HLレジスタ1212Aに設定する命令である。この場合の任意の1バイトの下位アドレスは、図中の「n」に対応している。

10

【0330】

具体的には、「2803H」及び「2804H」のアドレスに記憶された値をHLレジスタ1212Aに設定したいときは、予めKレジスタ1230に「28H」の値を格納しておき、その状態で「LDK HL, (03H)」という命令を実行する。これにより、「2803H」のアドレスに格納されている値がLレジスタ1211Aに格納され、「2804H」のアドレスに格納されている値がHレジスタ1210Aに格納される。

【0331】

なお、HLレジスタ1212Aの値を、所望のアドレスの領域に格納する場合は、予め格納先の上位アドレスをKレジスタ1230に設定した状態で、図に示す「LDK (n), HL」という形式の命令を実行する。例えば、HLレジスタ1212Aの値を「2803H」及び「2804H」のアドレスの領域に格納したいときは、Kレジスタ1230の値を「28H」に設定した状態で、「LDK (03H), HL」という命令を実行する。

20

【0332】

この命令2205は、ユーザプログラムROM103に記憶される際に、1バイトの命令コード部と、1バイトのアドレス部とからなる計2バイトのコードデータに変換される。例えば、「LDK HL, (03H)」の命令は、1バイトの命令コード部のデータ「2FH」と、1バイトのアドレス部のデータ「03H」とに変換され、ユーザプログラムROM103の連続する所定のアドレスに、「3FH」、「03H」の順で記憶されている。

30

【0333】

命令2206は、指定するアドレスに処理を分岐させる命令である。図中の「nn」は分岐先のアドレスを示しており、例えば、「5678H」のアドレスに処理に分岐させるときは、「JP 5678H」という命令になる。この命令を実行すると、命令解釈実行回路1242は、指定するアドレスの値をプログラムカウンタ1234に設定する。

【0334】

なお、この「JP nn」の形式で示される命令は、フラグレジスタ1200の内容にかかわらず、指定するアドレスに処理を分岐する。フラグレジスタ1200のゼロフラグ1306（図13）がセットされているときのみ分岐を行いたい場合は「JP Z, nn」の命令を用い、このゼロフラグ1306がクリアされているときのみ分岐を行いたい場合は「JP NZ, nn」の命令を用いる。

40

【0335】

なお、この命令2206は、ユーザプログラムROM103に記憶される際に、1バイトの命令コード部と、2バイトのアドレス部とからなる計2バイトのコードデータに変換される。例えば、「JP 5678H」の命令は、1バイトの命令コード部のデータ「C3H」と、2バイトのアドレス部のデータ「78H」「56H」とに変換され、ユーザプログラムROM103の連続する所定のアドレスに「C3H」、「78H」、「56H」の順で記憶されている。

【0336】

50

命令 2207 の「CALL nn」は、指定するアドレスの処理を呼び出して、呼び出し先の処理ルーチンに一時的に分岐させる命令である。図中の「nn」は呼び出し先のアドレスを示しており、例えば、「5678H」のアドレスの処理を呼び出すときは、「CALL 5678H」という命令になる。この命令を実行すると、命令解釈実行回路 1242 は、現在実行中の命令の次のステップに位置するアドレスの値を、戻り先のアドレスとしてスタックエリアに格納した上で、分岐先のアドレスの値をプログラムカウンタ 1234 に設定する。

【0337】

なお、呼び出し先の処理ルーチンの最終ステップでは、前述の「RET」命令を実行することで、プログラムカウンタ 1234 には、スタックエリアに格納された戻り先のアドレスの値を復帰させることができる。これにより、呼び出し元の処理ルーチンのアドレスに処理を戻すことができる。

10

【0338】

なお、この命令 2207 は、ユーザプログラム ROM 103 に記憶される際に、1 バイトの命令コード部と、2 バイトのアドレス部とからなる計 2 バイトのコードデータに変換される。例えば、「CALL 5678H」の命令は、1 バイトの命令コード部のデータ「CDH」と、2 バイトのアドレス部のデータ「78H」「56H」とに変換され、ユーザプログラム ROM 103 の連続する所定のアドレスに「C3H」、「78H」、「56H」の順で記憶されている。

【0339】

20

図 23 は、本発明の第 1 の実施の形態の各装置（遊技制御装置 100、払出制御装置 210、及び演出制御装置 150）の電源投入時処理のフローチャートである。

【0340】

具体的には、図 23（A）は、遊技制御装置 100 の電源投入時処理のフローチャートであり、図 23（B）は、払出制御装置 210 の電源投入時処理のフローチャートであり、図 23（C）は、演出制御装置 150 の電源投入時処理のフローチャートである。

【0341】

最初に、遊技制御装置 100 の電源投入時処理（図 23（A））から説明する。この電源投入時処理は、ユーザプログラム ROM 602（図 5 参照）に記憶された遊技制御プログラムによって実行される処理ではなく、遊技制御装置 100 に備わる各種ハードウェア（CPU コア 102 周辺のハードウェア）によって実行される処理である。

30

【0342】

まず、遊技制御装置 100 は、電源装置 160 から出力されたりセット信号が伝達される（2301）。

【0343】

このリセット信号は、電源装置 160 から、セキュリティ回路 630（図 11 参照）、RAM アクセス規制回路 640 のフリップフロップ回路 641 のリセット端子（図 11 参照）、及びシリアル送信回路 615 のリセット端子に入力される。具体的には、これらのリセット端子には、電源が投入されると、所定時間、所定の電圧（例えば、5V）以下の電圧が印加されることによってリセット信号が入力され、所定時間経過後に所定の電圧が印加されることによって、リセット信号が入力されなくなる。

40

【0344】

なお、セキュリティ回路 630 は、電源装置 160 からリセット信号が入力されると、後述のセキュリティチェック処理が終了するまで CPU コア 102 のリセット端子にリセット信号を出力し続けて、CPU コア 102 の起動を待機させる。

【0345】

そして、シリアル送信回路 615 のリセット端子にリセット信号が入力されると、シリアル送信回路 615 の入力端子及び出力端子の電圧レベルがローに制御され、各種装置（普電 SOL90、大入賞口 SOL38 等）に接続される出力 I/F 106 のポートをすべて 0 に設定することにより、シリアル送信回路 615、及び出力 I/F 106 がハードウ

50

エアにより初期化される(2302)。

【0346】

次に、RAMアクセス規制回路640によって、ユーザワークRAM104への書き込み規制されるRAM書込禁止状態が発生する(2303)。

【0347】

具体的には、図11で説明したように、フリップフロップ回路641のクリア端子にはリセット信号が入力されるため、フリップフロップ回路641の出力端子Q(負論理)からハイレベルの信号が出力される状態となる。これにより、ORゲート回路642の他方の入力端子にハイレベルの信号が入力されても、ローレベルの信号が入力されても、ユーザワークRAM104の書込指令入力端子にはハイレベルの信号が入力されることになるため、RAM書込禁止状態が発生する。このように、電源投入時にRAM書込禁止状態を発生させることによって、誤ったタイミングでユーザワークRAM104が更新されることを防ぐことが可能となる。

【0348】

次に、リセット信号が入力された図11に示すセキュリティ回路630が自己診断処理を実行する(2304)。自己診断処理は、セキュリティ回路630が初期化されているか否かを判定する処理である。

【0349】

そして、自己診断処理によって、セキュリティ回路630が初期化されていると判定された場合には、セキュリティ回路630は、セキュリティチェック処理を実行する(2305)。セキュリティチェック処理は、図11で説明したように、HWパラメータROM603(図5参照)に記憶された正当性確認情報を用いて、ユーザプログラムROM602(図5参照)に記憶されたプログラムの正当性の判定を行う処理である。

【0350】

ステップ2305の処理で、セキュリティチェック処理を実行すると、遊技制御装置プログラム開始準備処理へ移行する。このとき、セキュリティ回路630は、CPUコア102のリセット端子に出力していたリセット信号を停止することで、CPUコア102が起動する。このため、遊技制御装置プログラム開始準備処理は、CPUコア102によって実行される。遊技制御装置プログラム開始準備処理は図24にて後述する。

【0351】

次に、払出制御装置210の電源投入時処理(図23(B))を説明する。前述したように、払出制御装置210は、シリアル送信回路615を備えていない点を除き、図11に示した遊技制御装置100と同じ構成である。図11に示す遊技制御装置100の構成部と同じ構成部については、同じ符号を付与して説明する。

【0352】

まず、払出制御装置210は、電源装置160から出力されたりセット信号が伝達される(2311)。なお、ステップ2311の処理は、ステップ2301の処理と同じである。

【0353】

そして、払出制御装置210にリセット信号が入力されると、払出制御装置210の出力ポート(図4の入出力I/F216に含まれる)の電圧レベルが0に設定され、各種装置(払出モータ220、及び発射制御装置221等)に接続される入出力I/F216のポートがすべて0に設定され、入出力I/F216がハードウェアにより初期化される(2312)。

【0354】

次に、払出制御装置210のRAMアクセス規制回路640によって、RAM214への書き込み規制されるRAM書込禁止状態が発生する(2313)。なお、ステップ2313の処理の具体的な説明は、ステップ2303の処理と同じである。

【0355】

次に、リセット信号が入力された払出制御装置210のセキュリティ回路630が自己

10

20

30

40

50

診断処理を実行する(2314)。なお、ステップ2314の処理の具体的な説明は、ステップ2304の処理と同じである。

【0356】

そして、自己診断処理によって、セキュリティ回路630が初期化されていると判定された場合には、セキュリティ回路630は、セキュリティチェック処理を実行する(2315)。なお、ステップ2315の処理の具体的な説明は、ステップ2305の処理と同じである。

【0357】

そして、払出制御装置210は、電源投入時の初期化処理を実行する(2316)。電源投入時の初期化処理は、RAM214等を初期化する処理であって、CPU212によって実行される。また、RAM214を初期化する前に、ステップ2313の処理で発生したRAM書込禁止状態が解除されて、RAM214はRAM書込可能状態となる。

【0358】

次に、払出制御装置210は、遊技制御装置100からの指令を受信可能な状態を発生させる(2317)。そして、払出制御装置210のCPU212は、遊技制御装置100から送信された指令が初期化指令であるか否かを判定する(2319)。ステップ2319の処理で、遊技制御装置100から送信された指令が初期化指令でないと判定された場合には(2319の結果が「N」)、初期化指令が取り込まれるまで待機する。

【0359】

一方、遊技制御装置100から送信された指令が初期化指令であると判定された場合には(2319の結果が「N」)、払出制御装置210は通信開始時の初期化処理を実行し(2320)、払出制御装置メイン処理へ移行する。

【0360】

次に、演出制御装置150の電源投入時処理(図23(C))を説明する。前述したように、演出制御装置150は、シリアル送信回路615を備えていない点、及び、遊技用演算処理装置600がRAMアクセス規制回路640を備えていない点以外は、図11に示した遊技制御装置100と同じ構成である。図11に示す遊技制御装置100の構成部と同じ構成部については、同じ符号を付与して説明する。

【0361】

まず、演出制御装置150は、電源装置160から出力されたりセット信号が伝達される(2321)。なお、ステップ2321の処理は、ステップ2301の処理と同じである。

【0362】

そして、演出制御装置150にリセット信号が入力されると、演出制御装置150の出力ポートがハードウェアにより初期化される(2322)。

【0363】

そして、演出制御装置150は、電源投入時の初期化処理を実行する(2323)。電源投入時の初期化処理は、RAM154等を初期化する処理であって、CPU152によって実行される。

【0364】

次に、演出制御装置150は、遊技制御装置100からの指令を受信可能な状態を発生させる(2324)。そして、遊技制御装置100から送信された指令が初期化指令であるか否かを判定する(2326)。

【0365】

演出制御装置150は、遊技制御装置100から送信された指令が初期化指令でないと判定された場合には(2326の結果が「N」)、初期化指令が取り込まれるまで待機する。

【0366】

一方、演出制御装置150は、遊技制御装置100から送信された指令が初期化指令であると判定された場合(2326の結果が「Y」)、演出制御装置150は通信開始時の

10

20

30

40

50

初期化処理を実行し(2327)、演出制御装置メイン処理へ移行する。

【0367】

図24は、本発明の第1の実施の形態の遊技制御装置プログラム開始準備処理を説明するフローチャートである。なお、遊技制御装置プログラム開始準備処理の前半(プログラムカウンタ1234にリセットアドレスを設定するまでの間)は、ユーザプログラムROM602(図5参照)に記憶された遊技制御プログラムによって実行される処理ではなく、CPUコア102に備わる初期値設定回路124(図12参照)によって実行される処理である。

【0368】

CPUコア102は、セキュリティ回路630からのリセット信号を受け入れると、内蔵リセット回路1240により、初期値設定回路1241を動作させる。このとき、内蔵リセット回路1240は、初期値設定回路1241が各レジスタに初期値を設定するまで、命令解釈実行回路1242の動作を待機させる。

【0369】

初期値設定回路1241が動作を開始すると、スタックポインタ1233に初期値「29FFH」を設定し、Kレジスタ1230に「28H」を設定し、HLレジスタ1212Aにリセットアドレスである「4000H」を設定し、他のレジスタには「00H」の値(16ビットレジスタには「0000H」の値)を設定する(2401)。なお、リセットアドレスは「0000H」としてもよい。

【0370】

次いで、初期値設定回路1241は、プログラムカウンタ1234に、リセットアドレスである「4000H」の値を設定する(2402)。これにより、各レジスタに初期値が設定される。次いで、内蔵リセット回路1240は、待機させていた命令解釈実行回路1242を動作させると、命令解釈実行回路1242は、プログラムカウンタ1234が示すアドレス(遊技制御プログラムが記憶されたユーザプログラムROM602のリセットアドレスに相当)からプログラムの実行を開始する。命令解釈実行回路1242がプログラムを実行開始した後の処理は、図25の遊技制御装置メイン処理にて説明する。

【0371】

次に、遊技制御装置100のCPU102によって実行される遊技制御装置メイン処理を、図25及び図26を用いて説明する。

【0372】

図25は、本発明の第1の実施の形態の遊技制御装置メイン処理の前半部のフローチャートであり、図26は、本発明の第1の実施の形態の遊技制御装置メイン処理の後半部のフローチャートである。なお、これらの処理は遊技制御装置100によって実行されるが、厳密には、命令解釈実行回路1242が、CPUコア102内部の各レジスタを参照しながら、遊技制御プログラムを実行することで実現される。

【0373】

まず、遊技制御装置100は、CPU102への割込みを禁止する(2501)。そして、遊技制御装置100は、スタックポインタ1233(図12)に初期値「29FFH」を設定する(2502A)。これにより、スタックポインタ1233の値が「29FFH」でなければ「29FFH」に変更される。なお、スタックポインタ1233に初期値「29FFH」が既に設定されていても、再度「29FFH」の値が設定される。

【0374】

次いで、遊技制御装置100は、Kレジスタ1230に「28H」の値を設定する(2502B)。これにより、Kレジスタ1230の値が「28H」でなければ「28H」に変更される。なお、Kレジスタ1230に初期値「28H」が既に設定されていても、再度「28H」の値が設定される。

【0375】

次いで、遊技制御装置100は、割込モードを設定する(2503)。割込モードは、CPU102が内蔵デバイスからの割込要求の処理を可能とし、また、プログラムにおい

10

20

30

40

50

て割込要求の処理を実行する位置を設定することを可能とするものである。

【0376】

次に、遊技制御装置100は、入力I/F105からRAMクリアSW信号の状態を取り込み、取り込んだRAMクリアSW信号の状態をCPU102のレジスタに記憶する(2504)。

【0377】

そして、遊技制御装置100は、RAM104を使用しないディレイ処理を実行する(2505)。このディレイ処理は、所定時間、処理を待機させる処理であり、具体的には、チェックサムが算出されない記憶領域にて、所定の数になるまでデクリメントし続ける処理である。ディレイ処理は、この所定の数待機させる時間に対応する時間に設定することによって、所定時間を計時するタイマ計時手段となる。なお、ディレイ処理の詳細については、図28にて後述する。

10

【0378】

次に、遊技制御装置100は、再度、入力I/F105からRAMクリアSW信号の状態を取り込み、取り込んだRAMクリアSW信号の状態をCPU102のレジスタに記憶する(2506)。なお、CPU102が二つのRAMクリア信号の状態を比較できるように、ステップ2504の処理でRAMクリアSW信号の状態を記憶するレジスタの領域、及び、ステップ2506の処理でRAMクリアSW信号の状態を記憶するレジスタの領域は、異なる領域である。

【0379】

20

次に、遊技制御装置100は、図23のステップ2303の処理で発生したRAM書込禁止状態をRAM書込可能状態にする(2507)。

【0380】

具体的には、CPU102の指令によって、フリップフロップ回路641のクロック端子にクロック信号を出力制御回路612から入力させ、かつ、フリップフロップ回路641のデータ端子に接続された信号線の信号レベルをハイレベルにする。これにより、フリップフロップ回路641の出力端子Q(正論理)からハイレベルの信号が出力され、出力端子Q(負論理)からローレベルの信号が出力されるため、ORゲート回路642の入力端子にローレベルの信号が入力されることにより、RAM書込可能状態になる。

【0381】

30

次に、遊技制御装置100は、スタック領域706を使用して、各種設定処理を実行する(2508)。この設定処理は、例えば、サブルーチンや関数を呼び出して、遊技制御に必要な各種記憶領域に初期データを設定する処理である。この設定処理において、CPU102により、図7～図9で前述した、送信シリアルチャンネル設定レジスタ633、送信制御レジスタ632、送信データステータスレジスタ631の各ビットの初期値が設定されることで、送信ボーレート等の設定が行われる。

【0382】

これらのサブルーチンや関数は、遊技制御プログラムに記述した複数の箇所から呼び出される形態となっており、遊技制御プログラムの容量削減に貢献している。一方で、サブルーチンや関数を呼び出す際には、前述したように、戻りアドレスをスタック領域706に待避する処理を必要とする。

40

【0383】

そして、遊技制御装置100は、ステップ2504の処理でレジスタに記憶されたRAMクリアSW信号の状態とステップ2508の処理でレジスタに記憶されたRAMクリアSW信号の状態とを比較して、どちらのRAMクリアSW信号の状態も、RAMクリアSW162が操作されたことを示しているか否かを判定する(2509)。

【0384】

ステップ2509の処理では、異なるタイミングで取得したRAMクリア信号の状態に基づいてRAMクリアSW162が操作されたか否かを判定しているため、ノイズ等による誤判定を防止できる。

50

【 0 3 8 5 】

ステップ 2 5 0 9 の処理で、R A M クリア S W 1 6 2 が操作されたと判定された場合、遊技制御装置 1 0 0 は、ユーザワーク R A M 1 0 4 のすべての記憶領域を初期化する (2 5 1 0)。

【 0 3 8 6 】

そして、遊技制御装置 1 0 0 は、初期化指令信号を払出制御装置 2 1 0 及び演出制御装置 1 5 0 へ送信し (2 5 1 1)、図 2 6 に示すステップ 2 5 1 7 の処理に進む。

【 0 3 8 7 】

一方、ステップ 2 5 0 9 の処理で、R A M クリア S W 1 6 2 が操作されていないと判定された場合、遊技制御装置 1 0 0 は、ユーザワーク R A M 1 0 4 の第 1 停電復旧領域 7 0 1 及び第 2 停電復旧領域 7 0 3 に、電源遮断確認フラグが格納されているか (正確には、電源遮断確認フラグがオンとなっているか) を確認する (2 5 1 2)。

【 0 3 8 8 】

そして、遊技制御装置 1 0 0 は、直前の電源供給停止のときに、電源遮断の処理が正しく実行されていたか否かを判定する (2 5 1 3)。具体的には、遊技制御装置 1 0 0 は、第 1 停電復旧領域 7 0 1 及び第 2 停電復旧領域 7 0 3 の両方に電源遮断確認フラグが格納されている場合には、電源遮断の処理が正しく実行されているものであると判定し、一方、第 1 停電復旧領域 7 0 1 及び第 2 停電復旧領域 7 0 3 の少なくとも一方に電源遮断確認フラグが格納されていない場合 (少なくとも一方の電源遮断確認フラグがオフの場合) には、電源遮断の処理が正しく実行されていないと判定する。

【 0 3 8 9 】

ステップ 2 5 1 3 の処理で電源遮断の処理が正しく実行されていたと判定された場合には、遊技制御装置 1 0 0 は、ユーザワーク R A M 1 0 4 の第 1 停電復旧領域 7 0 1、ワークエリア 7 0 2、及び第 2 停電復旧領域 7 0 3 を用いてチェックサムを算出して、算出したチェックサムがチェックサム領域 7 0 4 に格納されているチェックサムと一致するか否かを照合する (2 5 1 4)。

【 0 3 9 0 】

なお、チェックサム領域 7 0 4 に格納されているチェックサムは、停電検出時のユーザワーク R A M 1 0 4 の第 1 停電復旧領域 7 0 1、ワークエリア 7 0 2、及び第 2 停電復旧領域 7 0 3 を用いてチェックサムを算出して、格納されたものである。

【 0 3 9 1 】

つまり、ステップ 2 5 1 4 の処理は、停電検出時のユーザワーク R A M 1 0 4 に格納された情報と電源投入時のユーザワーク R A M 1 0 4 に格納された情報とが一致するか否かを照合する処理である。

【 0 3 9 2 】

そして、ステップ 2 5 1 4 の処理の照合結果が、算出したチェックサムとチェックサム領域 7 0 4 に格納されたチェックサムとが一致するものであるか否かを判定する (2 5 1 5)。

【 0 3 9 3 】

ステップ 2 5 1 4 の処理で算出したチェックサムとチェックサム領域 7 0 4 に格納されたチェックサムとが一致しないとステップ 2 5 1 5 の処理で判定された場合、つまり、停電検出時のユーザワーク R A M 1 0 4 に格納された情報と電源投入時のユーザワーク R A M 1 0 4 に格納された情報とが一致しない場合には、遊技制御装置 1 0 0 は、ステップ 2 5 1 0 の処理に進み、ユーザワーク R A M 1 0 4 のすべての領域を初期化し、ステップ 2 5 1 1 の処理にて初期化指令を払出制御装置 2 1 0 及び演出制御装置 1 5 0 に送信する。

【 0 3 9 4 】

一方、ステップ 2 5 1 4 の処理で算出したチェックサムとチェックサム領域 7 0 4 に格納されたチェックサムとが一致するとステップ 2 5 1 5 の処理で判定された場合、つまり、停電検出時のユーザワーク R A M 1 0 4 に格納された情報と電源投入時のユーザワーク R A M 1 0 4 に格納された情報とが一致する場合には、遊技制御装置 1 0 0 は、遊技制御

装置 100 の起動に必要な領域（ユーザワーク RAM 104 の一部の領域）を初期化する（2516）。このとき、ユーザワーク RAM 104 の第 1 停電復旧領域 701 及び第 2 停電復旧領域 703 の各々にて、電源遮断確認フラグが消去（正確には、各領域にて電源遮断確認フラグがオフ）される。そして、遊技制御装置 100 は、初期化指令を払出制御装置 210 及び演出制御装置 150 に送信する（2511）。

【0395】

これらの処理が完了すると、遊技制御装置 100 に関する初期化処理が完了となる。次いで、図 26 に示すステップ 2517 の処理に進む。

【0396】

次に、ステップ 2511 の処理で初期化指令が払出制御装置 210 及び演出制御装置 150 に送信された後、遊技制御装置 100 は、各種時間を計測やタイマ割込みを行うための CTC（Counter Timer Circuit）を起動し（2517）、遊技制御に関する乱数を生成する乱数生成回路 608（図 5）を初期化する（2518）。そして、遊技制御装置 100 は、ステップ 2501 の処理で禁止された CPU 102 への割込みを許可する（2519）。

10

【0397】

次に、遊技制御装置 100 は、初期値乱数を更新する初期値乱数更新処理を実行する（2520）。初期値乱数とは、遊技制御に関する乱数のカウンタ（例えば、始動入賞口へ入賞したタイミングで取得される乱数のカウンタ）が上限値に達した場合に初期値に戻るが、その初期値を決定するための乱数である。

20

【0398】

そして、遊技制御装置 100 は、停電検出信号が入力されたか否かを確認し（2521）、ステップ 2521 の処理での確認結果が、停電検出信号が入力されたことを示すか否かを判定する（2522）。

【0399】

遊技制御装置 100 は、停電検出信号が入力されていないと判定した場合には（ステップ 2522 の結果が「N」）、停電は発生していないので、ステップ 2520 の処理に戻る。

【0400】

一方、ステップ 2522 の処理で、停電検出信号が入力されたと判定された場合、遊技制御装置 100 は、CPU 102 への割込みを禁止し（2523）、出力 I/F 106 に備わる出力ポートの電圧レベルをローレベルに設定する（2524）。

30

【0401】

次に、遊技制御装置 100 は、ユーザワーク RAM 104 の第 1 停電復旧領域 701 及び第 2 停電復旧領域 703 に、電源遮断確認フラグを格納（正確には、各領域にて電源遮断確認フラグをオン）し（2525）、ユーザワーク RAM 104 の第 1 停電復旧領域 701、ワークエリア 702、及び第 2 停電復旧領域 703 を用いてチェックサムを算出して、算出したチェックサムをチェックサム領域 704 に格納する（2526）。

【0402】

次に、遊技制御装置 100 は、RAM アクセス規制回路 640 によってユーザワーク RAM 104 を RAM 書込禁止状態にする（2527）。

40

【0403】

具体的には、CPU 102 の指令によって、フリップフロップ回路 641 のクロック端子にクロック信号を出力制御回路 612 から入力させ、かつ、フリップフロップ回路 641 のデータ端子に接続された信号線の信号レベルをローレベルにする。これにより、フリップフロップ回路 641 の出力端子 Q（正論理）からローレベルの信号が出力され、出力端子 Q（負論理）からハイレベルの信号が出力されるため、OR ゲート回路 642 の入力端子にハイレベルの信号が入力されることにより、RAM 書込禁止状態になる。

【0404】

そして、遊技制御装置 100 は、遊技機 1 の電源が切れるまで待機する（2528）。

50

なお、遊技制御装置 100 には、バックアップ電源が接続されているので、停電が発生しても、すぐに電源が切れることはない。

【0405】

なお、本実施形態では、ステップ 2514 の処理で電源断時のユーザワーク RAM 104 と電源投入時のユーザワーク RAM 104 との正当性を判定する前のステップ 2507 の処理で RAM 書込可能状態にしたが、RAM 書込可能状態にするタイミングは、遅くともステップ 2514 の処理の正当性に応じて行われるステップ 2510 又は 2516 の処理におけるユーザワーク RAM 104 の初期化処理の実行直前であればよい。

【0406】

このように、遊技機 1 にて電源供給が遮断した場合には、必要な電源遮断処理を実行した後は、ユーザワーク RAM 104 を RAM 書込禁止状態に設定し、遊技機 1 にて再度電源供給が復帰したときでも、すぐにユーザワーク RAM 104 を RAM 書込可能状態としないで、ハードウェアに関する初期化処理を一定時間実行し、ステップ 2514 の処理の正当性に応じて行われるステップ 2510 又は 2516 の処理におけるユーザワーク RAM 104 の初期化処理の実行直前になって、ようやく RAM 書込可能状態にすることによって、ユーザワーク RAM 104 の初期化まで不用意なユーザワーク RAM 104 の書き込みを防止できる。

【0407】

そのため、ステップ 2514 の処理における正当性判定が行われる直前には、RAM 書込禁止状態になっているので、電源投入後にユーザワーク RAM 104 に誤った書き込みがなされ、ステップ 2514 の処理で誤った判定がされることを防止できる。

【0408】

なお、本実施形態では、ステップ 2508 の処理でスタック領域 706 を用いた各種設定処理を実行するために、ステップ 2514 の処理における正当性判定処理の前のステップ 2507 の処理で RAM 書込可能状態にしている。

【0409】

これによって、正当性判定を行う前に正当性判定の対象とはならないスタック領域 706 を用いた各種設定処理を行うことができるようになるため、遊技制御装置 100 の各種設定を早い段階で行うことができるので遊技制御装置 100 の起動を高速化でき、また、スタック領域 706 を用いるので処理プログラムが共通化でき、プログラム容量を削減できる。

【0410】

なお、図 15 では、ステップ 2510 又は 2516 の処理でユーザワーク RAM 104 を初期化した後、ステップ 2515 の処理で初期化指令信号を送信しているが、ステップ 2514 における正当性判定の実行前のステップ 2508 の処理の実行後に初期化指令信号を送信してもよい。

【0411】

この場合には、ステップ 2514 の処理における正当性判定の実行前であるので、正当性判定に寄与しないスタック領域 706 又は CPU 102 に備わるレジスタを用いて、初期化指令信号を送信する。

【0412】

なお、CPU 102 に備わるレジスタを用いなくても、例えば、ユーザワーク RAM 104 とは別個に、遊技制御装置 100 に所定のタイマ回路などを設けて、このタイマ回路に備えられた記憶領域を更新させるような方法でも実現可能である。言い換えれば、正当性判定に影響のない記憶領域であれば、どのようなものを用いても適用が可能であり、好ましくは、ユーザワーク RAM 104 と記憶領域とを分離できれば、CPU 102 のプログラムも簡素化されるということである。

【0413】

ステップ 2510 又は 2516 の処理では、RAM 104 の一部領域を初期化する処理であるステップ 2516 の処理が、RAM 104 の全領域を初期化する処理であるステッ

10

20

30

40

50

プ 2 5 1 0 の処理よりも実行時間が長いため、ステップ 2 5 1 0 の処理を実行するかステップ 2 5 1 6 の処理を実行するかによって、初期化指令信号が送信される時間が異なってしまう。

【 0 4 1 4 】

ステップ 2 5 1 4 の処理における正当性判定の実行前に初期化指令信号を送信することによって、ステップ 2 5 1 1 の処理で初期化指令信号を送信するよりも早く初期化指令信号を送信できる。また、電源投入から一定時間で初期化指令信号を送信することができる。

【 0 4 1 5 】

図 2 7 は、本発明の第 1 の実施の形態の遊技制御装置メイン処理（図 2 5 ）におけるステップ 2 5 0 1 からステップ 2 5 0 2 B までの処理を説明する図である。ここでは、図 1 2 で前述した各種レジスタ、図 2 1 及び図 2 2 で前述したアセンブリ言語を用いて説明を行うことにする。

【 0 4 1 6 】

なお、図 2 7 における列 2 7 1 0 は、遊技制御プログラムが格納されているユーザプログラム ROM 1 0 3 のアドレスを示し、列 2 7 2 0 は、当該アドレスに格納されているデータを示している。例えば、ユーザプログラム ROM 1 0 3 の「 4 0 0 0 H 」のアドレスには「 F 3 H 」のデータが格納され、続く「 4 0 0 1 H 」のアドレスには「 3 1 H 」のデータが格納され、続く「 4 0 0 2 H 」のアドレスには「 0 0 H 」のデータが格納され、続く「 4 0 0 3 H 」のアドレスには「 2 A H 」のデータが格納されている。

【 0 4 1 7 】

行 2 7 0 1 の「 D I 」命令は、遊技制御装置メイン処理（図 2 5 ）のステップ 2 5 0 1 の割込禁止処理に対応し、この命令に対応するコード「 F 3 H 」の値がアドレス「 4 0 0 0 H 」の領域に格納される。

【 0 4 1 8 】

行 2 7 0 2 の命令は、同じくステップ 2 5 0 2 A の処理に対応し、スタックポインタ（ S P ）に対応する S P レジスタ 1 2 3 3 に初期アドレスとして「 2 9 F F H 」を設定する。

【 0 4 1 9 】

行 2 7 0 3 の命令は、同じくステップ 2 5 0 2 B の処理に対応し、 K レジスタ 1 2 3 0 に、上位アドレスのデフォルトの初期値「 2 8 H 」を設定する。このように、 K レジスタ 1 2 3 0 に予め「 2 8 H 」を設定しておくことによって、「 2 8 H 」を上位バイトとし、さらに任意の 1 バイトの値で示される値を下位バイトとして合成した 2 バイトの値をアドレスと見なして、そのアドレスの領域に記憶されている値を所定のレジスタに設定することができる。例えば、「 2 8 0 3 H 」のアドレスに記憶された値を A レジスタ 1 2 0 2 A に設定したい場合には、「 L D K A , (0 3 H) 」という命令を実行すればよい。こうすることによって、 2 バイトのアドレスの全てを直接指定する場合よりもコード量を 1 バイト分削減することができる。特に、特定の領域を指定する頻度が大きいほど削減されるコード量を大きくすることができる。本実施形態では、例えば、変動表示ゲームが実行されるたびにシフトされ、アクセス頻度の多い始動記憶を格納するアドレスを指定する場合に使用される。また、 K レジスタを有効に活用するために、これらの始動記憶の上位アドレスは「 2 8 H 」となるように配置されている。

【 0 4 2 0 】

なお、ユーザプログラム ROM 1 0 3 の「 4 0 0 0 H 」のアドレスは、前述ように、リセットアドレスである。よって、リセット信号の発生時には、まず、この「 4 0 0 0 H 」に配置されたコードの命令が実行され、その後は、以降のアドレスに配置された命令が順次実行される。

【 0 4 2 1 】

ちなみに、リセット信号が発生すると、初期値設定回路 1 2 4 1 によって K レジスタ 1 2 3 0 に「 2 8 H 」がハード的に設定されるので、行 2 7 0 3 の命令は、省略（言い換え

10

20

30

40

50

れば、図 25 のステップ 2502B を省略) することも可能である。ただし、初期値設定回路 1241 が機能せずに、プログラムカウンタ 1234 の値のみがリセットアドレスの値に変更される事態を想定するのであれば、行 2703 の命令を配置しておくことにも意味がある。

【0422】

図 28 は、本発明の第 1 の実施の形態のディレイ処理を説明する図である。

【0423】

図 28 に示すディレイ処理は、図 25 のステップ 2505 で実行されるが、当該ディレイ処理を実行している時点では、ユーザワーク RAM 104 の値が更新できないように RAM 書込禁止状態となっている。これは、直前の停電発生時に格納されたチェックサムと、電源投入直後となる現時点でのチェックサムとの照合を行うためである。

10

【0424】

このため、図 25 に示すステップ 2505 におけるディレイ処理では、正当性の判定が行われる記憶領域が含まれたユーザワーク RAM 104 を用いずに、他の記憶領域（正当性判定の対象とならない判定対象外記憶領域）を用いてディレイ処理を実行しなければならない。そこで、本実施形態のディレイ処理は、CPU コア 102 に備わるレジスタ（汎用レジスタ）を用いて実行される。

【0425】

以下に、判定対象外記憶領域を含むユーザワーク RAM 104 の記憶領域をまったく利用せずに、レジスタを用いたディレイ処理を説明する。なお、CPU コア 102 として、Z80 系の CPU を用いるものとするので、Z80 系の CPU で使用されるレジスタ及びアセンブリ言語を用いて説明を行う。

20

【0426】

なお、図 28 における列 2810 は、図 27 の列 2710 同様に遊技制御プログラムが格納されているユーザプログラム ROM 103 のアドレスを示し、列 2820 は、図 27 の列 2720 同様に、当該アドレスに格納されているデータを示している。

【0427】

まず、行 2801 は、当該ディレイ処理の最初の処理に相当し、CPU コア 102 のレジスタ（図 11 参照）の H レジスタ及び L レジスタを 1 つのペアとして構成した HL レジスタに、「0603H」をロードする。具体的には、H レジスタに「06H」がロードされ、L レジスタには「03H」がロードされる。

30

【0428】

次に、行 2802 を実行し、HL レジスタの値をデクリメント（1 減算）する。したがって、行 2802 が最初に実行された後、HL レジスタの値は「0602H」となる。

【0429】

続いて、行 2803 を実行し、H レジスタに格納された値を A レジスタにロードする。そして、行 2804 を実行し、A レジスタと L レジスタとの論理和を算出する。行 2805 では、行 2804 で算出された論理和がゼロでなければ（NZ）、行 2802（アドレスが 4023H となる行）に戻る。したがって、H レジスタ及び L レジスタの両方が「00H」となるまで、行 2802 から 2805 までの処理を繰り返すことになる。

40

【0430】

つまり、図 28 では、維持タイマとして使用される H レジスタ及び L レジスタに格納された「0603H」（＝1539）が「0000H」になるまでデクリメントされるもので、合計 1539 回デクリメントが行われる。この間、図 25 に示す遊技制御装置メイン処理は、ステップ 2505 の処理で待機するため、遊技制御装置 100 の起動が遅延することとなる。

【0431】

ここで遅延時間を具体的に算出する。遅延時間は、行 2802 から 2805 までの処理を、繰り返し回数（「0603H」＝1539）分だけ実行した時間となる。そこで、行 2803 から 2805 までの各行の実行時間を算出する。各行には実行される命令が定義

50

されており、各命令には、実行に必要なCPUのクロックサイクル数（ステート数）が対応している。したがって、1ステート当りの時間を各命令に対応するステート数に乗じることによって各命令の実行時間を算出することができる。

【0432】

本発明の第1の実施の形態では、クロック数20MHzを2倍に分周した10MHzがCPUの動作クロックとなるため、 $1/10000000 = 100\text{ns}$ が1ステート当りの処理時間となる。以下、具体的に各行の処理時間を算出する。

【0433】

行2802で実行されるデクリメント「DEC」命令のステート（数）は6となっている。したがって、行2802の処理時間は $6 \times 100\text{ns} = 600\text{ns}$ となる。同様に、行2803で実行されるロード「LD」命令のステート（数）は4、及び、行2804で実行されるロード「OR」命令のステート（数）は4となっており、それぞれの処理時間は $4 \times 100\text{ns} = 400\text{ns}$ となっている。さらに、行2805で実行されるジャンプ「JP」命令のステート（数）は行2804の演算結果が非0の場合には12、0の場合には7となっている。0の場合は遅延時間終了時だけであるため、ステート数を12とすると、処理時間は $12 \times 100\text{ns} = 1200\text{ns}$ となる。

【0434】

以上より、1回の繰り返しにおける処理時間は、 $600\text{ns} + 400\text{ns} + 400\text{ns} + 1200\text{ns} = 2600\text{ns}$ となる。そして、繰り返し回数は、1539回であるため、 $2600\text{ns} \times 1539 = 4.0014\text{ms}$ となり、約4秒の遅延時間となる。したがって、この場合のディレイ処理は、4秒間を計時するタイマ計時手段となっている。

【0435】

また、このディレイ処理中は、ユーザワークRAM104へのアクセスが全く行われない。すなわち、正当性の判定が行われる記憶領域が含まれたユーザワークRAM104の値を書き換えることなく、ディレイ処理を実行することができる。

【0436】

図28で説明したように、本実施形態では、ハードウェアを用いずに、正当性判定に寄与しない、つまり、チェックサムを算出しない領域を用いてソフトウェアにより実現（維持タイマを計時）しているため、図25に示すステップ2514の正当性判定を正確に行うことができるとともに、ハードウェアでディレイ処理を実現するよりも安価に実現することができる。

【0437】

例えば、ハードウェアでディレイ処理を実現する遊技機として、特開2002-224394号公報に開示されるような技術が知られており、この遊技機では、電源が断たれた後の復帰時に、払出しの不都合な状態が解消するまで賞媒体の払出し動作を停止できるようにすること、さらに、賞媒体の払出しに関して遊技者とホール側とでトラブルが発生しないようにすることを目的として、停電からの復帰時に、払出し制御手段が主制御手段よりも先に起動して払出し制御が開始された場合、初期化スイッチが操作されていないため、払出し動作復帰処理が実行され、その後、主制御手段から払出し再開コマンドを受信するまで、払出し動作を停止して、払出し再開可能な状態で待機する構成となっている。

【0438】

さらに、この遊技機では、後から起動した主制御手段は補給切れ検出スイッチや満杯検出スイッチからの検出スイッチに基づいて払出しに関するエラーを検出しない場合に、主制御手段から払出し再開コマンドが送信されてくるので、払出し制御手段はその払出し再開コマンド受信をきっかけに払出し動作を再開する構成となっている。

【0439】

そして、この遊技機は、主制御手段を、払出し制御手段よりも遅延させて起動させるために、主制御手段（主制御基板39）に遅延回路90を設けて、リセット信号発生手段77からのリセット信号が、払出し制御手段（払出し制御基板46）に到達するよりも時間tだけ遅延して主制御手段に到達するように構成しているため（特開2002-2243

10

20

30

40

50

94号公報の段落[0051]～[0053]、図9、図11参照)、遅延回路90などのハードウェアが必要であるため、コストが高くなってしまうという問題があった。また、遅延回路90はハードウェアで構成されているため、遅延の時間値をプログラムで変更できないという問題もあった。

【0440】

この場合、遅延回路90に相当する機能を、主制御手段(主制御基板39)に設けたCPUを用いてソフトウェアによって実現すれば、コスト面での課題が解決するが、CPUを用いて遅延時間を計時するためには、主制御手段(主制御基板39)のバックアップ用メモリ39bを用いなければならず、この場合、主制御手段が起動後にバックアップ用メモリ39bの正当性を確認して、バックアップ用メモリ39bが使用可能な状態になってから遅延時間を計時するので、遊技機全体の起動が遅れてしまうという課題を残していた。そのため、ソフトウェアによって遊技制御装置の起動を従属制御装置の起動よりも遅延させることによってコストダウンを図りつつも、遊技機全体の起動が遅延してしまうことを防止する遊技機が提供されることが望まれていた。

【0441】

本実施形態に戻って、CPUコア102で使用するレジスタの数が少ない場合には、スタック領域を利用してディレイ処理を実行するほうが有効である。ただし、正当性判定の対象となっている第1停電復旧領域701、ワークエリア702、第2停電復旧領域703、チェックサム領域704の各記憶領域を、ノイズ等によって書き換えてしまうことを極力防止したいのであれば、ディレイ処理中を通してユーザワークRAM104をRAM書込禁止状態とし、図28に示したスタック領域を利用しないディレイ処理を実行するほうが有効ともいえる。

【0442】

また、動作クロック数を高く設定することによってCPUによる演算処理速度を高速化することが可能となるが、演算処理速度を高速化すると、ディレイ処理におけるループ回数(図28では「0603H」=1539回)を高速化した分だけ大きくする必要がある。しかしながら、演算処理速度を高速化しすぎると、ループ回数が大きくなりすぎてしまい、ループ回数を格納するレジスタのバイト数が所定バイト数(例えば、2バイト)を超えてしまい、プログラムの容量が大きくなってしまう。そこで、図28にて説明したように、ループ回数を格納するレジスタのバイト数が2バイトに収まる(ループ回数が65536回を超えない)ようにCPU102の動作速度(クロック数)を設定することによって、高速通信を実現しながらもプログラム容量の増大を抑えることが可能となる。

【0443】

図29は、本発明の第1の実施の形態のタイマ割込処理を示すフローチャートである。このタイマ割込処理は、遊技制御装置100のCPUコア102によって実行される。

【0444】

遊技機の電源が投入されると、遊技制御装置メイン処理(図25及び図26参照)が行われる。そして、ステップ2517の処理で起動させたCTCによって、所定時間周期(例えば、4ミリ秒周期)でタイマ割込みが発生すると、遊技制御装置100のCPU102によって、タイマ割込処理が繰り返し実行される。ただし、これらの処理(2912～2922の処理)は、割り込み発生毎に必ずしもすべて行なわれなくてもよい。例えば、ステップ2912の入出力処理においては、毎回入力信号を監視するが、出力処理は割り込みの発生の1回おきに実行されてもよい。つまり、1回の割り込み処理で一通りの処理をすべて完了するのではなく、この割込処理が複数回繰り返し実行されて一連の遊技制御処理が完了するようにしてもよい。

【0445】

本実施形態のタイマ割込処理において、遊技制御装置100は、まず、レジスタのデータをスタック領域706に退避する(1911)。ここでは、遊技制御プログラムに記述された命令を実行することにより、CPUコア102の内部のレジスタ(図12参照)の中から、タイマ割込処理が呼び出される直前の処理(呼出元処理)で使用されていたもの

を選択して、スタック領域 706 に退避させる処理が行われる。

【0446】

ただし、フラグレジスタ 1200 (図 12 参照) に関しては、図 19 の (D) に示すように、当該タイマ割込処理が開始する時点で既にスタック領域 706 に退避されているので、改めて命令を実行させる必要はない。

【0447】

次に、遊技制御装置 100 は、入出力処理を実行する (2912)。入出力処理は、入力処理と出力処理とを含む。入力処理は、入力 I/F 105 を介して各種センサ (特図始動 SW34A、普図始動 SW31A、カウント SW36A、入賞口 SW32A ~ 32N、オーバーフロー SW109、球切れ SW110、枠開放 SW111 など) から入力される信号にチャタリング除去等の処理をし、入力情報を確定する処理である。

10

【0448】

出力処理は、出力 I/F 106 を介して、特図ゲーム処理 (2919) 及び普図ゲーム処理 (2920) にて設定されたパラメータに基づいて、特図表示器 120、普図表示器 121、普電 SOL90、及び大入賞口 SOL38 を制御するための信号を出力する。

【0449】

なお、前述したように、入力処理と出力処理とは 1 回のタイマ割り込みで同時に実行されなくてもよい。

【0450】

次に、遊技制御装置 100 は、各種処理で送信バッファにセットされた (コマンド) を演出制御装置 150 及び払出制御装置 210 等へ出力するコマンド送信処理を行う (2913)。具体的には、演出制御装置 150 に特別図柄変動表示ゲームに係わる演出指令信号 (演出コマンド) を出力したり、払出制御装置 210 に排出指令信号 (払出指令信号、払出コマンド) を出力したりする。コマンド送信処理の詳細については、図 31 にて後述する。なお、払出コマンドについては図 33 にて詳細を説明し、演出コマンドについては図 35 にて詳細を説明する。

20

【0451】

その後、遊技制御装置 100 は、特別図柄変動表示ゲームの当りはずれを判定するための大当り乱数カウンタ (図 15 の大当り乱数の生成領域) の値を 1 ずつ加算する乱数更新処理 1 を行う (2914)。なお、この乱数更新処理 1 では、特別図柄変動表示ゲームの停止図柄を決定する大当り図柄乱数カウンタ (図 15 の大当り図柄乱数の生成領域) の値、普通図柄変動表示ゲームの当りはずれを判定するための普図乱数カウンタ (図 15 の普図乱数生成領域) にも 1 ずつ加算する。

30

【0452】

次に、遊技制御装置 100 は、乱数の初期値を更新し、乱数の時間的な規則性を崩すための初期値乱数更新処理を実行する (2915)。ステップ 2915 の初期値乱数更新処理は、図 26 に示す初期値乱数更新処理 (2520) と同じなので、説明を省略する。

【0453】

そして、遊技制御装置 100 は、特別図柄変動表示ゲームに関連した飾り特別図柄変動表示ゲームにおける変動表示パターンを決定する乱数を更新するための変動表示パターン乱数カウンタ (図 15 の第 1 変動 P 乱数の生成領域、第 2 変動 P 乱数の生成領域、第 3 変動 P 乱数の生成領域) の値を 1 ずつ加算する乱数更新処理 2 を行う (2916)。

40

【0454】

次に、遊技制御装置 100 は、各入賞口に遊技球が入賞していないかを監視するために、入賞口監視処理を行う (2917)。具体的には、第 1 特図始動 SW37A、第 2 特図始動 SW34A、普図始動 SW31A、カウント SW36A、入賞口 SW32A ~ 32N、から信号の入力があるか否か (遊技球の検出を示す信号が入力されているか否か) を監視する。

【0455】

このとき、大当りが発生して特別変動入賞装置 36 が開放中であるときには、カウント

50

SW36Aにより遊技球の検出数を計数して、特別変動入賞装置36へ入賞した遊技球の数を計数する。この計数結果が所定数（例えば10個）になると、特別変動入賞装置36を閉止して、次のラウンドに更新する処理を行う。

【0456】

また、このとき、普図始動SW31Aによる遊技球の検出があれば、普図保留カウンタの値が所定数未満（例えば、「4個」未満）であることを条件に「1」だけ増加させ、普図乱数カウンタ値（図15の普図乱数生成領域）が、普図保留カウンタに対応する普図始動入賞記憶領域（図15）に記憶される。

【0457】

なお、第1特図始動SW37Aによる遊技球の検出があれば、後述する「始動口SW監視処理」にて、各種乱数値が、第1特図始動入賞記憶領域（図16）に記憶される。同様に、第2特図始動SW34Aによる遊技球の検出があれば、後述する「始動口SW監視処理」にて、各種乱数値が、第2特図始動入賞記憶領域（図17）に記憶される。

【0458】

その後、遊技制御装置100は、排出球の球詰まりや、各種スイッチ、センサ等の異常などを監視するエラー監視処理を行う（2918）。

【0459】

その後、遊技制御装置100は、特別図柄変動表示ゲームに関する処理を行う特図ゲーム処理（2919）、普通図柄変動表示ゲームに関する処理を行う普図ゲーム処理（2920）を行う。

【0460】

特図ゲーム処理（2919）は、第1特図始動SW37A及び第2特図始動SW34Aで検出された始動入賞口への遊技球の入賞に基づいて抽出され、特別図柄始動入賞記憶に記憶された特別図柄乱数カウンタ値が当りか否か判定し、特図表示器120で特別図柄変動表示ゲームを実行する。なお、特図始動入賞記憶には、直ちに前記変動表示ゲームを実行することができない状態で始動入賞口に遊技球が入賞した場合に、抽出された乱数が始動入賞記憶として記憶される。なお、特図ゲーム処理の詳細は、図37にて後述する。

【0461】

また、特図ゲーム処理（2919）では、特図表示器120の表示に対応する識別情報の変動表示のための処理を行う。抽出された乱数が所定の値であれば、特別図柄に関する当り状態となり、識別情報の変動表示が当り図柄で停止する。また、当り状態になると、特別変動入賞装置36に遊技球を受け入れやすい開状態になる。

【0462】

普図ゲーム処理（2920）は、普図始動SW31Aで検出された普通図柄始動ゲート31への遊技球の通過に基づいて抽出され、普通図柄始動入賞記憶に記憶された普図乱数カウンタ値（2917の処理で抽出・記憶された普通図柄変動表示ゲームの結果に関する乱数）が当りか否かを判定し、普図保留カウンタの値を1だけ減算して、普図表示器121で普通図柄の変動表示ゲームを実行する。普図乱数カウンタ値が所定の値であれば、普図に関する当り状態となり、普通図柄の変動表示が当り状態で停止するためのパラメータを設定する。

【0463】

次に、遊技制御装置100は、遊技機1に設けられ、遊技に関する各種情報を表示するセグメントLED（特図表示器120及び普図表示器121）に出力する信号を編集する処理を行う（2921）。具体的には、特別図柄変動表示ゲームが開始されると、今回開始した特別図柄変動表示ゲームの実行回数を減じた特別図柄入賞記憶数を特図表示器120の特図記憶表示部に表示するためのパラメータを編集する。同様に、普通図柄の変動表示ゲームが開始されると、今回開始した普通図柄変動表示ゲームの実行回数を減じた普通図柄入賞記憶数を普図表示器121の普図記憶表示器に表示するためのパラメータを編集する。

【0464】

その後、遊技制御装置 100 は、検査装置接続端子 107 を介して接続される管理用コンピュータに遊技機 1 の状態を出力するための外部情報を編集する外部情報編集処理を行う(2922)。外部情報には、図柄が確定したか、当りであるか、確率変動中であるか、変動時間短縮中であるか、変動表示ゲームのスタート等、変動表示ゲームの進行状態に関連する情報が含まれる。また、エラーが発生したことを示すエラー信号も含まれる。

【0465】

次に、遊技制御装置 100 は、タイマ割り込み処理の終了を宣言する(2923)。

【0466】

その後、遊技制御装置 100 は、スタック領域 706 に退避していたレジスタを復帰する復帰処理(2924)を行う。ここでは、遊技制御プログラムに記述された命令を実行することにより、S2911のステップにて退避したレジスタの値を復帰させる。次いで、禁止設定されていた割り込みの許可設定をする処理を行う(2925)。

【0467】

そして、タイマ割り込み処理を終了し、遊技制御装置メイン処理(図25及び図26)に戻る。ここでは、「RET」命令ではなく「RETI」命令を実行して、呼出元の処理に戻る。そのため、スタック領域 706 に退避されていたフラグレジスタ 1200 (図12参照)の値も復帰することになり、スタックポインタ 1233 が示す値も、図19の(D)から図18の(B)の様に変化する。

【0468】

なお、タイマ割り込み処理の先頭にて、図21に示す「レジスタバンクセクタ」を切り替える命令 2115 (「LD RAS, 0」又は「LD RAS, 1」)を実行することにより、演算対象として用いるレジスタ群(汎用レジスタ群 1220A、1220B)を切り替えることも可能である。例えば、呼出元の処理では汎用レジスタ群 1220A のレジスタを用いる一方で、当該タイマ割り込み処理では汎用レジスタ群 1220B のレジスタを用いるように切り替えることも可能である。

【0469】

このようなレジスタバンクの切り換えを実行する場合は、タイマ割り込み処理の中では、呼出元の処理とは異なるレジスタ群のレジスタが使用されるため、S2911のステップにてレジスタを退避させるような処理や、S2911のステップにてレジスタを復帰させるような処理は不要である。

【0470】

なお、当該タイマ割り込み処理でも、最後に「RETI」命令を実行するので、スタック領域 706 に退避されていたフラグレジスタ 1200 (図12参照)の値が復帰することになり、フラグレジスタ 1200 のレジスタバンクセクタ(RBS) 1301 (図13参照)の値も呼出前の状態に復帰する。そのため、図21に示す「レジスタバンクセクタ」を切り替える命令 2115 (「LD RAS, 0」又は「LD RAS, 1」)は、タイマ割り込み処理の先頭で1回だけ実行すればよい。

【0471】

そして、次のタイマ割り込みが発生するまで初期値乱数更新処理等(図26のステップ 2520 ~ 2522 の処理)を繰り返す。

【0472】

図30は、本発明の第1の実施の形態の遊技制御装置 100 から、演出制御装置 150 及び払出制御装置 210 に初期化指令信号を送信する初期化指令送信処理の手順を示すフローチャートである。本処理は、図25のステップ 2511 の初期化指令送信処理に対応する。

【0473】

遊技制御装置 100 は、まず、演出指令及び排出指令の送信を禁止状態に設定する(3001)。具体的には、送信制御レジスタ 632 (図8)のビット 4 を“0”に設定して、送信データレジスタ 635 からの信号の出力を禁止した状態に設定する。

【0474】

10

20

30

40

50

次に、遊技制御装置 100 は、起動時の演出指令を送信データレジスタ 635 に格納する (3002)。そして、起動時の演出指令がすべて送信データレジスタ 635 に格納されるまで処理を継続する (3003)。

【0475】

遊技制御装置 100 は、すべての演出指令が送信データレジスタ 635 に格納されると (3003 の結果が「N」)、起動時の排出指令を送信データレジスタ 635 に格納する (3004)。そして、起動時の排出指令がすべて送信データレジスタ 635 に格納されるまで処理を継続する (3005)。

【0476】

最後に、遊技制御装置 100 は、ステップ 3001 の処理で禁止状態に設定されていた演出指令及び排出指令の送信を許可状態に設定する (3006)。具体的には、送信制御レジスタ 632 (図 8) のビット 4 を “1” に設定して、送信データレジスタ 635 からの信号の出力を許可した状態に設定する。

【0477】

図 31 は、本発明の第 1 の実施の形態の遊技制御装置 100 から、演出制御装置 150 及び払出制御装置 210 にコマンドを送信するためのコマンド送信処理の手順を示すフローチャートである。本処理は、図 29 のステップ 2913 のコマンド送信処理に対応する。

【0478】

遊技制御装置 100 は、初期化指令送信処理と同様に送信制御レジスタ 632 (図 8) のビット 4 を “0” に設定して、まず、演出指令及び排出指令の送信を禁止状態に設定する (3101)。

【0479】

次に、遊技制御装置 100 は、送信待ちの演出指令が存在するか否か (今回のタイマ割込処理のタイミングで、演出制御装置 150 に対応する送信データレジスタ 635 に書き込むべきデータが存在するか否か) を判定する (3102)。送信待ちの演出指令が存在しない場合には (3102 の結果が「N」)、ステップ 3112 以降の排出指令に関する処理を実行する。

【0480】

一方、遊技制御装置 100 は、送信待ちの演出指令が存在する場合には (3102 の結果が「Y」)、送信待ちの演出指令に変動開始の演出指令が含まれているか否かを判定する (3103)。変動開始の演出指令とは、図 35 にて後述する「停止図柄指定コマンド (MODE = B0H)」と「飾り図柄変動パターン指定コマンド (MODE = B1H ~ BFH)」の各々に相当するコマンドであり、演出制御装置 150 は、このコマンドを受信したことを契機に、表示装置 8 にて変動表示ゲームの実行を開始する。

【0481】

遊技制御装置 100 は、送信待ちの演出指令に変動開始の演出指令が含まれている場合には (3103 の結果が「Y」)、変動開始の演出指令を送信データレジスタに格納する (3104)。そして、送信待ちの演出指令に含まれているすべての変動開始の演出指令が送信データレジスタに格納されるまで処理を継続する (3105)。

【0482】

遊技制御装置 100 は、送信待ちの演出指令に変動開始の演出指令が含まれていなかった場合 (3103 の結果が「N」)、又は送信待ちの演出指令に含まれている変動開始の演出指令をすべて送信データレジスタに格納した場合には (3105 の結果が「Y」)、送信待ちの演出指令に他の演出指令が含まれているか否かを判定する (3106)。

【0483】

遊技制御装置 100 は、送信待ちの演出指令に変動開始以外の演出指令が含まれていない場合には (3106 の結果が「N」)、ステップ 3111 の処理を実行し、続いて、排出指令に関する処理を実行する。

【0484】

10

20

30

40

50

一方、遊技制御装置 100 は、送信待ちの演出指令に変動開始以外の演出指令が含まれている場合には (3106 の結果が「Y」)、送信バッファ (送信データバッファレジスタ 635A) に空きがあるか否かを判定する (3107)。具体的には、送信データステータスレジスタ 631 (図 9) のビット 0 ~ 5 の値 (送信データの残量を示す値) が “00h” ~ “1Fh” であれば、空きがあると判定される。

【0485】

送信バッファに空きがない場合には (3107 の結果が「N」)、送信待ちの演出指令を次の送信タイミングに持ち越し (3108)、ステップ 3111 の処理を実行し、続いて、排出指令に関する処理を実行する。

【0486】

遊技制御装置 100 は、送信バッファに空きがある場合には (3107 の結果が「Y」)、送信データレジスタに変動開始以外の演出指令を格納する (3109)。そして、送信バッファの空きが無くなるか、すべての演出指令が送信データレジスタに格納されるまで、ステップ 3107 から 2110 までの処理を継続する (3110)。

【0487】

遊技制御装置 100 は、送信待ちの演出指令を送信バッファに格納する処理が終了すると、送信制御レジスタ 632 (図 8) のビット 4 を “1” に設定することで、ステップ 3101 の処理で禁止状態に設定されていた演出指令の送信を許可状態に設定する (3111)。

【0488】

以上のように、コマンド送信処理において演出指令を演出制御装置 150 に送信する場合、変動開始の演出指令を優先して送信することによって、遊技制御装置 100 における変動表示ゲームの進行状態と、演出制御装置 150 における変動表示ゲームの進行状態との時間差が常に固定されたものとなる。そのため、変動表示ゲームが開始される毎にこの時間差が変化するような不具合を防止できるようになり、遊技制御装置 100 と演出制御装置 150 とを同期させながら、表示装置 8 で実行される変動表示ゲームをより確実に実行させることができる。演出指令の送信が終了すると、続いて、排出指令を払出制御装置 210 に送信するための処理を実行する。

【0489】

遊技制御装置 100 は、まず、SW 制御領域を検査し、賞球排出対象スイッチ (SW) の立ち上がりがあるか否かを監視する (3112)。賞球を排出する入賞口に遊技球が入賞すると、賞球排出対象 SW がオンに設定される。そして、遊技制御装置 100 は、賞球の排出に該当するスイッチが存在するか否かを判定する (3113)。

【0490】

なお、SW 制御領域とは、遊技機に備えられた各種スイッチの検出状態を、タイマ割込毎に記憶しておく記憶領域のことである。ここでは、SW 制御領域のうち、遊技球検出によって賞球が排出されるスイッチのみが対象とされ、これら対象となったスイッチのうちで、「立ち上がり情報」がオンとなっているものがあるか否かを判定している。

【0491】

遊技制御装置 100 は、賞球の排出に該当するスイッチが存在する場合 (「立ち上がり情報」がオンとなっている賞球排出対象の SW が存在する場合) には (3113 の結果が「Y」)、オンとなっている賞球排出対象 SW の 1 つを選択し、選択された SW に該当する排出指令を送信データレジスタに格納する (3114)。

【0492】

次に、その時点で「立ち上がり情報」がオンとなっている賞球排出対象の SW が、他にも存在するかを確認する。遊技制御装置 100 は、他の賞球排出対象の SW がオンになっていれば、オンとなっている賞球排出対象 SW の 1 つをさらに選択し、選択された SW に該当する排出指令を送信データレジスタに格納する。そして、すべての賞球を排出する指令が送信データレジスタに格納されるまで処理を継続する (3115)。

【0493】

10

20

30

40

50

遊技制御装置 100 は、賞球の排出に該当するスイッチが存在しない場合には (3113 の結果が「N」)、又は賞球の排出に該当するスイッチに対応する排出指令をすべて送信データレジスタに格納した場合には、送信待ちの他の排出指令 (払出制御装置 210 へエラー発生やエラー解除を指令するコマンドなど) が存在するか否かを判定する (3116)。

【0494】

遊技制御装置 100 は、送信待ちの他の排出指令が存在しない場合には (3116 の結果が「N」)、排出指令に関する送信を許可状態に設定し (3121)、呼び出し元に戻る。

【0495】

一方、遊技制御装置 100 は、送信待ちの他の排出指令が存在する場合には (3116 の結果が「Y」)、送信バッファに空きがあるか否かを判定する (3117)。具体的には、送信データステータスレジスタ 631 (図 9) のビット 0 ~ 5 の値 (送信データの残量を示す値) が “00h” ~ “1Fh” であれば、空きがあると判定される。

【0496】

送信バッファに空きがない場合には (3117 の結果が「N」)、送信待ちの排出指令を次の送信タイミングに持ち越し (3118)、排出指令に関する送信を許可状態に設定し (3121)、呼び出し元に戻る。

【0497】

遊技制御装置 100 は、送信バッファに空きがある場合には (3117 の結果が「Y」)、送信待ちの排出指令を送信データレジスタに格納する (3119)。そして、送信バッファの空きが無くなるか、すべての排出指令が送信データレジスタに格納されるまで、ステップ 3117 から 3120 までの処理を継続する (3120)。最後に、排出指令に関する送信を許可状態に設定し (3121)、呼び出し元に戻る。

【0498】

以上のように、本実施形態では、コマンド送信処理において排出指令を払出制御装置 210 に送信する場合に賞球排出指令を、その他の排出指令 (エラー発生 / 解除の指令) よりも優先して送信することによって、賞球排出対象の複数のスイッチが、同一のタイマ割込周期内で同時にオンした場合であっても、確実に賞球を排出させるように構成されている。

【0499】

このように、演出指令や賞球排出指令などの制御指令を内容に応じて優先して送信して遊技が円滑に進行するように制御し、さらに、優先されなかった制御指令については次回割込発生時に送信することによって、送信漏れのない正確な指令送信を実現することが可能となる。

【0500】

図 32 は、本発明の第 1 の実施の形態の電源投入時の遊技制御装置 100、払出制御装置 210、及び演出制御装置 150 が行う処理、並びに、遊技制御装置 100 に備わるシリアル送信回路 615 の状態のタイミングチャートである。

【0501】

リセット信号が払出制御装置 210 に接続されるシリアル送信回路 615 B 及び演出制御装置 150 に接続されるシリアル送信回路 615 A に伝達されると、図 23 に示すステップ 2302 の処理により、各シリアル送信回路 615 が不定状態 (3201) から初期状態 (3202) に移行する。

【0502】

この不定状態では、シリアル送信回路 615 (シリアル送信回路 615 A、615 B) から出力される信号線のレベルは、ハイレベルであるのかローレベルであるのか保証されない状態である。一方、シリアル送信回路 615 がリセット信号により初期化されて初期状態に遷移すると、シリアル送信回路 615 B からの出力信号はオフを示すレベルに確定される。

10

20

30

40

50

【 0 5 0 3 】

シリアル送信回路 6 1 5 の初期状態は、遊技制御装置 1 0 0 が図 2 5 に示すステップ 2 5 1 1 の処理で初期化指令を送信するために、初期化指令が各シリアル送信回路 6 1 5 に設定されるまで (3 2 0 3) 継続する。

【 0 5 0 4 】

一方、遊技制御装置 1 0 0 のセキュリティ回路 6 3 0 にリセット信号が伝達されると、図 2 3 に示すステップ 2 3 0 4 の処理で自己診断処理を実行し、ステップ 2 3 0 5 の処理でセキュリティチェック処理を実行する (3 2 0 4)。セキュリティチェック処理の実行後に CPU 1 0 2 が起動し、CPU 1 0 2 によって遊技制御装置メイン処理 (図 2 5 及び図 2 6) が実行される。

10

【 0 5 0 5 】

CPU 1 0 2 は、ディレイ処理の実行 (3 2 0 6) 前に 1 回目の RAM クリア信号の取り込み (3 2 0 5) と、ディレイ処理の実行後に 2 回目の RAM クリア信号の取り込み (3 2 0 7) と、を行う。言い換えると、1 回目の RAM クリア信号取り込み (3 2 0 5) と 2 回目の RAM クリア信号取り込み (3 2 0 7) とは、ディレイ処理 (3 2 0 6) を挟んで実行される。

【 0 5 0 6 】

このように、2 2 0 5 及び 2 2 0 7 の各時点で実行される RAM クリア信号取り込みの間に、ディレイ処理を実行するので、ディレイ処理の間に、1 回目の RAM クリア信号取り込みで取り込んだチャタリング除去等を行うことができる。

20

【 0 5 0 7 】

ディレイ処理 (3 2 0 6) で処理を待機させた後に、図 2 5 に示すステップ 2 5 1 6 及び 1 5 1 0 の処理で RAM 1 0 4 の初期化処理を行い (3 2 0 8)、ステップ 2 5 1 1 の処理で初期化指令を送信してから、通常の遊技制御を行う (3 2 0 9)。

【 0 5 0 8 】

なお、通常の遊技制御を実行すると、遊技状態に応じて、払出制御指令を払出制御装置 2 1 0 に送信するために、払出制御指令が払出制御装置 2 1 0 に接続されるシリアル送信回路 6 1 5 B に設定される (3 2 1 0)。また、通常の遊技制御の実行中には、遊技状態に応じて、演出制御指令を演出制御装置 1 5 0 に送信するために、演出制御指令が演出制御装置 1 5 0 に接続されるシリアル送信回路 6 1 5 A に設定される (3 2 1 1)。

30

【 0 5 0 9 】

一方で、払出制御装置 2 1 0 のセキュリティ回路にリセット信号が伝達されると、払出制御装置 2 1 0 のセキュリティ回路は、図 2 3 に示すステップ 2 3 1 4 の処理で自己診断処理を実行し、ステップ 2 3 1 5 の処理でセキュリティチェック処理を実行する (3 2 1 2)。セキュリティチェック処理の実行後に CPU 2 1 2 が起動し、CPU 2 1 2 によって、図 1 4 のステップ 2 3 1 6 の処理で電源投入時の初期化処理を実行する (3 2 1 3)。払出制御装置 2 1 0 の初期化処理が実行されると、払出制御装置 2 1 0 のシリアル受信回路 6 2 5 を、遊技制御装置 1 0 0 からの指令を受信可能な状態にする (3 2 1 4)。

【 0 5 1 0 】

また、演出制御装置 1 5 0 にリセット信号が伝達されると、演出制御装置 1 5 0 は、図 2 3 のステップ 2 3 2 3 の処理で電源投入時の初期化処理を実行する (3 2 1 5)。演出制御装置 1 5 0 の初期化処理が実行されると、演出制御装置 1 5 0 のシリアル受信回路 6 2 5 を、遊技制御装置 1 0 0 からの指令を受信可能な状態にする (3 2 1 6)。

40

【 0 5 1 1 】

遊技制御装置 1 0 0 は、ディレイ処理を実行することで、RAM 1 0 4 の初期化処理の実行開始のタイミングを遅延させている。言い換えると、ディレイ処理によって、演出制御装置 1 5 0 や払出制御装置 2 1 0 へ初期化指令を送信するタイミングを遅延させている。

【 0 5 1 2 】

このため、ディレイ処理によって、払出制御装置 2 1 0 に接続されるシリアル送信回路

50

6 1 5 B 及び演出制御装置 1 5 0 に接続されるシリアル送信回路 6 1 5 A が初期状態を維持する時間を十分に確保し、その間に、払出制御装置 2 1 0 及び演出制御装置 1 5 0 は、初期化処理を実行し、自身のシリアル受信回路 6 2 5 を介して遊技制御装置 1 0 0 からの指令を受信可能な状態にすることができる。

【 0 5 1 3 】

したがって、ディレイ処理を設けることで、図 2 5 のように、リセット信号が、遊技制御装置 1 0 0、払出制御装置 2 1 0 及び演出制御装置 1 5 0 に同時に伝達される構成の遊技機であっても、ハードウェア等で構成した遅延回路を設けることなく、各制御装置が起動を開始するタイミングを適切に設定することができる。

【 0 5 1 4 】

よって、図 3 2 のように、まず、払出制御装置 2 1 0 に接続されるシリアル送信回路 6 1 5 B 及び演出制御装置 1 5 0 に接続されるシリアル送信回路 6 1 5 A が初期状態に維持され、その状態で、払出制御装置 2 1 0 及び演出制御装置 1 5 0 のシリアル受信回路 6 2 5 が指令受信可能状態になり、次いで、払出制御装置 2 1 0 及び演出制御装置 1 5 0 に初期化指令を送信させることを確実に実行できるようになる。

【 0 5 1 5 】

仮に、遊技機 1 への電源投入直後において、遊技制御装置 1 0 0 の払出制御装置 2 1 0 に接続されるシリアル送信回路 6 1 5 B 及び演出制御装置 1 5 0 に接続されるシリアル送信回路 6 1 5 A が初期状態に維持される以前に、払出制御装置 2 1 0 若しくは演出制御装置 1 5 0 のシリアル受信回路 6 2 5 が指令受信可能状態になると、払出制御装置 2 1 0 に接続されるシリアル送信回路 6 1 5 B 及び演出制御装置 1 5 0 に接続されるシリアル送信回路 6 1 5 A から出力される信号レベルが不安定であるから、払出制御装置 2 1 0 若しくは演出制御装置 1 5 0 にてこの不安定な信号レベルの情報を、正規な信号であると誤って受信するおそれがあり、誤作動を引き起こす可能性がある。

【 0 5 1 6 】

また、払出制御装置 2 1 0 若しくは演出制御装置 1 5 0 のシリアル受信回路 6 2 5 が指令受信可能状態になる前に、遊技制御装置 1 0 0 から、払出制御装置 2 1 0 若しくは演出制御装置 1 5 0 へ初期化指令を送信してしまうと、払出制御装置 2 1 0 や演出制御装置 1 5 0 で初期化指令を受信できなくなり、誤作動を引き起こす可能性がある。

【 0 5 1 7 】

特に、本実施形態の遊技機のように、遊技制御装置 1 0 0 から払出制御装置 2 1 0 へ単方向で指令を送信する構成や、遊技制御装置 1 0 0 から演出制御装置 1 5 0 へ単方向で指令を送信する構成の場合には、指令された情報が正しく送信されているか否かを確認することが困難であるため、初期化時に処理を遅延させることが有効である。

【 0 5 1 8 】

また、図 3 2 では、R A M クリア信号の取り込みが 2 回である例を示したが、複数回であればよい。この複数回の間にディレイ処理を実行することによって、ディレイ処理実行直前の R A M クリア信号取り込みのチャタリング除去等にかかる時間をディレイ処理による遅延時間と重複させることができるので、処理を効率化させることができる。

【 0 5 1 9 】

図 3 3 は、本発明の第 1 の実施の形態の遊技制御装置 1 0 0 から払出制御装置 2 1 0 に送信される排出指令の一例を示す図である。

【 0 5 2 0 】

払出制御装置 2 1 0 に送信される排出指令は、払出制御装置 2 1 0 を初期化する指令（初期化指令信号）と、賞球を排出する指令（排出指令信号）と、エラーの発生及び解除を通知する指令（エラー通知信号）があり、モード部及びアクション部からなる共通のフォーマットで送信される。

【 0 5 2 1 】

まず、初期化指令信号について説明すると、初期化指令信号は、モード部が「8 0 H」であり、アクション部は「0 0 H ~ 7 F H」のいずれかの値となる。初期化指令信号のア

10

20

30

40

50

クション部は、払出制御装置 210 に設定されている認証コードに対応する値（「00H～7FH」のいずれかの値）となる。この払出制御装置 210 に設定されている認証コードに対応する値は、例えば、RAM 104 に設定されているものとする。なお、モード部は「80H」以上の値、アクション部には「80H」未満の値が設定されており、モード部を受信する場合に「80H」未満の値が送信された場合には不正なコマンドが送信されてきたことを判別することが可能となっている。

【0522】

初期化指令信号の出力時期は、遊技制御装置 100 に電源投入時であり、具体的には、図 25 に示すステップ 2511 の処理である。

【0523】

次に、排出指令信号について説明する。払出制御装置 210 によって払い出される遊技媒体の個数に対応して、15 個の排出指令信号が用意されている。

【0524】

排出指令信号のモード部は「A1H～AFH」である。なお、このモード部の下位バイトは、排出指令信号が払い出しを指令する遊技媒体の個数と一致する。また、排出指令信号のアクション部は「5EH～50H」となる。このアクション部は、モード部の各ビットの論理を反転した値となっている。

【0525】

例えば、1 個の遊技媒体の払い出しを指令する排出指令信号のモード部は「A1H」であり、アクション部は「5EH」である。すなわち、排出指令信号は、モード部とアクション部とからなる 2 バイトのデータで構成されている。

【0526】

なお、排出指令信号の出力時期は、一般入賞口 32、第 1 始動入賞口 37、第 2 始動入賞口 34、特別変動入賞装置（大入賞口）36 に遊技球が入賞したタイミングで出力される。

【0527】

また、払出制御装置 210 は、排出指令信号を受信すると、受信した排出指令信号のモード部の各ビットの論理を反転した値が、アクション部の各ビットの値と一致しなければ、受信した排出指令信号に対応する個数の遊技媒体の払い出しを許可しない。

【0528】

最後に、エラー通知信号について説明する。排出指令がエラー発生通知の場合には、モード部にエラーが発生したことを示す「C0H」が設定される。また、エラー通知信号のアクション部は、発生したエラーの種類に対応する値（「00H～7FH」のいずれかの値）が設定される。

【0529】

排出指令がエラー解除通知の場合には、モード部にエラーが解除されたことを示す「C1H」が設定される。また、エラー解除信号のアクション部は、エラー通知信号の場合と同様に、発生したエラーの種類に対応する値（「00H～7FH」のいずれかの値）が設定される。

【0530】

図 34 は、本発明の第 1 の実施の形態のスイッチの立ち上がりを検出する手順を示すタイムチャートである。なお、図中の f は割込周期であり、割込周期の先頭でタイマ割込が発生する。また、d は遅延時間を示す。スイッチの立ち上がり、すなわち、スイッチがオンになったか否かの判定は、図 29 に示したタイマ割込処理のステップ 2912 の入出力処理で行われる。なお、以下に示す、第 1 物理レベル、第 2 物理レベル、論理レベル、立上り情報は、タイマ割込が発生する毎に更新され、遊技機に備えられたスイッチ毎に整理されて SW 制御領域（図 31 で前述）に記憶される。

【0531】

まず、スイッチの立ち上がり時（3401）及び立ち下がり時（3402）について説明する。CPU 102 は、タイマ割込発生時の入出力処理（図 29 のステップ 2912）

10

20

30

40

50

において、スイッチの検出信号のレベルが、前回設定された第 1 物理レベルと相違すると（ローレベルからハイレベル、又は、ハイレベルからローレベルに変化）、第 1 物理レベルを検出信号のレベルに新たに設定する。そして、所定の遅延時間が経過した後、スイッチの検出信号が、前回設定された第 2 物理レベルと相違する場合には、第 2 物理レベルを検出信号のレベルに設定する。なお、第 1 物理レベルと第 2 物理レベルとは、検出タイミングが異なるだけである。

【 0 5 3 2 】

このとき、第 1 物理レベルと、第 2 物理レベルとが一致していれば、検出信号が変化したものと判断し、論理レベルに当該レベルを設定する。そして、論理レベルがローレベルからハイレベルに変化した場合には、次のタイマ割込発生から遅延時間が経過するまで、立ち上がり情報をオンに設定する。すなわち、立ち上がり情報をオンに設定した後、次のタイマ割込発生でオフに設定する。

10

【 0 5 3 3 】

また、本発明の第 1 の実施の形態では、第 1 物理レベルと第 2 物理レベルの信号レベルが相違する場合、すなわち、3 4 0 3 に示すように、第 1 物理レベル検出時と、第 2 物理レベル検出時とで、スイッチの検出信号のレベルが相違する場合には、ノイズが発生したものとして、論理レベルを変更しないように構成されている。このように構成することによって、ノイズ発生時に誤って立上り情報がオンに設定されることを防ぎ、後述するように、賞球排出指令が誤って払出制御装置 2 1 0 に送信されることを防ぐことができる。

【 0 5 3 4 】

20

また、本発明の第 1 の実施の形態では、図 3 4 のタイミングチャートに示した立上り情報がオンとなったスイッチの中に賞球排出対象となるものが含まれている場合は、送信バッファ（図 6 の送信データバッファレジスタ 6 3 5 A）に賞球排出指令が格納されることで、遊技制御装置 1 0 0 から払出制御装置 2 1 0 に賞球排出指令が送信される。また、賞球排出指令は、賞球排出の対象となる入賞スイッチ（図 4 における、第 1 特図始動 S W 3 7 A、第 2 特図始動 S W 3 4 A、カウント S W 3 6 A、及び入賞口 S W 3 2 A ~ 入賞口 S W 3 2 N）ごとに定義される。なお、本発明の第 1 の実施の形態では、賞球排出の対象となる入賞スイッチが 1 6 個備えられている。

【 0 5 3 5 】

このとき、1 回のタイマ割込周期内での送信で、送信バッファ内に格納されたすべての賞球排出指令が送信されないと、次のタイマ割込発生時に、賞球排出対象のスイッチの立上り情報がオンとなって新たに発生した賞球排出指令を、送信バッファに取り込めない恐れがある。これを防止するには、新たに賞球排出指令が発生する度に、送信バッファに空きがあるか否かを確認して、空きがなければ次回送信時まで賞球排出指令を保持していなければならない、送信できない賞球排出指令を保持するための記憶領域（例えば、前述した S W 制御領域の立ち上がり情報を一時的に退避させる領域など）を必要としてしまう。また、送信バッファに格納できなかった賞球排出指令を退避させる処理も必要となってしまう。

30

【 0 5 3 6 】

例えば、賞球排出対象のスイッチが 5 個であり、賞球排出指令のサイズが 2 バイトであるならば、払出制御装置 2 1 0 に指令を送信するためのバッファ（送信データレジスタ 6 3 5）に格納できるデータの最大バイト数を 1 0 バイトとしておけば、同一タイマ割込周期内で賞球排出対象の全てのスイッチが同時にオンしたとしても、全ての賞球排出指令をバッファに取り込むことが出来る。しかしながら、賞球排出対象のスイッチが 5 個を超えた場合には、バッファにはより多くの容量を必要とすることになる。

40

【 0 5 3 7 】

本発明の第 1 の実施の形態では、送信バッファの容量を 3 2 バイトに設定しているので、賞球排出対象のスイッチが 1 6 個以下であれば、1 回の割り込み発生時にすべての賞球排出指令を遊技制御装置 1 0 0 から払出制御装置 2 1 0 に送信できるように構成されている。したがって、送信されなかった賞球排出指令を保持するための記憶領域を必要とせず

50

、また、送信されていない賞球排出指令を退避させる処理も不要となるため、必要な記憶容量を削減し、遊技制御装置 100 の制御プログラムを簡略化することができる。

【0538】

図35は、本発明の第1の実施の形態の遊技制御装置100から演出制御装置150に送信される演出制御コマンドの一例を示す図である。

【0539】

演出制御装置150に送信されるコマンドは、初期化コマンドと通常時のコマンドである演出コマンドとがあり、これらのモード部及びアクション部によって構成される共通のフォーマットで送信される。

【0540】

まず、初期化コマンドについて説明する。

【0541】

初期化コマンドには、RAM104のすべての領域が初期化されたか否かを示す電源投入コマンドと、遊技機1のシリーズを特定するためのシリーズ機特定コマンドとが含まれる。また、直前の電源遮断時における遊技機1の遊技状態（低確率状態、高確率状態、入賞抑制状態、入賞促進状態）を通知するコマンドや直前の電源遮断時における特別図柄入賞記憶の数を通知するコマンドも初期化コマンドに含まれる。

【0542】

図35に示すように、RAM104のすべての領域が初期化されたことを示す電源投入コマンドAのモード部は「80H」であり、アクション部は「01H」である。RAM104のすべての領域が初期化されたこととは、図25に示すステップ2510の処理が実行されたことである。

【0543】

一方、RAM104のすべての領域が初期化されていないこと、つまり、RAM104の一部の領域が初期化されたことを示す電源投入コマンドBのモード部は「80H」であり、アクション部は「02H」である。RAM104のすべての領域が初期化されていないこと、つまり、RAM104の一部の領域が初期化されたこととは、図25に示すステップ2516の処理が実行されたことである。

【0544】

したがって、図25に示すステップ2510の処理が実行された場合には、ステップ2511の処理で、モード部が「80H」でアクション部が「01H」である電源投入コマンドAが送信される。図25に示すステップ2516の処理が実行された場合には、ステップ2511の処理で、モード部が「80H」でアクション部が「02H」である電源投入コマンドAが送信される。

【0545】

演出制御装置150は、RAM104のすべての領域が初期化されたことを示す電源投入コマンドAを受信すると、RAM104のすべての領域が初期化されたことを表示装置8に表示する。

【0546】

また、演出制御装置150は、RAM104のすべての領域が初期化されていないことを示す電源投入コマンドBを受信すると、RAM104のすべての領域が初期化されていないことを表示装置8に表示する。

【0547】

また、シリーズ機特定コマンドのモード部は「81H」であり、アクション部は「01H～7FH」である。アクション部は、遊技機1のシリーズに対応する「01H」～「7FH」のいずれかの値である。なお、遊技機1のシリーズに対応する値は、ROM103に設定されている。

【0548】

また、遊技状態（低確率状態、高確率状態、入賞抑制状態、入賞促進状態）を通知するコマンドは、モード部が「90H」となっており、アクション部には、直前の電源遮断時

10

20

30

40

50

における遊技状態別に対応付けられた値が格納される。例えば、低確率状態であればアクション部は「01H」であり、高確率状態であればアクション部は「02H」となる。演出制御装置150は、遊技状態を通知するコマンドを受信すると、遊技状態を報知するための演出を行う。

【0549】

また、特別図柄入賞記憶の数を通知する保留情報コマンドは、モード部が「A0H」となっており、アクション部は「00H～04H」のいずれかの値である。アクション部は、直前の電源遮断時における始動記憶数(0～4)に対応した値である。演出制御装置150は、保留情報コマンドを受信すると、表示装置8の記憶表示部(図49で後述する第1記憶表示部4920又は第2記憶表示部4930)部に、受信した保留情報コマンドに

10

【0550】

これらのシリーズ機特定信号、遊技状態を通知するコマンド、及び特別図柄入賞記憶の数を通知するコマンドの出力時期は、電源投入時であり、図25に示すステップ2511の処理で送信される。なお、これらの各信号と電源投入コマンドの出力順序は、いずれが先であっても後であってもよい。さらに、電源投入時に、遊技制御装置100から演出制御装置150へ通知すべき情報が他にもあれば、初期化コマンドとして一緒に送信してもよい。

【0551】

次に、各演出コマンドについて説明する。

20

【0552】

まず、表示装置8で実行される変動表示ゲームにおいて、始動口に遊技球が入賞したタイミングで出力され、図柄の変動開始前に実行される演出を指示する変動前演出指定コマンドについて説明する。

【0553】

変動前演出指定コマンドのモード部は「A1H～AFH」であり、アクション部は「01H～7FH」のいずれかの値である。モード部は前半変動パターン番号に対応し、アクション部は後半変動パターン番号に対応する。

【0554】

演出制御装置150は、変動前演出指定コマンドを受信すると、表示装置8において識別図柄の変動開始前の演出、例えば、先読み予告としてキャラクタが登場するなどの演出が実行され、その後、図柄の変動表示を開始し、変動表示ゲームを開始する。

30

【0555】

表示装置8で実行される変動表示ゲームにおいて図柄の変動パターンを指示する飾り図柄変動パターン指定コマンドについて説明する。

【0556】

飾り図柄変動パターン指定コマンドのモード部は「B1H」であり、アクション部は「01H～7FH」のいずれかの値である。モード部は前半変動パターン番号に対応し、アクション部は後半変動パターン番号に対応する。

【0557】

演出制御装置150は、飾り図柄変動パターン指定コマンドを受信すると、表示装置8において図柄の変動表示を開始し、変動表示ゲームを開始する。

40

【0558】

飾り図柄変動パターン指定コマンドは、表示装置8において変動表示ゲームの図柄の変動表示を開始するタイミングで送信する。具体的には、表示装置8で変動表示ゲームが終了した場合に始動記憶がある場合、又は表示装置8で変動表示ゲームが実行されていない場合に始動入賞口に遊技球が入賞した場合である。

【0559】

次に、表示装置8における変動表示ゲームにおける停止図柄を指定する停止図柄指定コマンドについて説明する。

50

【 0 5 6 0 】

停止図柄指定コマンドのモード部は「 B 0 H 」であり、アクション部は「 0 1 H ~ 7 F H 」のいずれかの値である。アクション部は、停止図柄に対応する値である。

【 0 5 6 1 】

演出制御装置 1 5 0 は、停止図柄指定コマンドを受信すると、受信した停止図柄指定コマンドに基づいて、表示装置 8 における変動表示ゲームの停止図柄を特定する。

【 0 5 6 2 】

停止図柄指定コマンドは、表示装置 8 の変動表示ゲームの変動表示を開始するとき送信される。

【 0 5 6 3 】

変動時間が経過し、変動表示中の図柄を停止するための図柄変動停止コマンドについて説明する。

【 0 5 6 4 】

図柄変動停止コマンドのモード部は「 C 0 H 」であり、アクション部は「 0 1 H 」である。

【 0 5 6 5 】

演出制御装置 1 5 0 は、図柄変動停止コマンドを受信すると、表示装置 8 で変動表示している図柄を停止させる。

【 0 5 6 6 】

図柄変動停止コマンドは、変動時間が経過したタイミングで送信される。

【 0 5 6 7 】

続いて、特別遊技状態発生中に送信される大当たり関連コマンドについて説明する。

【 0 5 6 8 】

大当たり関連演出指令信号のモード部は「 D 0 H 」であり、アクション部は「 0 1 H ~ 7 F H 」のいずれかの値である。アクション部は、特別遊技状態の進行状況に応じた値である。

【 0 5 6 9 】

演出制御装置 1 5 0 は、大当たり関連コマンドを受信すると、受信した大当たり関連コマンドに基づいて、特別遊技状態に関連する演出を行う。

【 0 5 7 0 】

遊技機 1 においてエラーが発生した場合にエラーの発生を報知するためのエラー関連コマンドについて説明する。

【 0 5 7 1 】

エラー関連コマンドのモード部は「 7 0 H 」であり、アクション部は「 0 1 H ~ 7 F H 」のいずれかの値である。アクション部は発生したエラーに対応した値である。

【 0 5 7 2 】

演出制御装置 1 5 0 は、エラー関連コマンドを受信すると、エラー関連コマンドに基づいて、発生したエラーを報知するための演出を行う。

【 0 5 7 3 】

エラー関連コマンドは、遊技制御装置 1 0 0 がエラーを検出したタイミングで送信される。

【 0 5 7 4 】

なお、前述の遊技状態を通知するコマンド（モード部 = 「 9 0 H 」）は、電源投入時だけでなく、通常の遊技中において遊技状態が変化した場合にも送信される。例えば、遊技中において低確率状態が発生したときに、モード部 = 「 9 0 H 」かつアクション部 = 「 0 1 H 」のコマンドが送信され、遊技中において、高確率状態が発生したときに、モード部 = 「 9 0 H 」かつアクション部 = 「 0 2 H 」のコマンドが送信される。

【 0 5 7 5 】

また、前述の特別図柄入賞記憶の数を通知するコマンド（モード部 = 「 A 0 H 」）は、電源投入時だけでなく、通常の遊技中において始動入賞口に遊技球が入賞して始動記憶数

10

20

30

40

50

が増加した場合にも送信される。例えば、遊技中において始動入賞口に遊技球が入賞して始動記憶数が「3」に変化したときには、モード部＝「A0H」かつアクション部＝「03H」の信号が送信される。

【0576】

したがって、これらの遊技状態を通知する信号、及び特別図柄入賞記憶の数を通知する信号は、演出コマンドとしても機能することになる。

【0577】

なお、前述したように、これらの信号のうち、変動前演出指定コマンドは、他の信号よりも優先して演出制御装置150へのデータ送信を行うためのバッファ（送信データレジスタ635）に取り込まれる。これにより、遊技制御装置100における変動表示ゲームの進行状態と、演出制御装置150における変動表示ゲームの進行状態との時間差を常に固定させる。

【0578】

図36は、本発明の第1の実施の形態の遊技制御装置100から演出制御装置150に送信される送信データの構成を示す説明図である。図36(a)は送信データの概略構成を示し、図36(b)は送信データの詳細構成を示している。なお、遊技制御装置100から払出制御装置210に送信される送信データの構成も同様である。

【0579】

図36(a)に示すように、1組の制御指令データは、コマンドの分類を識別するためのモードデータDCmと、実行されるコマンドの内容（機能）を示すアクションデータDCaで構成される。これらのモードデータDCm及びアクションデータDCaは、図33の賞球排出指令のMODE及びACTION、図35の演出制御コマンドのMODE及びACTIONに各々対応する。

【0580】

また、本実施形態では、送信バッファに設定されたすべての制御指令データ（最大32バイト）を1回の割込周期ですべて送信可能となるようにデータの送信速度が設定されている。したがって、遊技制御装置100の制御プログラムを複雑化させずに、演出制御装置150への指令送信を一時的に中断するなどの処理を必要とせず、また、指令送信の遅れなどによって、遊技制御装置100と演出制御装置150の各制御の進行状態がずれないようにすることが可能となる。

【0581】

また、図36(b)に示すように、1組の制御指令データを構成するモードデータDCm及びアクションデータDCaは、8ビットのコマンドデータに、1フレームの開始であることを示すスタートビット、1ビットのパリティデータ、1フレームの終わりであることを示すストップビットが付加され、1フレームを処理単位として送信される。従って、この1フレームの時間が、1バイトあたりのデータ送信時間（送信バッファに格納された制御指令データを1バイト送信するために必要な時間）となる。

【0582】

すなわち、本実施形態では、非同期方式（調歩同期式）によるシリアル通信を利用して制御指令データを送信する。

【0583】

演出制御装置150は、受信した1組の制御指令データ（モードデータDCm＋アクションデータDCa）を解析し、表示装置8、音回路156、装飾制御装置等を制御するための制御データを生成する。

【0584】

本実施形態では、1回の割り込み処理で生成された一連の制御指令データを送信するときに、全ての制御指令データを、タイマ割込周期内で一時に送信するようにしている。すなわち、一連の制御指令データを全て送信データレジスタ635に格納した後で、シリアル送信回路615を送信許可状態として（送信制御レジスタ632の送信イネーブルを送信許可に設定）送信を開始する。

10

20

30

40

50

【 0 5 8 5 】

従属制御装置としての演出制御装置 1 5 0 は、連続して受信したデータを、一連の制御指令データとして認識する。そして、この一連の制御指令データを処理単位として演出装置（例えば、表示装置 8 ）を制御する。

【 0 5 8 6 】

これにより、演出制御装置 1 5 0 は、タイマ割り込み処理毎に生成された一連の制御指令データを特定でき、1 回のタイマ割り込み処理で生成された一連の制御指令データを処理単位として演出装置を制御するので、一連の制御指令データに基づく演出を連続して（タイムラグなく）実行することができる。

【 0 5 8 7 】

次に、図 3 7 を参照して、図 2 9 のタイマ割込処理における特図ゲーム処理（2 9 1 8 ）の詳細を説明する。図 3 7 は、本発明の第 1 の実施の形態の特図ゲーム処理の手順を示すフローチャートである。

【 0 5 8 8 】

遊技制御装置 1 0 0 は、第 1 始動入賞口 3 7（図 3 参照）及び普通変動入賞装置 3 3（図 3 参照）の第 2 始動入賞口への遊技球の入賞を監視し、入賞に基づき各種乱数値の記憶を行う始動口 S W 監視処理を実行する（3 7 0 0）。なお、始動口 S W 監視処理についての詳細は、図 3 9 にて後述する。

【 0 5 8 9 】

遊技制御装置 1 0 0 は、カウント S W 3 6 A（図 3 参照）からの入力を監視するカウン
トスイッチ監視処理を行う（3 7 0 1）。

【 0 5 9 0 】

遊技制御装置 1 0 0 は、ステップ 3 7 0 6 ~ 3 7 1 2 の各処理で設定される特図ゲーム
処理タイマが 0 であるか否かを判定する（3 7 0 2）。

【 0 5 9 1 】

特図ゲーム処理タイマが 0 でないと判定された場合には（3 7 0 2 の結果が「N」）、
遊技制御装置 1 0 0 は、特図ゲーム処理タイマを - 1 更新し（3 7 0 3）、更新された特
図ゲーム処理タイマがタイムアップして 0 になったか否かを判定する（3 7 0 4）。特図
ゲーム処理タイマがタイムアップしていない場合には（3 7 0 4 の結果が「N」）、遊技
制御装置 1 0 0 はステップ 3 7 1 4 の処理を実行する。

【 0 5 9 2 】

一方、特図ゲーム処理タイマが 0 であると判定された場合には（3 7 0 2 の結果が「Y
」）、又は特図ゲーム処理タイマがタイムアップしたと判定された場合には（3 7 0 4 の
結果が「Y」）、遊技制御装置 1 0 0 は、ゲーム処理番号を取得し、取得したゲーム処理
番号に基づいて実行する処理を選択するゲーム分岐処理を行う（3 7 0 5）。

【 0 5 9 3 】

ゲーム処理番号が 0 である場合には、遊技制御装置 1 0 0 は、特図変動表示ゲームの変
動開始を監視し、特図変動表示ゲームの変動開始の設定や演出の設定、特図変動中処理を
行うために必要な情報の設定を行う特図普段処理を実行する（3 7 0 6）。特図普段処理
では、特図変動表示ゲームの変動に係る情報の設定を行うようになっており、始動記憶に
基づく特図変動表示ゲームの実行に伴って始動記憶を 1 デクリメントする処理や特図変動
表示ゲームにおける変動時間の設定処理等を行う。なお、特図普段処理についての詳細は
、図 4 5 にて後述する。

【 0 5 9 4 】

ゲーム処理番号が 1 である場合には、遊技制御装置 1 0 0 は、特図表示中処理（3 7 0
8）を行うために必要な情報（特図変動表示ゲームにおける結果の停止表示時間等）の設
定を行う特図変動中処理を実行する（3 7 0 7）。

【 0 5 9 5 】

ゲーム処理番号が 2 である場合には、遊技制御装置 1 0 0 は、特図表示中処理を実行す
る（3 7 0 8）。特図表示中処理では、特図変動表示ゲームの結果が大当たりである場合に

10

20

30

40

50

ファンファーレ・インターバル処理（３７０９）を行うために必要な情報が設定され、特図変動表示ゲームの結果がはずれである場合には特図普段処理（３７０６）を行うために必要な情報が設定される。

【０５９６】

ゲーム処理番号が３である場合には、遊技制御装置１００は、特別遊技状態における大入賞口の開放回数の更新等の処理を行うファンファーレ・インターバル処理を実行する（３７０９）。なお、この処理において、ラウンド開始コマンドが設定される。

【０５９７】

ゲーム処理番号が４である場合には、遊技制御装置１００は大入賞口開放中処理を行う（３７１０）。大入賞口開放中処理では、特別遊技状態が最終ラウンドでなければファンファーレ・インターバル処理（３７０９）を行うために必要な情報（インターバルコマンドを含む）が設定され、特別遊技状態が最終ラウンドであれば特別遊技状態の終了画面のコマンド（大当り終了コマンド）の設定や大入賞口残存球処理（３７１１）を行うために必要な情報が設定される。

【０５９８】

ゲーム処理番号が５である場合には、遊技制御装置１００は大入賞口残存球処理を行う（３７１１）。大入賞口残存球処理では、特別遊技状態が最終ラウンドである場合に、大入賞口を閉鎖した後に大入賞口内に残存する全ての遊技球がカウントＳＷ４２ｃで検出されるまでの時間が設定される。

【０５９９】

ゲーム処理番号が６である場合には、遊技制御装置１００は大当り終了処理を実行する（３７１２）。大当り終了処理では、特別遊技状態を終了する処理が行われ、特図普段処理（３７０６）を行うために必要な情報が設定される。

【０６００】

ゲーム処理番号に基づくステップ３７０６～３７１２の処理を行った後、遊技制御装置１００は、設定された各種データをセーブするテーブルデータセーブ処理を実行する（３７１３）。その後、遊技制御装置１００は、特図１変動表示ゲームのゲーム処理タイマの更新等を行う特図１変動制御処理（３７１４）を実行し、特図２変動表示ゲームのゲーム処理タイマの更新等を行う特図２変動制御処理（３７１５）を実行して、特図ゲーム処理を終了する。

【０６０１】

図３８は、本発明の第１の実施の形態の特図ゲーム処理におけるゲーム処理番号に基づいた分岐の処理を説明する図である。この分岐の処理は、図３７のステップ３７０５で実行され、行３８０１～行３８０７の命令が順に実行されることになる。ここでは、図１２で前述した各種レジスタ、図２１及び図２２で前述したアセンブリ言語を用いて説明を行うことにする。

【０６０２】

なお、図３８における列３８２１は、遊技制御プログラムが格納されているユーザプログラムＲＯＭ１０３のアドレスを示し、列３８２２は、当該アドレスに格納されているデータを示している。例えば、ユーザプログラムＲＯＭ１０３の「４８００Ｈ」のアドレスには「Ｆ５Ｈ」のデータが格納され、続く「４８０１Ｈ」のアドレスには「０ＣＨ」のデータが格納され、続く「４８０２Ｈ」のアドレスには「４８Ｈ」のデータが格納され、続く「４８０３Ｈ」のアドレスには「３ＡＨ」のデータが格納されている。以降の「４８０４Ｈ」～「４８０ＢＨ」のアドレスには、「１０Ｈ」、「２８Ｈ」、「８７Ｈ」、「０９Ｈ」、「Ｅ９Ｈ」のデータが格納されている。

【０６０３】

さらに、「４８０ＣＨ」と「４８０ＤＨ」のアドレスには「２０Ｈ」と「４８Ｈ」の値が格納されている。この２バイトのデータを１６ビットのデータ（ただし、下位アドレス側と上位アドレス側を入れ替える）として表現したデータ「４８２０Ｈ」は、図３７のステップ３７０６で実行される特図普段処理の先頭アドレスに相当する。同様に、「４８０

EH」と「480FH」のアドレスに格納されるデータを16ビットで表現した「4840H」は、図37のステップ3707で実行される特図変動中処理の先頭アドレスに相当する。

【0604】

以下、「4810H」以降に格納される16ビットの各データ「4860H」、「4880H」、「48A0H」、は、図37のステップ3708、3709、3710、で実行される、特図表示中処理、ファンファーレ・インターバル処理、大入賞口開放処理、のそれぞれの先頭アドレスに相当する。このようにして、アドレス値480CH~4819Hの領域では、各処理の先頭アドレスが処理番号順に格納されることにより、所定の分岐アドレステーブルを構成している。

10

【0605】

行3801の命令は、HLレジスタ1212Aに、前述の分岐アドレステーブルの先頭となるアドレス値「480CH」をロードするものである。次に、行3802の命令が実行され、Aレジスタ1202Aにゲーム処理番号(図37の3705参照)がロードされる。次に、行3803の命令が実行され、Aレジスタ1202Aの値が2倍される。

【0606】

次に、行3804によりAレジスタ1202Aの値がCレジスタ1205Aにロードされ、行3805によりBレジスタ1204Aに「0」の値がロードされることで、BCレジスタ1206AにAレジスタ1202Aの値が設定される。

【0607】

20

次に、行3806によりHLレジスタ1212AにBCレジスタ1206Aの値が加算される。これにより、HLレジスタ1212Aには、ゲーム処理番号に対応する処理の分岐先のアドレスが設定される。最後に、行3807の「JP (HL)」命令を実行することで、HLレジスタ1212Aが示すアドレスに、処理を移行させる。

【0608】

ここで、行3801~行3807の各命令と、遊技制御プログラムが格納されているユーザプログラムROM103に記憶される列3722の各データとの関係について説明する。

【0609】

遊技制御プログラムを記述するアセンブリ言語の命令は、図21及び図22で前述したコードに変換されて、ユーザプログラムROM103に記憶されている。例えば、行3801の「LD HL, 480CH」の命令は、「4800H」~「4803H」のアドレスに配置される「F5H」、「0CH」「48H」の値に変換されて、ユーザプログラムROM103に記憶されている。行3802~行3807の各命令も、対応するコードに変換されて、ユーザプログラムROM103の「4803H」~「480BH」のアドレスに、順に記憶されている。

30

【0610】

なお、行3808以降の記述は、特図普段処理、特図変動中処理、特図表示中処理、ファンファーレ・インターバル処理、大入賞口開放処理、の先頭アドレスの値をプログラム中に配置することを示しており、ユーザプログラムROM103の「480CH」以降のアドレスに、対応するアドレスデータが設定されることによって、前述の分岐アドレステーブルが構成されることになる。

40

【0611】

このように、HLレジスタに所定の分岐アドレステーブルの先頭アドレス(「480CH」)を設定し、処理番号(SEQNO)に応じてHLレジスタの値を更新することによって、処理番号に応じた処理を実行することができる。したがって、HLレジスタは、分岐アドレス設定レジスタとして機能する。

【0612】

なお、「JP (HL)」以外に、特定のレジスタが示す値をアドレスと見なして分岐する命令が存在すれば、そのレジスタは分岐アドレス設定レジスタとして機能することに

50

なる。例えば、図 2 1 には図示していないが、I X レジスタ 1 2 3 1 が示す値のアドレスに処理を分岐させる命令「J P (I X)」を用いていれば、I X レジスタ 1 2 3 1 は分岐アドレス設定レジスタとして機能していることとなる。

【 0 6 1 3 】

また、「J P (H L)」命令を用いなくても、H L レジスタが示す値をアドレスと見なして、そのアドレスに処理を分岐させるような方法は、他にもある。例えば、「P U S H H L」命令を実行して、一旦スタック領域に 7 0 6 に H L レジスタの値を格納し、直後に「R E T」命令を実行すれば、スタック領域に 7 0 6 に格納してあった H L レジスタの値がプログラムカウンタ 1 2 3 4 に格納される。その結果、H L レジスタが示す値のアドレスに処理を分岐させることができる。

10

【 0 6 1 4 】

このような方法を用いるのであれば、H L レジスタ 1 2 1 2 A 以外のレジスタを分岐アドレス設定レジスタとして機能させることも可能である。例えば、D E レジスタ 1 2 0 9 A をスタック領域に 7 0 6 に格納した直後に「R E T」命令を実行すれば、D E レジスタ 1 2 0 9 A が示す値のアドレスに分岐するので、この場合は D E レジスタ 1 2 0 9 A が分岐アドレス設定レジスタとして機能することになる。

【 0 6 1 5 】

次に、図 3 9 を参照して、図 3 7 の特図ゲーム処理における始動口 S W 監視処理 (3 7 0 0) の詳細を説明する。図 3 9 は、本発明の第 1 の実施の形態の始動口 S W 監視処理の手順を示すフローチャートである。

20

【 0 6 1 6 】

始動口 S W 監視処理では、遊技制御装置 1 0 0 は、まず第 1 始動入賞があるか否かの判定を行う (3 9 0 0)。第 1 始動入賞口 3 7 への入賞があるか否かは、第 1 始動入賞口 3 7 への入賞があった場合に第 1 特図始動 S W 3 7 A から出力される遊技球の検出信号の有無によって判定される。第 1 始動入賞がない場合には (3 9 0 0 の結果が「N」)、遊技制御装置 1 0 0 はステップ 3 9 0 1 の処理を実行する。これに対して、第 1 始動入賞がある場合には (3 9 0 0 の結果が「Y」)、遊技制御装置 1 0 0 は特図始動口 S W 共通処理 (3 9 0 4) を実行し、始動口 S W 監視処理を終了する。なお、特図始動口 S W 共通処理についての詳細は図 4 0 にて後述する。

【 0 6 1 7 】

30

遊技制御装置 1 0 0 は、普電作動中であるか否かを判定する (3 9 0 1)。具体的には、遊技制御装置 1 0 0 は、普電 (普通電動役物) としての普通変動入賞装置 3 3 の開閉部材が作動し、遊技球の入賞が可能な開状態となっているか否かを判定する。開閉部材が開状態であって普電作動中である場合には (3 9 0 1 の結果が「Y」)、遊技制御装置 1 0 0 はステップ 3 9 0 3 の処理を実行する。これに対して、開閉部材が閉状態であって普電作動中でない場合には (3 9 0 1 の結果が「N」)、遊技制御装置 1 0 0 はステップ 3 9 0 2 の処理を実行する。

【 0 6 1 8 】

遊技制御装置 1 0 0 は、不正入賞エラーが発生したか否かを判定する (3 9 0 2)。具体的には、遊技制御装置 1 0 0 は、普通変動入賞装置 3 3 の開閉部材が閉状態である状態で発生した不正な入賞があるか否かを判定する。なお、普通変動入賞装置 3 3 の開閉部材が閉状態になった後の所定期間に検出された入賞は、不正入賞ではないと判定される。不正入賞エラーが発生している場合には (3 9 0 2 の結果が「Y」)、遊技制御装置 1 0 0 は始動口 S W 監視処理を終了する。これに対して、不正入賞エラーが発生していない場合には (3 9 0 2 の結果が「N」)、遊技制御装置 1 0 0 はステップ 3 9 0 3 の処理を実行する。

40

【 0 6 1 9 】

遊技制御装置 1 0 0 は、第 2 始動入賞 (普通変動入賞装置 3 3 の第 2 始動入賞口 3 4 への入賞) があるか否かを判定する (3 9 0 3)。普通変動入賞装置 3 3 の第 2 始動入賞口 3 4 への入賞があるか否かは、第 2 始動入賞口 3 4 への入賞があった場合に第 2 特図始動

50

SW34Aから出力される遊技球の検出信号の有無によって判定される。第2始動入賞がない場合には(3903の結果が「N」)、遊技制御装置100は、始動口SW監視処理を終了する。これに対して、第2始動入賞がある場合には(3903の結果が「Y」)、遊技制御装置100は特図始動口SW共通処理(3904)を実行し、始動口SW監視処理を終了する。

【0620】

図40を参照して、図39の始動口SW監視処理における特図始動口SW共通処理(3904)の詳細を説明する。図40は、本発明の第1の実施の形態の特図始動口SW共通処理の手順を示すフローチャートである。

【0621】

特図始動口SW共通処理では、遊技制御装置100は、まず対応する始動入賞フラグを設定する処理を実行する(4000)。遊技制御装置100は、第1始動入賞口37と普通変動入賞装置33の第2始動入賞口34のいずれの始動口への入賞により特図始動口SW共通処理が開始されたかに基づき始動入賞フラグを設定する。始動入賞フラグとしては、第1始動入賞口37への入賞により特図始動口SW共通処理が開始された場合は特図1フラグが設定され、普通変動入賞装置33の第2始動入賞口34への入賞により特図始動口SW共通処理が開始された場合は特図2フラグが設定される。以下の処理では、特図1フラグが設定されていれば対応する処理として特図1始動記憶についての処理が行われ、特図2フラグが設定されていれば対応する処理として特図2始動記憶についての処理が行われる。

【0622】

遊技制御装置100は、まず、遊技球が入賞した始動入賞口に対応するフラグを設定する(4000)。具体的には第1始動入賞口に遊技球が入賞した場合には第1始動入賞フラグを設定し、第2始動入賞口に遊技球が入賞した場合には第2始動入賞フラグを設定する。

【0623】

次に、遊技制御装置100は、対応する保留の数が上限(例えば4)であるか否かを判定する(4001)。対応する保留の数とは、第1始動入賞口37に遊技球が入賞した場合には第1特図保留カウンタの値が対象となり、第2始動入賞口34に遊技球が入賞した場合には第2特図保留カウンタの値が対象となる(ともに図15参照)。

【0624】

このとき、対応する保留の数が上限となっていて、これ以上対応する始動記憶を記憶できない場合には、遊技制御装置100は本処理を終了して始動口SW監視処理を終了する。これに対して、対応する保留が上限でない場合には、遊技制御装置100は、対応する始動記憶数(即ち、第1特図保留カウンタ又は第2特図保留カウンタのうち、入賞した始動口に対応する方)を1インクリメントする処理を実行し(4002)、その後、ステップ4003の処理を実行する。

【0625】

遊技制御装置100は、保留数情報を設定する処理を実行する(4003)。遊技制御装置100は、対応する始動記憶数が1インクリメントされたことに基づき、始動記憶数の情報である保留数情報を設定する。なお、保留数情報は、始動記憶に関する情報を含む保留情報コマンド(図35参照)の一つとして後に演出制御装置150に送信されるようになっている。その後、遊技制御装置100は、対応する大当たり判定用乱数を取得する処理(4004)、対応する大当たり図柄乱数を取得する処理(4005)、対応する特図変動表示ゲームの変動パターン乱数を取得する処理(4006)を実行する。ここでは、図15に示される、大当たり乱数、大当たり図柄乱数、第1～第3変動パターン乱数の各生成領域から、乱数値を取得する。

【0626】

遊技制御装置100は、ステップ4004～4006で取得した各種乱数値を用いて、特図保留情報判定処理を実行する(4007)。この特図保留情報判定処理の詳細は、図

10

20

30

40

50

4 1 を参照して後述する。

【 0 6 2 7 】

そして、遊技制御装置 1 0 0 は、対応する大当たり判定用乱数を記憶する処理 (4 0 0 8)、対応する大当たり図柄乱数を記憶する処理 (4 0 0 9)、対応する変動パターン乱数を記憶する処理を実行する (4 0 1 0)。ここでは、遊技制御装置 1 0 0 は、ステップ 4 0 0 4 ~ 4 0 0 6 で取得した各種乱数値を、対応する乱数記憶領域に記憶する。

【 0 6 2 8 】

対応する乱数記憶領域とは、処理対象の始動口が第 1 始動入賞口 3 7 であれば、図 1 6 で前述した、第 1 特図変動表示ゲームを実行するために必要な各種乱数の保存領域のうち、第 1 特図保留カウンタに対応する領域が該当する。同様に、処理対象の始動口が第 2 始動入賞口 3 4 であれば、図 1 7 で前述した、第 2 特図変動表示ゲームを実行するために必要な各種乱数の保存領域のうち、第 2 特図保留カウンタに対応する領域が該当する。

【 0 6 2 9 】

例えば、第 2 始動入賞口 3 4 に遊技球が入賞した結果、ステップ 4 0 0 2 にて第 2 特図保留カウンタが 1 インクリメントされて「 3 」となった場合は、図 1 7 における「保留 3 の保存領域」に割り当てられた各種乱数の保存領域に、ステップ 4 0 0 4 ~ 4 0 0 6 で取得した各種乱数値を記憶することになる。

【 0 6 3 0 】

次いで、遊技制御装置 1 0 0 は、保留情報コマンドを設定する処理を実行し (4 0 1 1)、本処理を終了する。保留情報コマンドは、始動口への入賞によって更新された後の保留数 (第 1 特図保留カウンタ又は第 2 特図保留カウンタの値) を通知するコマンドであり、直後に演出制御装置 1 5 0 に送信される (正確には、次のタイマ割込処理 (図 2 9) のコマンド送信処理 (2 9 1 2) が実行されるタイミングで送信される) になっている。

【 0 6 3 1 】

図 4 1 を参照して、図 4 0 の特図始動口 S W 共通処理における特図保留情報判定処理 (4 0 0 7) の詳細を説明する。図 4 1 は、本発明の第 1 の実施の形態の特図保留情報判定処理の手順を示すフローチャートである。

【 0 6 3 2 】

特図保留情報判定処理では、乱数記憶領域へ新たに始動記憶が記憶される際に、すなわち、第 1 始動入賞口 3 7 や第 2 始動入賞口 3 4 (普通変動入賞装置 3 3) に遊技球が入賞したタイミングで、当該始動記憶に対応する結果関連情報の判定が行われる。つまり、特図保留情報判定処理では、新たに記憶された始動記憶に基づく特図変動表示ゲームの開始タイミングより前に、当該始動記憶に対応した結果関連情報の判定を行う先読み処理が行われることになる。

【 0 6 3 3 】

特図保留情報判定処理では、遊技制御装置 1 0 0 は、まず特図 2 始動記憶についての処理であるか否かを判定する (4 1 0 0)。特図 2 始動記憶についての処理である場合には (4 1 0 0 の結果が「 Y 」)、常に先読み処理を実行するため、遊技制御装置 1 0 0 はステップ 4 1 0 3 の処理を実行する。

【 0 6 3 4 】

これに対して、特図 2 始動記憶についての処理でない場合 (4 1 0 0 の結果が「 N 」)、つまり、特図 1 始動記憶についての処理である場合には、遊技制御装置 1 0 0 は、普通変動入賞装置 3 3 の作動状態が抑制状態であるか否かを判定する (4 1 0 1)。普通変動入賞装置 3 3 の作動状態が抑制状態でない場合には (4 1 0 1 の結果が「 N 」)、遊技制御装置 1 0 0 は、特図 1 始動記憶に関連する先読み演出を実行することなく、特図保留情報判定処理を終了する。

【 0 6 3 5 】

これに対して、普通変動入賞装置 3 3 が抑制状態である場合には、遊技制御装置 1 0 0 は、大当たり中であるか否かを判定する (4 1 0 2)。遊技状態が特別遊技状態であって、

10

20

30

40

50

大当たり中である場合には(4102の結果が「Y」)、遊技制御装置100は、特図1始動記憶に対する先読み演出をせずに、特図保留情報判定処理を終了する。

【0636】

これに対して、大当たり中でない場合には(4102の結果が「N」)、遊技制御装置100は、始動記憶に対して大当たり乱数が大当たり判定値と一致するかを判定し、大当たりである場合には大当たりの種類や変動パターンを決定する特図大当たり判定処理を実行する(4103)。なお、特図大当たり判定処理についての詳細は、図42にて後述する。

【0637】

遊技制御装置100は、ステップ4103の処理で一時的に記憶される大当たり種類を特定する情報及び変動パターンを特定する情報を用いて、変動前演出指定コマンドを設定する(4104)。変動前演出指定コマンドは、後述する図43及び図44の変動パターンテーブルを用いて設定され、一旦、遊技制御装置100のRAM104に記憶される。そして、次のタイマ割込処理(図29参照)が実行されて、変動前演出指定コマンドが遊技制御装置100から演出制御装置150に送信されると、演出制御装置150の変動パターン情報記憶領域に記憶される。

10

【0638】

図42を参照して、図41の特図保留情報判定処理における特図大当たり判定処理(4103)の詳細を説明する。なお、後述の図46の特図1変動開始処理(特図2変動開始処理)における特図大当たり判定処理(4103)を実行する際にも、図42の処理が行われる。図42は、本発明の第1の実施の形態の特図大当たり判定処理の手順を示すフローチャートである。

20

【0639】

特図大当たり判定処理では、判定対象の始動記憶の大当たり種類及び変動パターンを決定する処理が行われる。なお、図41の特図保留情報判定処理の特図大当たり判定処理を実行する場合は、乱数記憶領域へ新たに記憶された始動記憶が判定対象となるが、図46の特図1変動開始処理(特図2変動開始処理)の特図大当たり判定処理を実行する場合は、変動開始となる始動記憶が判定対象となる。すなわち、特図大当たり判定処理は、複数の呼び出し元から参照される共通モジュールとなっている。

【0640】

遊技制御装置100は、まず、特図確変フラグはオンになっているか否かを判定する(4200)。そして、特図確変フラグがオンの場合には(4200の結果が「Y」)、遊技制御装置100は、確変状態における、すなわち特図確率が高確率時の大当たり判定を実行する(4201)。なお、特図確変フラグは、特図表示中処理(図37のステップ3708)においてオン/オフに設定される。

30

【0641】

特図確変フラグがオンでない場合には(4200の結果が「N」)、遊技制御装置100は、非確変状態、すなわち特図確率が低確率時の大当たり判定を実行する(4202)。

【0642】

次に、遊技制御装置100は、対応する始動記憶が大当たりであるか否かを判定する(4203)。すなわち、始動記憶の大当たり乱数の値が、大当たり判定値と一致するか否かを判定する。

40

【0643】

そして、大当たりである場合には(4203の結果が「Y」)、遊技制御装置100は、対応する始動記憶の大当たり図柄乱数を用いて、確変大当たりや通常大当たりといった大当たりの種類を決定する(4204)。

【0644】

これに対し、対応する始動記憶が大当たりではない場合には、遊技制御装置100は、大当たりの種類が「はずれ」となったことをRWMに一時的に記憶する(4205)。

【0645】

続いて、遊技制御装置100は、対応する始動記憶の特図変動表示ゲームが短時間変動

50

となる条件が成立しているか否かを判定する(4206)。ここでは、判定対象が特図2変動表示ゲームの始動記憶である場合は、短時間変動となる条件が成立しているものと見なされる。あるいは、判定対象が特図1変動表示ゲームの始動記憶であっても、当該判定を行う時点における特図1変動表示ゲームの始動記憶数が上限数(ここでは4)となっているか、普通変動入賞装置33の作動状態が促進状態となっているかのいずれかの状態である場合は、短時間変動となる条件が成立しているものと見なされる。

【0646】

そして、短時間変動となる条件が成立する場合には(4206の結果が「Y」)、遊技制御装置100は、対応する始動記憶の第1～第3変動パターン乱数により短時間変動の変動パターンを決定する(4207)。

10

【0647】

これに対し、短時間変動となる条件が成立していない場合には(4206の結果が「N」)、遊技制御装置100は、対応する始動記憶の第1～第3変動パターン乱数により長時間変動の変動パターンを決定する(4208)。なお、変動パターン決定の仕方の詳細については図43及び図44にて後述する。

【0648】

最後に、遊技制御装置100は、はずれを含む大当たり種類を特定する情報と、変動パターンを特定する情報を一時的にRWMに記憶する(4209)。ここでは、特定する情報とは、変動パターン番号である。その後、遊技制御装置100は、特図大当たり判定処理を終了する。

20

【0649】

図43及び図44を参照して、図42の変動パターンの決定(ステップ4207及びステップ4208)やステップ4209における変動パターン番号の決定について説明する。図43は、本発明の第1の実施の形態の後半変動パターンテーブルである。また、図44は、本発明の第1の実施の形態の前半変動パターンテーブルである。

【0650】

図43(A)は、図42のステップ4203の処理において、対応する始動記憶が大当たりではないと判定された場合に選択されるテーブルであり、特図変動表示ゲームの後半の変動パターンが決定される。

【0651】

30

まず、対応する始動記憶の第1変動パターン乱数の値に応じて、グループ番号0～2のいずれかが選択される。ここで、グループ番号「0」は「リーチなし」、番号「1」は「ノーマルリーチ」、番号「2」は「SPリーチ」を示す。「リーチなし」が選択される確率は2701/3001、「ノーマルリーチ」が選択される確率は295/3001、「SPリーチ」が選択される確率は5/3001である。

【0652】

次に、対応する始動記憶の第2変動パターン乱数の値に応じて、後半変動パターン番号01h～23hのいずれかが選択される。ここで、後半変動パターン番号「01h」は「リーチなし変動」で変動時間2秒を示す。後半変動パターン番号11h～13hは「ノーマルリーチ」変動であり、番号「11h」は変動時間9秒の「ノーマルリーチ短変動」、番号「12h」は変動時間10秒の「ノーマルリーチ中変動」、番号「13h」は変動時間11秒の「ノーマルリーチ長変動」を示す。また、後半変動パターン番号21h～23hは「SPリーチ」変動であり、番号「21h」は変動時間37秒の「SPリーチ短変動」、番号「22h」は変動時間38秒の「SPリーチ中変動」、番号「23h」は変動時間39秒の「SPリーチ長変動」を示す。

40

【0653】

図43(B)は、図42のステップ4203において、対応する始動記憶が大当たりであると判定された場合に選択されるテーブルであり、特図変動表示ゲームの後半の変動パターンが決定される。ここでは、図43(A)と異なるところを説明する。

【0654】

50

大当たりが発生する場合は、後半変動パターンにおいてグループ番号「0」の「リーチなし」が選択されることはない。「ノーマルリーチ」又は「SPリーチ」が選択される。「ノーマルリーチ」が選択される確率は $1501/3001$ 、「SPリーチ」が選択される確率は $1500/3001$ である。

【0655】

なお、「ノーマルリーチ」からさらに第2変動パターン乱数に応じて選択される後半変動パターン番号は、51h～53hとなるが、それぞれ11h～13hに対応しており、選択される確率も同じである。同様に、「SPリーチ」の後半変動パターン番号は、61h～63h(21h～23hに対応)となる。

【0656】

このように、変動パターンの決定には、まず、第1変動パターン乱数を用いて後半変動のリーチ種類(なしを含む)を決定し、次に第2変動パターン乱数を用いて後半変動パターン(変動時間)を決定する。そして、後半変動パターンを示す後半変動パターン番号と、第3変動パターン乱数とを用いて、前半変動パターンを決定する(図44参照)。

【0657】

続いて、図44を参照して、前半変動パターンテーブルについて説明する。

【0658】

図44では、後半変動パターン番号01h～63h毎に設定された振分率に応じて、第3変動パターン乱数を用いて前半変動パターンが決定される。

【0659】

前半変動パターンには、「前半キャラクタA出現変動」と、「前半キャラクタB出現変動」と、「前半キャラクタなし変動」の変動時間を短縮した「前半短縮変動」とがある。それぞれの変動時間は、10秒、10秒、10秒、1秒に設定されている。

【0660】

第1変動パターン乱数及び第2変動パターン乱数を用いた結果、後半変動パターンを「ノーマルリーチ変動」とする決定がなされている場合には、第3変動パターン乱数の値が0～200の場合に「前半キャラクタA出現変動」を選択し、第3変動パターン乱数の値が201～205の場合に「前半キャラクタB出現変動」を選択し、第3変動パターン乱数の値が206～400の場合に「前半キャラクタなし変動」を選択する。

【0661】

第1変動パターン乱数及び第2変動パターン乱数を用いた結果、後半変動パターンを「SPリーチ変動」とする決定がなされている場合には、必ずキャラクタが出現するように制御され、第3変動パターン乱数の値が0～200の場合に「前半キャラクタA出現変動」を選択し、第3変動パターン乱数の値が201～400の場合に「前半キャラクタB出現変動」を選択する。

【0662】

第1変動パターン乱数及び第2変動パターン乱数を用いた結果、後半変動パターンを「リーチなし変動」とする決定がなされている場合(後半変動パターン番号=01hの場合)には、第3変動パターン乱数の値が0～5のときに「前半キャラクタA出現変動」が選択される。第3変動パターン乱数の値が6～400の場合には、図42のステップ4206における短時間変動の条件が成立しているときに「前半短縮変動」が選択され、この条件が成立していないときは「前半キャラクタなし変動」が選択される。

【0663】

本発明の第1の実施の形態では、後半変動パターン番号01hの「リーチなし変動」の場合にのみ、「前半短縮変動」が設定されている。そして、「リーチなし変動」は、大当たりの種類が「はずれ」である場合に高い確率で選択される。また、「リーチなし変動」の場合には「前半キャラクタなし変動」が選択される確率は低く、「前半短縮変動」又は「前半キャラクタなし変動」が選択される確率が高い。

【0664】

したがって、保留記憶数が多い場合ではずれのときは「リーチなし・前半短縮変動」が

10

20

30

40

50

選択される確率が高いので、全体の平均変動時間を短縮する。そして、保留記憶数が少ない場合ではずれのときは「リーチなし・前半キャラクタなし変動」が選択される確率が高くなっている。

【0665】

これに対して、はずれのときは、リーチを伴う変動（「ノーマルリーチ変動」及び「SPリーチ変動」）や、リーチを伴わない「リーチなし・前半キャラクタA出現変動」が選択される確率は低くなっている。なお、特図変動表示ゲームが大当たりとなる確率は、低確率時において1/301とし、高確率時において1/61とするものとする。

【0666】

本実施形態では、リーチを伴う変動（「ノーマルリーチ変動」及び「SPリーチ変動」）や、「リーチなし・前半キャラクタA出現変動」を、保留記憶数の数に関係なく共通の変動時間が設定された共通変動態様とする。これらの変動態様は、特図の大当たり結果と、第1～第3変動パターン乱数とによって決定されるので、決定処理を行う時点における保留記憶数の数に依存することなく決定されるものである。つまり、同一の保留記憶であれば、特図保留情報判定処理（図41）の特図大当たり判定処理（4104）により決定される変動態様と、特図1（特図2）変動開始処理（図46）の特図大当たり判定処理（4606）による決定される変動態様とが一致する。

【0667】

これに対して、「リーチなし・前半短縮変動」や「リーチなし・前半キャラクタなし変動」は、保留記憶数の数に基づいていずれかが選択される変動パターンであるので、固有変動態様とする。これらの変動態様は、特図の大当たり結果と、第1～第3変動パターン乱数のみならず、決定処理を行う時点における保留記憶数の数に依存して決定されるものである。つまり、同一の保留記憶であっても、特図保留情報判定処理（図41）の特図大当たり判定処理（4104）により決定される変動態様と、特図1（特図2）変動開始処理（図46）の特図大当たり判定処理（4606）により決定される変動態様とが一致するとは限らない。ただし、前者の処理で決定された変動態様が固有変動態様であれば、後者の処理で決定された変動態様も固有変動態様となるように設定されている。

【0668】

なお、これらの前半変動パターンには、前半変動パターン番号が設けられているが、始動入賞時及び変動開始時のどちらのタイミングで決定された前半変動パターンかによって前半変動パターン番号が異なる。

【0669】

本テーブルを用いる図42の特図大当たり判定処理は、遊技球が第1始動入賞口37又は普通変動入賞装置33の第2始動入賞口に入賞したときに実行される特図保留情報判定処理（図41）で対象の始動記憶の結果を先読みするために実行され、さらに、後述する特図1（特図2）変動開始処理（図46）でも実行される。

【0670】

これは、始動入賞時と変動開始時とでは、保留記憶数が異なったり、遊技状態が異なったりする。すなわち、始動入賞時と変動開始時とでは、図42の特図大当たり判定処理における処理結果が異なる場合があり、選択される前半変動パターンも異なる場合がある。このため、始動入賞時及び変動開始時のどちらの場合に決定した前半変動パターン番号かが判別できるようにしている。

【0671】

ここでは、始動入賞時に決定した前半変動パターン番号の頭文字を「A」とし、変動開始時に決定した前半変動パターン番号の頭文字を「B」とする。そして、「前半キャラクタA出現変動」の場合はE/Cに続く番号を「1h」とし、「前半キャラクタB出現変動」の場合は「2h」とし、「前半キャラクタなし変動」の場合は「3h」とし、「前半短縮変動」の場合は「4h」とする。このように、互いに共通するモジュールを用いる。

【0672】

なお、図50で後述するが、本実施形態では、「前半キャラクタA出現変動」では「キ

10

20

30

40

50

ャラクタ A」が出現し、「前半キャラクタ B 出現変動」では「キャラクタ B」が出現するようになっている。

【0673】

次に、図45を参照して、図37の特図ゲーム処理における特図普段処理(3706)の詳細を説明する。図45は、本発明の第1の実施の形態の特図普段処理の手順を示すフローチャートである。

【0674】

特図普段処理では、遊技制御装置100は、まず、保留された特図2始動記憶があるか否かを判定する(4500)。

【0675】

特図2始動記憶がある場合には(4500の結果が「Y」)、遊技制御装置100は、特図2変動開始処理を実行し(4501)、その後、図37に示した特図ゲーム処理で特図変動中処理が実行されるように特図ゲーム処理番号を1に設定する(4504)。

【0676】

さらに、遊技制御装置100は、特図2変動開始処理によって算出され、決定した前半変動パターン及び後半変動パターンに対応する合計変動時間を特図ゲーム処理タイマに設定する処理を実行する(ステップ4505)。その後、特図普段処理を終了する。なお、ステップ4505の処理で変動時間が特図ゲーム処理タイマに設定されるので、変動時間が経過するまでは、図37の特図変動中処理(3707)は実行されない。

【0677】

一方、特図2始動記憶がない場合には(4500の結果が「N」)、遊技制御装置100は、保留された特図1始動記憶があるか否かを判定する(4502)。特図1始動記憶がある場合には(4502の結果が「N」)、遊技制御装置100は、特図1変動開始処理を実行する(4503)。その後、遊技制御装置100は、特図ゲーム処理番号を1に設定する処理を実行する(4504)。さらに、特図1変動開始処理で算出され、決定した変動時間を特図ゲーム処理タイマに設定する処理を実行し(4505)、特図普段処理を終了する。

【0678】

特図1始動記憶がないと判定された場合には(4502の結果が「N」)、遊技制御装置100は、客待ちデモフラグの設定があるか否かを判定する(4506)。客待ちデモフラグの設定がある場合には(4506の結果が「Y」)、遊技制御装置100は特図普段処理を終了する。これに対して、客待ちデモフラグの設定がない場合には(4506の結果が「N」)、遊技制御装置100は、客待ちデモフラグをセットする処理を実行する(4507)。さらに、客待ちデモコマンドの設定を実行し(4508)、特図普段処理を終了する。

【0679】

なお、ステップ4507の処理でセットされた客待ちデモコマンドは、後に演出制御装置150に送信される。演出制御装置150は、この客待ちデモコマンドの受信に基づき、例えば表示装置8の表示部に客待ちデモ画像を表示する処理を実行する。

【0680】

図45に示したように、本実施形態では、遊技制御装置100は、特図2始動記憶がある場合に当該特図2始動記憶に基づく特図2変動表示ゲームを、特図1始動記憶に基づく特図1変動表示ゲームよりも優先的に実行する。

【0681】

次に、図46を参照して、図45の特図普段処理における特図1/特図2変動開始処理(ステップ4503、ステップ4501)の詳細を説明する。図46は、本発明の第1の実施の形態の特図1/特図2変動開始処理の手順を示すフローチャートである。

【0682】

まず、特図1変動開始処理では、遊技制御装置100は、第1特図変動表示ゲームに関する各種乱数の保存領域(図16参照)のうち、次回の変動の対象となる領域、すなわち

10

20

30

40

50

保留 1 個目に対応する保留乱数記憶領域を指定する (4600)。次に、ステップ 4600 の処理で指定した記憶領域から大当り乱数、大当り図柄乱数、第 1 ~ 第 3 変動パターン乱数を取得した後、保留 1 ~ 3 個目に対応する保留乱数記憶領域に、保留 2 ~ 4 個目に対応する保留乱数記憶領域 (次回以降の変動に対応する記憶領域) の各乱数をシフトする (4601)。そして、特図 1 の保留数を 1 減算し (4602)、ステップ 4606 以降の処理を実行する。

【0683】

次いで、遊技制御装置 100 は、ステップ 4601 の処理で取得した保留 1 個目の各種乱数を用いて、図 42 に示した特図大当り判定処理を実行する (4606)。次に、図 42 の特図大当り判定処理のステップ 4209 の処理において一時的に記憶した情報を用いて、演出制御装置 150 に送信する飾り図柄変動パターンコマンドを設定する (4607)。飾り図柄変動パターンコマンドは、表示装置 8 で実行される飾り特図変動表示ゲームの内容を決めるコマンドである。

10

【0684】

さらに、遊技制御装置 100 は、保留情報コマンドを設定する (4608)。前述したように、保留情報コマンドは特図 1 又は特図 2 の保留数を通知するコマンドであり、ここでは、特図 1 又は特図 2 のうち、変動対象の特図の保留数を設定する。そして、ステップ 4609 において図 45 の特図普段処理のステップ 4505 の処理で設定した、決定した変動パターンに対応する変動時間を取得し (4609)、その後、特図 1 変動開始処理を終了する。

20

【0685】

同様に、特図 2 変動開始処理では、遊技制御装置 100 は、前述の特図 1 変動開始処理のステップ 4600 ~ 4602 の処理に対応してステップ 4603 ~ 4605 の処理を実行する。

【0686】

遊技制御装置 100 は、第 2 特図変動表示ゲームに関する各種乱数の保存領域 (図 17 参照) のうち、次回の変動の対象となる領域、すなわち保留 1 個目に対応する保留乱数記憶領域を指定する (4603)。次に、ステップ 4603 の処理で指定した記憶領域から大当り乱数、大当り図柄乱数、第 1 ~ 第 3 変動パターン乱数を取得した後、保留 1 ~ 3 個目に対応する保留乱数記憶領域に、保留 2 ~ 4 個目に対応する保留乱数記憶領域 (次回以降の変動に対応する記憶領域) の各乱数をシフトする (4604)。そして、特図 2 の保留数を 1 減算して (4605)、ステップ 4606 以降の処理を実行する。

30

【0687】

なお、ステップ 4606 では、ステップ 4604 の処理で取得した保留 1 個目の各種乱数を用いて、図 42 に示した特図大当り判定処理を実行することになる。

【0688】

このように、特図 1 又は特図 2 の変動が開始されるときにも特図大当り判定処理が実行されることで、飾り特図変動表示ゲームの表示内容が決定される。

【0689】

図 47 及び図 48 は、本発明の第 1 の実施の形態における始動記憶をシフトさせる処理のプログラムの一例を示す図である。図 47 及び図 48 に示すプログラムは、図 46 のステップ 4601 の処理に対応する。図 47 は K レジスタを利用してプログラムのコード量を削減したプログラムであって、図 48 は K レジスタを利用しないプログラムである。

40

【0690】

図 47 を参照すると、まず、行 4701 に示すように、K レジスタに「28H」を設定し、その後、行 4702 に示すように、LDK 命令によって指定された下位アドレスと K レジスタに設定された上位アドレスとを組み合わせたアドレスにアクセスする。このように、CPU コア 102 は K レジスタに固有の上位アドレスを設定する固有値設定手段をなす。

【0691】

50

前述のように、保留 2 に対応する始動記憶を保留 1 に対応する領域にシフトする場合には、図 16 に示したように、保留 2 に対応する始動記憶のアドレス「2838H」～「283FH」に格納されたデータを、保留 1 に対応する始動記憶にアドレス「2830H」～「2837H」に移動させる。行 4702 では、アドレス 2838H に格納されたデータを A レジスタに格納し、行 4703 で A レジスタに格納されたデータをアドレス 2830H に格納することによってデータを移動させている。同様に、「2839H」～「283FH」に格納されたデータを、「2831H」～「2837H」に移動させることによって保留 2 に対応する始動記憶を保留 1 に対応する領域にシフトさせる。

【0692】

なお、保留 3 に対応する始動記憶を保留 2 に対応する始動記憶にシフトさせる処理、及び保留 4 に対応する始動記憶を保留 3 に対応する始動記憶にシフトさせる処理も、図に示すように、後半のプログラムによって実行される。

【0693】

図 48 は、図 47 と同様に、始動記憶の消化にともなって、始動記憶をシフトさせる処理のプログラムを示しており、図 47 のプログラムを実行した場合と同じ処理が実行される。しかしながら、図 48 に示すプログラムでは、2 バイトのアドレスを直接指定している（例えば、行 4802 の「2838H」）。

【0694】

以上のように、図 47 に示すプログラムでは、始動記憶が格納された領域のアドレスを指定するために 1 バイトの下位アドレスのみを指定すればよい（4710）。これに対し、図 48 に示すプログラムでは、アドレスの指定に 2 バイトの容量を要し（4810）、図 47 に示したプログラムよりも多くの容量を必要とする。したがって、始動記憶を格納する領域のように、連続した領域にデータを格納し、これらのデータにアクセスする場合には、図 47 に示したプログラムのように、上位アドレスを K レジスタに予め保持してデータにアクセスするようにすることによってプログラムの容量を削減することができる。

【0695】

また、K レジスタ（上位アドレス指定レジスタ）に固有のアドレス値（「28H」）を予め設定しておくことによって、その後、下位アドレスのみ指定すれば所定の領域にアクセスできるため、CPU（演算処理手段）の処理負担を軽減することもできる。

【0696】

図 49 及び図 50 は、本発明の第 1 の実施の形態において、表示装置 8 で実行される飾り特図変動表示ゲームの画面遷移を説明する図である。

【0697】

画面（a）は変動開始前の状態を示し、始動記憶が消化されると、画面（b）に示すように、図柄表示領域 4910 にて各識別図柄が変動を開始する。なお、図柄表示領域 4910 の下方には第 1 記憶表示部 4920 と第 2 記憶表示部 4930 とが設定される。これらの各記憶表示部には、保留記憶があることを示すマーク（通常の保留記憶表示）4940 と、保留記憶がないことを示すマーク 4950 が表示される。その後、画面（c）に示すように、左図柄、右図柄の順に識別図柄の変動が停止され、最終的には中図柄の変動が停止して、画面（d）に示すように変動停止した状態となる。

【0698】

このとき、左図柄と右図柄が同一の図柄で停止した場合には、画面（e）に示すようにリーチ状態となり、その後、中図柄の変動が継続される。そして、変動表示ゲームの結果がはずれの場合には、画面（f）に示すように、左右の識別図柄とは異なる図柄で中図柄が停止する。また、変動表示ゲームの結果が大当たりとなる場合には、画面（g）に示すように、左右の識別図柄と同じ識別図柄で中図柄が停止する。変動表示ゲームで大当たりとなると、前述したように特別遊技状態に遷移し、遊技者は多くの遊技価値を得ることが可能となる。

【0699】

また、画面（e）で示したリーチは、通常のリーチであるが、画面（e）の代わり又は

10

20

30

40

50

画面(e)に示したリーチの後に、画面(h)に示すように、中図柄が回転して表示されるスーパー(SP)リーチが発生する場合がある。SPリーチが発生する場合には、通常のリーチと比較して変動表示ゲームの結果が大当たりとなる確率が大きくなるように設定されている。

【0700】

また、画面(i)は、変動開始後の状態を示しているが、始動記憶のうちの一つに対して先読み報知が実行されている。具体的には、始動入賞時に設定された前半変動パターン番号がキャラクタA又はキャラクタBが出現する前半変動を行うものであった場合に、先読み報知が実行される。このとき、記憶表示部にて、通常の保留記憶表示4940とは表示態様が異なる特定の保留記憶表示5010が表示されることで、先読みの報知が行われ

10

【0701】

その後、始動記憶が消化され(画面(j))、先読み報知がなされた始動記憶に基づく変動表示ゲームが開始されると(画面(k))、キャラクタが出現する予告演出が実行される(画面(l)、画面(m))。

【0702】

画面(l)ではキャラクタA(第1のキャラクタ)5020が出現し、画面(m)ではキャラクタB(第2のキャラクタ)5030が出現している。これらのキャラクタAとBは、互いに表示態様が異なるものが好ましい。ただし、互いに表示態様が同じものであっても、出現するキャラクタの大きさ、出現数、移動速度などをキャラクタAとBとで各々異ならせるようにして、遊技者に各々が区別できるようにしているものであれば、特に限定はされない。

20

【0703】

本実施形態では、前半変動(一部の識別図柄の変動が停止してリーチ状態が発生する前の状態)でキャラクタが出現するようになっている。その後、左右の識別図柄が停止し、リーチ状態が発生する(画面(n))。このとき、スーパーリーチ若しくは通常のリーチが発生する。なお、このリーチ状態のときに、前述のキャラクタが出現するようにしてもよい。

【0704】

なお、本実施形態では、入賞口SW監視処理(図29のステップ2917)において、普図始動SW31Aによる遊技球の検出があったときに、普図乱数カウンタ値(図15の普図乱数生成領域)の値を普図始動入賞記憶領域(図15)に記憶しているが、普図変動表示ゲームに関する乱数であれば、別の乱数を記憶するようにしてもよい。例えば、乱数生成回路608にて普図変動表示ゲームに関する乱数を生成(ハード乱数を生成)しておき、普図始動SW31Aによる遊技球の検出があったときに、この生成した乱数を普図始動入賞記憶領域(図15)に記憶するようにしてもよい。

30

【0705】

また、本実施形態では、特図始動口SW共通処理(図40)のステップ4004~4006において、図15に示される大当たり乱数、大当たり図柄乱数、第1~第3変動パターン乱数の各生成領域から乱数値を取得しているが、特図変動表示ゲームに関する乱数であれば、別の乱数を取得するようにしてもよい。例えば、乱数生成回路608にて、大当たり乱数、大当たり図柄乱数、第1~第3変動パターン乱数の全部又は一部を生成(ハード乱数を生成)しておき、ステップ4004~4006の実行時に、この生成した乱数を取得するようにしてもよい。

40

【0706】

ここで、本発明とは対照的な従来技術と本発明との対比を行う。

【0707】

まず、特許文献Aとして特開2009-183500号公報に開示されるような遊技機が知られており、この遊技機では、従来よりもプログラムコードを削減し、記憶手段の記憶容量を削減するために、CPUからI/O空間を介してアクセス可能な第1の記憶領域

50

を少なくとも有する記憶手段を備えている。

【0708】

そして、この遊技機では、特許文献Aの段落[0137]～[0142]に記載があるように、LD命令、IN命令、OUT命令を適宜使い分けることで、プログラム全体のステート数やプログラムコード量を削減している。

【0709】

さらに、この遊技機では、特許文献Aの図13に記載があるように、指定したRAM領域からレジスタにデータを格納するLD命令や、逆に、レジスタから指定したRAM領域にデータを格納するLD命令を用いている。

【0710】

具体的には、RAM領域の2810H番地のデータをAレジスタに格納するための「LD A, (2810H)」、AレジスタのデータをRAM領域の2810H番地に格納するための「LD (2810H), A」、RAM領域の2810H番地のデータをHLレジスタに格納するための「LD HL, (2810H)」、HLレジスタのデータをRAM領域の2810H番地に格納するための「LD (2810H), HL」などが該当する。

【0711】

これらの命令は、特許文献Aの図13にも記載があるが、3バイトのプログラムコード量を要する命令である。なお、プログラムコードとは、任意の命令を、命令コード部（オペコード部）とアドレス部（オペランド部）との組み合わせを用いて所定バイト数の数値で表現したものである。

【0712】

命令コード部は、命令同士を識別するために必要なコードであり、例えば、「LD A, (2810H)」のような、指定されたRAM領域のデータをAレジスタに格納するためのLD命令であれば、「3AH」などの1バイトの値が割り当てられている。一方、アドレス部はRAM領域のアドレスを指定するためのコードであり、例えば、2810H番地へのアクセスを指定する場合は、「28H」「10H」という2バイトの値がプログラムにて設定される。

【0713】

このようなLD命令は、遊技プログラムにて頻繁に使用されるものであるから、プログラム全体のコード量を削減するためには、命令をできるだけ少ないバイト数で表現できることが好ましいのは言うまでもない。しかしながら、RAM領域のアドレスを指定する際には、アドレス部に少なくとも2バイトのコードを割り当てる必要がある上に、命令同士を識別するための命令コード部のコードが少なくとも1バイト必要となるため、このようなLD命令を表現するためのプログラムコードは、2バイト以下に削減することは不可能である。

【0714】

そこで本発明は、上記のような問題点を解決するために、遊技制御プログラム全体のコード量を削減することを目的としている。

【0715】

例えば、本発明の第1の実施の形態によれば、上位アドレス指定レジスタを用いることにより、RAM（更新情報記憶手段）にアクセスするための命令を、少ないバイト数のコードで実現することが可能となる。そのため、遊技制御プログラムに当該命令を用いることで、遊技制御プログラム全体のコード量を削減することが可能となる。

【0716】

なお、上位アドレス指定レジスタ自体は1バイトのレジスタであるので、特定アドレスの前後各128バイト（又は前後各127バイト）の範囲内からデータを取り出すことを目的として、当該特定アドレスを指定するためにわざわざ2バイトのレジスタを用いるような方法と比較すると、アドレス指定のためのレジスタ構成が簡素化されている。

【0717】

10

20

30

40

50

また、ＲＡＭに記憶された情報の更新を規制するＲＡＭアクセス規制回路を備え、所定の起動信号が発生するとＲＡＭアクセス規制回路によりＲＡＭの更新禁止状態となり、その後、ＣＰＵコアの動作が開始されてＲＡＭの更新禁止状態が解除され、次いで、上位アドレス指定レジスタにより指定されるアドレスに記憶された情報を用いて遊技制御が開始されるので、誤ったタイミングでＲＡＭの値が更新されることを防止できる。

【０７１８】

さらに、本発明の第１の実施の形態によれば、始動記憶などを保持するワークエリアと、スタック領域とが異なる上位アドレスとなる領域に保持されるため、乱数更新時などに誤ってスタック領域に格納されたデータを更新することを防止することができるため、誤動作を防ぐことができる。

10

【０７１９】

特に、始動記憶を保持する領域（例えば、図１６、図１７、図５２、図５３に例示するような乱数記憶領域、或いは図１５に例示する普図乱数保存領域）は、変動表示ゲームを開始する際に、格納されている乱数がシフトされることになるが、これらの領域の上位アドレスはすべて同一（２８Ｈ）になるように設定されているので、シフトの処理を行う際に上位アドレス指定レジスタの値を変更する必要がなく、処理が簡素化される。

【０７２０】

また、ワークエリアの下位アドレスが一致する領域であって、上位アドレスがスタック領域と同じ領域を使用禁止領域に設定することによって、上位アドレスの値を間違っている状態で始動記憶を更新しようするとＣＰＵがリセットされ、誤作動を防止することができる。

20

【０７２１】

次に、特許文献Ｂとして特開平１０－０３３８０４号公報に開示されるようなパチンコ機が知られており、パチンコ機の制御装置のプログラムにおいては、遊技状態に対応して異なる命令が実行されるように、プログラム内部で分岐の処理が行われている。この特許文献Ｂでは、段落〔００７２〕～〔００７３〕に記載があるように、プロセスフラグの値に応じて制御を分岐させる処理がなされ、その分岐の際には、基本回路３０のＲＯＭに記憶されているプロセスジャンプテーブル（特許文献Ｂの図１３）を参照して行なわれる。

【０７２２】

一方、パチンコ機の制御装置などに用いられるＣＰＵとして、特許文献Ｃとして特開平１１－２３２０９９号公報に開示されるＺ８０系のＣＰＵが知られている。Ｚ８０系の命令には、特許文献Ｃの段落〔００２０〕に示されるような「ＪＰ（ＨＬ）」の命令が用意されている。この命令は、ＨＬレジスタに格納された値をアドレスと認識させて、そのアドレスで示されるプログラムの箇所に処理を分岐させるものである。なお、ＣＰＵが起動した時点では、ＨＬレジスタの値は不定な値が格納されている。

30

【０７２３】

特許文献Ｂの従来技術の遊技機のプログラムにて分岐の処理を行う場合には、特許文献ＣのＣＰＵの「ＪＰ（ＨＬ）」が用いられることがあり、この場合、ＨＬレジスタに分岐先のアドレスの値を格納してから、「ＪＰ（ＨＬ）」の命令を実行する構成となる。

【０７２４】

40

しかしながら、特許文献Ｂの従来技術の遊技機などは、ノイズ環境に晒されているために、ＣＰＵが暴走する危険を有している。特に、特許文献Ｃのような従来のＣＰＵを用いた場合は、遊技機の電源が投入されてＣＰＵが起動を開始した直後では、ＨＬレジスタの値が不定な値であるために、誤ってプログラム中の「ＪＰ（ＨＬ）」命令が実行された場合には、分岐先が不定なためにＣＰＵが暴走するおそれがあった。

【０７２５】

そこで、本発明は、上記のような問題点を解決するために、ノイズ環境でも正常にＣＰＵを動作させることを目的としている。

【０７２６】

例えば、本発明の第１の実施の形態によれば、固有値設定手段（図１２の初期値設定回

50

路)を備えており、起動信号(リセット信号)が発生すると、固有値設定手段により分岐アドレス設定レジスタに固有のアドレス値が設定されるので、遊技制御プログラム開始直後にノイズ等が発生して、誤って特定の命令を実行してしまった場合であっても、固有のアドレス値で示されるアドレスに処理を分岐させることができる。そのため、遊技制御プログラム開始直後にノイズ等が発生しても、演算処理手段の暴走を防止することができる。

【0727】

すなわち、固有のアドレス値で示されるアドレス(例えば、遊技制御プログラムのリセットアドレス)には、演算処理手段が暴走したときに実行すべきプログラムの命令(リセット処理等の命令)が予め配置されているので、遊技制御プログラム開始直後にノイズ等

10

【0728】

また、本発明の第1の実施の形態では、分岐アドレス設定レジスタを用いて、特図変動表示ゲームの制御状態(ゲーム処理番号に対応する各遊技状態)に対応した分岐処理を行っているので、制御状態が順次切り替わっても、その都度、切り換えられた制御状態に対応する分岐先の処理が行えるように、効率的な遊技制御プログラムが構成できるようになっている。なお、普図変動表示ゲームの制御状態に対応した分岐処理も、分岐アドレス設定レジスタを用いて行うようにしてもよい。

【0729】

さらに、本発明の第1の実施の形態によれば、電源投入時の際に、遊技制御プログラムが開始される前に、初期値設定回路1241によってCPUコア102に備えるスタックポインタに初期値がハード的に設定される。そのため、遊技制御プログラムの実行が開始された直後にノイズ等が原因で割り込み処理が発生しても、呼出元のルーチンの戻りアドレスをスタック領域に確実に格納することができ、割込処理から呼出元のルーチンに復帰する際にも問題なく処理を継続することができる。

20

【0730】

また、分岐アドレス設定レジスタ(HLレジスタ)にリセットアドレス値が格納された状態で、特定の命令(JP(HL))が実行された場合であっても、スタックポインタの値を設定できる。

【0731】

なお、遊技制御中に異常が発生して、リセット回路610B(セキュリティ回路630)によりCPUコア102がリセットされるような場合であっても、CPUコア102の処理がリセットアドレスに戻される。

30

【0732】

この場合、初期値設定回路1241によってスタックポインタに初期値がハード的に設定されなくても、ソフトウェアによりスタックポインタに初期値を設定する(図25の遊技制御装置メイン処理のステップ2502A)ので、あらゆるリセット状態に対応してスタックポインタに初期値を設定することが可能となる。なお、同様の理由により、上位アドレス指定レジスタにもソフトウェアによって初期値を設定している(図25の遊技制御装置メイン処理のステップ2502B)。

40

【0733】

さらに、遊技制御プログラムは、呼出元のルーチンに記述されたCALL命令等の呼出の命令が実行された場合(第1の呼出条件が成立した場合)や、呼出元のルーチンの命令実行中に所定の割込信号が発生した場合(第2の呼出条件が成立した場合)には、呼出元のルーチンに含まれる戻りアドレスの値をスタック領域に格納して、呼出先の処理を移行されるような構成となっている。

【0734】

この場合において、後者の所定の割込信号は、呼出元のルーチンの実行中のアドレスとは無関係に発生するものであるので、割込信号が発生した時点におけるフラグレジスタ1200の値は、呼出先のルーチンの処理中で破壊されないように、スタック領域に退避し

50

ておくことが好ましい。

【0735】

そこで、後者の第2の呼出条件が成立した場合は、図19の(D)に示すように、呼出元のルーチンに含まれる戻りアドレスの値だけでなく、フラグレジスタ1200の値もスタック領域に格納して、呼出先の処理に移行させている。そのため、後者の第2の呼出条件が成立した場合には、呼出先のルーチンのプログラム中にフラグレジスタをスタック領域に格納するための命令(「PUSH FLG」)を記述しなくても、フラグレジスタの値が自動的にスタック領域に格納されるため、プログラムのコード量を節約することができる。

【0736】

これに対して、前者のように、呼出元のルーチンに記述されたCALL命令等の呼出の命令を実行する場合は、呼出元のルーチンで設定されたフラグレジスタ1200の値を呼出先のルーチンの処理中で破壊してはいけない場合もあるが、呼出先のルーチンの処理中で設定されたフラグレジスタ1200の値を、呼出元のルーチンに戻して演算に利用することもあり得る。よって、呼出元のルーチンで設定されたフラグレジスタ1200の値をスタック領域に退避すべきか否かはケースバイケースであることから、呼出先のルーチンのプログラム中に、プログラム中にフラグレジスタ1200の値をスタック領域に格納する命令(例えば、「PUSH FLG」)を記述して、値を退避するか否かを決定したほうが都合が良い。

【0737】

故に、前者の第1の呼出条件が成立した場合は、図19の(C)に示すように、呼出元のルーチンに含まれる戻りアドレスの値はスタック領域に格納するものの、フラグレジスタ1200の値を自動的にスタック領域に格納することはしない。

【0738】

なお、図19の(D)に示すように、スタック領域には、先にフラグレジスタの値を格納して、後から戻りアドレスの値を設定しているため、戻りアドレスの値を破壊することなくフラグレジスタの値のみを破壊するような事態は発生しない。そのため、呼出先の割込処理ルーチンでフラグレジスタの値が破壊された状態のまま、スムーズに呼出元のルーチンに戻って処理を継続してしまうことはない。

【0739】

また、図19の(D)に示すように、スタック領域に格納される戻りアドレスの値は2バイト構成であるのに対して、スタック領域に格納されるフラグレジスタの値は1バイト構成となっている。このように、スタック領域に格納される戻りアドレスとフラグレジスタとのバイト数を異ならせることで、呼出先のルーチンで誤ってフラグレジスタの値を戻りアドレスに格納すると、以降の処理では戻りアドレスの取得が不可能となるので、プログラムのバグ等を発見しやすい。

【0740】

さらに、図21に示すように、汎用レジスタのバンクを切り変える機能を有しているため、呼出先のルーチン内でバンクを切り替えることにより、呼出元とは異なるレジスタを活用することができる。

【0741】

なお、図14に示したように、第1の実施の形態では、ユーザワークRAM104において上位アドレスの境界、すなわち、上位アドレスが「28H」の領域と「29H」の領域との境界を連続してアクセスすることが可能となっていたが、この境界に使用禁止領域を設けるようにしてもよい。

【0742】

図51は、本発明の第1の実施の形態の変形例のユーザワークRAM104の一例を示す図である。図51に示すユーザワークRAM104には、上位アドレスの境界(RAMのアドレスが「28FFH」から「2900H」に変化する境界線を含んだ領域)に使用禁止領域が設けられている。このように、上位アドレスが変化(「28H」から「29H

10

20

30

40

50

」に変化)する境界に使用禁止領域を設けることによって、上位アドレスを変更せずに連続した領域にアクセスしようとするなどを防ぐことが可能となり、誤作動を防止することができる。

【0743】

例えば、このような境界線の前後のエリアに、Aレジスタ1202Aの値を一括して格納することを考える。この場合、上位アドレス指定レジスタであるKレジスタ1230の値を「28H」に固定した状態で、「INC L」命令(図21参照)を実行してLレジスタ1211Aの値を増加させながら、「LDK (L), A」の命令(図21参照)を実行させることになる。

【0744】

このとき「INC L」命令の実行により、Lレジスタ1211Aの値が「FFH」から「00H」に変化するタイミングがある。これは、Aレジスタ1202Aの値の格納先が境界線を跨ぐタイミングであるが、正しい格納先を指定するためには、以降のKレジスタ1230の値を「29H」に変更する必要がある。そのため、本来であれば、遊技プログラムにてKレジスタ1230の値を「29H」に変更する命令を実行しなければならないが、プログラム製作者が見落としてしまうおそれがある。

【0745】

(第2の実施の形態)

第1の実施の形態では、第2特図変動表示ゲームが第1特図変動表示ゲームよりも優先して実行されるように構成されていたが、第2の実施の形態では、第2特図変動表示ゲーム及び第1特図変動表示ゲームの区別なく、入賞した順序で特図変動表示ゲームが実行される。

【0746】

そこで、第1の実施の形態では、始動記憶に大当り乱数、大当り図柄乱数、変動パターン乱数が含まれていたが、第2の実施の形態では、さらに、第1始動入賞口37に遊技球が入賞したか、第2始動入賞口34に遊技球が入賞したかを区別する、すなわち、実行される特図変動表示ゲームが第1特図変動表示ゲームであるか、又は、第2特図変動表示ゲームであるかを区別するための特図識別bitが始動記憶に含まれる。また、始動記憶の上限も実質的には8個となるので、ユーザワークRAM104において、8ブロック分の乱数の保存領域を確保し、これを保留1～保留8として割り当ててものとする。

【0747】

図52及び図53は、本発明の第2の実施の形態の特図変動表示ゲームを実行するために必要な各種乱数の保存領域を示す図であり、図52は保留1から4、図53は保留5から8に対応する各種乱数の保存領域を示す。

【0748】

本実施形態では、図52及び図53に示すように、第3変動パターン乱数を格納する領域の先頭bitを特図識別bitとする。

【0749】

なお、図40の特図始動口SW共通処理を実行する際に、ステップ4004～4006で取得した各種乱数値を、ステップ4008～4010にて対応する乱数記憶領域に記させることになるが、対応する領域が第1の実施の形態とは異なっている。第2の実施形態においての対応する乱数記憶領域とは、第1特図保留カウンタと第2特図保留カウンタとの合算値に対応する領域である。

【0750】

例えば、第1始動入賞口37若しくは第2始動入賞口34に遊技球が入賞した結果、第1特図保留カウンタと第2特図保留カウンタとの合算値が「2」となった場合は、図52における「保留2の保存領域」に割り当てられた各種乱数の保存領域に、ステップ4004～4006で取得した各種乱数値を記憶することになる。このとき、第1始動入賞口37への入賞であれば「保留2の保存領域」の特図識別bitには「0」が設定され、第2始動入賞口34への入賞であれば「保留2の保存領域」の特図識別bitには「1」が設

10

20

30

40

50

定される。

【0751】

同様に、第1始動入賞口37若しくは第2始動入賞口34に遊技球が入賞した結果、第1特図保留カウンタと第2特図保留カウンタとの合算値が「7」となった場合は、図53における「保留7の保存領域」に割り当てられた各種乱数の保存領域に、ステップ4004～4006で取得した各種乱数値を記憶することになる。このとき、第1始動入賞口37への入賞であれば「保留7の保存領域」の特図識別bitには「0」が設定され、第2始動入賞口34への入賞であれば「保留7の保存領域」の特図識別bitには「1」が設定される。

【0752】

図54は、本発明の第2の実施の形態の特図保留情報判定処理の手順を示すフローチャートである。なお、第1の実施の形態の特図保留情報判定処理と共通の処理については、図41と同じ符号を割り当てて記載を省略する。

【0753】

本発明の第2の実施の形態では、遊技制御装置100は、特図1と特図2とを区別せずに始動記憶を扱うので、第1の実施の形態におけるステップ4100～ステップ4102のような条件を設定せずに無条件で特図大当り判定処理(4103)を実行する。

【0754】

図55は、本発明の第2の実施の形態の特図普段処理の手順を示すフローチャートである。なお、第1の実施の形態と共通の処理については、図45と同じ符号を割り当てて記載を省略する。

【0755】

本発明の第2の実施の形態では、特図2始動記憶を優先して消化しない。そこで、まず、遊技制御装置100は、特図1及び特図2の保留数を合計し(5500)、合計保留数が0より大きいのか否か、すなわち、特図1又は特図2の保留があるか否かを判定する(5501)。そして、保留がある場合には、ステップ5502において次の保留が特図1の保留であるか否かを判定する。そして、保留が特図1である場合には、特図1変動開始処理(4503)を実行する。また、保留が特図1でなく特図2である場合には、特図2変動開始処理(4504)を実行する。

【0756】

なお、特図1変動開始処理と特図2変動開始処理のいずれの処理を行ったかにかかわらず、図46の処理において、遊技制御装置100は、図52の保留1の保存領域を、次回の変動の対象として指定する(4600若しくは4603)。さらに、この指定された記憶領域から大当り乱数、大当り図柄乱数、第1～第3変動パターン乱数を取得した後、保留1～7個目に対応する保留乱数記憶領域(図52及び図53)に、保留2～8個目に対応する保留乱数記憶領域(次回以降の変動に対応する記憶領域：図52及び図53参照)の各乱数をシフトし(4601若しくは4604)、以降の処理(4602若しくは4605)の処理を実行することになる。

【0757】

一方、ステップ5501の処理で合計保留数が0の場合には、遊技制御装置100は、ステップ4506以降の処理を実行する。

【0758】

このように、本発明の第2の実施の形態によれば、第2特図変動表示ゲームを優先して実行しない場合であっても、第1の実施の形態と同様に、遊技制御プログラム全体のコード量を削減することが可能となる。

【0759】

なお、今回開示した実施の形態における補助遊技は、例として、変動表示ゲームを開示しているが、これに限定されるものではない。例えば、遊技の実行中に遊技者にボタン等による選択操作をさせ、その操作入力に対応して遊技結果が導出されるような遊技も含まれる。或いは、遊技の実行中に遊技球やメダルなどの遊技媒体が所定の領域に入賞するか

10

20

30

40

50

否かの物理的な抽選を行わせ、その抽選結果に対応して遊技結果が導出されるような遊技も含まれる。

【 0 7 6 0 】

また、今回開示した実施の形態における遊技機には、パチンコ機以外の様々な遊技機が適用可能である。例えば、パチスロ機、アレンボール機、じゃん球遊技機などにも適用が可能である。

【 0 7 6 1 】

なお、今回開示した実施の形態は、全ての点で例示であって制限的なものではない。また、本発明の範囲は前述した発明の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味及び内容の範囲での全ての変更が含まれることが意図される。

10

【産業上の利用可能性】

【 0 7 6 2 】

以上のように、本発明は、遊技制御装置と遊技制御装置からの指令により制御を行う従属制御装置とを備える遊技機に適用可能である。

【符号の説明】

【 0 7 6 3 】

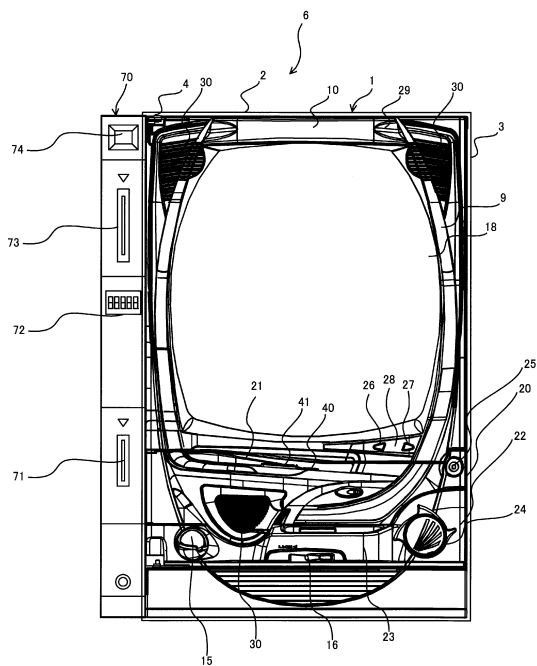
1	遊技機	
2	本体枠（外枠）	
3	前面枠	
5	遊技盤	20
6	遊技装置	
8	表示装置	
1 8	ガラス枠	
3 1	普通図柄始動ゲート	
3 2	一般入賞口	
3 3	普通変動入賞装置	
3 4	第 2 始動入賞口	
3 6	特別変動入賞装置	
3 7	第 1 始動入賞口	
5 1	遊技領域	30
7 0	カードユニット	
1 0 0	遊技制御装置	
1 0 1	遊技用マイコン	
1 0 2、6 0 1	C P U コア	
1 0 3、6 0 2	ユーザプログラム R O M	
1 0 4、6 0 4	ユーザワーク R A M	
1 5 0	演出制御装置（表示制御装置）	
1 6 0	電源装置	
1 6 1	バックアップ電源	
2 1 0	払出制御装置	40
6 0 0	遊技用演算処理装置（アミューズチップ）	
6 0 3	H W パラメータ R O M	
6 0 8	乱数生成回路	
6 0 9	クロック生成回路	
6 1 0 A	割込制御回路	
6 1 0 B	リセット回路	
6 1 1	アドレスデコーダ	
6 1 8	H P G プログラム R O M	
6 1 9	I D プロパティメモリ	
6 2 1	H P G ワーク R A M	50

- 6 2 9 分周回路
- 6 3 0 セキュリティ回路
- 6 4 0 R A Mアクセス規制回路 (更新規制手段)
- 6 4 1 フリップフロップ回路
- 6 4 2 O Rゲート回路
- 6 5 0 アドレスバス
- 6 6 0 データバス
- 7 0 2 ワークエリア
- 7 0 5 使用禁止領域 (アクセス禁止領域)
- 7 0 6 スタック領域
- 1 2 0 0 フラグレジスタ
- 1 2 0 3 A、1 2 0 3 B W Aレジスタ
- 1 2 0 6 A、1 2 0 6 B B Cレジスタ
- 1 2 0 9 A、1 2 0 9 B D Eレジスタ
- 1 2 1 2 A、1 2 1 2 B H Lレジスタ
- 1 2 2 0 A、1 2 2 0 B 汎用レジスタ群
- 1 2 3 0 Kレジスタ
- 1 2 3 3 スタックポインタ (S P)レジスタ
- 1 2 3 4 プログラムカウンタ (P C)レジスタ
- 1 2 4 0 内蔵リセット回路
- 1 2 4 1 初期値設定回路
- 1 2 4 2 命令解釈実行回路
- 1 2 4 3 アクセス回路

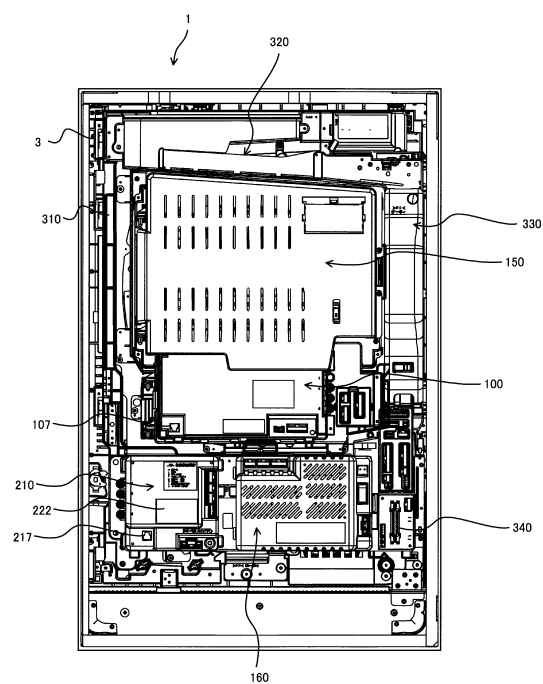
10

20

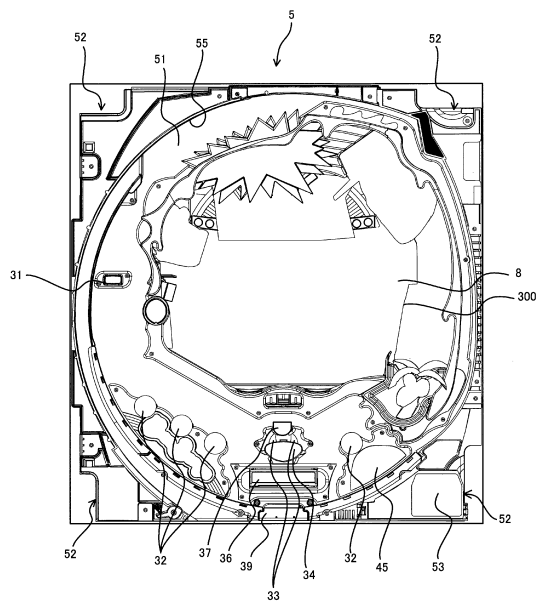
【図 1】



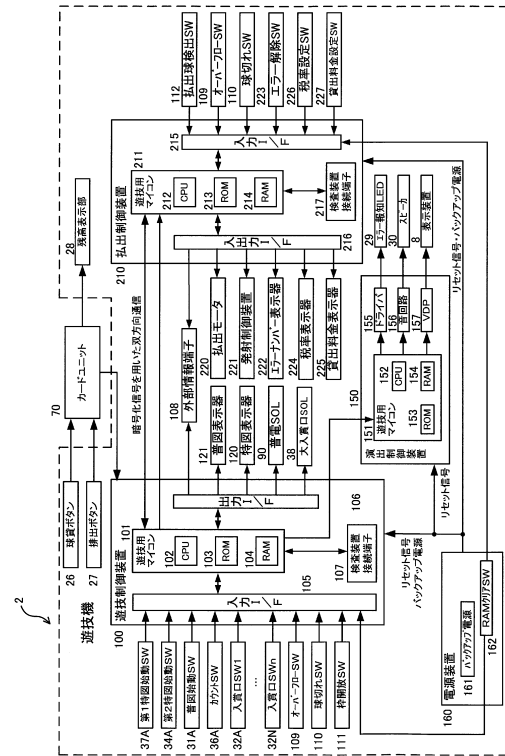
【図 2】



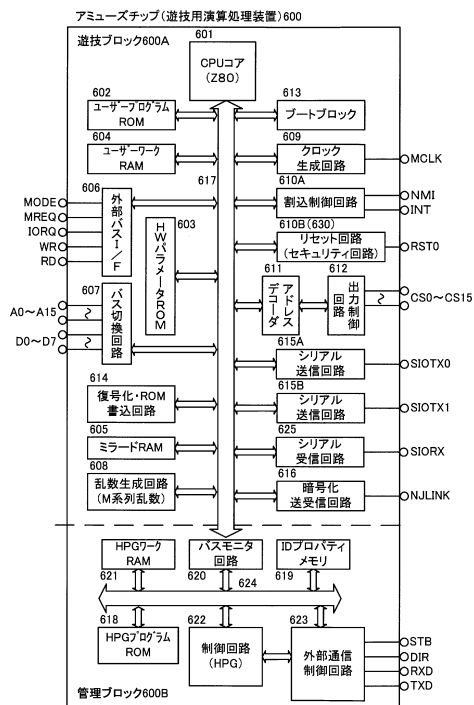
【 図 3 】



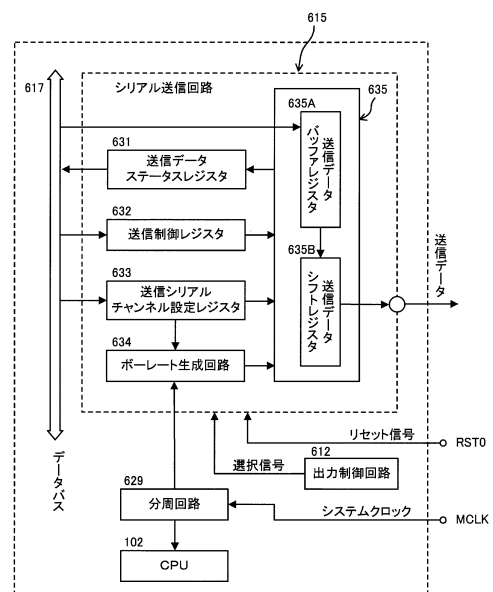
【 図 4 】



【 図 5 】



【 図 6 】



【図 7】

シリアルチャンネル設定レジスタ

設定ビット	機能	設定	R/W
bit0~12	SIOxポーレート設定	0000h~1FFFh: 分周比設定	R/W
bit13	SIOx送信モード	0: 8ビット 1: 9ビット	R/W
bit14	SIOxパリティ有無設定	0: パリティ無し 1: パリティ有り	R/W
bit15	SIOxパリティ有無設定	0: 偶数パリティ 1: 奇数パリティ	R/W

633

【図 9】

送信バッファステータスレジスタ

設定ビット	機能	設定	R/W
bit0~5	SIOx送信バッファステータス	00h: 送信データ無し 01h: 送信データ1バイト有り 02h: 送信データ2バイト有り ... 20h: 送信データ32バイト有り	R
bit7	SIOx送信状態	0: 送信していない 1: 送信中	R

635

【図 8】

送信制御レジスタ

設定ビット	機能	設定	R/W
bit0	SIOx送信回路リセット	0: 何もしない 1: 送信回路を初期化	R/W
bit4	SIOxイネーブル	0: 送信禁止 1: 送信許可	R/W
bit5	SIOx送信割り込み要求	0: 割り込みを要求しない 1: 割り込みを要求する	R/W
bit6	SIOx送信割込状態	0: SIOx送信割り込み要求発生なし 1: SIOx送信割り込み要求発生あり	R
bit7	SIOxデータビット8の値	送信データのbit8 (9ビット時有効)	R/W

632

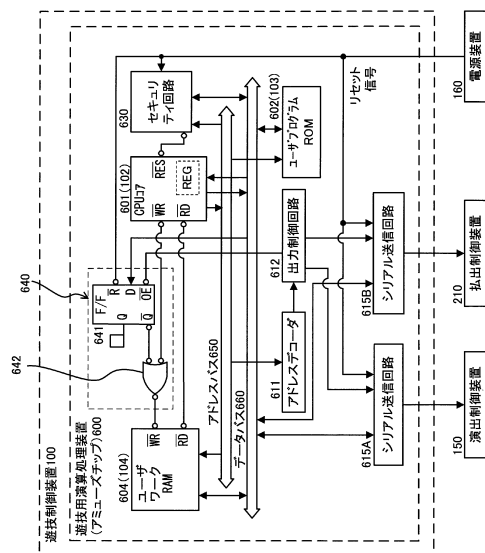
【図 10】

送信データレジスタ

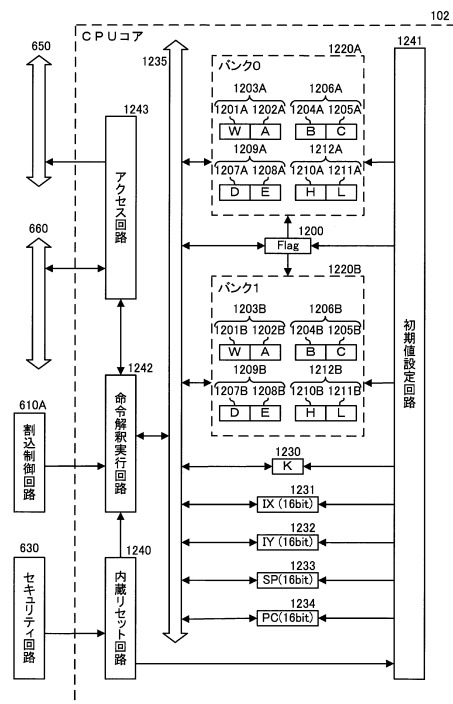
設定ビット	機能	設定	R/W
bit0~7	SIOx送信バッファ	00h~FFh: 送信データ	W

636

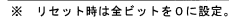
【図 11】



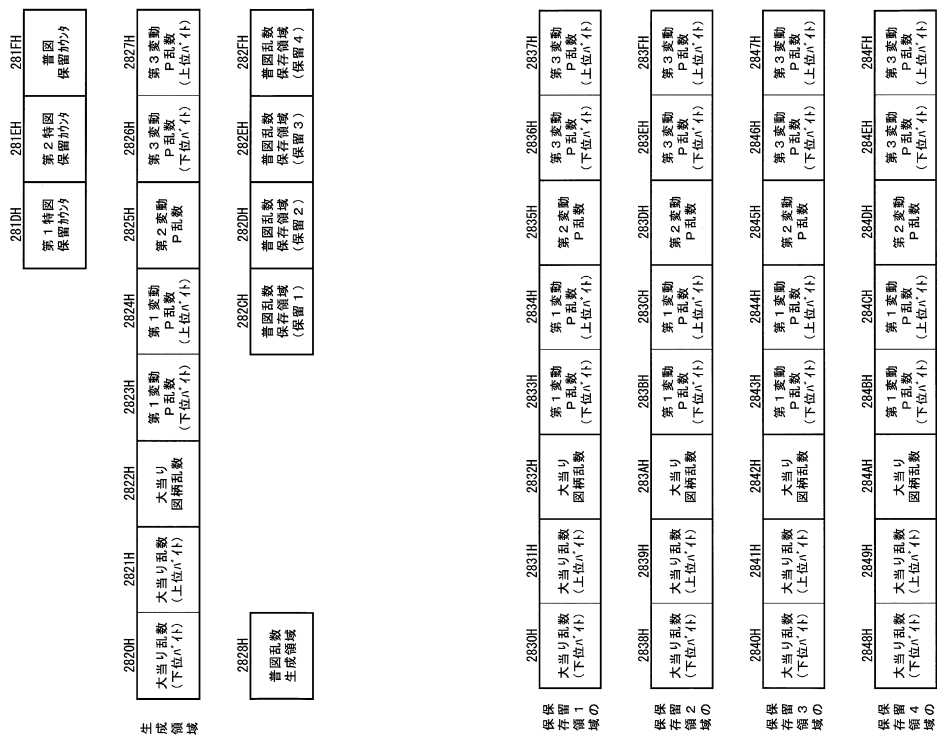
【図 12】



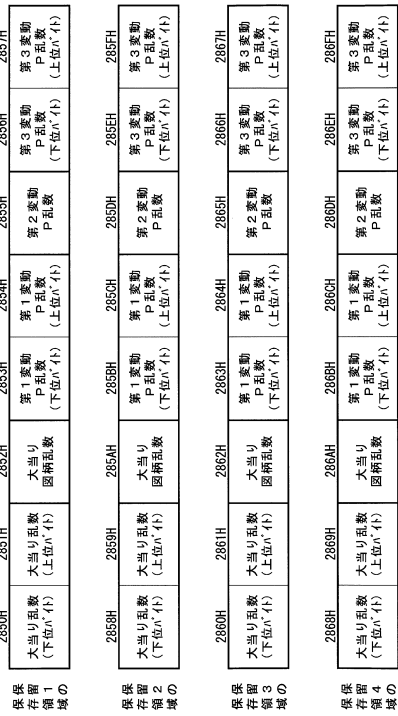
【 図 1 4 】



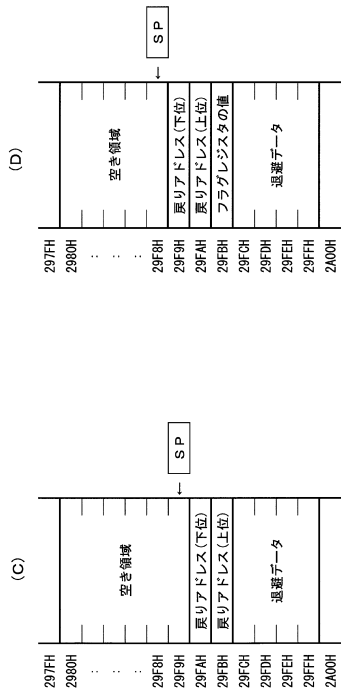
【 図 1 6 】



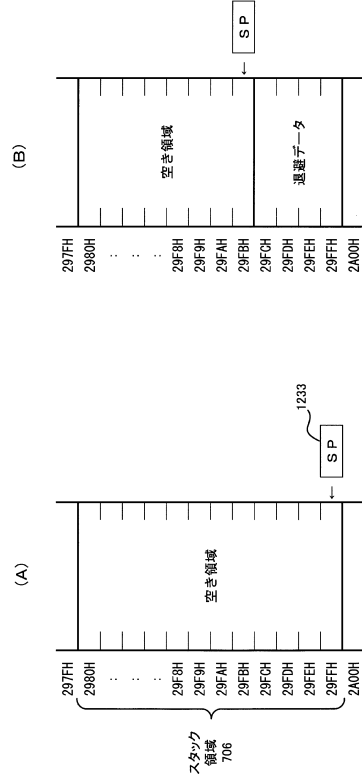
【図 17】



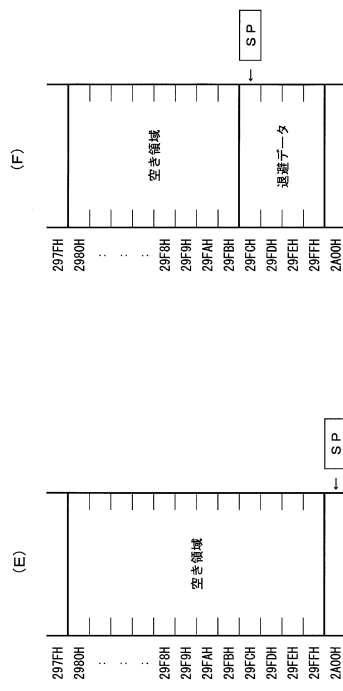
【図 19】



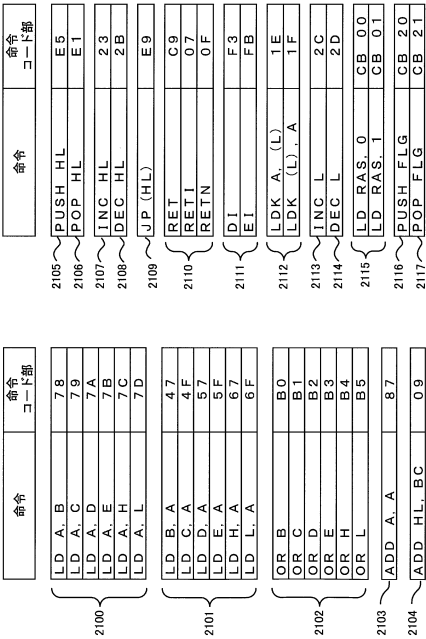
【図 18】



【図 20】



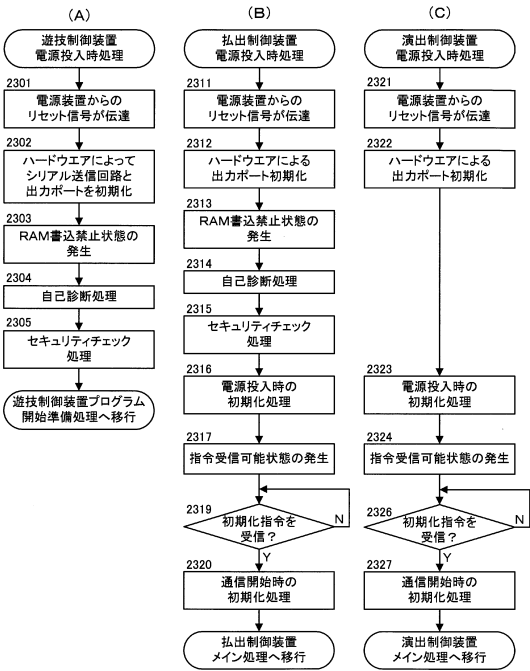
【図 2 1】



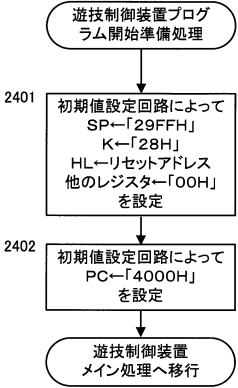
【図 2 2】

	命令	命令コード部	アドレス部
2200	LD A, n	3E	n
	LD B, n	06	n
	LD K, n	26	n
2201	LD A, (nn)	3A	nn
	LD (nn), A	32	nn
2202	LDK A, (n)	3F	n
	LDK (n), A	37	n
2203	LD HL, nn	21	nn
	LD SP, nn	31	nn
2204	LD HL, (nn)	2A	nn
	LD (nn), HL	22	nn
2205	LDK HL, (n)	2F	n
	LDK (n), HL	27	n
2206	JP nn	C3	nn
	JP Z, nn	CA	nn
	JP NZ, nn	C2	nn
2207	CALL nn	CD	nn

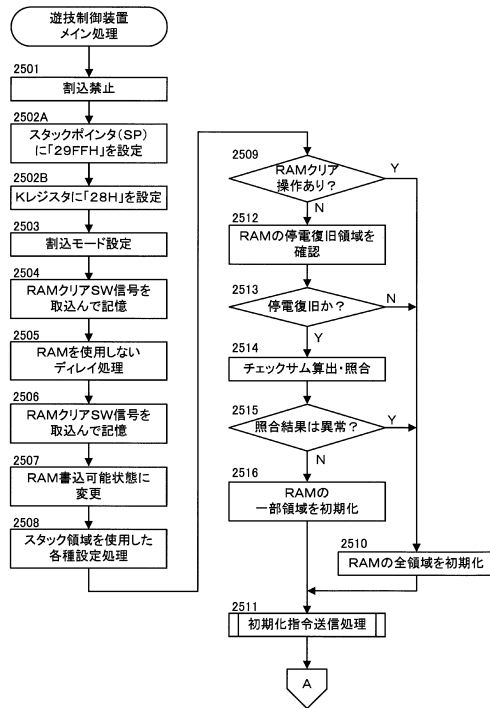
【図 2 3】



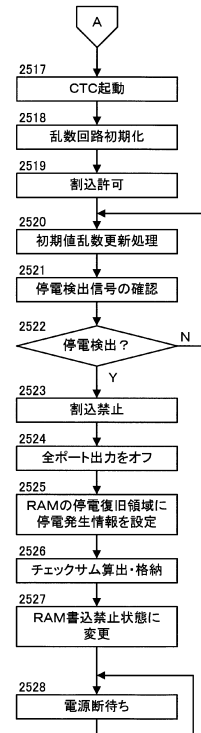
【図 2 4】



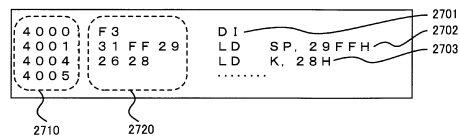
【図 25】



【図 26】



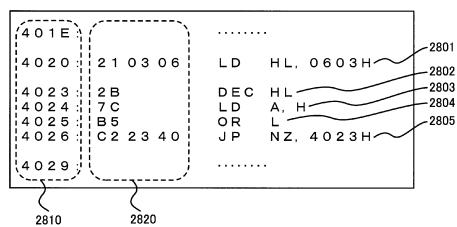
【図 27】



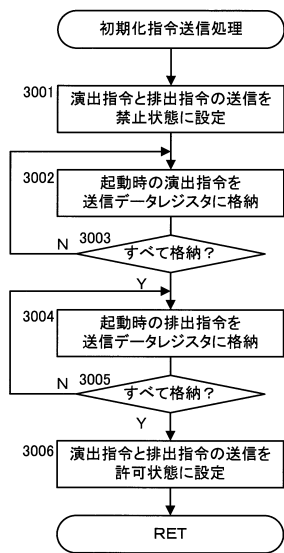
【図 29】



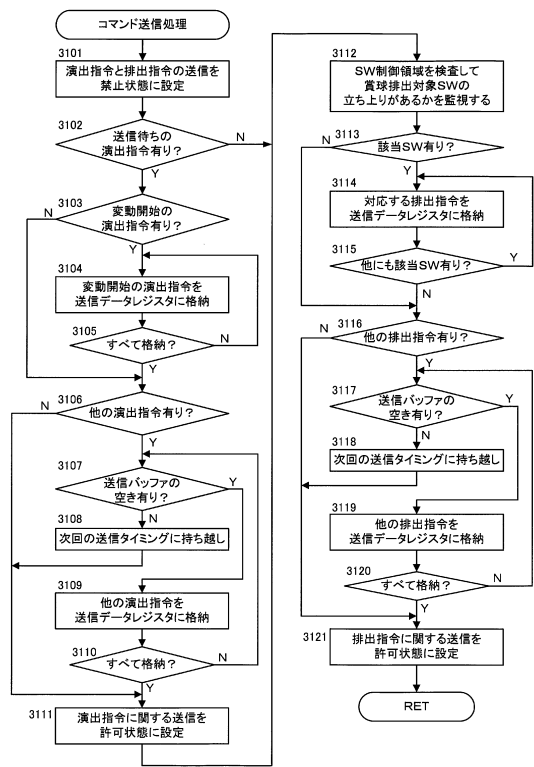
【図 28】



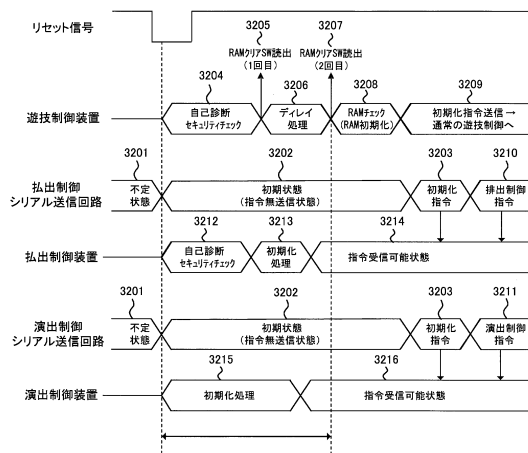
【図 3 0】



【図 3 1】



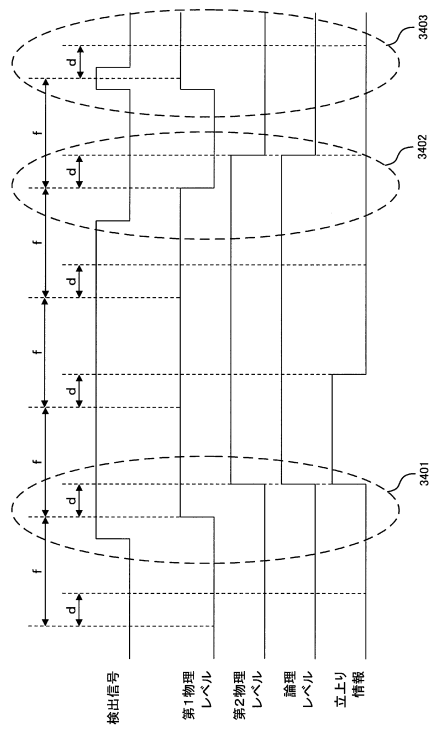
【図 3 2】



【図 3 3】

MODE	ACTION	機能	出力時期
80H	00H~7FH	初期化指令 (ACTIONにて認証コード送信)	起動時
A1H	5EH	1 個賞球排出	入賞時
A2H	5DH	2 個賞球排出	入賞時
A3H	5CH	3 個賞球排出	入賞時
A4H	5BH	4 個賞球排出	入賞時
A5H	5AH	5 個賞球排出	入賞時
A6H	59H	6 個賞球排出	入賞時
A7H	58H	7 個賞球排出	入賞時
A8H	57H	8 個賞球排出	入賞時
A9H	56H	9 個賞球排出	入賞時
AAH	55H	1 0 個賞球排出	入賞時
ABH	54H	1 1 個賞球排出	入賞時
ACH	53H	1 2 個賞球排出	入賞時
ADH	52H	1 3 個賞球排出	入賞時
AEH	51H	1 4 個賞球排出	入賞時
AFH	50H	1 5 個賞球排出	入賞時
C0H	00H~7FH	エラー発生通知 (ACTIONにてエラー種類を識別)	エラー発生時
C1H	00H~7FH	エラー解除通知 (ACTIONにてエラー種類を識別)	エラー解除時

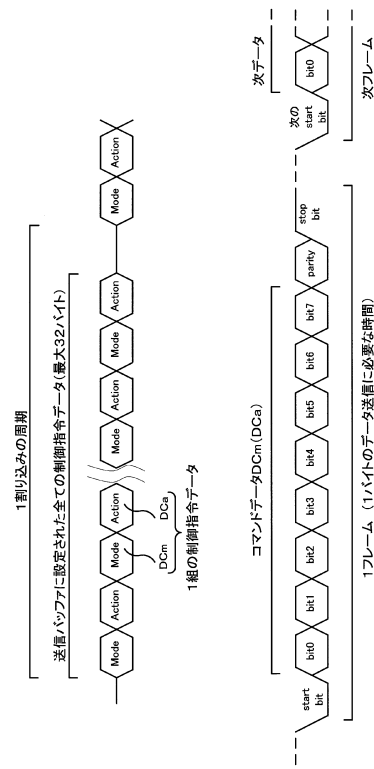
【図 3 4】



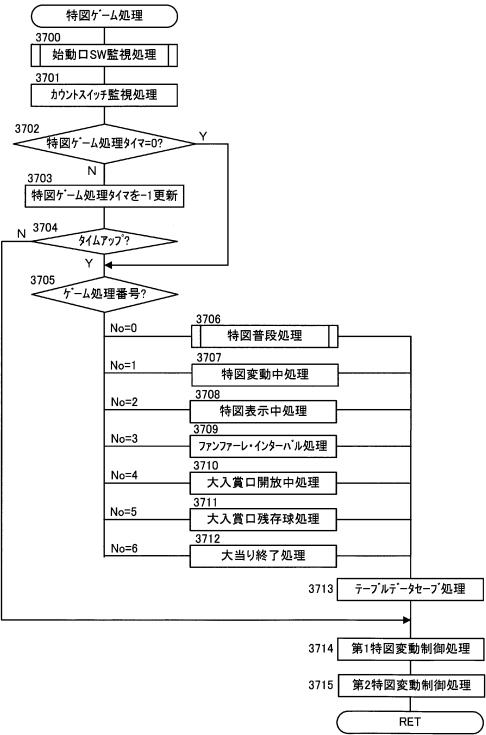
【図 3 5】

MODE	ACTION	機能	出力時期
80H	01H	電源投入コマンド A (RAM初期化処理の実行有り)	起動時
80H	02H	電源投入コマンド B (RAM初期化処理の実行なし)	起動時
81H	01H~7FH	シリーズ機指定コマンド (ACTIONにて番号指定)	起動時
90H	01H	低確率状態発生コマンド	起動時及び確率状態の変化時
90H	02H	高確率状態発生コマンド	起動時及び確率状態の変化時
A0H	00H~04H	保留情報コマンド (ACTIONにて保留記憶数指定)	起動時、始動口入賞時及び変動開始時
A1H~AFH	01H~7FH	変動前演出指定コマンド (MODEにて前半変動パターン番号を指定) (ACTIONにて後半変動パターン番号を指定)	始動口入賞時
B0H	01H~7FH	停止図柄指定コマンド (ACTIONにて停止図柄指定)	変動開始時
B1H~BFH	01H~7FH	飾り図柄変動パターン指定コマンド (MODEにて前半変動パターン番号を指定) (ACTIONにて後半変動パターン番号を指定)	変動開始時
C0H	01H	図柄変動停止コマンド	変動停止時
D0H	01H~7FH	大当たり関連コマンド	大当たり中
E0H	01H~7FH	エラー関連コマンド	エラーの発生時 エラー解除時

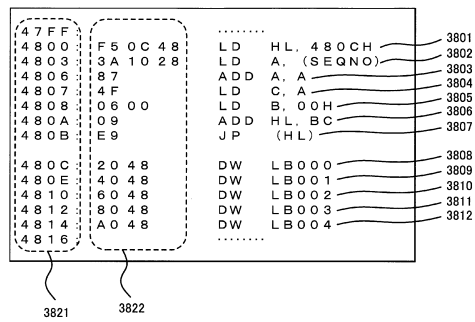
【図 3 6】



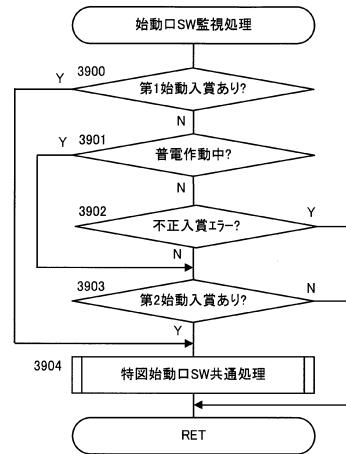
【図 3 7】



【図 38】



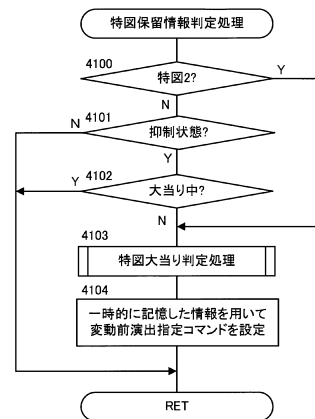
【図 39】



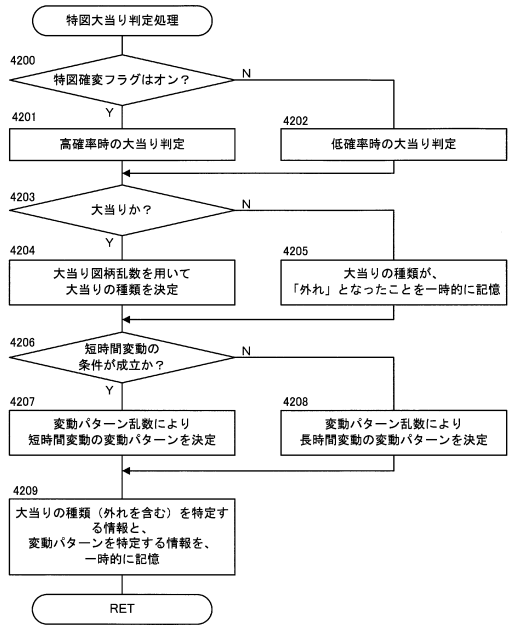
【図 40】



【図 41】



【図 4 2】



【図 4 3】

(A)

＜はずれ時の後半変動パターンテーブル＞						
グループ番号	グループ名	選択条件	後半変動パターン番号	選択条件	後半変動パターン名	変動時間
0	リーチなし	0～2700	0 1 h	0～250	リーチなし変動	2秒
1	ノーマルリーチ	2701～2995	1 1 h	0～80	ノーマルリーチ短変動	9秒
			1 2 h	81～170	ノーマルリーチ中変動	10秒
			1 3 h	171～250	ノーマルリーチ長変動	11秒
2	SPリーチ	2996～3000	2 1 h	0～80	SPリーチ短変動	37秒
			2 2 h	81～170	SPリーチ中変動	38秒
			2 3 h	171～250	SPリーチ長変動	39秒

(B)

＜大当たり時の後半変動パターンテーブル＞						
グループ番号	グループ名	選択条件	後半変動パターン番号	選択条件	後半変動パターン名	変動時間
0	リーチなし	—	—	—	—	—
1	ノーマルリーチ	0～1500	5 1 h	0～80	ノーマルリーチ短変動	9秒
			5 2 h	81～170	ノーマルリーチ中変動	10秒
			5 3 h	171～250	ノーマルリーチ長変動	11秒
2	SPリーチ	1501～3000	6 1 h	0～80	SPリーチ短変動	37秒
			6 2 h	81～170	SPリーチ中変動	38秒
			6 3 h	171～250	SPリーチ長変動	39秒

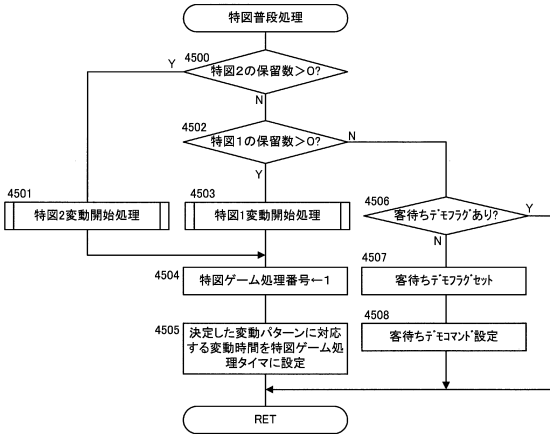
【図 4 4】

後半変動パターン番号	後半変動パターン名	前半変動パターン名			備考
		前半キャラクタA出現変動	前半キャラクタB出現変動	前半キャラクタなし変動	
0 1 h	リーチなし変動	0～5	—	6～400	短縮時の振分け 非短縮時の振分け
1 1 h / 5 1 h	ノーマルリーチ短変動	0～200	201～205	6～400	—
1 2 h / 5 2 h	ノーマルリーチ中変動	0～200	201～205	206～400	—
1 3 h / 5 3 h	ノーマルリーチ長変動	0～200	201～205	206～400	—
2 1 h / 6 1 h	SPリーチ短変動	0～200	201～400	—	—
2 2 h / 6 2 h	SPリーチ中変動	0～200	201～400	—	—
2 3 h / 6 3 h	SPリーチ長変動	0～200	201～400	—	—

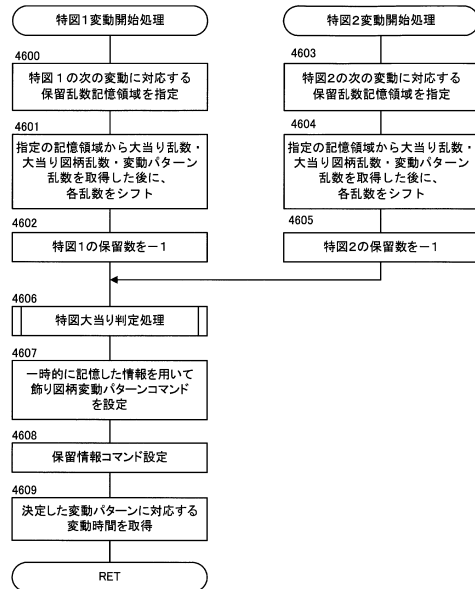
前半変動パターン番号 (変動開始時)	変動時間
B 1 h	10秒
B 2 h	10秒
B 3 h	10秒
B 4 h	1秒

前半変動パターン番号 (変動入賞時)	変動時間
A 1 h	10秒
A 2 h	10秒
A 3 h	10秒
A 4 h	10秒

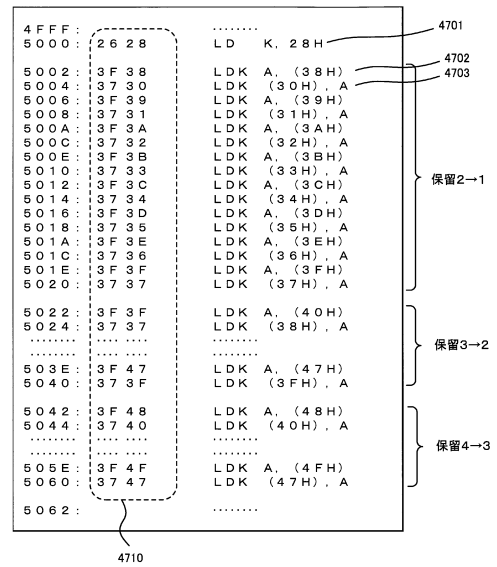
【図 4 5】



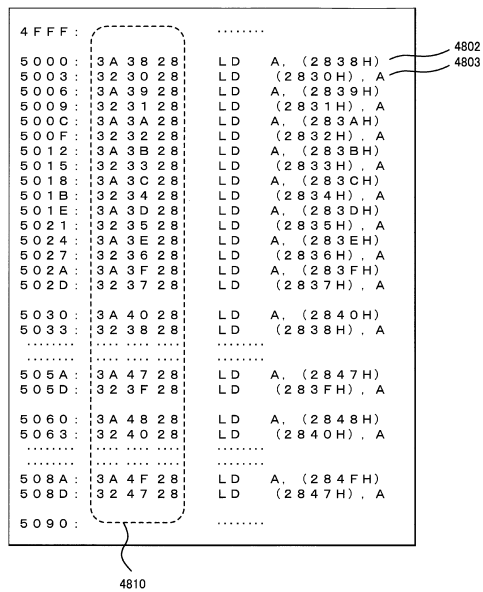
【図 46】



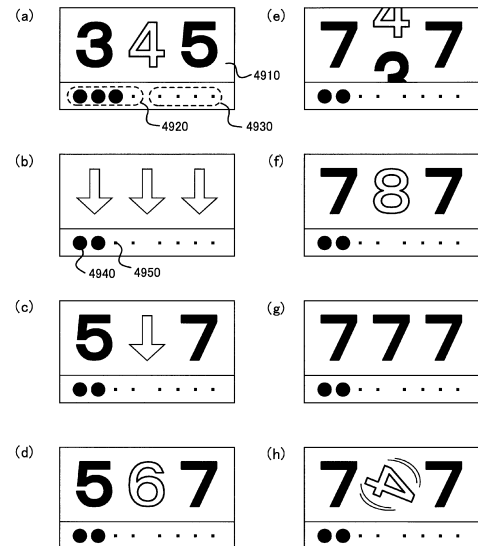
【図 47】



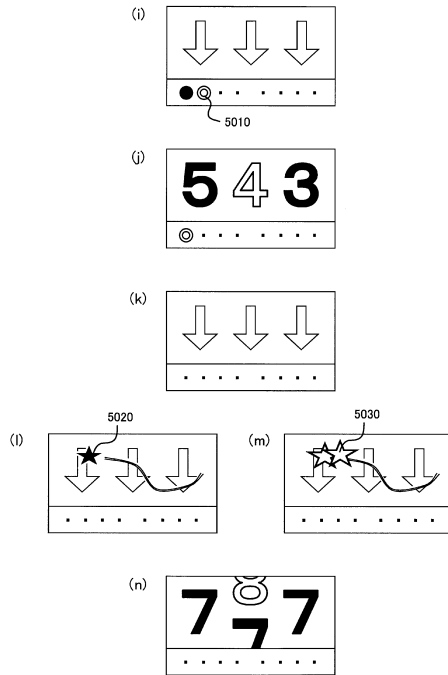
【図 48】



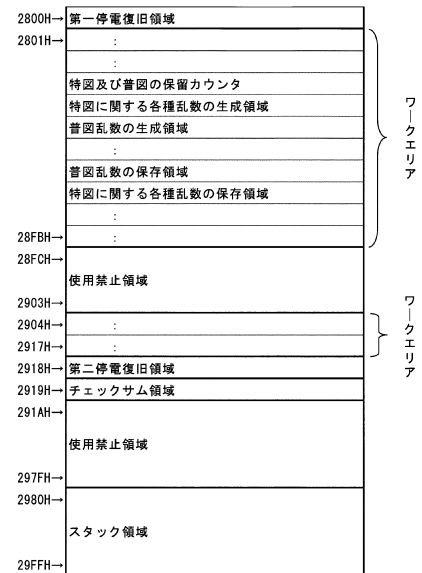
【図 49】



【図 5 0】



【図 5 1】



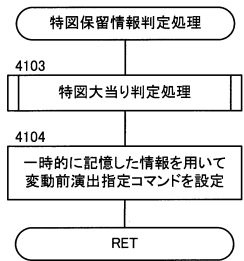
【図 5 2】

保留 領域 1 の 域	2830H	大当り乱数 (下位n'位)	2831H	大当り乱数 (上位n'位)	2832H	図柄乱数	2833H	第1変動 P乱数 (下位n'位)	2834H	第1変動 P乱数 (上位n'位)	2835H	第2変動 P乱数	2836H	第3変動 P乱数 (下位n'位)	2837H	第3変動 P乱数 (上位n'位)	特図識別bit
	2838H	大当り乱数 (下位n'位)	2839H	大当り乱数 (上位n'位)	283AH	図柄乱数	283BH	第1変動 P乱数 (下位n'位)	283CH	第1変動 P乱数 (上位n'位)	283DH	第2変動 P乱数	283EH	第3変動 P乱数 (下位n'位)	283FH	第3変動 P乱数 (上位n'位)	特図識別bit
	2840H	大当り乱数 (下位n'位)	2841H	大当り乱数 (上位n'位)	2842H	図柄乱数	2843H	第1変動 P乱数 (下位n'位)	2844H	第1変動 P乱数 (上位n'位)	2845H	第2変動 P乱数	2846H	第3変動 P乱数 (下位n'位)	2847H	第3変動 P乱数 (上位n'位)	特図識別bit
	2848H	大当り乱数 (下位n'位)	2849H	大当り乱数 (上位n'位)	284AH	図柄乱数	284BH	第1変動 P乱数 (下位n'位)	284CH	第1変動 P乱数 (上位n'位)	284DH	第2変動 P乱数	284EH	第3変動 P乱数 (下位n'位)	284FH	第3変動 P乱数 (上位n'位)	特図識別bit

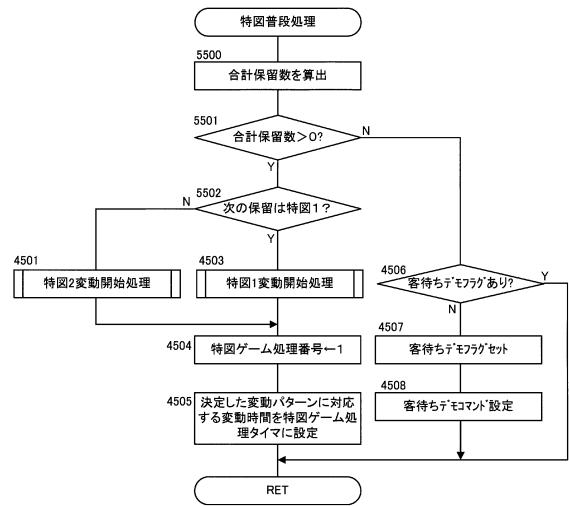
【図 5 3】

保留 領域 5 の 域	2850H	大当り乱数 (下位n'位)	2851H	大当り乱数 (上位n'位)	2852H	図柄乱数	2853H	第1変動 P乱数 (下位n'位)	2854H	第1変動 P乱数 (上位n'位)	2855H	第2変動 P乱数	2856H	第3変動 P乱数 (下位n'位)	2857H	第3変動 P乱数 (上位n'位)	特図識別bit
	2858H	大当り乱数 (下位n'位)	2859H	大当り乱数 (上位n'位)	285AH	図柄乱数	285BH	第1変動 P乱数 (下位n'位)	285CH	第1変動 P乱数 (上位n'位)	285DH	第2変動 P乱数	285EH	第3変動 P乱数 (下位n'位)	285FH	第3変動 P乱数 (上位n'位)	特図識別bit
	2860H	大当り乱数 (下位n'位)	2861H	大当り乱数 (上位n'位)	2862H	図柄乱数	2863H	第1変動 P乱数 (下位n'位)	2864H	第1変動 P乱数 (上位n'位)	2865H	第2変動 P乱数	2866H	第3変動 P乱数 (下位n'位)	2867H	第3変動 P乱数 (上位n'位)	特図識別bit
	2868H	大当り乱数 (下位n'位)	2869H	大当り乱数 (上位n'位)	286AH	図柄乱数	286BH	第1変動 P乱数 (下位n'位)	286CH	第1変動 P乱数 (上位n'位)	286DH	第2変動 P乱数	286EH	第3変動 P乱数 (下位n'位)	286FH	第3変動 P乱数 (上位n'位)	特図識別bit

【図 5 4】



【図 5 5】



フロントページの続き

(72)発明者 亀井 欽一
群馬県太田市吉沢町990番地 株式会社ソフィア内

審査官 古屋野 浩志

(56)参考文献 特許第4897100(JP, B1)
特開平11-053249(JP, A)
特開昭61-156336(JP, A)
特開2012-040129(JP, A)
特開平11-226217(JP, A)
特開2011-172654(JP, A)

(58)調査した分野(Int.Cl., DB名)
A63F 7/02