

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号
特表2012-527178
(P2012-527178A)

(43) 公表日 平成24年11月1日(2012.11.1)

(51) Int.Cl.	F I	テーマコード (参考)
H O 3 K 17/687 (2006.01)	H O 3 K 17/687 A	5 J O 5 5
H O 3 K 17/00 (2006.01)	H O 3 K 17/00 B	
H O 1 L 27/06 (2006.01)	H O 1 L 27/06 F	
H O 1 L 21/8232 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 30 頁)

(21) 出願番号	特願2012-510941 (P2012-510941)	(71) 出願人	311015849 エスエス エスシー アイピー、エルエル シー アメリカ合衆国 39213 ミシシッピ 州 ジャクソン、 リヴィングストン・ レイン 1401
(86) (22) 出願日	平成22年5月11日 (2010. 5. 11)	(74) 代理人	100082072 弁理士 清原 義博
(85) 翻訳文提出日	平成23年11月24日 (2011. 11. 24)	(72) 発明者	ケリー、ロビン リン アメリカ合衆国、39759 ミシシッピ 州、スタークビル、リサーチ・ブルバード 201、セミサウス ラボラトリーズ 、インク。内
(86) 国際出願番号	PCT/US2010/034399		
(87) 国際公開番号	W02010/132460		
(87) 国際公開日	平成22年11月18日 (2010. 11. 18)		
(31) 優先権主張番号	61/177, 014		
(32) 優先日	平成21年5月11日 (2009. 5. 11)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 エンハンスメントモード型およびデプレッションモード型のワイドバンドギャップ半導体 J F E T のためのゲートドライバ

(57) 【要約】

接合形電界効果トランジスタ (J F E T) を駆動するための、 D C 接続 2 段ゲートドライバが提供される。 J F E T は、 S i C J F E T のようなワイドバンドギャップ接合形電界効果トランジスタ (J F E T) であり得る。ドライバは、第 1 ターンオン回路、第 2 ターンオン回路及びプルダウン回路を含む。ドライバは、入力パルス幅変調 (P W M) 制御信号を受け入れて、 J F E T のゲートを駆動させるための出力ドライバ信号を発生させるように配置される。

【選択図】 なし

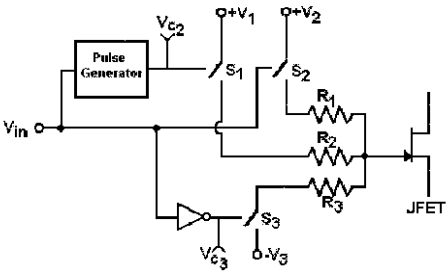


FIG. 3

【特許請求の範囲】

【請求項 1】

ゲート、ソースおよびドレインを有する接合形電界効果トランジスタ（J F E T）を駆動するための 2 段ゲートドライバ回路であって、前記 2 段ゲートドライバ回路は、

制御パルス信号 V_{in} を供給するための入力部；

各々、第 1 端子と第 2 端子を有しており、第 2 端子によって J F E T のゲートに電氣的に接続された、3 つの抵抗器、 R_1 、 R_2 および R_3 、

入力部と抵抗器 R_2 の第 1 端子との間で電氣的に接続された第 1 ターンオン回路、

入力部と抵抗器 R_1 の第 1 端子との間で電氣的に接続された第 2 ターンオン回路、および

入力部と抵抗器 R_3 の第 1 端子との間で電氣的に接続されたブルダウン回路、を含むことを特徴とする 2 段ゲートドライバ回路。

【請求項 2】

前記制御パルス信号 V_{in} は、パルス持続時間 t_{on} およびパルスオフ持続時間 t_{off} を有するように配置され、パルス持続時間 t_{on} に、J F E T は J F E T が伝導状態にあり、一方、パルスオフ持続時間 t_{off} に、J F E T はブロッキング状態であることを特徴とする請求項 1 に記載の 2 段ゲートドライバ回路。

【請求項 3】

前記第 1 ターンオン回路が、

ゲート、抵抗器 R_2 の第 1 端子に電氣的に接続されたソース、および正の電圧 $+V_1$ を供給するための第 1 電流源に電氣的に接続されたドレインを有するスイッチ S_1 、および

入力部とスイッチ S_1 のゲートとの間で電氣的に接続されたパルス発生器、を含むことを特徴とする請求項 2 に記載の 2 段ゲートドライバ回路。

【請求項 4】

前記第 2 ターンオン回路は、入力部に電氣的に接続されたゲート、抵抗器 R_1 の第 1 端子に電氣的に接続されたソース、および正の電圧 $+V_2$ を供給するための第 2 電流源に電氣的に接続されたドレインを有するスイッチ S_2 を含むことを特徴とする請求項 3 に記載の 2 段ゲートドライバ回路。

【請求項 5】

前記第 1 電流源および前記第 2 電流源が、単一の電流源または 2 つの異なる電流源に対応することを特徴とする請求項 4 に記載の 2 段ゲートドライバ回路。

【請求項 6】

前記ブルダウン回路が、入力部に電氣的に接続されたゲート、負の電圧 $-V_3$ を供給するための第 3 電流源に電氣的に接続されたソース、および抵抗器 R_3 の第 1 端子に電氣的に接続されたドレインを有するスイッチ S_3 を含むことを特徴とする請求項 4 に記載の 2 段ゲートドライバ回路。

【請求項 7】

前記ブルダウン回路が、さらに、入力部とスイッチ S_3 との間に電氣的に接続されたインバータを含むことを特徴とする請求項 6 に記載の 2 段ゲートドライバ回路。

【請求項 8】

前記制御パルス信号 V_{in} が供給されると、パルス発生器が、すぐ反応して、パルス持続時間 t_1 を有する、対応する制御パルス信号 V_{c2} を発生させ、パルス持続時間 t_1 の間スイッチ S_1 をターンオンにし、

それぞれ、制御パルス信号 V_{in} が、パルス持続時間 t_{on} の間スイッチ S_2 をターンオンにし、パルス持続時間 t_{off} の間スイッチ S_2 をターンオフにし、および

それぞれ、制御パルス信号 V_{in} が、パルス持続時間 t_{on} の間スイッチ S_3 をターンオフにし、パルス持続時間 t_{off} の間スイッチ S_3 をターンオンにする、ことを特徴とする請求項 7 に記載の 2 段ゲートドライバ回路。

【請求項 9】

発生された制御パルス信号 V_{c2} が前記制御パルス信号と同期し、発生された制御パルス信号 V_{c2} のパルス持続時間 t_1 が、前記制御パルス信号 V_{in} のパルス持続時間 t_n の 15% に等しい、またはそれ未満であることを特徴とする請求項 8 に記載の 2 段ゲートドライバ回路。

【請求項 10】

発生された制御パルス信号 V_{c2} のパルス持続時間 t_1 が、手動で調整可能であることを特徴とする請求項 9 に記載の 2 段ゲートドライバ回路。

【請求項 11】

発生された制御パルス信号 V_{c2} のパルス持続時間 t_1 が、JFET からのフィードバック信号 V_{FB} に従って自動的に調整可能であることを特徴とする請求項 9 に記載の 2 段ゲートドライバ回路。

10

【請求項 12】

ゲート、ソースおよびドレインを有する接合形電界効果トランジスタ (JFET) を駆動するための 2 段ゲートドライバ回路であって、前記 2 段ゲートドライバ回路は、

制御パルス信号 V_{in} を供給するための入力部、

第 1 ターンオン回路、

第 2 ターンオン回路、および

ブルダウン回路、

を有し、第 1 ターンオン回路、第 2 ターンオン回路およびブルダウン回路は、入力部と JFET のゲートとの間で並列に電氣的に接続されることを特徴とする 2 段ゲートドライバ回路。

20

【請求項 13】

前記制御パルス信号 V_{in} が、パルス持続時間 t_n およびパルスオフ持続時間 t_{off} を有するように配置され、パルス持続時間 t_n に、JFET は伝導状態であり、一方、パルスオフ持続時間 t_{off} に、JFET はブロッキング状態であることを特徴とする請求項 12 に記載の 2 段ゲートドライバ回路。

【請求項 14】

前記第 1 ターンオン回路が、

ゲート、抵抗器 R_2 を介して JFET に電氣的に接続されたソース、および正の電圧 $+V_1$ を供給するための第 1 電流源に電氣的に接続されたドレインを有するスイッチ S_1 、および

30

入力部とスイッチ S_1 のゲートとの間で電氣的に接続されたパルス発生器、を含むことを特徴とする請求項 13 に記載の 2 段ゲートドライバ回路。

【請求項 15】

前記制御パルス信号 V_{in} が供給されると、前記パルス発生器が、すぐ反応して前記制御パルス信号 V_{in} と同期する、対応する制御パルス信号 V_{c2} を発生させるように、前記パルス発生器が配置された請求項 14 に記載の 2 段ゲートドライバ回路。

【請求項 16】

発生された制御パルス信号 V_{c2} が、前記制御パルス信号 V_{in} のパルス持続時間 t_n の 15% に等しい、またはそれ未満であることを特徴とする請求項 15 に記載の 2 段ゲートドライバ回路。

40

【請求項 17】

発生された制御パルス信号 V_{c2} のパルス持続時間 t_1 が、手動で調整可能であることを特徴とする請求項 16 に記載の 2 段ゲートドライバ回路。

【請求項 18】

発生された制御パルス信号 V_{c2} のパルス持続時間 t_1 が、JFET からのフィードバック信号 V_{FB} に従って自動的に調整可能であることを特徴とする請求項 16 に記載の 2 段ゲートドライバ回路。

【請求項 19】

前記第 2 ターンオン回路が、入力部に電氣的に接続されたゲート、抵抗器 R_1 を介して

50

J F E Tに電氣的に接続されたソース、および正の電圧 $+V_2$ を供給するための第2電流源に電氣的に接続されたドレインを有するスイッチS2を含むことを特徴とする請求項14に記載の2段ゲートドライバ回路。

【請求項20】

前記ブルダウン回路が、

ゲート、負の電圧 $-V_3$ を供給するための第3電流源に電氣的に接続されたソース、および抵抗器R3を介してJ F E Tのゲートに電氣的に接続されたドレインを有するスイッチS3、および

入力部とスイッチS3のゲートとの間で電氣的に接続されたインバータ、を含むことを特徴とする請求項19に記載の2段ゲートドライバ回路。

10

【請求項21】

前記第1ターンオン回路が、第1電流源とJ F E Tのゲートとの間で抵抗器R2を介して電氣的に接続され、第1電流源が、正の電圧 $+V_1$ を供給するために印加されることを特徴とする請求項13に記載の2段ゲートドライバ回路。

【請求項22】

動作中、前記制御パルス信号 V_{in} がパルス持続時間 t_{on} にある時、前記第1ターンオン回路が、前記制御パルス信号 V_{in} のパルス持続時間 t_{on} の15%に等しい、またはそれ未満である持続時間 t_1 の間ターンオンにあり、一方、前記制御パルス信号 V_{in} がパルスオフ持続時間 t_{off} である時、前記第1ターンオン回路が、パルスオフ持続時間 t_{off} の間ターンオフにあることを特徴とする請求項21に記載の2段ゲートドライバ回路。

20

【請求項23】

前記第2ターンオン回路は、第2電流源とJ F E Tのゲートとの間で抵抗器R1を介して電氣的に接続され、ここで $R1 > R1$ であり、および、前記第2電流源は正の電圧 $+V_2$ を供給するために印加されることを特徴とする請求項22に記載の2段ゲートドライバ回路。

【請求項24】

前記第1電流源および前記第2電流源が、単一の電流源または2つの異なる電流源に対応することを特徴とする請求項23に記載の2段ゲートドライバ回路。

【請求項25】

動作中、前記制御パルス信号 V_{in} がパルス持続時間 t_{on} にある時、前記第2ターンオン回路が、持続時間 t_1 の間ターンオンにあり、一方、前記制御パルス信号 V_{in} がパルスオフ持続時間 t_{off} である時、前記第2ターンオン回路が、パルスオフ持続時間 t_{off} の間ターンオフにあることを特徴とする請求項23に記載の2段ゲートドライバ回路。

30

【請求項26】

前記ブルダウン回路が、第3電流源とJ F E Tのゲートとの間で抵抗器R3を介して電氣的に接続され、前記第3電流源が、負の電圧 $-V_3$ を供給するために印加されることを特徴とする請求項23に記載の2段ゲートドライバ回路。

【請求項27】

前記ブルダウン回路が、入力部と抵抗器R3との間で電氣的に接続されたインバータを含むことを特徴とする請求項26に記載の2段ゲートドライバ回路。

40

【請求項28】

前記制御パルス信号 V_{in} がパルス持続時間 t_{on} にある時、前記ブルダウン回路がパルス持続時間 t_{on} の間ターンオフにされ、前記制御パルス信号 V_{in} がパルスオフ持続時間 t_{off} にある時、前記ブルダウン回路がパルスオフ持続時間 t_{off} の間ターンオンにされることを特徴とする請求項27に記載の2段ゲートドライバ回路。

【請求項29】

前記J F E Tが、ワイドバンドギャップJ F E TまたはS i C J F E Tであることを特徴とする請求項1に記載の2段ゲートドライバ回路。

50

【請求項 30】

前記 J F E T が、ワイドバンドギャップ J F E T または S i C J F E T であることを特徴とする請求項 12 に記載の 2 段ゲートドライバ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、2009 年 11 月 11 日に出版された米国仮特許出願第 61 / 177, 437 号の利益を主張し、これは、その全体が本明細書に参照により組み込まれる。

【0002】

本発明は、一般的に、ゲートドライバおよびゲートドライバを含む IC に関し、より具体的には、エンハンスメントモード型およびデプレッションモード型のワイドバンドギャップ半導体 J F E T のための n チャネルの接合形電界効果トランジスタ (J F E T) ベースのゲートドライバに関する。

10

【背景技術】

【0003】

ワイドバンドギャップ接合形電界効果トランジスタ (J F E T) のための 1 つの応用は、高電圧、高周波パワーエレクトロニクスにある。ワイドバンドギャップ J F E T の例外的なデバイス特性は、これらのデバイスが、多くの応用において、高電圧絶縁ゲートバイポーラトランジスタ (I G B T) に代替することを可能とする。スイッチングエネルギー損失は、新しい目的のためにデバイスを選ぶ場合に比較されるパワー半導体スイッチの主な特性のうちの 1 つである。転移 (transition) 速度は、最終的にはデバイスによって限定される。しかしながら、ゲートドライバの性能はこの速度に相当影響を与える。

20

【0004】

ゲートドライバの主な機能は、デバイスが状態間の転移をするために、デバイスの内部ゲートソースおよびミラー容量が要する必要なゲート電荷を運ぶ / 除去することである。ゲートドライバがより速くこのタスクを行なうことができればできるほど、デバイスは、より速くオフ状態からオン状態へ、そしてオン状態からオフ状態へ転移する。従って、実用システムアプリケーション内でのデバイスの最大性能のために、適切に設計されたゲートドライバ回路を使用することは重要である。

【0005】

J F E T のゲート構造は、デバイスを伝導性へと駆動させるために 2 つの異なる要求が必要とされる。これらの要求は、金属酸化物半導体電界効果トランジスタ (M O S F E T) およびバイポーラ接合トランジスタ (B J T) の組み合わせに類似する。第 1 に、M O S F E T のそのような、ゲート容量を速く荷電するための高いピークの過渡電流が推奨される。第 2 に、B J T と同様に、伝導性を維持するための小さな D C ゲート電流が必要とされる。

30

【0006】

ほとんどの応用において、A C 接続の、B J T のような R C ドライバをワイドバンドギャップ J F E T のために使用することができる。この型のドライバを図 1 に示す。このドライバの解決策は、例外的なスイッチング性能を提供したが、デューティ比およびスイッチング周波数の制限を伴う。R C ドライバは、半導体スイッチのゲート / ベースとパルス幅変調 (P W M) IC または他のパルス発生回路の出力の間で接続している、並列抵抗器およびバイパスコンデンサからなる。

40

【0007】

R C ドライバは、速いターンオン (turn-on) のためのほとんどのパワー半導体によって必要とされる高いピークの過渡電流を提供することのみでなく、レベル・シフティング、D C 電流の制限のセッティングが可能である。一貫して最大のスイッチングスピードを維持するために、次のスイッチング事象前に R C ドライバのバイパスコンデンサは全て放電されなければならない。放電のための時間は、R C ドライバの R C 時定数に依存する。従って、アプリケーション (application) の最大のスイッチング周波数およびデューテ

50

ィ比は、RCドライバのRC時定数によって制限される。

【0008】

従って、RCドライバの制限を克服することができる、ワイドバンドギャップJFETのための改善されたゲートドライバ、特に、能動的な、DC接続ドライバの必要がまだ存在する。

【発明の概要】

【0009】

ゲート、ソースおよびドレインを有する接合形電界効果トランジスタ(JFET)を駆動するための2段(two-stage)ゲートドライバ回路が提供され、これは、以下を含む：

制御パルス信号 V_{in} を供給するための入力部(input)；

各々、第1端子と第2端子を有しており、第2端子によってJFETのゲートに電氣的に接続された、3つの抵抗器、 R_1 、 R_2 および R_3 ；

入力と抵抗器 R_2 の第1端子との間で電氣的に接続された第1ターンオン回路；

入力と抵抗器 R_1 の第1端子との間で電氣的に接続された第2ターンオン回路；

および、入力と抵抗器 R_3 の第1端子との間で電氣的に接続されたプルダウン回路。

【0010】

ゲート、ソースおよびドレインを有する接合形電界効果トランジスタ(JFET)を駆動するための2段ゲートドライバ回路も提供され、これは、以下を含む：

制御パルス信号 V_{in} を供給するための入力部；

第1ターンオン回路；

第2ターンオン回路；

および、プルダウン回路、ここで、第1ターンオン回路、第2ターンオン回路およびプルダウン回路は、入力とJFETのゲートとの間で並列に電氣的に接続されることを特徴とする。

【0011】

この特性および本教示の他の特性が本明細書に詳しく説明される。

【0012】

添付の図面は、本発明の1以上の実施形態を図示し、書かれた記載と共に、本発明の原理を説明するのに役立つ。可能な限り、実施形態の同じまたは類似の要素を言及するために、図面の全体にわたって同じ参考番号が使用される。

【図面の簡単な説明】

【0013】

【図1】図1は、AC接続RCゲートドライバの回路図である。

【図2】図2は、pnダイオードと並列なキャパシタンスとしてモデル化されたVJFETの略図である。

【図3】図3は、ワイドバンドギャップJFETのためのDC接続2段ゲートドライバの回路図である。

【図4】図4は、パルス発生器回路へのフィードバックを有するワイドバンドギャップのJFETのためのDC接続2段ゲートドライバの回路図である。

【図5】図5は、さらなる実施形態に係るワイドバンドギャップのJFETのためのDC接続2段ゲートドライバの回路図である。

【図6】図6は、さらなる実施形態に係るパルス発生器回路へのフィードバックを有するワイドバンドギャップのJFETのためのDC接続2段ゲートドライバの回路図である。

【図7】図7は、期間 t_1 の間の動作におけるゲートドライバの一部を示す回路図である。

【図8】図8は、期間 t_2 の間の動作におけるゲートドライバの一部を示す回路図である。

【図9】図9は、期間 t_3 の間の動作におけるゲートドライバの一部を示す回路図である。

【図10】図10(A-F)は、2段JFETゲートドライバのための動作波形を示す。

【図 1 1 A】図 1 1 A は、エンハンスメントモード型 (EM) SiC JFET を駆動するために使用されているデュアル (dual) ドライバ IC の回路図である。

【図 1 1 B】図 1 1 B は、図 1 1 A のデバイスのための波形である。

【図 1 2 A】図 1 2 A は、シングル (single) デバイス試験のためのスイッチングエネルギー試験回路の回路図である。

【図 1 2 B】図 1 2 B は、ブリッジ配置試験のためのスイッチングエネルギー試験回路の回路図である。

【図 1 3】図 1 3 は、図 1 2 A のシングルスイッチ試験回路における AC 接続ドライバのための動作の波形を示す。

【図 1 4 A】図 1 4 A は、図 1 2 B の試験回路を使用した全相レグにおいて試験された、SiC JFET (SJEP120R125) のためのスイッチングエネルギーの測定を示す。

10

【図 1 4 B】図 1 4 B は、図 1 2 B の試験回路を使用した全相レグ (full phase leg) において試験された、SiC JFET (SJEP120R125) のためのスイッチングエネルギーの測定を示す。

【図 1 5 A】図 1 5 A は、2 つの SiC JFET (SJEP120R125 と SJEP120R063) のための 25 および 150 の接合部温度におけるスイッチングエネルギー対負荷電流を示すグラフである。

【図 1 5 B】図 1 5 B は、2 つの SiC JFET (SJEP120R125 と SJEP120R063) のための 25 および 150 の接合部温度におけるスイッチングエネルギー対負荷電流を示すグラフである。

20

【図 1 6 A】図 1 6 A は、エンハンスメントモード型 (EM) SiC JFET を駆動するために、デュアル駆動回路が使用されることを特徴とする実施形態の概略図である。

【図 1 6 B】図 1 6 B は、図 1 6 A に示された実施形態に関する実験結果を示す。

【図 1 6 C】図 1 6 C は、図 1 6 A に示された実施形態に関する実験結果を示す。

【図 1 6 D】図 1 6 D は、図 1 6 A に示された実施形態に関する実験結果を示す。

【図 1 6 E】図 1 6 E は、図 1 6 A に示された実施形態に関する実験結果を示す。

【図 1 7 A】図 1 7 A は、エンハンスメントモード型 (EM) SiC JFET を駆動するために、IC ドライバおよびトランジスタドライバが使用されることを特徴とする実施形態の概略図である。

30

【図 1 7 B】図 1 7 B は、図 1 7 A に示された実施形態に関する実験結果を示す。

【図 1 7 C】図 1 7 C は、図 1 7 A に示された実施形態に関する実験結果を示す。

【図 1 7 D】図 1 7 D は、図 1 7 A に示された実施形態に関する実験結果を示す。

【図 1 7 E】図 1 7 E は、図 1 7 A に示された実施形態に関する実験結果を示す。

【図 1 8 A】図 1 8 A は、エンハンスメントモード型 (EM) SiC JFET を駆動するために、IC ドライバおよびトランジスタドライバが使用されることを特徴とする代替の実施形態の概略図である。

【図 1 8 B】図 1 8 B は、図 1 8 A に示された実施形態に関する実験結果を示す。

【図 1 8 C】図 1 8 C は、図 1 8 A に示された実施形態に関する実験結果を示す。

【発明を実施するための形態】

40

【0014】

本発明の様々な実施形態がここで詳細に記載される。図面に関して、同種の数、その図中で同種の部品を言及する。本明細書の記載において、及びそれに続く請求項の全体にわたって使用される場合、「1 つの ("a", "an")」および「その ("the")」は、文脈が明白にそうでないと示さないならば、複数の言及を含んでいる。また、本明細書の記載において、およびそれに続く請求項の全体にわたって使用される場合、「において ("in")」は、文脈が明白にそうでないと示さないならば、「において ("in")」、「に関して ("on")」を含む。

【0015】

記載は、添付の図面と共に本発明の実施形態に関してなされる。

50

【0016】

JFETの転移速度は、最終的にはデバイスによって制限される。しかしながら、ゲートドライバの性能はこの速度に顕著に影響を与え得る。上述のように、2つの主要要求：ダイナミックゲート電荷の運搬/除去；および伝導中のDCゲート電圧および結果として生じるゲートソース電流の持続性は、ゲートドライバによって満たされなければならない。デバイスの内部ゲートソースおよびミラー容量キャパシタンスが要する、必要なゲート電荷を迅速に運ぶ/除去するゲートドライバの能力は、デバイスが状態間に転移するのにかかる時間に影響を与える主な因子である。ゲートドライバはまた、伝導中に最小のRDS(ON)を維持するのに必要な定常状態DCゲート電圧およびゲート電流を効率的に維持するように設計されるべきである。

10

【0017】

AC(コンデンサ)結合ゲートドライバ回路は、JFETのゲートを標準COTS MOSFET/IGBTゲートドライバICの出力部(output)へ、単純なRC回路網とで接し、さまざまな用途において、MOSFETまたはIGBTを通常オフのSiC JFETとドロップイン置換(drop-in replacement)することを可能にする。AC接続ドライバは、エンハンスメントモード型(EM)SiC JFETを駆動する有効な手段であると分かっているが、それはデューティ比とスイッチング周波数の制限を生じ得る。

【0018】

図1は、AC接続ドライバの概略図を提供する。この特定のゲートドライバは、指定されたIGFWDにおけるゲートドライバICの高レベルの出力とSiC JFETの必要とされるゲート-ソース電圧の間の電位差を下げることによって、「オン」状態でDC動作点を設定するために、限流抵抗器 R_{CL} を使用する。バイパスコンデンサは、急速に速いターンオンおよびターンオフ(turn-off)のためのダイナミックゲート電荷を運ぶ/除去するために使用される。ある意味では、コンデンサは、JFETのゲートをオーバードライブするように思われ、端子で測定されるようなゲート-ソース電圧のオーバーシュートによって可視化される。低オーム抵抗器を介してゲートに接続された+15Vの最大のドライバIC電圧を有する、持続時間 $< 200\text{ ns}$ の間のゲートのオーバードライブは、許容可能で、早いターンオンのために推奨される。デバイスがブロッキング状態と導電状態の間で転移している間、ゲートドライバからの高いピーク電流は、入力容量によって必要とされる電荷を運んで、ゲートソースダイオードを通して流れない。一旦入力容量が完全に荷電されると、定常状態の条件が限流抵抗器によって調節される。さらなる低オーム抵抗器(典型的には、1-5オーム)は、任意の観察されたゲートリング(ringing)を抑制するためのバイパスコンデンサと直列で含まれ得る。

20

30

【0019】

この型のドライバは、ユニポーラまたはバイポーラの駆動電圧で 사용할 ことができる。もしユニポーラの駆動電圧で 使用されれば、バイパスコンデンサは、ターンオフでいくらかの負のゲートバイアスを提供し、縮められたターンオフ時間に役立ち、制限された持続時間にある程度のノイズイミューニティを提供する。MOSFETとIGBTは、典型的に、ゲート抵抗器を介してドライバICにインターフェースで連結するので、抵抗器の値およびバイパスコンデンサの追加における単純な変化は、ほとんどのパワースwitching技術において、標準MOSFET/IGBT駆動をSiC JFETドライバに変換するのに必要なもの全てである。

40

【0020】

適切な C_{BP} 値は、SiC JFETの Q_g に基づいて選択され、その独立したPWM/ドライバICはレール電圧を供給する。寄生回路効果は、 C_{BP} の選択に影響を及ぼし得、従って、1つの特定の値 C_{BP} が、すべての用途に必ずしも適切ではない。経験的に評価されるある程度の範囲の C_{BP} 値は開始点としてユーザーに示され、以下の式によって定義される：

【0021】

【数 1】

$$\frac{2 * Q_s}{V_{DD} - V_{GS}} \leq C_{BP} \leq \frac{4 * Q_s}{V_{DD} - V_{GS}}$$

【0022】

R_{CL} は、SiC JFET のゲートソースダイオードを介して PWM / ドライバ IC から流れる連続的な電流を制限するために使用され、それにより、ゲート - ソース電圧をセットする。定常状態の伝導中の JFET のゲートをオーバードライブしないようにするために、+ 3 . 0 V 以下の正のゲートソースバイアスが印加されることが推奨される。 R_{CL} の選択は、以下の情報を必要とする：

10

a . V_O = PWM / ドライバ IC の正の出力電圧

b . V_{GS} = 所望の JFET ゲート - ソース電圧

c . I_{GFWD} = 所望のゲート - ソース電圧でのゲート - ソースダイオード電流。 I_{GFWD} は、データシートの図 X から推定することができる。

その後、以下の式が R_{CL} を計算するために使用される：

【0023】

【数 2】

$$R_{CL} = \frac{V_O - V_{gs}}{I_{GFWD} (@ V_{gs})}$$

20

【0024】

できるだけ最も早いスイッチング性能を一貫して得るために、RC 回路網のバイパスコンデンサが次のスイッチング事象前に完全放電されることが必要である。このコンデンサのサイズは、用途およびドライバ IC の詳細に依存する。任意の特定の値は、スイッチング周波数とデューティ比のある組み合わせに利用可能な時間より放電に時間を必要とする場合がある。このコンデンサを完全放電しないことから、何の動作上の問題も生じないが；次のターンオン事象でのドライバ IC の出力とのコンデンサ電圧の間のより少ない電圧差があるので、より遅いターンオン転移が起こる。従って、より広範囲のスイッチング周波数とデューティ比にわたって動作することができるさらなる DC 接続ゲートドライバの設計が必要である。

30

【0025】

JFET デバイスのこのゲートソースおよびゲートドレインの構造は、図 2 に示されるような pn ダイオードと並列にキャパシタンスとして形成することができる。このデバイス等価モデルは格別であり、MOSFET の幾つかの特性および BJT の幾つかの特性を表わす。パワー JFET は、ゲートドライバに対する 2 つの主な要求を示す：総ゲート容量を充放電 (charging/discharging) するための、ダイナミック電荷の早い運搬 / 除去；および伝導状態の持続時間を通じてのゲートソースダイオードの必要とされた定常状態の電圧 / 電流の要件の持続性。

40

【0026】

高周波の適用は、最高の性能のための RC 時定数に依存しないドライバを必要とする。2 段 DC 接続ドライバ設計は、特に JFET のために開発されてきた。1 つの実施形態に係る 2 段 DC 接続ドライバは、図 3 に示される。2 段ゲートドライバの他の実施形態は、図 4、5 および 6 に示される。ドライバは、速いターンオンのために、必要なダイナミック電荷を出来るだけ迅速に供給するために高いピーク電流パルスを適用し、伝導を持続するために、定常状態の DC ゲート電圧 / 電流を維持することができる。ドライバは、ターンオン過渡状態中のゲートをオーバードライブする (overdrive) のに使用することができる。開発された 2 段ドライバは、定常状態の条件のみでなく、オーバードライブの条件の正確な制御を可能にする。

50

【 0 0 2 7 】

図 3 に示される回路は、シングル P W M 制御信号を受けて、オリジナルの制御信号と同期された第 2 のパルス幅変調 (P W M) 信号を発生する。発生されたパルスは、デバイスのゲートおよびミラー (またはドレインへのゲート) のキャパシタンスを迅速に荷電するための高いピーク電流原を供給する、第 1 のターンオンステージを駆動する。デバイスのミラー容量が完全に荷電され、ドレイン電源電圧が完全に崩壊するまで、この第 2 制御パルスのパルス幅は続く。この第 2 制御パルスは、開ループまたは閉ループの回路によって発生することができる。

【 0 0 2 8 】

オリジナルの制御信号と同期する、第 2 の P W M 信号は、はるかに短いパルス幅を有する。発生されたパルスは、ダイナミックゲート荷電の運搬を制御する第 1 のターンオンステージを駆動する。第 1 ステージのスイッチ S_1 は、ターンオンでデバイスのゲートおよびミラー容量を迅速に荷電するために高いピーク電流原を接続する。オリジナルの制御パルスは、第 2 のターンオンステージに適用され、そこでは、スイッチ S_2 は、伝導を維持するのに要求される、必要な定常状態 D C ゲート電流を供給する。限流抵抗器 R_1 は、正のレール電圧から J F E T のゲートによって必要とされる電圧まで、電圧を下げる間に、前方のゲート電流 $I_{G F W D}$ をセットするために適切に大きさが決められる。 R_1 は、A C 接続 R C ドライブ回路において限流抵抗器に使用された同じアプローチで大きさが決められる。ユーザーが供給した P W M パルスの部品は、低オームのブルダウン抵抗器 R_3 を介して J F E T ゲートを引き下げるターンオフステージを制御する。このドライバアプローチは多くの方法で；離散トランジスタ (discrete transistor)、並列のドライバ I C またはシングルデュアルドライバ I C を使用して、実現することができる。選択された方法は、必要とされるドライバ電圧、転移時間および所望のピーク電流供給に依存する。

【 0 0 2 9 】

オリジナルの制御パルスは、伝導性を維持するのに要する、必要な定常状態 D C ゲート電流を供給する、第 2 のターンオンステージに適用される。限流抵抗器は、正のレール電圧から J F E T のゲートによって必要とされる電圧まで、電圧を下げる間に、ゲート順電流をセットするために適切に大きさが決められる。ユーザー入力 P W M 信号が J F E T の所望の T_{off} 期間を示す論理ステージへ転移すると、ブルダウン回路は、小さなブルダウン抵抗器を介してスイッチコモンが負の電圧のいずれかまでゲートを下げる。

【 0 0 3 0 】

使用されるトランジスタ技術 (すなわち、F E T またはバイポーラ) に依存して、反転回路は、ブルダウン回路を駆動するのには必要でないことがある。図 4 は、パルス発生器回路を備えたフィードバックを有するワイドバンドギャップ J F E T のための D C 接続 2 段ゲートドライバを示す。図 5 は、さらなる実施形態に係るワイドバンドギャップ J F E T のための D C 接続 2 段ゲートドライバの回路図である。図 6 は、さらなる実施形態に係るパルス発生器回路へのフィードバックを有するワイドバンドギャップの J F E T のための D C 接続 2 段ゲートドライバの回路図である。図 4 - 6 に示されるように、2 段ゲートドライバは、3 つのセクションに分けられる。

【 0 0 3 1 】

図 1 0 (A - F) は、完全なゲートドライバ動作を記述する、対応する波形を提供する。期間 t_1 の間、第 1 のターンオン回路がアクティブ (active) である。ユーザー入力 V_{in} (図 1 0 の A に示される) は受け入れられ、パルス発生器回路は、第 2 制御パルス V_{c2} (図 1 0 の B に示される) を駆動する。 V_{c2} は、J F E T のゲートを、小さな減衰抵抗器 R_2 を介して高いピーク電流原に接続するスイッチを駆動する。ゲート電流 (I_G) のための波形 (図 1 の F に示される) は、 t_1 の期間の間、ゲート電流は高い、1 A であることを示す。ドレイン電源電圧 V_{DS} (図 1 0 の E に示される) が崩壊した後、第 1 のターンオン回路がオフにされる。

【 0 0 3 2 】

時間 t_1 の期間は、好ましい実施形態の場合には手動で調節されるか、または J F E T

からフィードバックに基づいて自動的に調節されることができる。第2のターンオン回路も t_1 の始めにオンにされる。しかしながら、ドライバのこのステージの小電流の寄与は、第1のターンオンステージのそれと比較して、最小である。第1のターンオン回路がスイッチを切られた後、第2のターンオン回路は、残りの伝導期間の間、DCゲート電流を調節する ($1A$)。図10のFから、 I_G が t_2 の始めに、ずっと低い値まで下げられることが理解され得る。 t_2 期間の終わりは、ユーザー入力電圧によって決定される。ゲートプルダウン回路は、 t_2 の終わりでオフにされ、期間 t_3 が始まる。この期間に、JFETは、ブロッキングステージに転移し、次の入力パルスが受け取られるまでブロックしたままである。 t_3 の間、プルダウン回路は、デバイスのゲートを、ブロッキングステージの間、スイッチコモンまたは負の電圧のいずれかに保持する。

10

【0033】

図7は、期間 t_1 の間の動作におけるゲートドライバの一部を示す回路図である。図8は、期間 t_2 の間の動作におけるゲートドライバの一部を示す回路図である。図9は、期間 t_3 の間の動作におけるゲートドライバの一部を示す回路図である。

【実施例】

【0034】

以下を含む回路が提供される：

ワイドバンドギャップ接合形電界効果トランジスタ (JFET) ；および

DC接続2段ドライバ、ここで、該ドライバは、以下を含み：

第1のターンオン回路；

第2のターンオン回路；および

プルダウン回路；

20

ここで、該ドライバは、入力パルス幅変調 (PWM) 制御信号を受けて、ワイドバンドギャップJFETのゲートを駆動するための出力ドライバ信号を発生するように構成される。

【0035】

ユーザー入力制御パルスの期間は、パルス持続時間、JFETが伝導状態にあることを示す T_{on} とJFETがブロックしている時間を示す t_{off} の合計と等しくなり得る。

【0036】

第1のターンオン回路は、パルス発生器回路および高いピーク電流原を含み得る。パルス発生器回路は、ユーザー入力PWM制御信号を受けて、第2制御パルスを発生することができる。出力はユーザー入力パルスと同期するが、ユーザー入力パルスのパルス幅の15%である。第1のターンオン回路は、正のレール電圧 $+V_1$ に接続され得る。パルス幅は調整可能であり得る。例えば、パルス幅は、JFETからフィードバックに基づいて、手動で調節するか自動的に調節することができる。

30

【0037】

第1のターンオン回路は、低い値 (例えば <10 オーム) の減衰抵抗器を介して高いピーク電流原にワイドバンドギャップのJFETのゲートを接続することができる。

【0038】

第1のターンオン回路は、パルス発生器回路によって決定されるようなユーザー入力制御パルスの t_{on} 期間の15%の間、オンにされ得る。

40

【0039】

第2のターンオン回路は、トランジスタのゲートを、限流抵抗器 (例えば <2 キロオーム) によって、正の電圧レール $+V_2$ に接続することができる。第2のターンオン回路は、ユーザー入力制御パルスの全 t_{on} 期間の間、アクティブであり得る。

【0040】

プルダウン回路は、トランジスタのゲートを、低い減衰抵抗器 (例えば <100 オーム) を介して、回路コモンまたは負のレール電圧 $-V_3$ に接続し得る。プルダウン回路は反転回路を含み得る。プルダウン回路は、ユーザー入力電圧の t_{off} 期間の間、アクティブであり得る。

50

【 0 0 4 1 】

正のレール電圧 $+V_1$ および $+V_2$ は、別々の正電圧になり得るか、または同じ正の電圧レールに接続することができる。

【 0 0 4 2 】

< 実験 >

デュアルドライバ IC は、エンハンスメントモード型 (EM) SiC JFET を駆動するために使用された。このアプローチは図 1 1 A に示される。この回路において、ドライバ (A) はダイナミックな荷電状態を制御し、一方、ドライバ (B) は定常のゲート状態を制御する。ドライバ (A) への入力のパルス幅は、 200 ns に制限され得る。ドライバ (A) の目的は、荷電されたデバイス入力容量のために高いピーク電流を送達することなので、そのパルス幅は、 100 ns を超えることでデバイスのターンオン時間を超過するべきでない。再び、ターンオン過渡状態中に供給された高いピーク電流は、内部に分配され、その結果、入力容量に電荷を運び、ゲートソースダイオードを単純に通って流れない。これは、正確に制限された時間の間、 $+3\text{ V}$ より大きなゲート電圧のオーバーシュートを引き起こす。しかし、一旦、入力容量が完全に充電され、ドレイン電圧が完全に崩壊すると、ゲート電圧は上昇し続け、ドライバ (A) がオフされるまで、高電流をゲートソースダイオードに流れさせる。転移期間の終わりと、ドライバ (A) がオフである時間との間の時間差は、可能な限り最小限にされることが推奨される。ドライバ (A) が伝導期間の間アクティブにとどまる任意の持続時間については、過度の電力損失は、ゲートによって散逸され、この持続時間が 100 ns より長く続くならば、ゲートへ損傷を引き起こし得る。

10

20

【 0 0 4 3 】

図 1 1 B は、図 1 1 A に示されるデュアル駆動回路を使用した SiC JFET の駆動に関するいくつかの実験結果を示す。使用した SiC JFET は、Semisouth Laboratories, Inc. によって製造された S J E P 1 2 0 R 1 2 5 であった。 $+15\text{ V}$ および -10 V のゲートドライバ電圧を供給し、抵抗器はそれに従って大きさを決めた (すなわち、 $R_1 = R_3 = 5\text{ オーム}$ および $R_2 = 135\text{ オーム}$)。ドライバ (A) のパルス幅は 100 ns にセットした。

【 0 0 4 4 】

図 1 1 B は、ターンオン転移の間、 $V_{GS} = +6\text{ V}$ で $I_{GS(PK)} = 2\text{ A}$ を示す。一旦ドライバ (A) がオフになり、ドライバ (B) が制御をとれば、定常状態を $V_{GS} = +3\text{ V}$ および $I_{GS} = 100\text{ mA}$ で測定した。

30

【 0 0 4 5 】

スイッチングエネルギー損失は、新しい設計に対する異なる半導体トランジスタを比較する際に使用される主な性能の 1 つである。この種の損失が全体のデバイス損失の大部分になり得るので、この数を最小限にすることが高いスイッチング周波数の適用のための有先事項である。通常オフの SiC JFET は、MOSFET / IGBT と同じ標準に従って測定される。標準の、ダブルパルスの、クランプ誘導性 (clamped inductive) 負荷試験回路を用いて、ターンオンとターンオフの両方の間のエネルギー損失を観察する。これらの測定を、スイッチ形態 (すなわち、シングルデバイスまたはブリッジ配置) のみでなく、異なる駆動電圧の推奨 (すなわちユニポーラかバイポーラのドライブ) にも基づいても行った。測定は、高温でも行われ、接合温度が上昇しても、スイッチングエネルギーにほとんど変化がないことを示す。

40

【 0 0 4 6 】

シングルデバイス適用、例えば、昇圧型と降圧型のコンバーター、のために、ユニポーラの駆動電圧は、EM SiC JFET を駆動するのに典型的に十分である。これらのタイプの回路において、電流は、メインのパワートランジスタとフリーホイーリングダイオードの間で整流される。各適用 / 設計が異なるセットの条件を示すことができるので、実験結果によって、負のレールの使用がシングルスイッチ適用に通常必要ではないことが証明された。AC 接続の RC ドライバの使用は、速いターンオフを補助するため、および

50

制限された時間の間ある程度のノイズイミュニティを提供するために、ターンオフ（RC 時定数に基づいた負バイアスの持続時間）で幾つか負バイアスを提供するバイパスコンデンサによるほとんどのシングルスイッチ適用に十分であることも分かった。SiC JFET（すなわちS J E P 1 2 0 R 1 2 5）に対するスイッチング損失が様々な条件の下で観察された。AC 結合のRC ドライバインターフェースと組み合わせた+15V / -10V のバイポーラドライバのみでなく、+15V ユニポーラドライバICも、図12Aに示される試験回路を使用して評価された。デューティ比は、バイパスコンデンサが完全放電、および部分放電された時スイッチング損失の差を観察するために調節された。表1は、各ケースに対する結果として生じたターンオン損失を一覧表にしたものである。予想通りに、ターンオンエネルギー損失は、次のスイッチング事象前にバイパスキャップが完全放電されない時は、2倍（2x）まで大きくなり得る。これらの結果は、特定の適用の必要に基づいて、十分なことがあり、または十分でないことがあり、より高いスイッチング周波数またはより高いデューティ比を達成するために適度の負のレールを備えた2段ドライバの使用が要求されることがある。

【0047】

条件に基づいたスイッチングエネルギーをモニターするための試験回路は、図12Bに示されるようなブリッジ配置を使用して、適用で経た条件を反映するように変更された。これらの適用について、シュートスルーは大問題であり得、従って、ノイズイミュニティは評価さなければならない。負の駆動電圧が、ターンオフに対してノイズイミュニティを補助し、そして「ミラー効果」によって引き起こされるシュートスルーを防ぐために推奨される。MOSFETおよびIGBTと同様に、ゲート電圧上の正のスパイク（positive spike）がデバイスのしきい電圧に達するのを防ぐための3つの一般のアプローチがある：

- a . ターンオフ中のゲート上の負の駆動電圧；
- b . ゲートソース端に近接して接続された容量性クランプ；
- c . スwitching中の dV/dt の制限。

【0048】

できるだけ低いスイッチング損失が要求されるならば、負の電圧の量を付加するか増加させることによって、ターンオフ電圧としきい電圧の間の電圧差を増加させることが、第1のアプローチとして推奨される。これは、ハイサイドデバイスまたはローサイドデバイスのいずれかのスイッチング性能に影響を与えない容易な解決法、かつ唯一の解決法である。しかしながら、全てのフィールド制御パワーデバイスと同様に、SiC JFETのゲートに適用されることが出来る負の電圧の量に制限がある。最大の負の電圧が加えられた後、正のゲートスパイクが依然として明白ならば、その時は別のアプローチがとられるべきである。各デバイスのゲートソース端にまたがってしっかりと接続された容量性クランプは、必要な変位電流を引くための二次電源装置を提供する。これはゲートで正のスパイクを減少させる；しかしながら、この方法は、各ターンオンのスイッチング事象中に、より多くのゲート電荷を送達することをゲートドライバに要求する。ゲートドライバ電力の適度の増加およびおそらくわずかに遅いターンオン速度が観察されるだろう。最後の選択肢は、ゲートドライバの直列ゲート抵抗器（series gate resistance）を調節することによる、 dV/dt の下方修正である。これは、両方のスイッチのミラー容量を介してピーク電流を少なくし、ブロッキングスイッチを介してシュートスルーの可能性を少なくするだろう。この第3の選択肢は、明らかに、起こり得る最大レベルより遅いスイッチングを結果として生じるだろう；従って、設計者は、個々の特定の適用に対して、トレード・オフを試みなければならない（way trade-off）。

【0049】

図14Aおよび14Bは、図12Bの試験回路を使用して、全相レグにおいて試験された、SiC JFET（S J E P 1 2 0 R 1 2 5）に対するスイッチングエネルギー測定を示す。

【0050】

10

20

30

40

50

表 1 は、DC 接続ゲートドライバを使用した、図 12 B に記載された試験セットアップを使用して観察されたスイッチング損失を含んでいる。

【 0 0 5 1 】

【表 1】

S J E P 1 2 0 R 1 2 5 に対するスイッチングエネルギー損失
(条件: $V_{DS} = 600V$ 、 $I_D = 12A$)

デバイス配置	試験回路	ゲートドライバ	CBP 放電	E_{ON} (us)	E_{OFF} (us)
シングル スイッチ	図 12A	ユニポーラ+15V; AC-接続ドライブ	100%	75	38
シングル スイッチ	図 12A	ユニポーラ+15V; AC-接続ドライブ	75%	82	38
シングル スイッチ	図 12A	ユニポーラ+15V; AC-接続ドライブ	58%	105	38
シングル スイッチ	図 12A	ユニポーラ+15V; AC-接続ドライブ	30%	149	38
シングル スイッチ	図 12A	バイポーラ+15V / -10V ; AC- 接続ドライブ	100%	57	35
シングル スイッチ	図 12A	バイポーラ+15V / -10V ; DC- 接続ドライブ	N/A	52	45
ブリッジ	図 12B	バイポーラ+15V / -10V ; 10nF 容量性クランプ ; DC-接続ドライブ	N/A	121	59

10

20

【 0 0 5 2 】

図 15 A および 15 B は、負荷電流と接合部温度の関数として、2つの SiC J F E T (すなわち、S J E P 1 2 0 R 1 2 5 と S J E P 1 2 0 R 0 6 3、両方とも Semi S o u t h L a b o r a t o r i e s , I n c . によって製造された) に対して測定されたスイッチングエネルギー損失を示す。示されるように、25 と 150 の接合部温度の間の総スイッチングエネルギーに約 10 % の増加がある。

30

【 0 0 5 3 】

たとえエンハンスメントモード型 SiC J F E T が新しいデバイス技術であっても、他の型の高周波数パワートランジスタに有効な同じ設計と配置チップ (layout tip) の多くは、SiC J F E T 設計には依然として適用可能である。電力変換器のための PCB レイアウトを作成する時、更なる結合容量が導入されないように、デバイスは、スイッチング IC および磁性部品の近くに実装されないように、デバイスと並列にする場合、対称的な配置が使用されるように、および適切な冷却 / 放熱が採られるように、常に注意が払われなければならない。

【 0 0 5 4 】

ゲートリング (ringing) は、不適当な別個の信号および電源グラウンドによって引き起こされるデバイスのミラー容量またはグラウンドバウンスによる、高周波ノイズのフィードバックによって引き起こされ得る。単一の点で作られた 2 つの電源グラウンド間の共通接続によって、信号グラウンドから別々の電源グラウンドを離して適切に配置がなされるべきである。グラウンド面の適切な使用はまた、他の高周波回路接続だけでなくドレインからもゲートを遮蔽するのを助けることができる。SiC J F E T のゲート端子にできるだけ接近して接続されたフェライトビードはまた、ゲートで電圧スパイク (voltage spike) を減らすために使用され得る。本明細書において示された設計例において使用されるように、小さな低オーム外部ゲート抵抗器は、十分なこともあり得る。主な DC 電圧バスを横切って直接接続している直列 RC スナッパの使用によって、ミラー容量を介して高周波ノイズフィードバックの量を減らすことが証明された。結局、ゲートドラ

40

50

イバおよびゲートターンオフ部品は、前述のゲートノイズの寄与の全てを減らすために、デバイスのゲート端子に常にできるだけ接近して接続されるべきである。

【0055】

適用の詳細が、評価され、最良のゲートドライバアプローチを決定することができる。デュアルドライバICの使用は最も単純な方法である。しかしながら、2つの別個のドライバICが所望のピーク電流定格を達成するために使用され得る。オーバードライブパルスの導出(derivation)は、不必要なゲート電力散逸を最小限にするために、正確、かつ厳密に、トランジスタのターンオン速度と合致するべきである。

【0056】

任意の低い値デバイスのように、ノイズイミュニティは重要事項である。ブリッジまたは直列配置においてEM SiC JFETを使用する場合、負のターンオフ電圧が推奨される。MOSFET/IGBTのように、JFETはまた、「ミラー容量」に起因する間違っただトリガー(false triggering)を経る。しかしながら、ターンオフ電圧とゲートしきい電圧との間の電圧差を増加させることによって、この悪影響を最小限にし得る。正のゲート電圧スパイクが依然として問題となるならば、相対するJFETのゲートに対する高い dV/dt の影響を制限するために、ゲート・ソース端子にわたる小容量性クランプを付加することが推奨される。

【0057】

<さらなる実施形態>

ワイドバンドギャップ接合形電界効果トランジスタ(JFET)およびDC接続2段ドライバを含む回路も提供される。ドライバは、上部のターンオンドライバ(U9)回路；下部のターンオンドライバ(U11)回路；および、入力から信号を受け取り、上部のターンオンドライバ(U9)に対して単純な「ターンオン」パルスを発生するためのロジックゲート(U12)を含む。上部および下部のドライバは、入力パルス幅変調(PWM)制御信号を受けて、ワイドバンドギャップJFETのゲートの駆動のための出力ドライバ信号VGを発生するように構成される。

【0058】

この実施形態によれば、上部のターンオンドライバは、ターンオンドライバ(U9)、第1抵抗器(5)および第1ダイオードD1を含み、ターンオンドライバ(U9)の出力は第1抵抗器の第1端子に接続され、第1抵抗器の第2端子は第1ダイオードD1の陽極端子に接続され、および第1ダイオードD1の陰極は上部の駆動回路の出力を形成する。下部のターンオンドライバは、ターンオンドライバ(U11)、第1端子および第2端子を有する第2抵抗器(100)、陽極および陰極を有する第2ダイオードD2、および第1端子および第2端子を有する第3抵抗器を含む。ターンオンドライバ(U11)の出力は、第2抵抗器の第1端子および第2ダイオードD2の陰極に接続される。第2ダイオードD2の陽極は、第3抵抗器の第1端子に接続される。下部の駆動回路の出力を形成するために、第3抵抗器の第2端子は第3抵抗器の第2端子に接続される。上部の駆動回路の出力および下部の駆動回路の出力は、ワイドバンドギャップ接合形電界効果トランジスタ(JFET)への入力を形成するために接続される。

【0059】

エンハンスメントモード型(EM) SiC JFETを駆動するためにデュアル駆動回路が使用された。このアプローチは図16Aに示される。この回路において、ロジックゲート(U12)の出力は、上部のターンオンドライバ(U9)の入力および下部のターンオンドライバ(U11)の入力に接続される。

【0060】

図16Bは、ロジックゲート(U12)の入力(VA)およびロジックゲート(U12)の出力(VB)のむだ時間を示す。上部のターンオンドライバ(U9)の出力の波形は、V1として図16Cに示され、および下部のターンオンドライバ(U11)の出力の波形は、V2として図16Cに示される。

【0061】

10

20

30

40

50

図 1 6 C は、上部のターンオンドライバ (U 9) が、下部のターンオンドライバ (U 1 1) の出力と比較して、余分な時間遅れをもたらすことを示す。この遅れは、下部のターンオンドライバ (U 1 1) から、「 ON を維持する」パルスのずっと後ろにある。時間遅れを少なくするために使用され得る有効な 1 つのアプローチは、図 1 6 D に示されるように V 1 および V 2 を整列させるために、下部のターンオンドライバ (U 1 1) に対する入力部に 1 . 5 K の抵抗器および 1 2 0 p F のコンデンサ R C 遅延回路を付加することを含む。 R C 遅延回路の抵抗器およびコンデンサの値は、上部のターンオンドライバ (U 9) の出力および下部のターンオンドライバ (U 1 1) の出力が、同時に高くなるように選択され得る。

【 0 0 6 2 】

10

図 1 6 D において、上部のターンオンドライバ (U 9) の出力および下部のターンオンドライバ (U 1 1) の出力は、同時に高くなることが示される。図 1 6 D に示されるように、第 3 抵抗器 (6 . 8 オームを示す) および第 2 ダイオード D 2 が使用されなかった時、遅いターンオフが観察される。ターンオフの速度を速めるために、第 3 抵抗器 (6 . 8 オームを示す) および第 2 ダイオード D 2 が使用され、より速いターンオフを生み出した。速度を速める回路を付加することの効果は、図 1 6 E に示される。

【 0 0 6 3 】

ワイドバンドギャップ接合形電界効果トランジスタ (J F E T) および D C 接続 2 段ドライバを含む回路も提供される。この実施形態によれば、ドライバは、パルス幅変調 (P W M) 制御信号を受け取り、許可信号および逆 P W M 信号を発生するための論理回路 ; 逆 P W M 信号の入力を有する論理回路 (L O G I C) およびトランジスタ駆動回路からの P W M 入力信号および許可信号入力を有する I C ドライバ (5 0 9) 回路を含む。 I C ドライバ (5 0 9) 回路およびトランジスタ駆動回路は、入力パルス幅変調 (P W M) 制御信号を受けて、ワイドバンドギャップ J F E T のゲートの駆動のための出力ドライバ信号 V G を発生するように構成される。

20

【 0 0 6 4 】

この実施形態に係る論理回路 (L O G I C) は、第 1 N O R ゲート、第 2 N O R ゲート、第 1 端子および第 2 端子を有する第 1 コンデンサ、陽極および陰極を有する第 2 ダイオード (1 N 9 1 4) 、第 1 端子および第 2 端子を有する第 4 抵抗器 (5 0 0) 、第 3 N O R ゲート、および第 4 N O R ゲートを含む。第 1 、第 2 、第 3 、第 4 の N O R ゲートの各々は、第 1 入力、第 2 入力および出力を有している。詳細な回路配置は、図 1 7 A に示される。

30

【 0 0 6 5 】

I C ドライバ (5 0 9) 回路は、 5 0 9 ドライバ I C および第 1 抵抗器 (1) を含む。 5 0 9 ドライバ I C は、正の電源、負の電源、 P W M 制御信号を受け取る入力端子、許可信号および出力を受け取るための入力を有する。許可信号を受け取るための入力は、論理回路 (L O G I C) の出力から許可信号を受け取る。入力端子は、 P W M 制御信号を受け取る。 5 0 9 ドライバ I C の出力は、第 1 抵抗器の第 1 端子に接続され、および第 1 抵抗器の第 2 端子は、 J F E T のゲート端子に接続される。

【 0 0 6 6 】

40

トランジスタ駆動回路は、陽極および陰極を有するツェナーダイオード D 1 、第 1 端子および第 2 端子を有する第 2 抵抗器 (1 0 0) 、ベース端子、エミッタ端子およびコレクタ端子を有するトランジスタ (2 N 3 9 0 6) 、および第 1 端子および第 2 端子を有する第 3 抵抗器 (1 5) を含む。ツェナーダイオード D 1 の陽極は、トランジスタ駆動回路の入力を形成する。ツェナーダイオード D 1 の陰極は、第 2 抵抗器 (1 0 0) の第 1 端子に接続される。第 2 抵抗器 (1 0 0) の第 2 端子は、トランジスタのベース端子に接続される。トランジスタのエミッタ端子は、トランジスタ駆動回路の正の電源に接続される。トランジスタのコレクタ端子は、第 3 抵抗器の第 1 端子に接続される。第 3 抵抗器の第 2 端子は、 I C ドライバ (5 0 9) 回路の出力および J F E T のゲート端子に接続される。

【 0 0 6 7 】

50

ICドライバ(509)回路の出力およびトランジスタ駆動回路の出力は接続され、ワイドバンドギャップ接合形電界効果トランジスタ(JFET)への入力を形成する。

【0068】

上述のようなドライバ配置は、エンハンスメントモード型(EM)SiC JFETを駆動するために使用された。このアプローチは、図17Aに示される。この回路において、論理回路(LOGIC)の出力は、IC駆動回路の許可信号入力に接続され、および論理回路(LOGIC)のPWM信号出力の反転したもの(inverse)は、トランジスタ駆動回路の入力に接続される。図17Bは、ゲート端子とJFETのソース端子との間の電圧のダブルパルス波形、およびJFETのゲートに流れ込む電流を示す。図17Cは、JFETのゲート端子とソース端子の間のターンオン電圧、およびJFETのゲートの中へ流れ込むターンオンパルス電流を示し、電流は5.5Aでピークに達したことを示す。従って、ICドライバのような少なくとも1つの高電流ドライバは、ターンオンとターンオフの両方のために含まれるべきである。拡大した時間尺度で見た時、リップル効果は、ターンオンエッジとターンオフエッジで示される。図17Dは、JFETのゲートの中へ流れ込むダブルパルスの電流を示す。それは、ターンオンエッジおよびターンオフエッジは、敏速で、かつはっきりしている。「ステイオン」電流は、下部の電源から動力が供給されたより低電流のトランジスタによって提供され得る。このような配置は、部品を節約し、かつ関連するゲート抵抗器の損失を少なくするために使用される。図17Eは、JFETのゲート端子とソース端子との間のターンオン電圧、およびJFETのゲートの中へのターンオンパルスの電流賦フローを示す。拡大した時間尺度で見た時、リップル効果は、

10

20

【0069】

別の同様の2段駆動回路が図18Aに示される。JFETのまわりの部品のみがさらに付加され変更された。図18Bは、JFETのゲート端子とソース端子との間のターンオン電圧と、JFETのゲート端子に流れ込むターンオフ電流を示す。図18Cは、JFETのゲート端子およびソース端子との間のターンオフ電圧、およびJFETのゲート端子に流れ込むターンオフ電流を示す。ターンオフ波形は顕著なリップルを示す。理論に縛られるのが望まれないとはいえ、このようなリップルの理由は、その「スカイ-ワイヤリング(sky-wiring)」に起因する高い論理回路の高い dV/dT の誤ったトリガーに関係し得ると信じられている。

30

【0070】

本発明の例示的实施形態の前述の記載は、説明と記載のためにのみ提供されており、本発明を開示された正確な形式に制限又は限定することは意図されない。上記の教示内容に照らして、多くの変更および改変が可能である。

【0071】

実施形態は、当業者が本発明および様々な実施形態を利用し、そして熟考された特定の使用に適するような様々な変更を伴って利用するように、本発明の原理およびそれらの実用的応用を説明するために選択され、記述された。代替の実施例が、その精神および範囲から逸脱することなく本発明に関わる技術分野の当業者に明白になるだろう。従って、本発明の範囲は、本明細書に記述された前述の記載および例示的实施形態ではなく、むしろ添付された特許請求の範囲によって定められる。

40

【0072】

<参考文献>

[1] D. Bortis, P. Steiner, J. Biela, and J. W. Kolar, "Double Stage Gate Driver Circuit for Parallel Connected IGBT Modules," Proc. of the 2008 IEEE International Power Modulator Conference (2008)

[2] G. Schmitt, R. Kennel, and J. Holtz, "Voltage Gradient Limitation of IGBTs b

50

y Optimized Gate Current Profiles," Power Electronics Specialists Conference, 2008. PESC 2008, pp. 3592–3596 (June 15–19, 2008)

[3] M. Abu Khaizaran, P. Palmer, and Y. Wang, "Parameters Influencing the Performance of an IGBT Gate Driver," Power Electronics Specialists Conference, 2008, pp. 3457–3462 (June 15–19, 2008)

【図2】

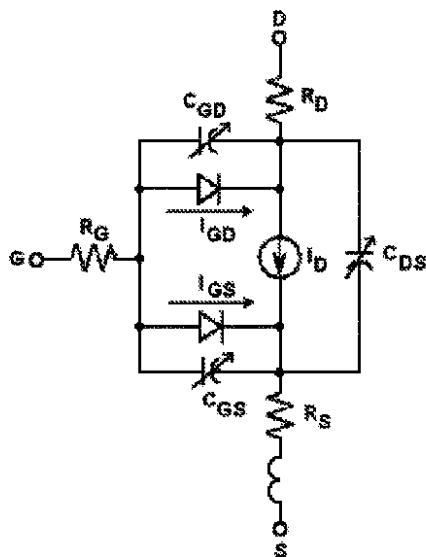


FIG. 2

【図8】

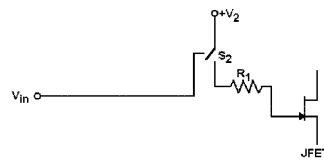


FIG. 8

【図9】

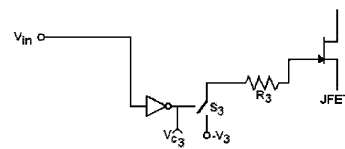


FIG. 9

The timing diagram shows the following signal behavior:

- A** (V_{in}): High during t_1 and t_2 , low during t_3 .
- B** (V_{c2}): High during t_1 , low during t_2 and t_3 .
- C** (V_{c3}): Low during t_1 and t_2 , high during t_3 .
- D** (V_{GS}): High during t_1 and t_2 , low during t_3 .
- E** (V_{DS}): High during t_1 , ramps down during t_2 , and ramps back up during t_3 .
- F** (I_G): High during t_1 , low during t_2 , and ramps up during t_3 .

【図 16C】

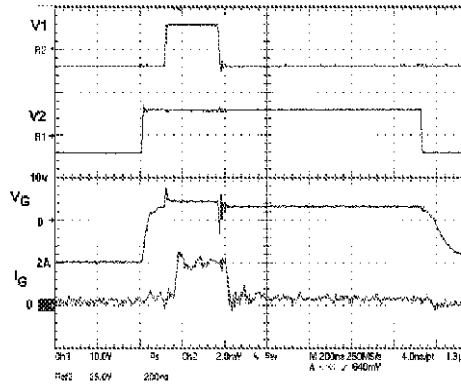


FIG. 16C

【図 16D】

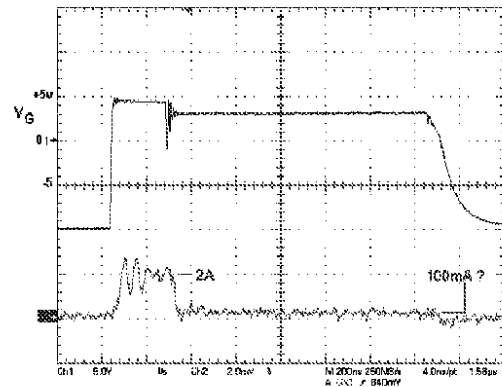


FIG. 16D

【図 16E】

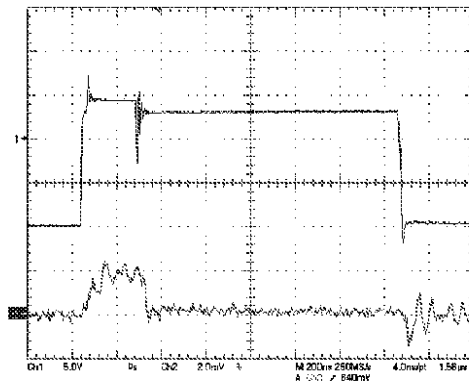


FIG. 16E

【図 17B - 17E】

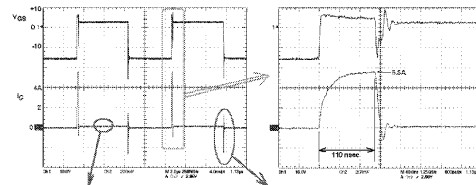


FIG. 17B

FIG. 17C

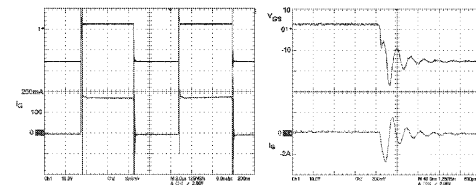


FIG. 17D

FIG. 17E

【図 18A】

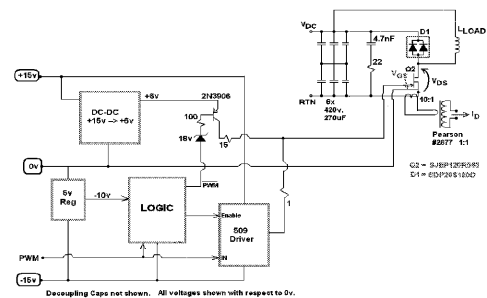
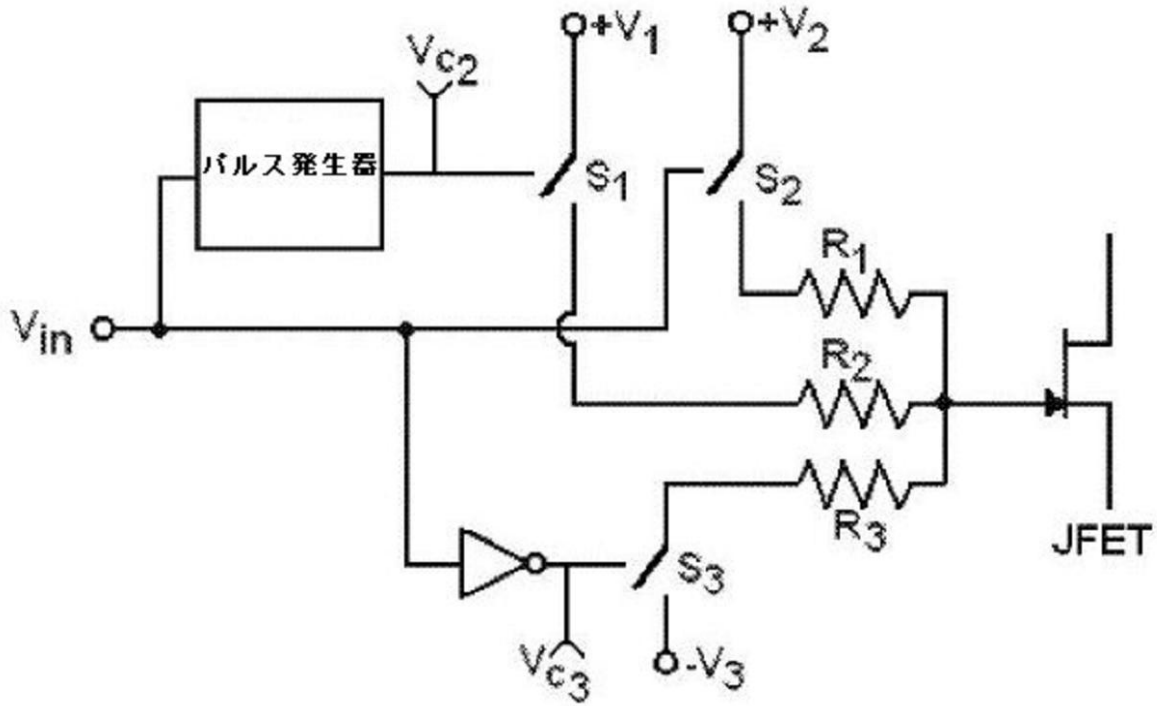


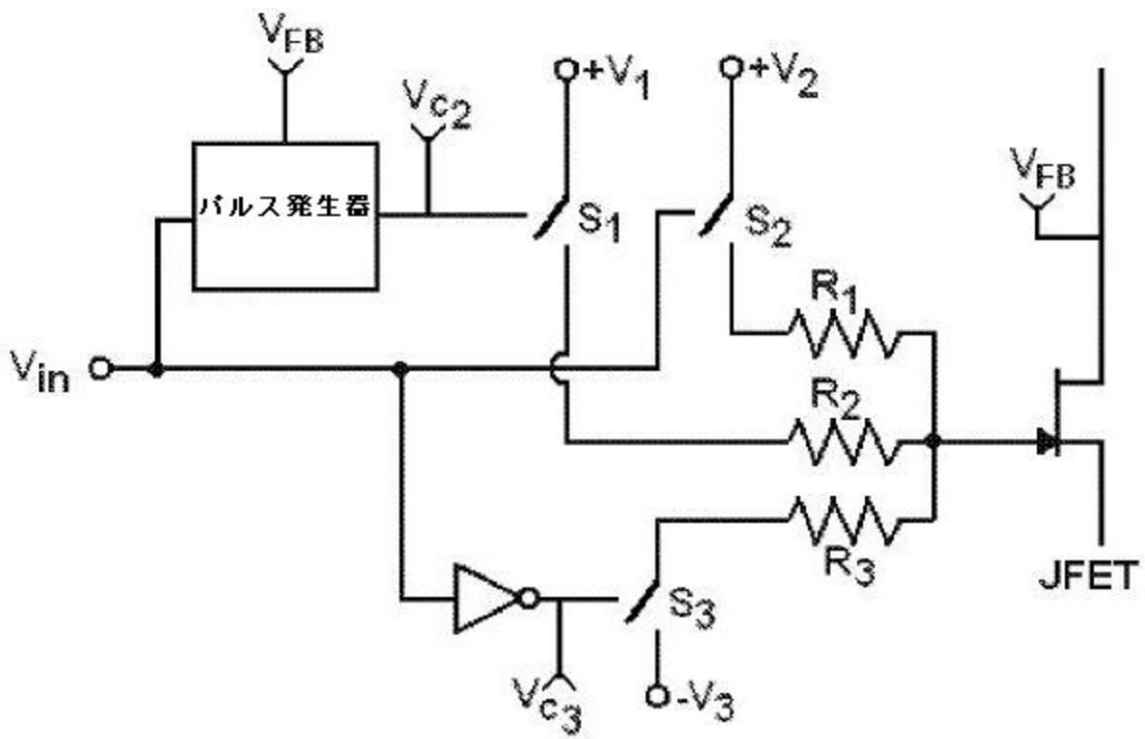
FIG. 18A

FIG. 18B

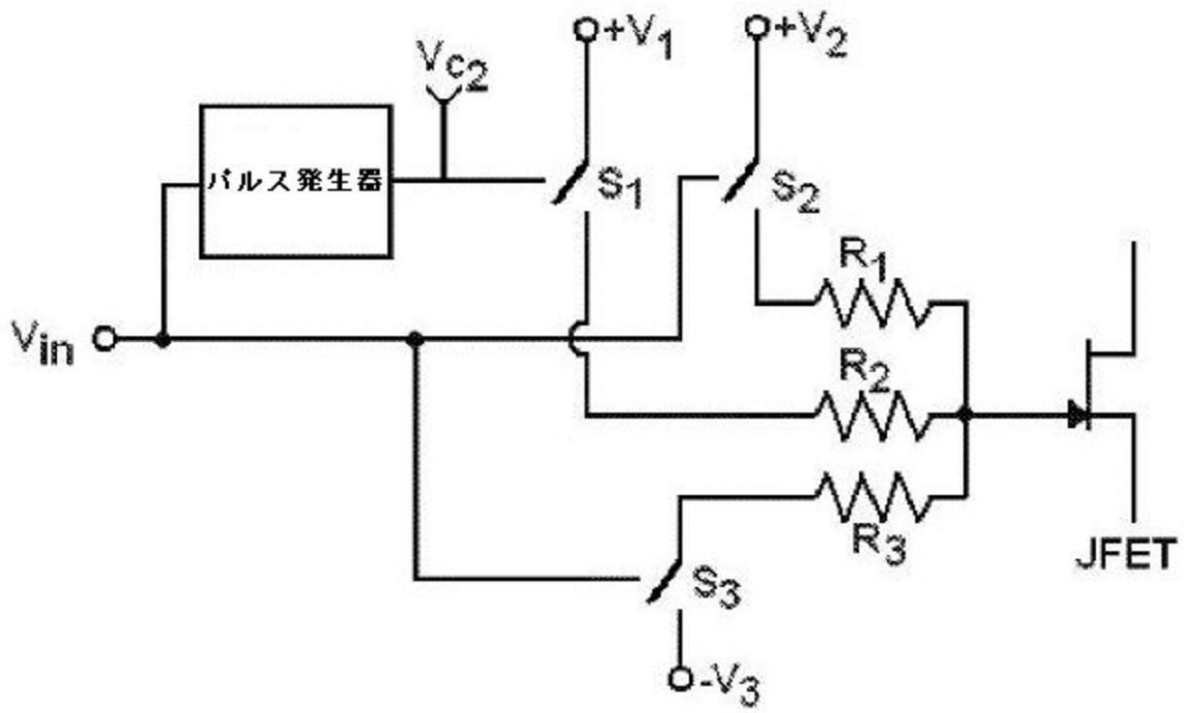
【図 3】



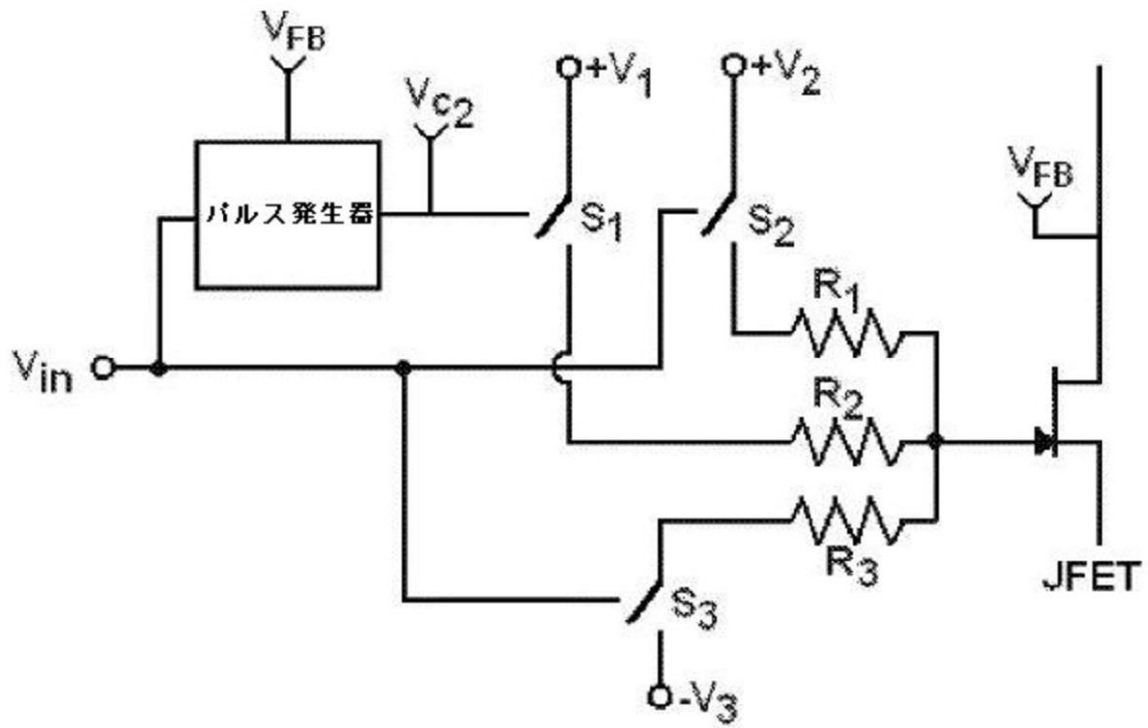
【図 4】



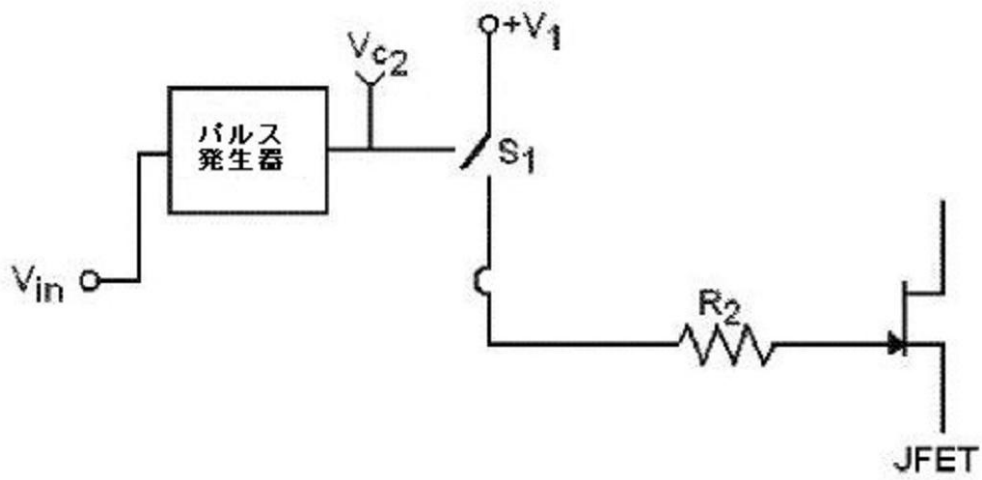
【図5】



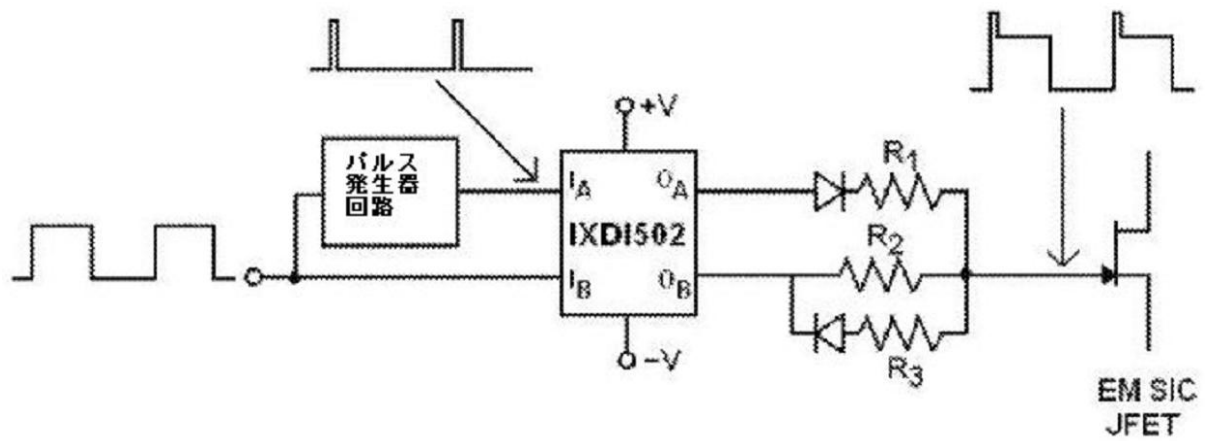
【図6】



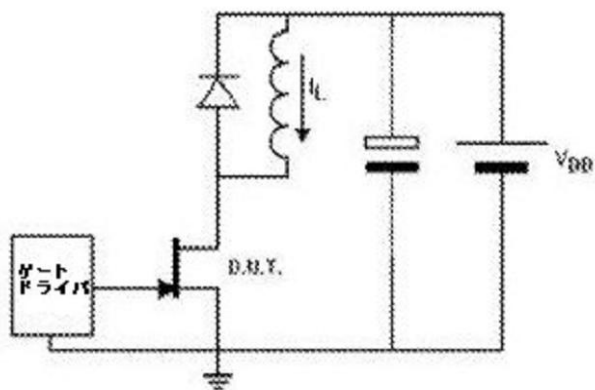
【図 7】



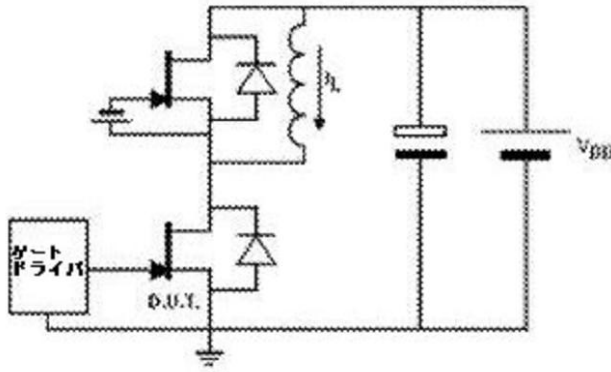
【図 1 1 A】



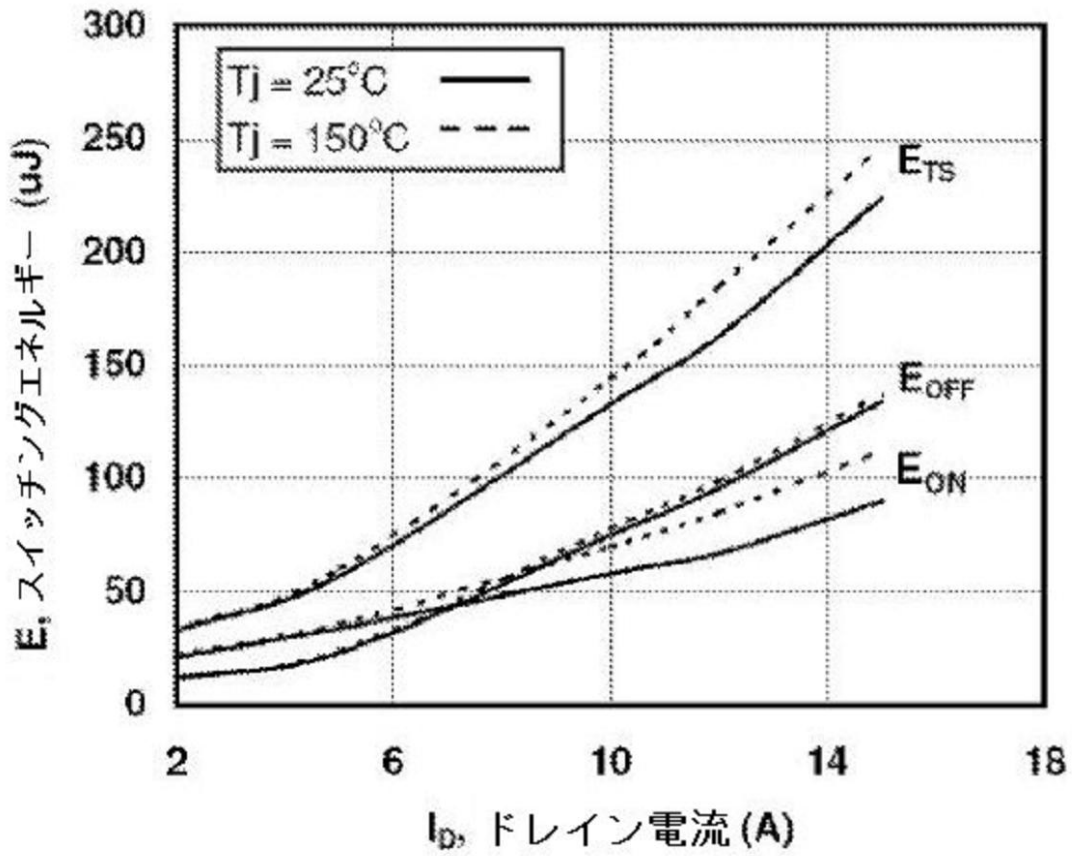
【図 1 2 A】



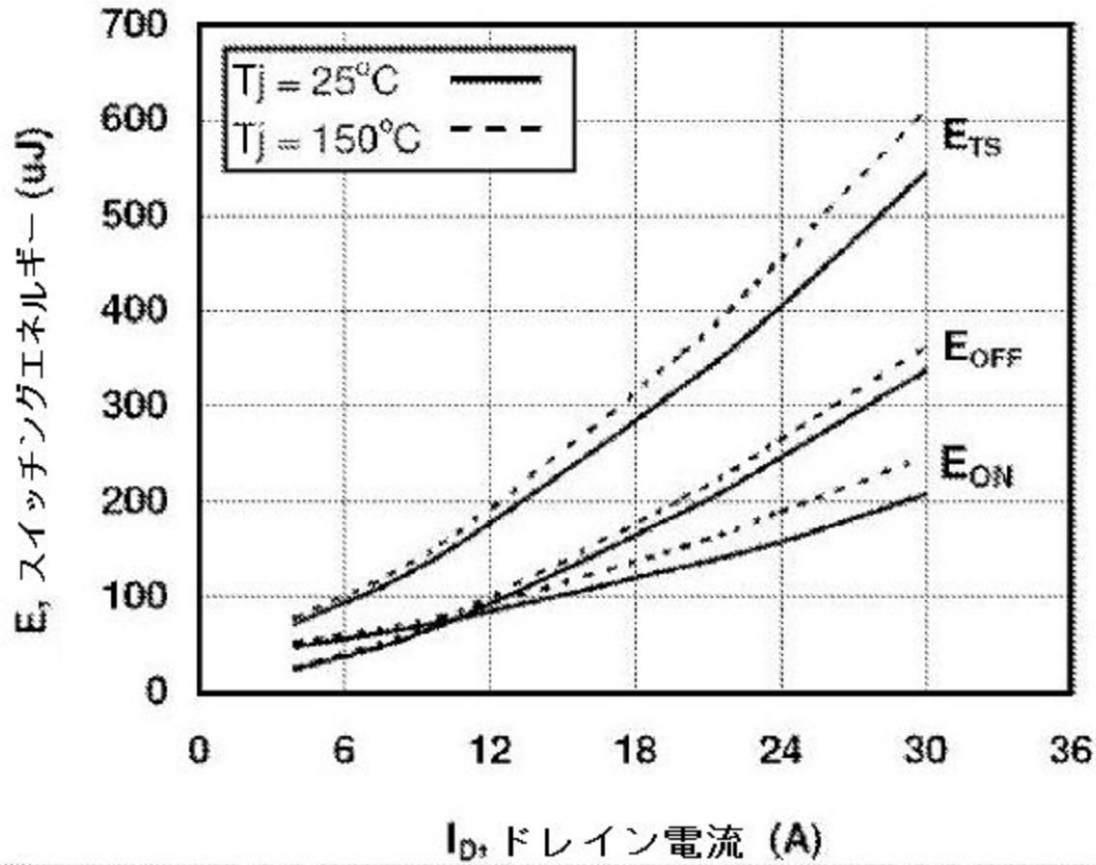
【図 12B】



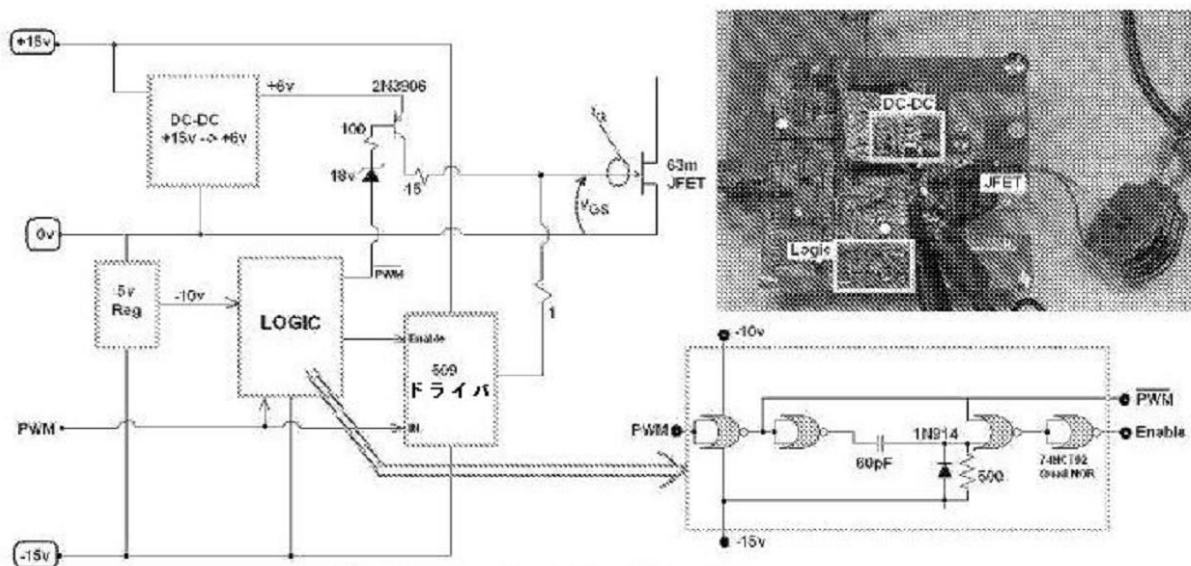
【図 15A】



【図 15 B】

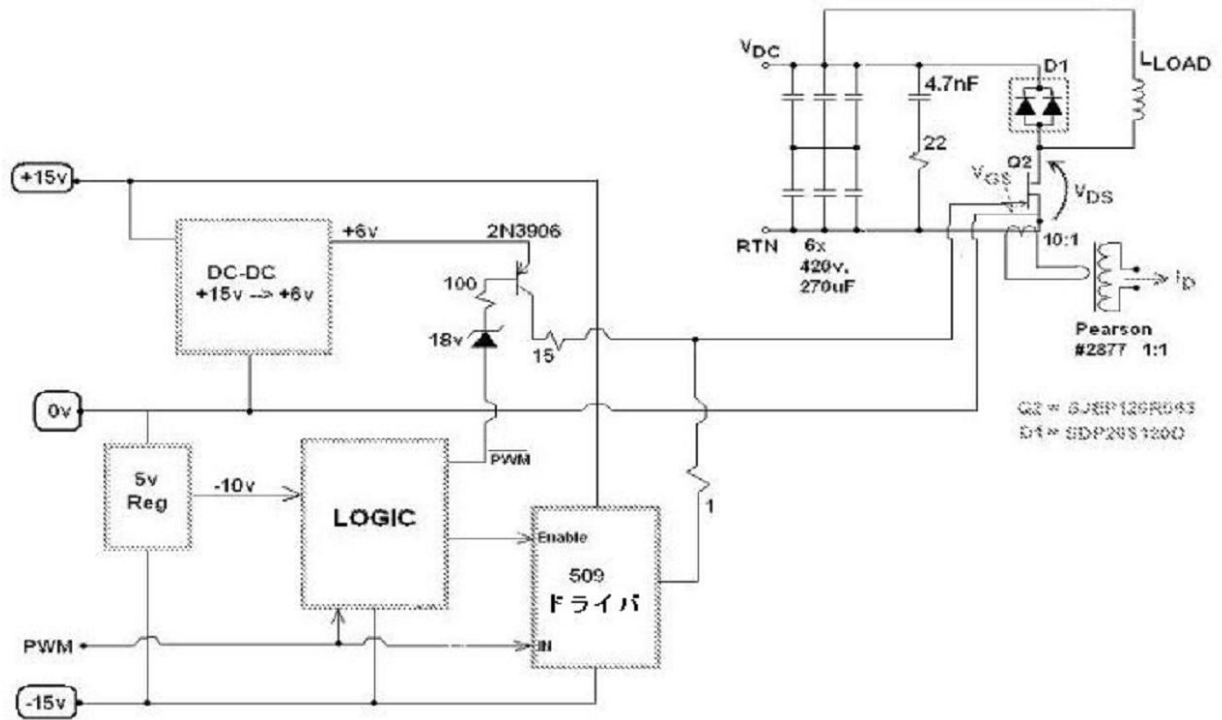


【図 17 A】





デカップリングキャップ(Decoupling Caps)は示されず。全ての電圧は0Vに対して示される。

【図 18 B】



デカップリングキャップ(Decoupling Caps)は示されず。全ての電圧は0vに対して示される。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2010/034399
A. CLASSIFICATION OF SUBJECT MATTER		
<i>H03K 17/687(2006.01)i, H03K 7/08(2006.01)i</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K 17/687; H01L 29/80; H03K 17/16; H01H 83/00; H03K 17/56		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: gate driver, JFET, two-stage		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2005-0258458 A1 (HUNG-I WANG et al.) 24 November 2005 See abstract; para.30-33; claims 1, 7, 10 and figures 2-3.	12-15 29-30 1-11, 16-28
Y A	US 2008-0174184 A1 (ARPILLIERE MICHEL et al.) 24 July 2008 See abstract; para.1, 25, 30.	29-30 1-28
A	US 2008-0290927 A1 (MAZZOLA MICHAEL S. et al.) 27 November 2008 See abstract; claims 1-3, 13 and figure 3.	1-30
A	US 2004-0164785 A1 (RICHARD A. METZLER) 26 August 2004 See abstract; claims 1-7, 11-12, 14 and figure 4.	1-30
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search 30 NOVEMBER 2010 (30.11.2010)		Date of mailing of the international search report 01 DECEMBER 2010 (01.12.2010)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 139 Seonsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer Kim, Nam In Telephone No. 82-42-481-8583 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2010/034399

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2005-0258458 A1	24.11.2005	TW 258261 B US 7233191 B2	11.07.2006 19.06.2007
US 2008-0174184 A1	24.07.2008	AT 470266 T EP 1950885 A1 EP 1950885 B1 FR 2911736 A1 FR 2911736 B1 JP 2008-182884 A US 7723869 B2	15.06.2010 30.07.2008 02.06.2010 25.07.2008 20.03.2009 07.08.2008 25.05.2010
US 2008-0290927 A1	27.11.2008	CN 101772881 A EP 2160824 A2 JP 2010-528578 A KR 10-2010-0023881 A KR20100023881A US 2010-026370 A1 US 7602228 B2 WO 2008-147801 A2 WO 2008-147801 A3 WO 2008-147801 A3	07.07.2010 10.03.2010 19.08.2010 04.03.2010 04.03.2010 04.02.2010 13.10.2009 04.12.2008 05.02.2009 04.12.2008
US 2004-0164785 A1	26.08.2004	AU 2004-216021 A1 AU 2004-216021 B2 BR P10407866A CA 2517152-A1 CN 100476675 C CN 1781065 A CN 1781065 C0 EP 1602016 A1 JP 2007-521543 A JP 2007-521543 T KR 10-2005-0107460 A US 2006-0145746 A1 US 7030680 B2 WO 2004-077190 A1	10.09.2004 22.01.2009 01.03.2006 10.09.2004 08.04.2009 31.05.2006 31.05.2006 07.12.2005 02.08.2007 02.08.2007 11.11.2005 06.07.2006 18.04.2006 10.09.2004

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 リース, フェントン

アメリカ合衆国, 39759 ミシシッピ州, スタークビル, リサーチ・ブールバード 201,
セミサウス ラボラトリーズ, インク. 内

Fターム(参考) 5J055 AX02 BX16 CX07 DX16 DX24 DX62 EX01 EX02 EY01 EY05
EY10 EY12 EY22 EZ07 EZ12 EZ23 FX05 FX12 FX32 FX37
GX01 GX02 GX04 GX05 GX06 GX09