

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成16年9月16日(2004.9.16)

【公開番号】特開2000-299385(P2000-299385A)

【公開日】平成12年10月24日(2000.10.24)

【出願番号】特願平11-108915

【国際特許分類第7版】

H 01 L 21/82

H 01 L 21/8238

H 01 L 27/092

H 03 K 19/0948

【F I】

H 01 L 21/82 A

H 01 L 27/08 3 2 1 F

H 03 K 19/094 B

【手続補正書】

【提出日】平成15年9月2日(2003.9.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも一つのセレクタを具備する半導体集積回路装置であって、

上記集積回路におけるセレクタは、第1および第2のPMOSトランジスタと、第1および第2のNMOSトランジスタと、第1乃至第4の入力端子と、第1のノードを有し、

上記第1のPMOSトランジスタのソース・ドレイン経路は、上記第1の入力端子と上記第1のノードの間に接続され、

上記第1のNMOSトランジスタのソース・ドレイン経路は、上記第1の入力端子と上記第1のノードの間に接続され、

上記第2のPMOSトランジスタのソース・ドレイン経路は、上記第2の入力端子と上記第1のノードの間に接続され、

上記第2のNMOSトランジスタのソース・ドレイン経路は、上記第2の入力端子と上記第1のノードの間に接続され、

上記第1のPMOSトランジスタのゲート電極は、上記第3の入力端子に印加される第1の信号により制御され、

上記第2のNMOSトランジスタのゲート電極は、上記第3の入力端子に印加される上記第1の信号により制御され、

上記第2のPMOSトランジスタのゲート電極は、上記第4の入力端子に印加される第2の信号により制御され、

上記第1のNMOSトランジスタのゲート電極は、上記第4の入力端子に印加される上記第2の信号により制御され、

上記第1の信号と第2の信号は相反する信号であり、

上記第1のPMOSトランジスタのドレインと上記第2のPMOSトランジスタのドレインは、互いに拡散層を共有する形として配置することにより接続され、

上記第1のNMOSトランジスタのドレインと上記第2のNMOSトランジスタのドレインは、互いに拡散層を共有する形として配置することにより接続され、

上記第1のPMOSトランジスタのソースと、上記第1および第2のNMOSトランジスタのドレインの共通部分が、電位供給線の走行方向に交差する方向に対し直線的になるように配置し、

上記第2のNMOSトランジスタのソースと、上記第1および第2のPMOSトランジスタのドレインの共通部分が、電位供給線の走行方向に交差する方向に対し直線的になるように配置したことを特徴とする半導体集積回路装置。

【請求項2】

上記各PMOSおよびNMOSトランジスタのゲート信号はポリシリコン配線で供給され、

上記第1のPMOSトランジスタのソースと第1のNMOSトランジスタのソースは第1層の金属配線で接続され、

上記第2のPMOSトランジスタのソースと第2のNMOSトランジスタのソースは上記第1層の金属配線で接続され、

上記第1のPMOSトランジスタのドレインと第2のPMOSトランジスタのドレインを共通化した部分と、上記第1のNMOSトランジスタのドレインと第2のNMOSトランジスタのドレインを共通化した部分は、上記第1層の金属配線を接続手段の少なくとも一部に用いて接続されることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】

上記第1のPMOSトランジスタのゲートと、上記第2のNMOSトランジスタのゲートが、電位供給線の走行方向に対し直交する方向に関して向かい合うように配置し配線され、

電源供給線に平行な方向を左右方向とした場合、第1のPMOSトランジスタのゲートと、第2のNMOSトランジスタのゲートが結線された配線に対し、第1のNMOSトランジスタと、第2のPMOSトランジスタが左右相反する側にあることを特徴とする請求項1または2に記載の半導体集積回路装置。

【請求項4】

上記第1のPMOSトランジスタのゲート電極と第2のPMOSトランジスタのゲート電極をセレクタ内の他の端子間距離よりも小さい間隔で配置し、

上記第1のNMOSトランジスタのゲート電極と第2のNMOSトランジスタのゲート電極をセレクタ内の他の端子間距離よりも小さい間隔で配置したことを特徴とする請求項1ないし3のうちのいずれかに記載の半導体集積回路。

【請求項5】

上記電位供給線の走行方向を左右方向とした場合、上記第2のPMOSトランジスタの上部あるいは、下部にできるスペースと、上記第1のNMOSトランジスタの下部あるいは上部にできるスペースに、少なくとも一つのゲート信号の入力端子を配置することを特徴とする請求項1ないし4のうちのいずれかに記載の半導体集積回路装置。

【請求項6】

上記セレクタを少なくとも2つ用いる構成とし、上記電位供給線の走行方向を左右方向とした場合、各々のセレクタの持つ、第2のPMOSトランジスタの上部あるいは下部にできるスペースあるいは、第1のNMOSトランジスタの下部あるいは上部にできるスペースをお互いにオーバラップさせることを特徴とする請求項1ないし5のうちのいずれかに記載の半導体集積回路装置。

【請求項7】

上記セレクタを少なくとも2つ用い、相反する信号である第1および第2の出力を出力する構成とし、

上記第1の出力は、第1の出力增幅回路の入力に上記第1層の金属配線で接続され、

上記第2の出力は、第2の出力增幅回路の入力に上記第1層の金属配線で接続され、

上記第1および第2の出力增幅回路を成す上記二つ型の電界効果型トランジスタが、上記電位供給線の走行する方向に座標系を定めた場合、その座標値が最も小さい側のセル境界とその座標値が最も大きい側のセル境界の両端に配置されることを特徴とする請求項1ないし6のうちのいずれかに記載の半導体集積回路装置。

【請求項8】

上記第1の出力は、第1の出力増幅回路の入力に上記第1層の金属配線と異なる金属配線層で接続され、

上記第2の出力は、第2の出力増幅回路の入力に上記第1層の金属配線と異なる金属配線層で接続されることを特徴とする請求項7記載の半導体集積回路。

【請求項9】

少なくとも一つの回路セルを含んでなる半導体論理回路であつて、

上記回路セルはセレクタ、第1及び第2の論理ゲート、第1及び第2の動作電位点を有し、

上記セレクタは第1および第2のPMOSトランジスタ、第1ないし第4のNMOSトランジスタ、第1乃至第3のノードを有し、

上記第1のPMOSトランジスタのゲートは第1の入力信号で制御され、第1のPMOSトランジスタのソース・ドレイン経路は、上記第1の動作電位点と上記第1のノードの間に接続され、

上記第2のPMOSトランジスタのゲートは、第2の入力信号で制御され、第2のPMOSトランジスタのソース・ドレイン経路は、上記第1の動作電位点と上記第2のノードとの間に接続され、

上記第1のNMOSトランジスタのゲートは、上記第1の入力信号で制御され、上記第1のNMOSトランジスタのソース・ドレイン経路は、上記第2の動作電位点と上記第1のノードとの間に接続され、

上記第2のNMOSトランジスタのゲートは上記第2の入力信号で制御され、上記第2のNMOSトランジスタのソース・ドレイン経路は、上記第2の動作電位点と上記第2のノードとの間に接続され、

上記第3のNMOSトランジスタのゲートは第3の入力信号で制御され、上記第3のNMOSトランジスタのソース・ドレイン経路は、上記第1のノードと上記第3のノードとの間に接続され、

上記第4のNMOSトランジスタのゲートは、第4の入力信号で制御され、上記第4のNMOSトランジスタのソース・ドレイン経路は、上記第2のノードと上記第3のノードとの間に接続され、

上記第3のノードは上記第1の論理ゲートと第2の論理ゲートの入力端子に接続されることを特徴とする半導体論理回路。