

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 16 年 9 月 16 日 (2004.9.16)

【公開番号】特開 2000-299385 (P2000-299385A)

【公開日】平成 12 年 10 月 24 日 (2000.10.24)

【出願番号】特願 平 11-108915

【国際特許分類第 7 版】

H 0 1 L 21/82

H 0 1 L 21/8238

H 0 1 L 27/092

H 0 3 K 19/0948

【F I】

H 0 1 L 21/82 A

H 0 1 L 27/08 3 2 1 F

H 0 3 K 19/094 B

【手続補正書】

【提出日】平成 15 年 9 月 2 日 (2003.9.2)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

少なくとも一つのセレクタを具備する半導体集積回路装置であって、
 上記集積回路におけるセレクタは、第 1 および第 2 の PMOS トランジスタと、第 1 および第 2 の NMOS トランジスタと、第 1 乃至第 4 の入力端子と、第 1 のノードを有し、
 上記第 1 の PMOS トランジスタのソース・ドレイン経路は、上記第 1 の入力端子と上記第 1 のノードの間に接続され、
 上記第 1 の NMOS トランジスタのソース・ドレイン経路は、上記第 1 の入力端子と上記第 1 のノードの間に接続され、
 上記第 2 の PMOS トランジスタのソース・ドレイン経路は、上記第 2 の入力端子と上記第 1 のノードの間に接続され、
 上記第 2 の NMOS トランジスタのソース・ドレイン経路は、上記第 2 の入力端子と上記第 1 のノードの間に接続され、
 上記第 1 の PMOS トランジスタのゲート電極は、上記第 3 の入力端子に印加される第 1 の信号により制御され、
上記第 2 の NMOS トランジスタのゲート電極は、上記第 3 の入力端子に印加される上記第 1 の信号により制御され、
 上記第 2 の PMOS トランジスタのゲート電極は、上記第 4 の入力端子に印加される第 2 の信号により制御され、
 上記第 1 の NMOS トランジスタのゲート電極は、上記第 4 の入力端子に印加される上記第 2 の信号により制御され、
 上記第 1 の信号と第 2 の信号は相反する信号であり、
 上記第 1 の PMOS トランジスタのドレインと上記第 2 の PMOS トランジスタのドレインは、互いに拡散層を共有する形として配置することにより接続され、
 上記第 1 の NMOS トランジスタのドレインと上記第 2 の NMOS トランジスタのドレインは、互いに拡散層を共有する形として配置することにより接続され、

上記第 1 の PMOS トランジスタのソースと、上記第 1 および第 2 の NMOS トランジスタのドレインの共通部分が、電位供給線の走行方向に交差する方向に対し直線的になるように配置し、

上記第 2 の NMOS トランジスタのソースと、上記第 1 および第 2 の PMOS トランジスタのドレインの共通部分が、電位供給線の走行方向に交差する方向に対し直線的になるように配置したことを特徴とする半導体集積回路装置。

【請求項 2】

上記各 PMOS および NMOS トランジスタのゲート信号はポリシリコン配線で供給され、
上記第 1 の PMOS トランジスタのソースと第 1 の NMOS トランジスタのソースは第 1 層の金属配線で接続され、

上記第 2 の PMOS トランジスタのソースと第 2 の NMOS トランジスタのソースは上記第 1 層の金属配線で接続され、

上記第 1 の PMOS トランジスタのドレインと第 2 の PMOS トランジスタのドレインを共通化した部分と、上記第 1 の NMOS トランジスタのドレインと第 2 の NMOS トランジスタのドレインを共通化した部分は、上記第 1 層の金属配線を接続手段の少なくとも一部に用いて接続されることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】

上記第 1 の PMOS トランジスタのゲートと、上記第 2 の NMOS トランジスタのゲートが、電位供給線の走行方向に対し直交する方向に関して向かい合うように配置し配線され、
電源供給線に平行な方向を左右方向とした場合、第 1 の PMOS トランジスタのゲートと、第 2 の NMOS トランジスタのゲートが結線された配線に対し、第 1 の NMOS トランジスタと、第 2 の PMOS トランジスタが左右相反する側にあることを特徴とする請求項 1 または 2 に記載の半導体集積回路装置。

【請求項 4】

上記第 1 の PMOS トランジスタのゲート電極と第 2 の PMOS トランジスタのゲート電極をセクタ内の他の端子間距離よりも小さい間隔で配置し、

上記第 1 の NMOS トランジスタのゲート電極と第 2 の NMOS トランジスタのゲート電極をセクタ内の他の端子間距離よりも小さい間隔で配置したことを特徴とする請求項 1 ないし 3 のうちのいずれかに記載の半導体集積回路。

【請求項 5】

上記電位供給線の走行方向を左右方向とした場合、上記第 2 の PMOS トランジスタの上部あるいは、下部にできるスペースと、上記第 1 の NMOS トランジスタの下部あるいは上部にできるスペースに、少なくとも一つのゲート信号の入力端子を配置することを特徴とする請求項 1 ないし 4 のうちのいずれかに記載の半導体集積回路装置。

【請求項 6】

上記セクタを少なくとも 2 つ用いる構成とし、上記電位供給線の走行方向を左右方向とした場合、各々のセクタの持つ、第 2 の PMOS トランジスタの上部あるいは下部にできるスペースあるいは、第 1 の NMOS トランジスタの下部あるいは上部にできるスペースをお互いにオーバーラップさせることを特徴とする請求項 1 ないし 5 のうちのいずれかに記載の半導体集積回路装置。

【請求項 7】

上記セクタを少なくとも 2 つ用い、相反する信号である第 1 および第 2 の出力を出力する構成とし、

上記第 1 の出力は、第 1 の出力増幅回路の入力に上記第 1 層の金属配線で接続され、

上記第 2 の出力は、第 2 の出力増幅回路の入力に上記第 1 層の金属配線で接続され、

上記第 1 および第 2 の出力増幅回路を成す上記二つ型の電界効果型トランジスタが、上記電位供給線の走行する方向に座標系を定めた場合、その座標値が最も小さい側のセル境界とその座標値が最も大きい側のセル境界の両端に配置されることを特徴とする請求項 1 ないし 6 のうちのいずれかに記載の半導体集積回路装置。

【請求項 8】

上記第 1 の出力は、第 1 の出力増幅回路の入力に上記第 1 層の金属配線と異なる金属配線層で接続され、

上記第 2 の出力は、第 2 の出力増幅回路の入力に上記第 1 層の金属配線と異なる金属配線層で接続されることを特徴とする請求項 7 記載の半導体集積回路。

【請求項 9】

少なくとも一つの回路セルを含んでなる半導体論理回路であって、

上記回路セルはセクタ、第 1 及び第 2 の論理ゲート、第 1 及び第 2 の動作電位点を有し、

上記セクタは第 1 および第 2 の PMOS トランジスタ、第 1 ないし第 4 の NMOS トランジスタ、第 1 乃至第 3 のノードを有し、

上記第 1 の PMOS トランジスタのゲートは第 1 の入力信号で制御され、第 1 の PMOS トランジスタのソース・ドレイン経路は、上記第 1 の動作電位点と上記第 1 のノードの間に接続され、

上記第 2 の PMOS トランジスタのゲートは、第 2 の入力信号で制御され、第 2 の PMOS トランジスタのソース・ドレイン経路は、上記第 1 の動作電位点と上記第 2 のノードとの間に接続され、

上記第 1 の NMOS トランジスタのゲートは、上記第 1 の入力信号で制御され、上記第 1 の NMOS トランジスタのソース・ドレイン経路は、上記第 2 の動作電位点と上記第 1 のノードとの間に接続され、

上記第 2 の NMOS トランジスタのゲートは上記第 2 の入力信号で制御され、上記第 2 の NMOS トランジスタのソース・ドレイン経路は、上記第 2 の動作電位点と上記第 2 のノードとの間に接続され、

上記第 3 の NMOS トランジスタのゲートは第 3 の入力信号で制御され、上記第 3 の NMOS トランジスタのソース・ドレイン経路は、上記第 1 のノードと上記第 3 のノードとの間に接続され、

上記第 4 の NMOS トランジスタのゲートは、第 4 の入力信号で制御され、上記第 4 の NMOS トランジスタのソース・ドレイン経路は、上記第 2 のノードと上記第 3 のノードとの間に接続され、

上記第 3 のノードは上記第 1 の論理ゲートと第 2 の論理ゲートの入力端子に接続されることを特徴とする半導体論理回路。