



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 00132938.3

[45] 授权公告日 2004 年 9 月 15 日

[11] 授权公告号 CN 1167197C

[22] 申请日 2000.11.8 [21] 申请号 00132938.3

[30] 优先权

[32] 1999.11.9 [33] US [31] 09/436,428

[71] 专利权人 自由度半导体公司

地址 美国得克萨斯

[72] 发明人 顾望常

理查德·斯帝芬·可穆鲁斯奇

审查员 王 莉

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

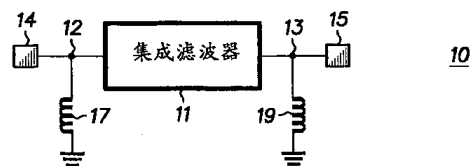
代理人 王永刚

权利要求书 2 页 说明书 7 页 附图 4 页

[54] 发明名称 具有改进的输入/输出匹配的集成滤波器及其制造方法

[57] 摘要

集成滤波器具有输入和输出寄生并联阻抗。输入和输出电部件分别与输入和输出端子耦合，以便降低输入和输出寄生并联阻抗。输入和输出电部件中的每一个包括线圈、一段传输线、串联调谐电路中相连的线圈和可调电容以及并联调谐电路中相连的线圈和可调电容中的一种。集成滤波器包括定位成消除电感耦合的输入和输出多层陶瓷集成线圈和/或位于输入和输出线圈之间的中间层栅格式地线墙。



1.具有改进输入/输出匹配的集成滤波器电路，其特征在于：

集成滤波器（11），其输入端子（14）具有输入寄生并联阻抗，其输出端子（15）具有输出寄生并联阻抗；

连接在输入端子和公用电位之间以便降低输入寄生并联阻抗的输入电部件（17，27，36，37，46，47）；以及

连接在输出端子和公用电位之间以便降低输出寄生并联阻抗的输出电部件（19，29，38，39，48，49）。

2.如权利要求 1 所述的具有改进输入/输出匹配的集成滤波器电路，其特征在于输入和输出电部件被集成到集成滤波器电路中。

3.如权利要求 1 所述的具有改进输入/输出匹配的集成滤波器电路，其特征在于输入和输出电部件中的每一个包括电感线圈（17，19）、一段传输线（27）、在串联调谐电路中相连的电感线圈（47，49）和可调电容（46，48）以及在并联调谐电路中相连的电感线圈（37，39）和可调电容（36，38）中的一种。

4.如权利要求 1 所述的具有改进输入/输出匹配的集成滤波器电路，其特征在于集成滤波器包括多个滤波器部分（52，53，54，55）。

5.如权利要求 4 所述的具有改进输入/输出匹配的集成滤波器电路，其特征在于多个滤波器部分中的每一个包括表面声波谐振器（56），电压可变电容器（57），以及多层陶瓷集成线圈（58）。

6.如权利要求 4 所述的具有改进输入/输出匹配的集成滤波器电路，其特征在于多个滤波器部分中的每一个包括相邻耦合部分之间的中间寄生并联阻抗（61，62，63），并且集成滤波器电路还包括与相邻耦合部分耦合的中间电部件，以便降低中间寄生并联阻抗。

7.具有改进输入/输出匹配的集成滤波器电路的制造方法，其特征在于以下步骤：

形成集成滤波器（11），其输入端子（14）具有输入寄生并联阻抗，其输出端子（15）具有输出寄生并联阻抗；

形成连接在输入端子和公用电位之间以便降低输入寄生并联阻抗的输入电部件(17, 27, 36, 37, 46, 47); 以及

形成连接在输出端子和公用电位之间以便降低输出寄生并联阻抗的输出电部件(19, 29, 38, 39, 48, 49)。

8.如权利要求7所述的具有改进输入/输出匹配的集成滤波器电路的制造方法, 其特征在于形成集成滤波器的步骤包括形成多个串联连接的滤波器部分(52, 53, 54, 55), 其中每个滤波器部分包括表面声波谐振器(56), 电压可调电容(57)和多层陶瓷集成线圈(58)。

9.如权利要求8所述的具有改进输入/输出匹配的集成滤波器电路的制造方法, 其特征在于形成多个滤波器部分的步骤包括形成在相邻耦合部分之间具有中间寄生并联阻抗的各部分, 并且形成与相邻耦合部分耦合的中间电部件(61, 62, 63), 以便降低中间寄生并联阻抗。

10.如权利要求7所述的具有改进输入/输出匹配的集成滤波器电路的制造方法, 其特征在于形成输入电部件和形成输出电部件的步骤包括将输入和输出电部件集成到集成滤波器电路中。

具有改进的输入/输出匹配的集成滤波器及其制造方法

技术领域

本发明涉及小型集成电路，特别涉及集成滤波器。

背景技术

频率选择滤波器具有三种重要功能。即，传递所需频率的电信号，滤去其它频率，以及匹配源和负载阻抗。当前通过集成而小型化的趋势使得在滤波器匹配电路设计中出现了一个问题，即寄生并联电容阻碍滤波器与其源和负载匹配，并且在滤波器抑制频带（stopband）隔离设计中也产生了一个问题，即滤波器输入和输出（I/O）之间的耦合损害了滤波器的抑制频带滤除性能。

在常规的滤波器设计中，寄生并联电容很小，并且其对匹配电路性能的影响通常是可以忽略的。而且在常规的滤波器设计中，通过物理地将滤波器的 I/O 部分分离而减少这两部分之间的耦合，从而使对滤波器的抑制频带滤除性能的影响非常小。但是，由于电路设计趋向高度集成化，例如多层陶瓷集成电路（MCIC）或多层印刷电路板（MPCB）和高密度互连（HDI），寄生并联电容损害了匹配电路性能。这是当今集成滤波器设计中相对较新且具有挑战性的问题，现有技术中增加滤波器元件之间的间隔以及利用接地平面的方法对于集成滤波器设计来说都不是可行的解决方法。

发明内容

因此非常需要提供能够克服这些缺陷的装置和制造方法，并且该装置应当经济实惠且易于安装和使用。

根据本发明，具有改进输入/输出匹配的集成滤波器电路，其特征在于：集成滤波器，其输入端子具有输入寄生并联阻抗，其输出端子具有输出寄生并联阻抗；连接在输入端子和公用电位之间以便降低输入寄生并联阻抗的输入电部件；以及连接在输出端子和公用电位之间以便降低输出寄生并联阻抗的输出电部件。

根据本发明的另一方面,具有改进输入/输出匹配的集成滤波器电路的制造方法,其特征在于以下步骤:形成集成滤波器,其输入端子具有输入寄生并联阻抗,其输出端子具有输出寄生并联阻抗;形成连接在输入端子和公用电位之间以便降低输入寄生并联阻抗的输入电部件;以及形成连接在输出端子和公用电位之间以便降低输出寄生并联阻抗的输出电部件。

附图说明

参照附图:

图 1 到图 4 是依据本发明的各种集成滤波器电路的示意图;

图 5 是依据本发明用多层陶瓷集成电路 (MCIC) 实现的双工器的可调发射集成滤波器电路的示意图;

图 6 是在 MCIC 封装中具有只相隔允许距离的 I/O 线圈的图 5 所示的可调发射集成滤波器电路的俯视图;

图 7 是依据本发明,具有分隔开的 I/O 线圈的图 5 所示的可调发射集成滤波器电路的俯视图;以及

图 8 是依据本发明的栅格式地线墙的放大等角图。

具体实施方式

现在参照图 1,该示意图示出了具有依据本发明而改进的输入/输出 (I/O) 匹配的集成滤波器电路 10。电路 10 包括集成滤波器 11,该集成滤波器具有与输入寄生并联阻抗 (未示出) 相连的输入端子 12 和与输出寄生并联阻抗 (未示出) 相连的输出端子 13。集成滤波器 11 是当今任何一种高度集成的滤波器,诸如那些依据多层陶瓷集成电路 (MCIC)、多层印刷电路板 (MPCB) 和高密度互连 (HDI) 等技术而构成的集成滤波器,其中输入和输出寄生并联阻抗是固有的并影响匹配电路性能。就象所属技术领域中的普通技术人员所理解的那样,输入和输出寄生并联阻抗一般为并联电容,但也可以是电容,电感,电阻或这三者的任意组合,并且它可以在特定的端子集中出现或分散出现。而且,为方便起见,在这个具体的实施例中,集成滤波器 11 以简单的方框形式表示。

为方便起见以方块形式示出的输入电路 14 与输入端子 12 耦合。输

入电路 14 具有特定的阻抗，此后称为源阻抗。为方便起见以方块形式示出的输出电路 15 也与输出端子 13 耦合。输出电路 15 具有特定的阻抗，此后称为负载阻抗。滤波电路 10 的输入和输出寄生并联阻抗影响了滤波电路 10 的输入和输出阻抗。正如所属技术领域的普通技术人员所理解的，在输入电路 14 的源阻抗与滤波器电路 10 的输入阻抗相匹配，而滤波器电路 10 的输出阻抗与输出电路 15 的负载阻抗相匹配时，输入电路 14、滤波器电路 10 和输出电路 15 的操作最为有效。但是，在大多数按照多层陶瓷集成电路（MCIC）、多层印刷电路板（MPCB）和高密度互连（HDI）等技术制造滤波器电路 10 的情况下，输入和输出寄生并联阻抗实质上改变了输入和输出阻抗。

在本具体实施例中为电感线圈 17 的输入电部件一端与滤波器 11 的输入端子 12 相连，另一端与一个公用电位，如地线相连。电感线圈 17 基本上与输入寄生并联阻抗并联以降低输入寄生并联阻抗。同样地，在本具体实施例中为电感线圈 19 的输出电部件一端与滤波器 11 的输出端子 13 相连，另一端与一个公用的电位，如地线相连。电感线圈 19 基本上与输出寄生并联阻抗并联以降低输出寄生并联阻抗。正如所理解的那样，电感线圈 17 和 19 在降低或消除输入寄生并联电容方面是最有效的，并且一般被用在输入寄生并联阻抗为电容的集成滤波器电路中。而且，能够方便地将输入和输出电感线圈 17 和 19 作为集成电感线圈集成到由例如多层陶瓷集成电路（MCIC）、多层印刷电路板（MPCB）和高密度互连（HDI）等形成的集成滤波器电路 10 中。

现参照图 2，该示意图示出了依据本发明具有改进的 I/O 匹配的集成滤波器电路 20。电路 20 包括集成滤波器 21，其输入端子 22 具有输入寄生并联阻抗（未示出），其输出端子 23 具有输出寄生并联阻抗（未示出）。如上所述，集成滤波器 21 是当今任何一种高度集成的滤波器，其中输入和输出寄生并联阻抗是固有的并影响匹配电路性能。输入和输出寄生并联阻抗可以是电容，电感，电阻或这三种的任意组合，并且它可以在特定的端子集中出现或分散出现。而且，为方便起见，在这个具体的实施例中，集成滤波器 21 与输入电路 24 和输出电路 25 一起以简单的方框形式表示。

在本具体实施例中为传输线元件 27 的输入电部件一端与滤波器 21 的输入端子 22 相连, 另一端与公用的电位, 如地线相连。传输线元件 27 基本上与输入寄生并联阻抗并联以降低输入寄生并联阻抗。同样地, 在本具体实施例中为传输线元件 29 的输出电部件一端与滤波器 21 的输出端子 23 相连, 另一端与公用的电位, 如地线相连。传输线元件 29 基本上与输出寄生并联阻抗并联以降低输出寄生并联阻抗。

正如所理解的那样, 能够对传输线元件 27 和 29 的长度进行特别设计, 使其产生电感或电容阻抗以降低或消除输入寄生并联电感和/或电容, 并且一般被用在输入寄生并联阻抗为电容或电感的集成滤波器电路中。而且, 能够方便地将输入和输出传输线元件 27 和 29 集成到由例如多层陶瓷集成电路 (MCIC)、多层印刷电路板 (MPCB) 和高密度互连 (HDI) 等形成的集成滤波器电路 10 中。

现参照图 3, 该示意图示出了依据本发明具有改进的 I/O 匹配的集成滤波器电路 30。电路 30 包括集成滤波器 31, 其输入端子 32 具有输入寄生并联阻抗 (未示出), 其输出端子 33 具有输出寄生并联阻抗 (未示出)。如上所述, 集成滤波器 31 是当今任何一种高度集成的滤波器, 其中输入和输出寄生并联阻抗是固有的并影响匹配电路性能。输入和输出寄生并联阻抗可以是电容, 电感, 电阻或这三种的任意组合, 并且它可以在特定的端子集中出现或分散出现。而且, 为方便起见, 在这个具体的实施例中, 集成滤波器 31 与输入电路 34 和输出电路 35 一起以简单的方框形式表示。

在本具体实施例中为并联调谐电路的输入电部件一端与滤波器 31 的输入端子 32 相连, 另一端与公用的电位, 如地线相连, 该并联调谐电路包括可变电容 36 和电感线圈 37。并联调谐电路基本上与输入寄生并联阻抗并联以降低输入寄生并联阻抗。同样地, 在本具体实施例中为并联调谐电路的输出电部件一端与滤波器 31 的输出端子 33 相连, 另一端与公用的电位, 如地线相连, 该并联调谐电路包括可变电容 38 和电感线圈 39。并联调谐电路基本上与输出寄生并联阻抗并联以降低输出寄生并联阻抗。

现参照图 4, 该示意图示出了依据本发明具有改进的 I/O 匹配的集

成滤波器电路 40。电路 40 包括集成滤波器 41，其输入端子 42 具有输入寄生并联阻抗（未示出），其输出端子 43 具有输出寄生并联阻抗（未示出）。在本具体实施例中为串联调谐电路的输入电部件一端与滤波器 41 的输入端子 42 相连，另一端与公用的电位，如地线相连，该串联调谐电路包括可变电容 46 和电感线圈 47。同样地，在本具体实施例中为串联调谐电路的输出电部件一端与滤波器 41 的输出端子 43 相连，另一端与公用的电位，如地线相连，该串联调谐电路包括可变电容 48 和电感线圈 49。该输入和输出串联调谐电路基本上分别与输入和输出寄生并联阻抗并联以降低输出寄生并联阻抗。

应当注意可以通过改变电容和电感线圈中的一个或同时改变来调整输入和输出并联和串联调谐电路。但是，最好使用可变电容，因为诸如变抗器或电压可变电容（VVC）之类的电子设备可被用作变容器并且易于集成到电路中。也可通过简单地向其上施加适当的电压来调整或改变变抗器或 VVC。一般地，可调整并联和串联调谐电路以降低输入和输出寄生并联阻抗，无论该寄生并联阻抗是电感、电容和/或电阻，从而提供了更多能够导致更佳性能的设计灵活性。

现参照图 5，该示意图示出了依据本发明用多层陶瓷集成电路（MCIC）实现的双工器构成的可调发射集成滤波器电路 50。滤波器电路 50 包括通常被标记为 51 的集成滤波器，该集成滤波器包括四个串联的部分 52，53，54 和 55。52 到 55 中的每个部分包括表面声波（SAW）谐振器 56，电压可变电容器 57，和以多层陶瓷形成的电感线圈 58。出于性能、尺寸和成本的考虑，集成滤波器 51 由 MCIC 实现。但是，由于实现小型化，相邻滤波器的 I/O 部分之间的耦合是不可避免的，并且这种耦合可能是电容性的，电感性的，或二者兼备。而且，滤波器 51 的抑制频带滤除只能容忍很小的耦合，例如 0.1pF（电容）和 1.0nH（电感）。

在本具体实施例中，SAW 谐振器 56 与电容 61，62 和 63 电容性地耦合。杂散或寄生电容可以 60 到 64 的形式存在并作为一个集合部件来说明。通常可将交叉寄生电容 61，62 和 63 吸收到集成滤波器 51 的设计中，但不能将输入寄生电容 60 和输出寄生电容 64 吸收到该设计中。

输入寄生电容 60 和输出寄生电容 64 都大约为 0.5pF 并在通频带的开始给集成滤波器 51 带来只有 7dB 的回程损耗。这种性能显然是不能接受的。

在本具体实施例中输入电部件 65 为电感线圈，但它可以是电感线圈、一段传输线、串联调谐电路和并联调谐电路中的任何一种，其一端与滤波器电路 50 的输入端子 66 相连，另一端与公用的电位，如地线相连。同样地，在本具体实施例中为电感线圈，但它可以是电感线圈、一段传输线、串联调谐电路和并联调谐电路中的任何一种的输出电部件 67 一端与滤波器电路 50 的输出端子 68 相连，另一端与公用的电位，如地线相连。输入和输出电部件 65 和 67 分别与输入和输出寄生并联电容 60 和 64 并联以降低输入和输出寄生并联电容。引入输入和输出电部件 65 和 67 的结果是将滤波器电路 50 在通频带中的回程损耗提高到至少 16dB。应当注意的是，如果需要，可使用与上述电部件相似的附加电部件来降低寄生并联电容（或其它寄生并联元件）。

参照图 6，示出了图 5 所示的可调发射集成滤波器电路的布局。为便于理解起见，相同的部件用相同的数字标记。尤其应当注意的是，在本具体实施例中为输入和输出电感线圈的输入和输出电部件 65 和 67 可被物理地分开可允许的距离，即 MCIC 封装的宽度。但是，通过物理分开所能达到的去耦量是非常有限的，并且可能导致实现集成电路的目的失败或不充分的去耦。例如，图 6 所示的能够允许的最大物理分离在输入和输出电部件 65 和 67 之间仍然存在耦合，其导致滤波器电路 50 的抑制频带滤除仅为 26dB，这是决不能接受的。

现参照图 7，示出了图 5 所示的依据本发明的可调发射集成滤波器电路的布局。为便于理解起见，仍用相同的数字标记相同的部件。尤其应当注意的是，输入和输出电部件 65 和 67 在本具体实施例中分别为输入和输出电感线圈，此后被标记为 65 和 67。在图 7 的结构中利用了两种不同的方法和装置来提供输入和输出电感线圈 65 和 67 之间所需的去耦量。为了便于理解，将分别说明这两种方法和装置。应当理解在每种应用中，可根据需要分别或一同使用这两种方法和装置。

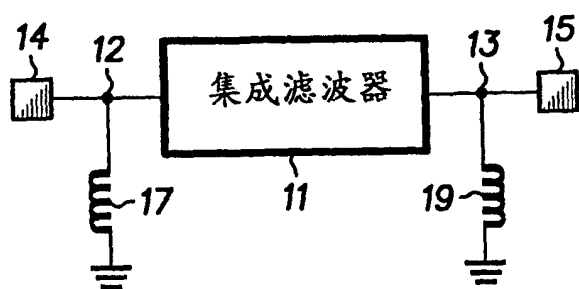
在第一种方法中，应当理解输入和输出电感线圈 65 和 67 的磁场可

被排列以产生一个建设性的或是破坏性的耦合。当调整磁耦合线圈的间距时，电容性耦合因而可被调节成消除抑制频带频率处的电感耦合，并在输入和输出电感线圈 65 和 67 之间具有虚地的最终结果。这种调节与通过物理分隔线圈来减少各种耦合在实质上是不同的，并且能够使线圈非常接近。利用这种方法可以得到改善的抑制频带性能。

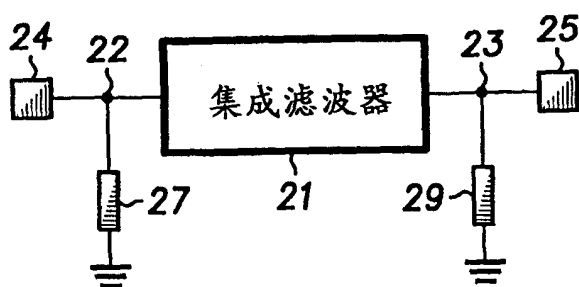
在第二种方法和装置（特别如图 7 所示）中，输入和输出电感线圈 65 和 67 基本上位于彼此相邻的位置，并且栅格式地线墙 70 位于它们之间。栅格式地线墙 70 以 MCIC 封装形成，并与公用电位相接，例如地线，以便在实质上截断输入和输出电感线圈 65 和 67 之间的电磁耦合。如图 8 所示，在 MCIC 或 MPCB 的每一层形成一条印刷金属痕线（trace）71, 72, 73, 74 等，并通过 75 相互连接。这样，印刷金属痕线 71, 72, 73, 74 等中至少有一条直接与地线连接，并通过 75 将其余所有印刷金属痕线接地。应当注意印刷金属痕线和通孔或接线柱构成栅格或栅格墙，它被特别设计用于截断电磁耦合。例如，栅格墙的开口近似小于工作频率波长的 $1/20$ 。例如在图 7 所示的实施例中，尽管输入和输出电感线圈 65 和 67 的位置比图 6 所示的近得多，但可以达到 46dB 的抑制频带滤除。

因此，本发明公开了具有改进的 I/O 匹配的集成滤波器电路。该集成滤波器电路包括用于消除寄生并联阻抗以使滤波器性能大大提高的电部件。而且，滤波器的输入和输出部分之间的耦合损害了滤波器的抑制频带滤除性能。为了改善滤波器的抑制频带隔离，描述了两种不同的方法和装置，这些方法和装置包括利用栅格式地线墙对滤波器的 I/O 部分进行电隔离，或者通过电磁方法消除 I/O 部分之间的耦合。在特定的应用中所提供的两种实施例都是可能或方便的。

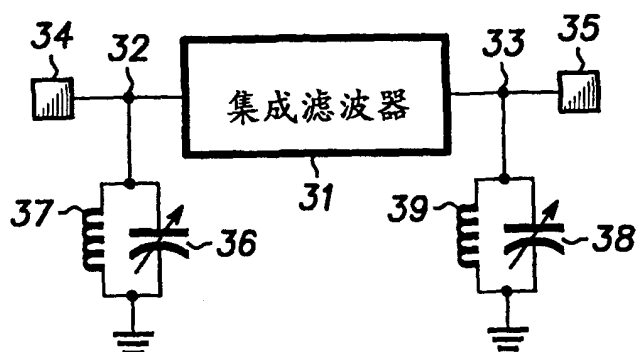
我们已经示出和描述了本发明的具体实施例，但所属技术领域的普通技术人员还可以进行修改和改进。因此应当理解本发明并不仅限于所示出的特定形式，后面所提出的权利要求覆盖了所有不偏离本发明构思的修改。



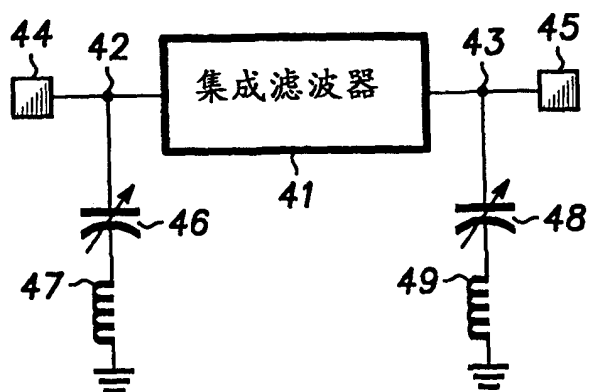
10
图 1



20
图 2



30
图 3



40
图 4

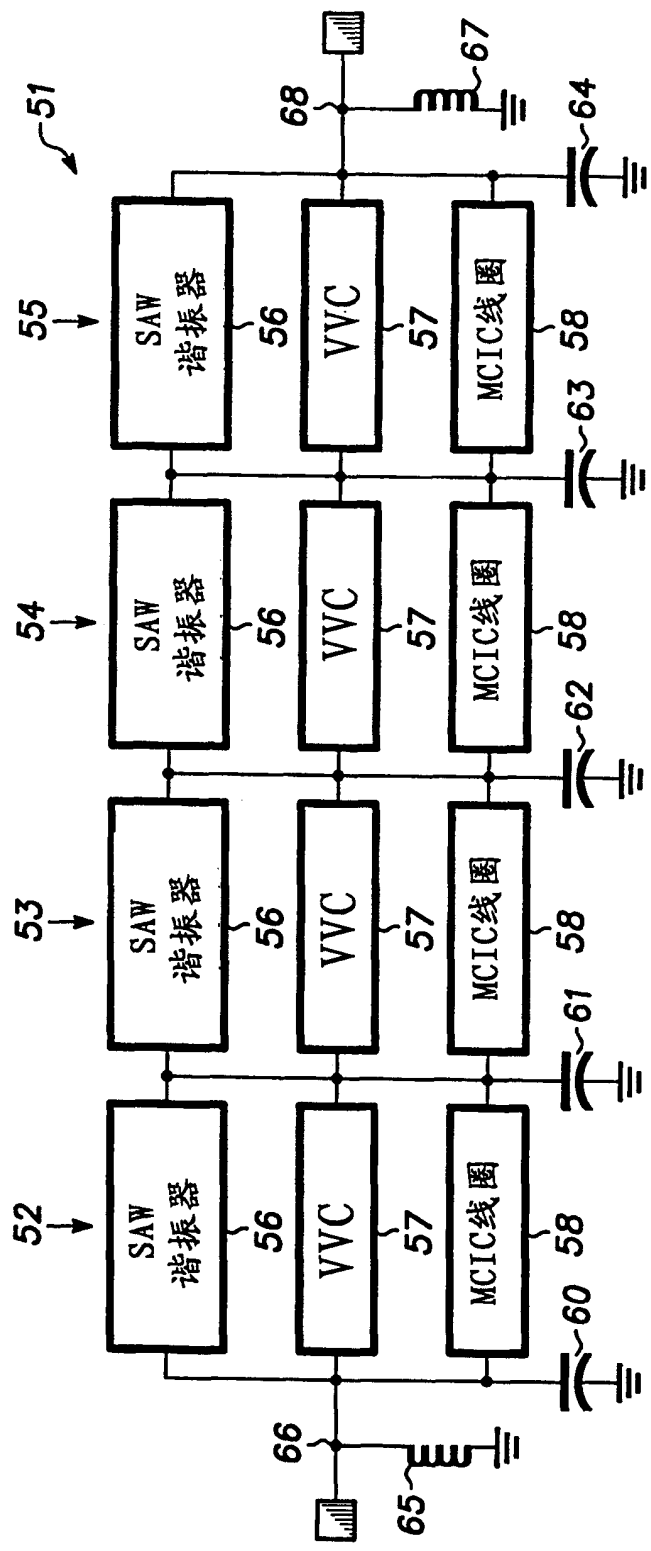


图 5

50

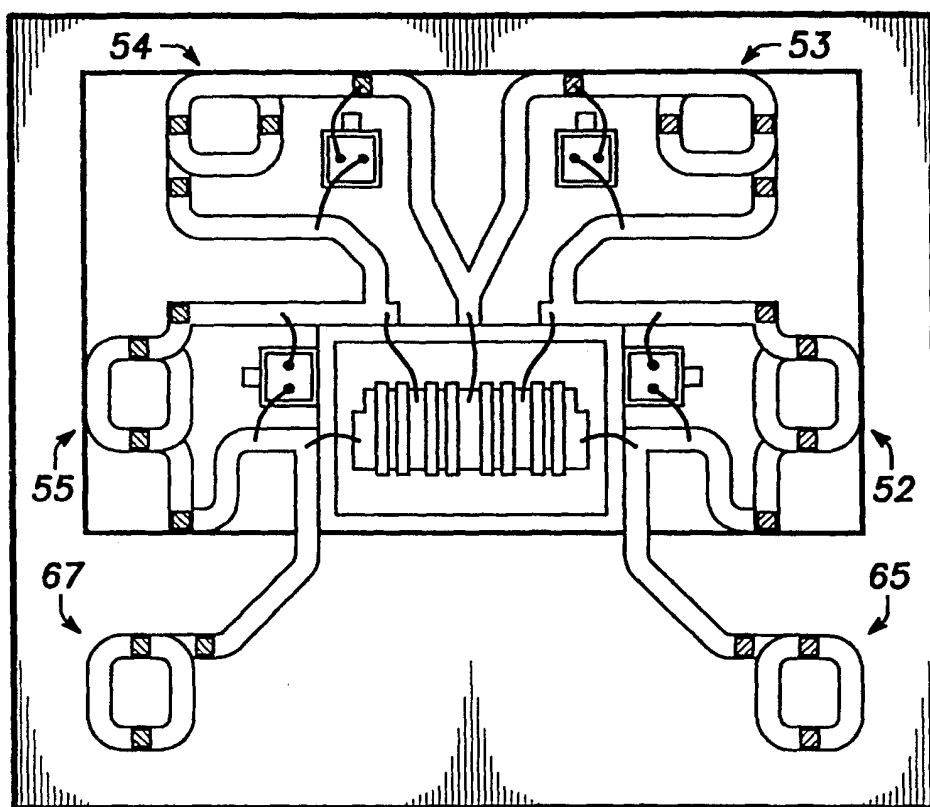
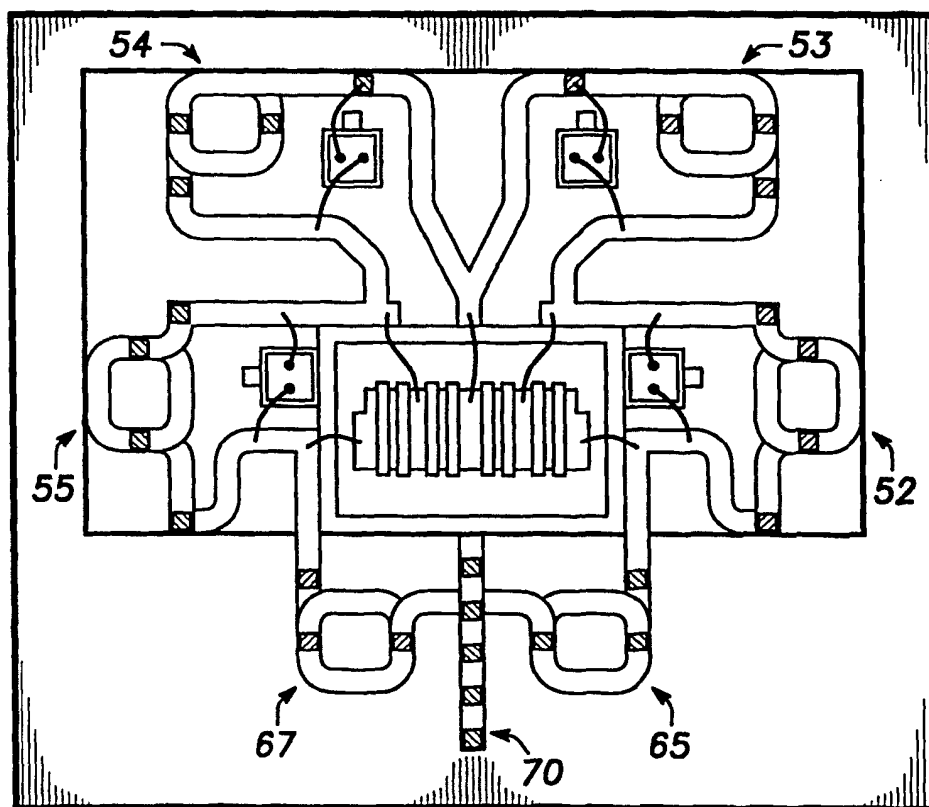


图 6



50

图 7

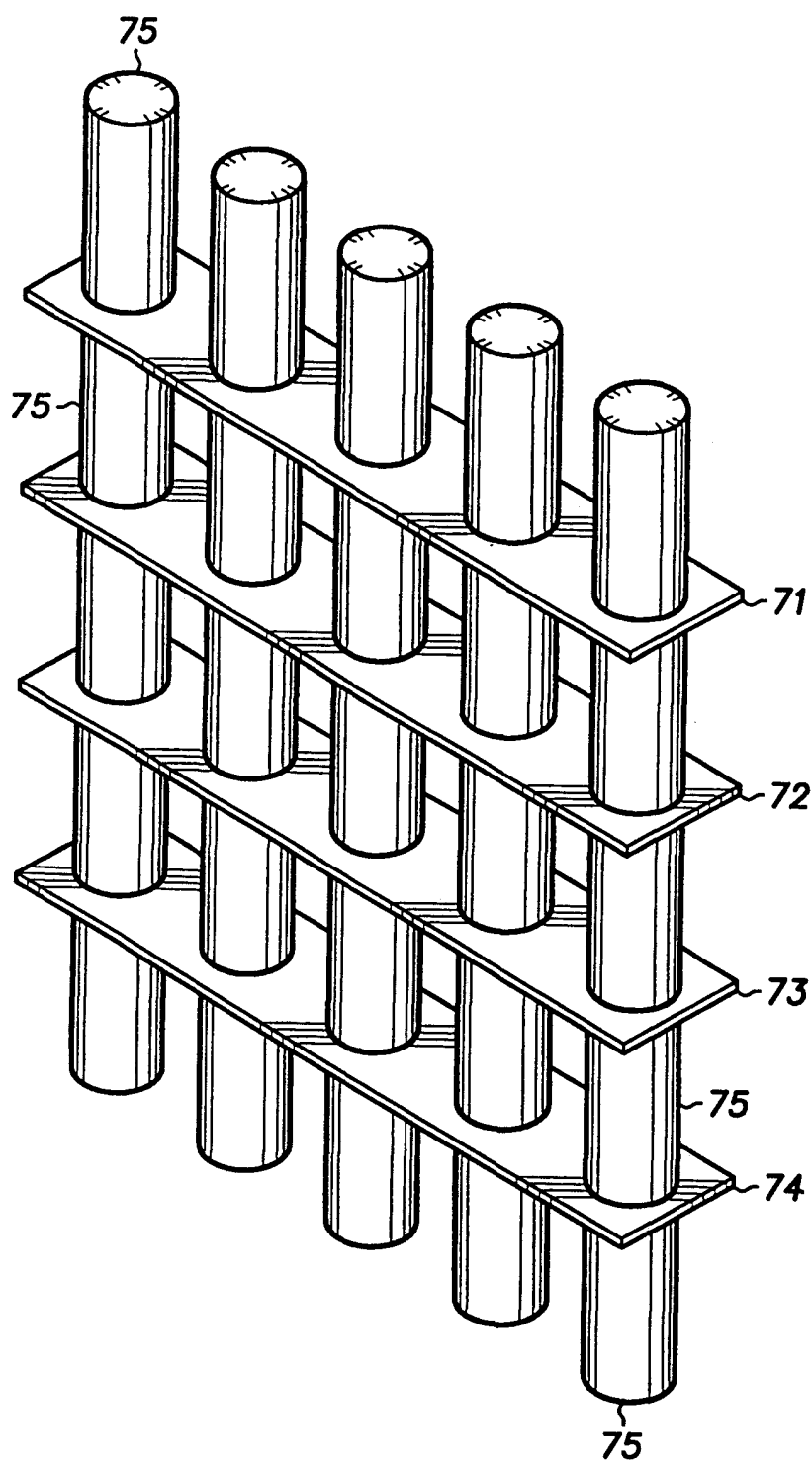


图 8