



# (12) 发明专利申请

(10) 申请公布号 CN 117242582 A

(43) 申请公布日 2023. 12. 15

(21) 申请号 202280032568.4

(74) 专利代理机构 永新专利商标代理有限公司

(22) 申请日 2022.01.18

72002

专利代理师 吕文卓

(30) 优先权数据

2021-098031 2021.06.11 JP

(51) Int.Cl.

H01L 29/78 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.11.02

(86) PCT国际申请的申请数据

PCT/JP2022/001571 2022.01.18

(87) PCT国际申请的公布数据

W02022/259593 JA 2022.12.15

(71) 申请人 株式会社电装

地址 日本爱知县

(72) 发明人 松浦佑一郎

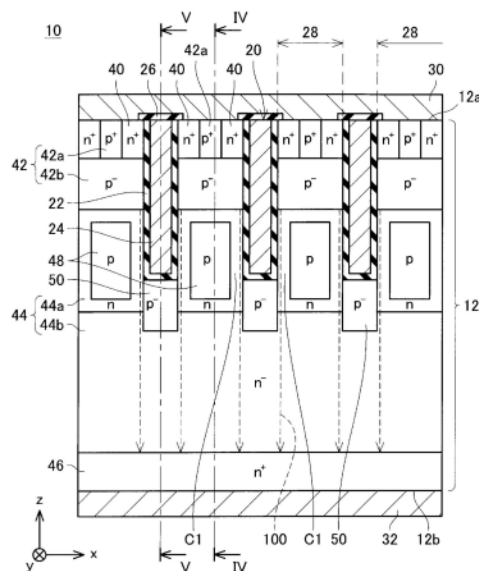
权利要求书2页 说明书7页 附图18页

## (54) 发明名称

场效应晶体管及其制造方法

## (57) 摘要

一种场效应晶体管,具有:半导体衬底(12),在上表面设有多个沟槽(20);以及栅极电极(24),配置在上述沟槽内。在各沟槽间范围(28)内设有多个耐压区域(48)。多个上述耐压区域配置为,构成多个沿与多个上述沟槽交叉的第1方向延伸的列(49)。多个上述列在与上述沟槽平行的第2方向上隔开间隔配置。各个上述耐压区域从比各个上述沟槽的下端靠上侧延伸至比各个上述沟槽的上述下端靠下侧,从各栅极绝缘膜(22)隔开间隔配置。上述漂移区域在各个上述耐压区域与各个上述栅极绝缘膜之间的位置与上述栅极绝缘膜相接。



1. 一种场效应晶体管,其特征在於,  
具有:  
半导体衬底(12),在上表面设有多个沟槽(20);  
栅极绝缘膜(22),将上述沟槽的内表面覆盖;以及  
栅极电极(24),配置在上述沟槽内,被上述栅极绝缘膜从上述半导体衬底绝缘;  
上述半导体衬底具有:  
多个n型的源极区域(40);  
p型的体区域(42);  
n型的漂移区域(44);以及  
多个p型的耐压区域(48);  
上述半导体衬底中的位于多个上述沟槽之间的各范围是沟槽间范围(28);  
多个上述源极区域分别设在对应的上述沟槽间范围内,与对应的上述栅极绝缘膜相接;

上述体区域跨各个上述沟槽间范围而延伸,在各个上述沟槽间范围内在上述源极区域的下侧与各个上述栅极绝缘膜相接;

上述漂移区域从各个上述沟槽间范围内跨比各个上述沟槽靠下侧的范围而分布,在上述体区域的下侧与各个上述栅极绝缘膜相接;

多个上述耐压区域设在各个上述沟槽间范围内;

多个上述耐压区域配置为,构成多个沿与多个上述沟槽交叉的第1方向延伸的列(49);

在各个上述列内,多个上述耐压区域在上述第1方向上隔开间隔配置;

多个上述列在与上述沟槽平行的第2方向上隔开间隔配置;

各个上述耐压区域具有比上述体区域高的p型杂质浓度,从比各个上述沟槽的下端靠上侧延伸至比各个上述沟槽的上述下端靠下侧,从各个上述栅极绝缘膜隔开间隔配置;

上述漂移区域在各个上述耐压区域与各个上述栅极绝缘膜之间的位置与上述栅极绝缘膜相接。

2. 如权利要求1所述的场效应晶体管,其特征在於,  
还具有多个p型的底部区域(50);  
各个上述底部区域具有比各个上述耐压区域低的p型杂质浓度;  
各个上述底部区域在对应的上述沟槽的上述下端与上述栅极绝缘膜相接,从各个上述耐压区域隔开间隔配置。

3. 如权利要求1或2所述的场效应晶体管,其特征在於,  
上述漂移区域具有低浓度区域(44b)和n型杂质浓度比上述低浓度区域高的高浓度区域(44a);

上述高浓度区域从与上述体区域相接的位置分布至比各个上述沟槽的上述下端靠下侧,在各个上述耐压区域与各个上述栅极绝缘膜之间的位置与各个上述栅极绝缘膜相接;

上述低浓度区域相对于上述高浓度区域从下侧相接。

4. 一种制造方法,是权利要求1~3中任一项所述的场效应晶体管的制造方法,其特征在於,  
具有:

在上述半导体衬底的上表面形成以格状延伸的掩模(80)的工序;以及  
经由上述掩模向上述半导体衬底注入p型杂质从而在上述半导体衬底内形成多个上述  
耐压区域的工序。

5.如权利要求4所述的制造方法,其特征在于,

还具有:

在上述半导体衬底的上述上表面形成沟槽的工序;以及

对上述半导体衬底的上述上表面和上述沟槽的底面注入p型杂质从而形成上述体区域  
和上述底部区域的工序。

## 场效应晶体管及其制造方法

### 技术领域

[0001] (关联申请的相互参照)

[0002] 本申请是2021年6月11日申请的日本专利申请第2021—098031号的关联申请,基于该日本专利申请主张优先权,该日本专利申请中记载的全部内容作为构成本说明书的内容加以引用。

[0003] 本说明书公开的技术涉及场效应晶体管。

### 背景技术

[0004] 日本特开2009—194065号(以下称作专利文献1)中公开的场效应晶体管具有从体(body)区域朝向下侧突出的p型的多个深层。各深层沿着与各沟槽交叉的方向延伸。各深层在与各沟槽平行的方向上隔开间隔配置。各深层从比各沟槽的下端靠上侧的位置延伸至比各沟槽的下端靠下侧的位置。根据该结构,耗尽层从各深层延伸到漂移区域,从而抑制了各沟槽的下端处的电场集中。由此,能够在各沟槽的下端针对电场将栅极绝缘膜加以保护。

### 发明内容

[0005] 在专利文献1的场效应晶体管中,在体区域的下侧,各深层与沟槽的侧面(即栅极绝缘膜)相接。因此,通过了形成在体区域中的沟道后的电子无法从体区域流入到其下侧的深层中。即,电子绕过深层而向漂移区域流动。因此,专利文献1的场效应晶体管具有导通电压高的问题。在本说明书中,提出能够抑制沟槽的下端的电场集中并且能够降低导通电压的场效应晶体管。

[0006] 本说明书公开的场效应晶体管,具有:半导体衬底,在上表面设有多个沟槽;栅极绝缘膜,将上述沟槽的内表面覆盖;以及栅极电极,配置在上述沟槽内,被上述栅极绝缘膜从上述半导体衬底绝缘。上述半导体衬底具有多个n型的源极区域、p型的体区域、n型的漂移区域以及多个p型的耐压区域。上述半导体衬底中的位于多个上述沟槽之间的各范围是沟槽间范围。多个上述源极区域分别设在对应的上述沟槽间范围内,与对应的上述栅极绝缘膜相接。上述体区域跨各个上述沟槽间范围而延伸,在各个上述沟槽间范围内在上述源极区域的下侧与各个上述栅极绝缘膜相接。上述漂移区域从各个上述沟槽间范围内跨比各个上述沟槽靠下侧的范围而分布,在上述体区域的下侧与各个上述栅极绝缘膜相接。多个上述耐压区域设在各个上述沟槽间范围内。多个上述耐压区域配置为,构成多个沿与多个上述沟槽交叉的第1方向延伸的列。在各个上述列内,多个上述耐压区域在上述第1方向上隔开间隔配置。多个上述列在与上述沟槽平行的第2方向上隔开间隔配置。各个上述耐压区域具有比上述体区域高的p型杂质浓度,从比各个上述沟槽的下端靠上侧延伸至比各个上述沟槽的上述下端靠下侧,从各个上述栅极绝缘膜隔开间隔配置。上述漂移区域在各个上述耐压区域与各个上述栅极绝缘膜之间的位置与上述栅极绝缘膜相接。

[0007] 在该场效应晶体管中,p型的耐压区域在从各栅极绝缘膜隔开了间隔的位置从比各沟槽的下端靠上侧延伸至比各沟槽的下端靠下侧。当该场效应晶体管截止时,耗尽层从

各耐压区域延伸到漂移区域内。各耐压区域配置在从各栅极绝缘膜隔开了间隔的位置,但由于各耐压区域的p型杂质浓度较高,所以耗尽层能够从各耐压区域延伸至沟槽的下端的周边。因而,各沟槽的下端的电场集中被抑制,针对电场将栅极绝缘膜加以保护。此外,在该场效应晶体管中,漂移区域在各耐压区域与各栅极绝缘膜之间的位置与栅极绝缘膜相接。因而,当该场效应晶体管导通时,穿过了形成在体区域中的沟道后的电子能够不被耐压区域阻碍地向漂移区域流动。因而,该场效应晶体管具有较低的导通电阻。

#### 附图说明

[0008] 图1是将实施方式的MOSFET从上方观察的俯视图(是省略了源极电极和层间绝缘膜的图)。

[0009] 图2是图1、图4、图5的II—II线的剖视图。

[0010] 图3是图1、图4、图5的III—III线的剖视图。

[0011] 图4是图1~图3的IV—IV线的剖视图。

[0012] 图5是图1~图3的V—V线的剖视图。

[0013] 图6是表示图2的剖面中的等电位线的分布的图。

[0014] 图7是MOSFET的制造方法的说明图(将半导体衬底从上方观察的俯视图)。

[0015] 图8是MOSFET的制造方法的说明图(与图2对应的部位的剖视图)。

[0016] 图9是MOSFET的制造方法的说明图(与图2对应的部位的剖视图)。

[0017] 图10是MOSFET的制造方法的说明图(与图2对应的部位的剖视图)。

[0018] 图11是MOSFET的制造方法的说明图(与图2对应的部位的剖视图)。

[0019] 图12是MOSFET的制造方法的说明图(与图2对应的部位的剖视图)。

[0020] 图13是MOSFET的制造方法的变形例的说明图(与图2对应的部位的剖视图)。

[0021] 图14是MOSFET的制造方法的变形例的说明图(与图2对应的部位的剖视图)。

[0022] 图15是MOSFET的制造方法的变形例的说明图(与图2对应的部位的剖视图)。

[0023] 图16是变形例1的MOSFET的与图2对应的剖视图(与图2对应的部位的剖视图)。

[0024] 图17是变形例2的MOSFET的与图2对应的剖视图(与图2对应的部位的剖视图)。

[0025] 图18是变形例3的MOSFET的与图2对应的剖视图(与图2对应的部位的剖视图)。

#### 具体实施方式

[0026] 本说明书公开的一例的场效应晶体管可以还具有多个p型的底部区域。各个上述底部区域可以具有比各个上述耐压区域低的p型杂质浓度。各个上述底部区域可以在对应的上述沟槽的上述下端与上述栅极绝缘膜相接,从各个上述耐压区域隔开间隔配置。

[0027] 根据该结构,能够通过底部区域更有效地抑制沟槽的下端的电场集中。

[0028] 在本说明书公开的一例的场效应晶体管中,可以是,上述漂移区域具有低浓度区域和n型杂质浓度比上述低浓度区域高的高浓度区域。可以是,上述高浓度区域从与上述体区域相接的位置分布至比各个上述沟槽的上述下端靠下侧,在各个上述耐压区域与各个上述栅极绝缘膜之间的位置与各个上述栅极绝缘膜相接。可以是,上述低浓度区域相对于上述高浓度区域从下侧相接。

[0029] 本说明书提出上述任一项的场效应晶体管的制造方法。该制造方法可以具有:在

上述半导体衬底的上表面形成以格状延伸的掩模的工序;以及经由上述掩模向上述半导体衬底注入p型杂质从而在上述半导体衬底内形成多个上述耐压区域的工序。

[0030] 根据该结构,由于将掩模形成格状,所以能够将掩模稳定地形成。即,能够抑制掩模局部崩塌的情况。因而,能够适当地制造场效应晶体管。

[0031] 本说明书公开的制造方法可以还具有:在上述半导体衬底的上表面形成沟槽的工序;以及对上述半导体衬底的上表面和上述沟槽的底面注入p型杂质从而形成上述体区域和上述底部区域的工序。

[0032] 根据该制造方法,能够同时形成体区域和底部区域。

[0033] 实施例

[0034] 图1~图5表示实施例的MOSFET10(metal oxide semiconductor field effect transistor)。MOSFET10具有半导体衬底12。另外,以下,将半导体衬底12的厚度方向称作z方向,将与z方向正交的一方向称作x方向,将与z方向及x方向正交的方向称作y方向。x方向及y方向与半导体衬底12的上表面12a及下表面12b平行。

[0035] 如图1~图3所示,在半导体衬底12的上表面12a设有多个沟槽20。如图1所示,各沟槽20在y方向上以直线状延伸。多个沟槽20在x方向上隔开间隔配置。以下,将半导体衬底12的内部中的被多个沟槽20夹着的范围称作沟槽间范围28。

[0036] 各沟槽20的内表面被栅极绝缘膜22覆盖。在各沟槽20内配置有栅极电极24。各栅极电极24被栅极绝缘膜22从半导体衬底12绝缘。各栅极电极24的上表面被层间绝缘膜26覆盖。

[0037] 如图2~图5所示,在半导体衬底12的上表面12a配置有源极电极30。源极电极30将层间绝缘膜26和半导体衬底12的上表面12a覆盖。源极电极30在不存在层间绝缘膜26的范围中与半导体衬底12的上表面12a相接。源极电极30被层间绝缘膜26从栅极电极24绝缘。

[0038] 在半导体衬底12的下表面12b配置有漏极电极32。漏极电极32与半导体衬底12的下表面12b的大致整个区域相接。

[0039] 如图1~图5所示,半导体衬底12具有多个源极区域40、体区域42、漂移区域44、漏极区域46、多个耐压区域48及多个底部区域50。

[0040] 如图1~图3所示,各源极区域40是n型区域,具有比较高的n型杂质浓度。各源极区域40配置在对应的沟槽间范围28内。在各沟槽间范围28内设置有两个源极区域40。各源极区域40配置在与对应的沟槽20邻接的位置。如图1所示,各源极区域40沿着沟槽20在y方向上较长地延伸。如图2、图3所示,各源极区域40在对应的沟槽20的上端部与栅极绝缘膜22相接。各源极区域40与源极电极30欧姆接触。

[0041] 体区域42是p型区域。如图2、图3所示,体区域42跨多个沟槽间范围28而延伸。体区域42具有多个接触区域42a和低浓度区域42b。各接触区域42a具有比低浓度区域42b高的p型杂质浓度。各接触区域42a在对应的沟槽间范围28内配置在两个源极区域40之间。各接触区域42a与源极电极30欧姆接触。如图1所示,各接触区域42a沿着沟槽20在y方向上较长地延伸。如图2、图3所示,低浓度区域42b跨多个沟槽间范围28而分布。低浓度区域42b在各沟槽间范围28内对于接触区域42a和源极区域40从下侧相接。低浓度区域42b在各源极区域40的下侧与栅极绝缘膜22相接。

[0042] 漂移区域44是具有比源极区域40低的n型杂质浓度的n型区域。如图2、图3所示,漂

移区域44对于体区域42(更详细地讲是低浓度区域42b)从下侧相接。漂移区域44在体区域42的下侧与栅极绝缘膜22相接。漂移区域44被体区域42从源极区域40分离。漂移区域44从各沟槽间范围28内分布至比各沟槽20靠下侧的范围。在比各沟槽20靠下侧的范围中,漂移区域44在横向上较宽地分布。漂移区域44具有高浓度区域44a和低浓度区域44b。高浓度区域44a具有比低浓度区域44b高的n型杂质浓度。高浓度区域44a对于体区域42(更详细地讲是低浓度区域42b)从下侧相接。高浓度区域44a从与体区域42相接的位置分布至比各沟槽20的下端靠下侧。低浓度区域44b配置在比各沟槽20的下端靠下侧。低浓度区域44b对于高浓度区域44a从下侧相接。低浓度区域44b跨各沟槽间范围28的下侧的各范围而在横向上较宽地分布。

[0043] 漏极区域46是n型杂质浓度比漂移区域44高的n型区域。漏极区域46对于漂移区域44(更详细地讲是低浓度区域44b)从下侧相接。漏极区域46配置在包括半导体衬底12的下表面12b的范围中。漏极区域46与漏极电极32欧姆接触。

[0044] 多个耐压区域48是具有比体区域42高的p型杂质浓度的p型区域。如图2所示,各耐压区域48配置在对应的沟槽间范围28内。各耐压区域48配置在被漂移区域44(更详细地讲是高浓度区域44a)包围的范围内。如图1所示,在各沟槽间范围28内设有多个耐压区域48。在各沟槽间范围28内,耐压区域48在y方向(即,与沟槽20平行的方向)上隔开间隔排列。配置在不同的沟槽间范围28内的多个耐压区域48沿着x方向(与多个沟槽20交叉的方向)以直线状排列从而形成列49。在各列49内,多个耐压区域48在x方向上隔开间隔配置。在半导体衬底12中,耐压区域48的列49(即,在x方向上延伸的列)形成有多个。各列49在y方向上隔开间隔配置。如图2所示,各耐压区域48从比各沟槽20的下端靠上侧的位置延伸至比各沟槽20的下端靠下侧的位置。在各耐压区域48与栅极绝缘膜22之间设有间隔C1。因而,各耐压区域48不与栅极绝缘膜22相接。在间隔C1中配置有漂移区域44(更详细地讲是高浓度区域44a)。在间隔C1中,漂移区域44(更详细地讲是高浓度区域44a)与栅极绝缘膜22相接。各耐压区域48被从体区域42分离。各耐压区域48浮在漂移区域44内。此外,如图3所示,在没有设置耐压区域48的位置,在体区域42的下侧,漂移区域44(更详细地讲是高浓度区域44a)与栅极绝缘膜22相接。

[0045] 多个底部区域50是具有比耐压区域48低的p型杂质浓度的p型区域。各底部区域50的p型杂质浓度与体区域42的p型杂质浓度大致相等。如图2、图3所示,各底部区域50配置在对应的沟槽20的下部。各底部区域50在对应的沟槽20的底面处与栅极绝缘膜22相接。漂移区域44与各底部区域50的侧面及底面相接。各底部区域50浮在漂移区域44内。各底部区域50从各沟槽20的下端延伸至达到低浓度区域44b的深度。如图5所示,各底部区域50沿着沟槽20在y方向上连续地延伸。各底部区域50在对应的沟槽20的底面的大致整个区域中与栅极绝缘膜22相接。如图2所示,在各底部区域50与耐压区域48之间设有间隔。因而,各底部区域50不与耐压区域48相接。

[0046] 接着,对MOSFET10的动作进行说明。如果对栅极电极24施加阈值以上的电位,则在栅极绝缘膜22附近的体区域42中形成沟道。如果在形成有沟道的状态下对漏极电极32施加比源极电极30高的电位,则电子从源极区域40经由沟道和漂移区域44向漏极区域46流动。即,MOSFET10导通。在图3所示的不存在耐压区域48的剖面中,穿过沟道后的电子如箭头102所示那样在漂移区域44内向下侧流动。此外,在图2所示的存在耐压区域48的剖面中,由于

在体区域42的下部,耐压区域48不与栅极绝缘膜22相接,所以穿过沟道后的电子如图2的箭头100所示那样经过间隔C1内的漂移区域44而向下侧流动。这样,在实施方式MOSFET10中,p型的耐压区域48不与栅极绝缘膜22相接,所以穿过沟道后的电子能够沿着沟槽20的侧面向下侧流动。因此,该MOSFET10的导通电阻低。

[0047] 此外,在MOSFET10导通的状态下,微小的宽度的耗尽层从耐压区域48和底部区域50(即,p型区域)延伸到漂移区域44内。如上述那样,由于耐压区域48配置在从栅极绝缘膜22离开了的位置,所以从耐压区域48延伸到漂移区域44内的耗尽层不到达栅极绝缘膜22。因而,抑制了由于从耐压区域48延伸到漂移区域44内的耗尽层从而电子的流动受阻的情况。此外,由于底部区域50的p型杂质浓度低,所以从底部区域50延伸到漂移区域44内的耗尽层的宽度非常小。因而,抑制了由于从底部区域50延伸到漂移区域44内的耗尽层从而电子的流动受阻的情况。这样,由于从耐压区域48和底部区域50延伸的耗尽层不易阻碍电子的流动,所以进一步减小了MOSFET10的导通电阻。

[0048] 此外,在实施方式MOSFET10中,耐压区域48的周围的漂移区域44由高浓度区域44a构成。由于高浓度区域44a的n型杂质浓度高,所以高浓度区域44a的电阻率低。因而,穿过沟道后的电子能够在高浓度区域44a内低损耗地流动。特别是,由于宽度窄的间隔C1内的漂移区域44由高浓度区域44a构成,所以电子能够低损耗地穿过间隔C1。由此,MOSFET10的导通电阻进一步减小。

[0049] 如果使栅极电极24的电位降低到较小的值,则沟道消失,电子的流动停止。即,MOSFET10截止。如果MOSFET10截止,则耗尽层从体区域42向漂移区域44扩展,漂移区域44在较大的范围中被耗尽。此时,耗尽层还从耐压区域48和底部区域50向漂移区域44较大地扩展。耐压区域48配置在从沟槽20的下端离开了的位置。但是,由于耐压区域48的p型杂质浓度高,所以从耐压区域48延伸的耗尽层扩展至沟槽20的下端的周边。这样,由于从耐压区域48延伸的耗尽层,在沟槽20的下端的周边,漂移区域44被耗尽,从而抑制了沟槽20的下端的电场集中。此外,还由于从底部区域50延伸的耗尽层,在沟槽20的下端的周边,漂移区域44被耗尽。由此也抑制沟槽20的下端的电场集中。这样,耗尽层从耐压区域48和底部区域50扩展到沟槽20的下端周边,从而抑制沟槽20的下端的电场集中。

[0050] 此外,p型杂质浓度高的耐压区域48在MOSFET10截止的状态下难以耗尽。由于难以耗尽的耐压区域48从沟槽20的下端的上侧延伸至下侧,所以在MOSFET10截止时,在比耐压区域48的下端靠上侧的范围中,在漂移区域44内难以产生电场。即,如图4、图6的虚线200所示,通过存在耐压区域48,等电位线难以进入到比耐压区域48的下端靠上侧的漂移区域44内。由此也抑制沟槽20的下端的电场集中。

[0051] 如以上说明,根据实施方式MOSFET10,抑制了沟槽20的下端的电场集中。因而,抑制了在沟槽20的下端对栅极绝缘膜22施加高电场的情况。因而,MOSFET10具有较高的耐压。

[0052] 另外,在实施方式MOSFET10中,在沟槽20的周边不存在耐压区域48。因此,与耐压区域在与沟槽交叉的方向上连续延伸的以往的MOSFET相比,耐压区域48的体积较小。但是,即使是以往的MOSFET,由于在沟槽与耐压区域的交叉部分处沟槽占据的体积较大,所以交叉部分处的耐压区域的体积也比较小。因此,即使如实施方式MOSFET10那样在交叉部分中去除耐压区域48,耐压区域48的体积的减少量也较小。因而,在实施方式MOSFET10

中,能够充分地确保耐压区域48的体积,能够在MOSFET10截止时使耗尽层从耐压区域48较宽地延伸到漂移区域44内。

[0053] 如以上说明,在实施方式的MOSFET10中,能够维持较高的耐压并且减小导通电阻。

[0054] 接着,对MOSFET10的制造方法进行说明。加工前的半导体衬底12的整体由漂移区域44的低浓度区域44b构成。首先,如图7、图8所示,在半导体衬底12的上表面12a形成掩模80。这里,以在要形成耐压区域48的范围的上部配置开口部80a的方式形成掩模80。换言之,形成以避开要形成耐压区域48的范围的方式延伸的格状的掩模80。因而,掩模80的在y方向上延伸的梁部分沿着要形成沟槽20的范围20x延伸,掩模80的在x方向上延伸的梁部分在与要形成沟槽20的范围20x正交的方向上延伸。

[0055] 接着,如图9所示,经由掩模80向半导体衬底12注入p型杂质。这里,提高注入能量而将p型杂质从上表面12a注入至较深的位置。由此,形成多个耐压区域48。在形成耐压区域48后,将掩模80除去。

[0056] 另外,在对于耐压区域48的离子注入工序中,由于如上述那样使用较高的注入能量,所以需要使掩模80较厚。因此,掩模80的剖面形状如图8、图9那样成为高纵横比。通常,如果以这样的高纵横比形成掩模,则有掩模的一部分崩塌的情况。但是,在本实施方式中,由于如图7那样将掩模80形成为格状,所以防止了掩模80的崩塌。

[0057] 接着,形成将MOSFET10的外周部覆盖的掩模(图示省略),经由该掩模,如图10所示那样将n型杂质对半导体衬底12离子注入。由此,在半导体衬底12内形成高浓度区域44a。

[0058] 接着,如图11所示,通过将半导体衬底12的上表面12a有选择地蚀刻而形成沟槽20。

[0059] 接着,如图12所示,从上表面12a侧,将p型杂质对半导体衬底12注入。由此,形成体区域42的低浓度区域42b。此时,在沟槽20的底面也被注入p型杂质。结果,p型的底部区域50形成于在沟槽20的底面露出的范围中。这样,通过该制造方法,能够同时形成低浓度区域42b和底部区域50。

[0060] 接着,在沟槽20内形成栅极绝缘膜22和栅极电极24。接着,通过离子注入,形成接触区域42a、源极区域40及漏极区域46。然后,通过形成层间绝缘膜26、源极电极30及漏极电极32,图1~图5所示的MOSFET10完成。

[0061] 另外,在上述制造方法中,通过离子注入形成体区域42的低浓度区域42b,但也可以通过外延生长形成低浓度区域42b。该情况下,在外延生长之前,如图13所示,在半导体衬底12的上表面12a附近的较浅的范围中,通过离子注入而形成耐压区域48和漂移区域44的高浓度区域44a。接着,如图14所示,在半导体衬底12上使低浓度区域42b外延生长。接着,如图15所示,形成沟槽20和底部区域50。接着,与上述的制造方法同样,形成栅极绝缘膜22、栅极电极24、接触区域42a、源极区域40、漏极区域46、层间绝缘膜26、源极电极30及漏极电极32。由此,MOSFET10完成。

[0062] 此外,在其他制造方法中,也可以在形成沟槽20之后,通过离子注入形成耐压区域48。

[0063] 另外,在上述实施方式的MOSFET10中,耐压区域48的下端比高浓度区域44a的下端靠上侧。但是,也可以如图16所示那样,耐压区域48达到低浓度区域44b。

[0064] 此外,在上述实施方式中,耐压区域48从体区域42分离。但是,也可以如图17所示

那样,耐压区域48与体区域42相连。

[0065] 此外,在上述实施方式中,在沟槽20的下部设有底部区域50。但是,也可以如图18所示那样,在沟槽20的下部不设置底部区域50。在该结构下,也能够通过从耐压区域48延伸的耗尽层来抑制沟槽20的下端的电场集中。

[0066] 此外,在上述实施方式中,漂移区域44具有高浓度区域44a和低浓度区域44b。但是,也可以在漂移区域44整体中n型杂质浓度是均匀的。

[0067] 以上,对实施方式详细地进行了说明,但这些不过是例示,并不限定权利要求的范围。在权利要求所记载的技术中,包含将以上例示的具体例各种各样地变形、变更的形态。在本说明书或附图中说明的技术要素单独地或通过各种组合来发挥技术实用性,并不限定于在申请时在权利要求中记载的组合。此外,在本说明书或附图中例示的技术同时达成多个目的,达成其中1个目的本身就具有技术实用性。

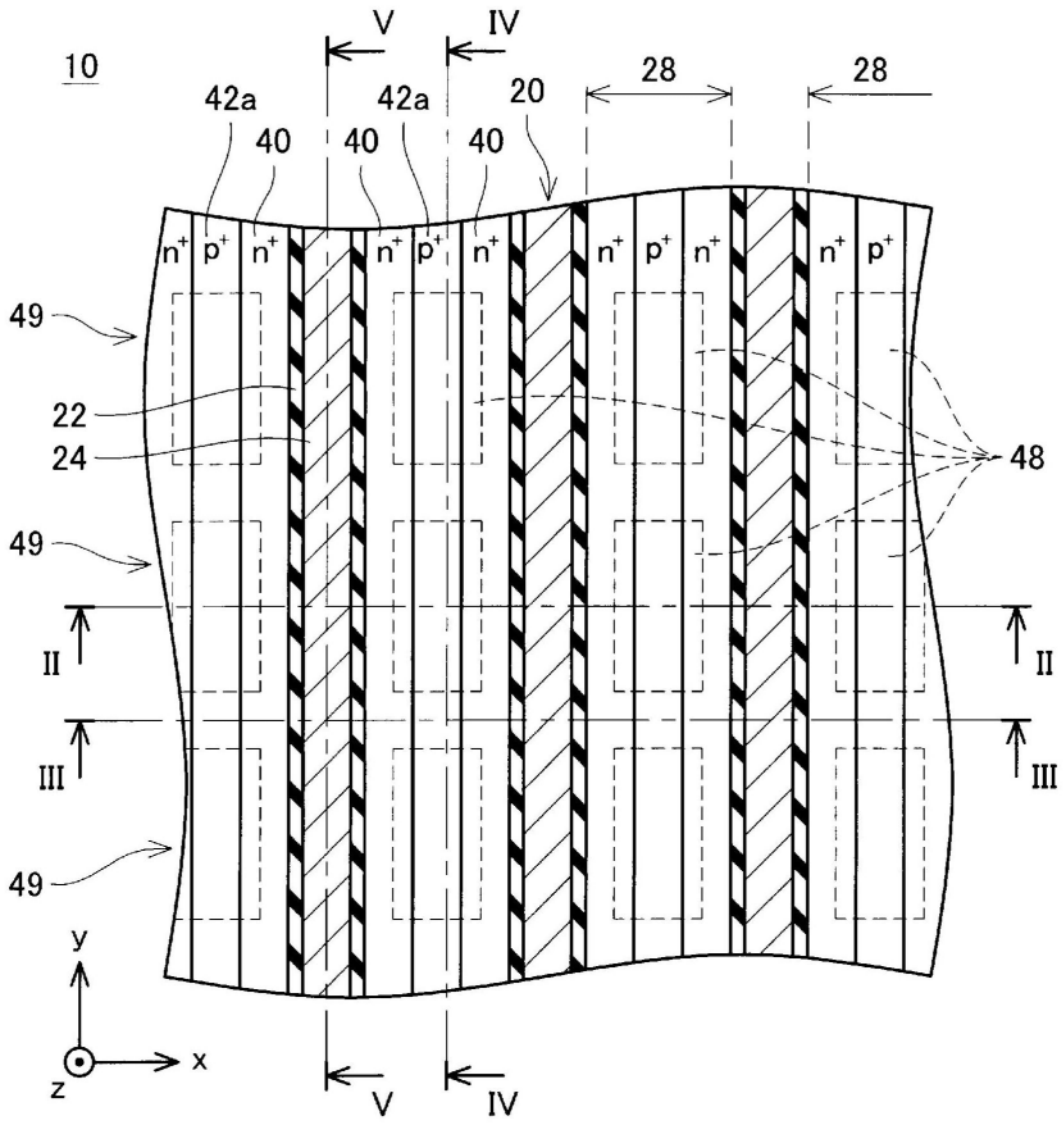


图1

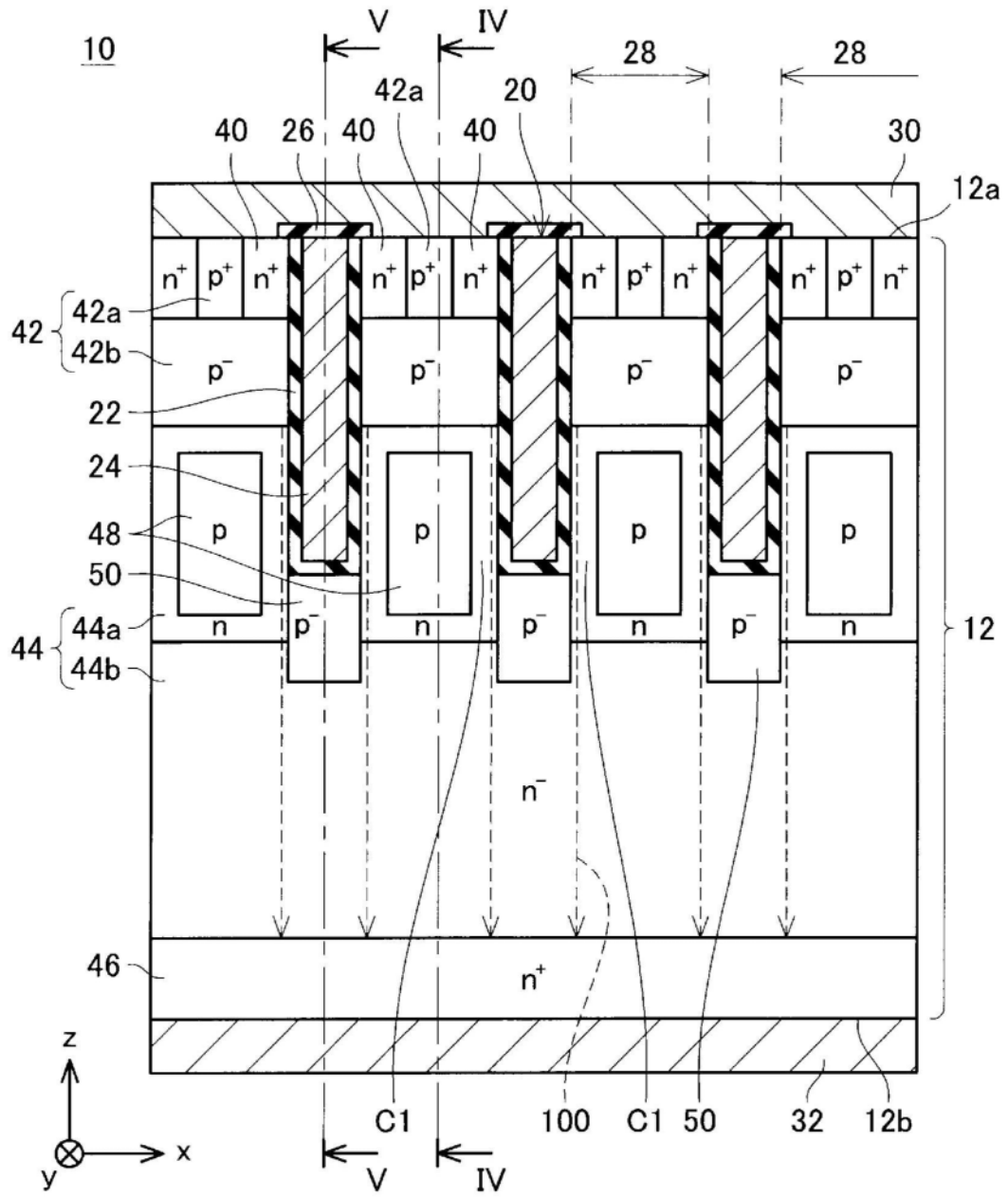


图2

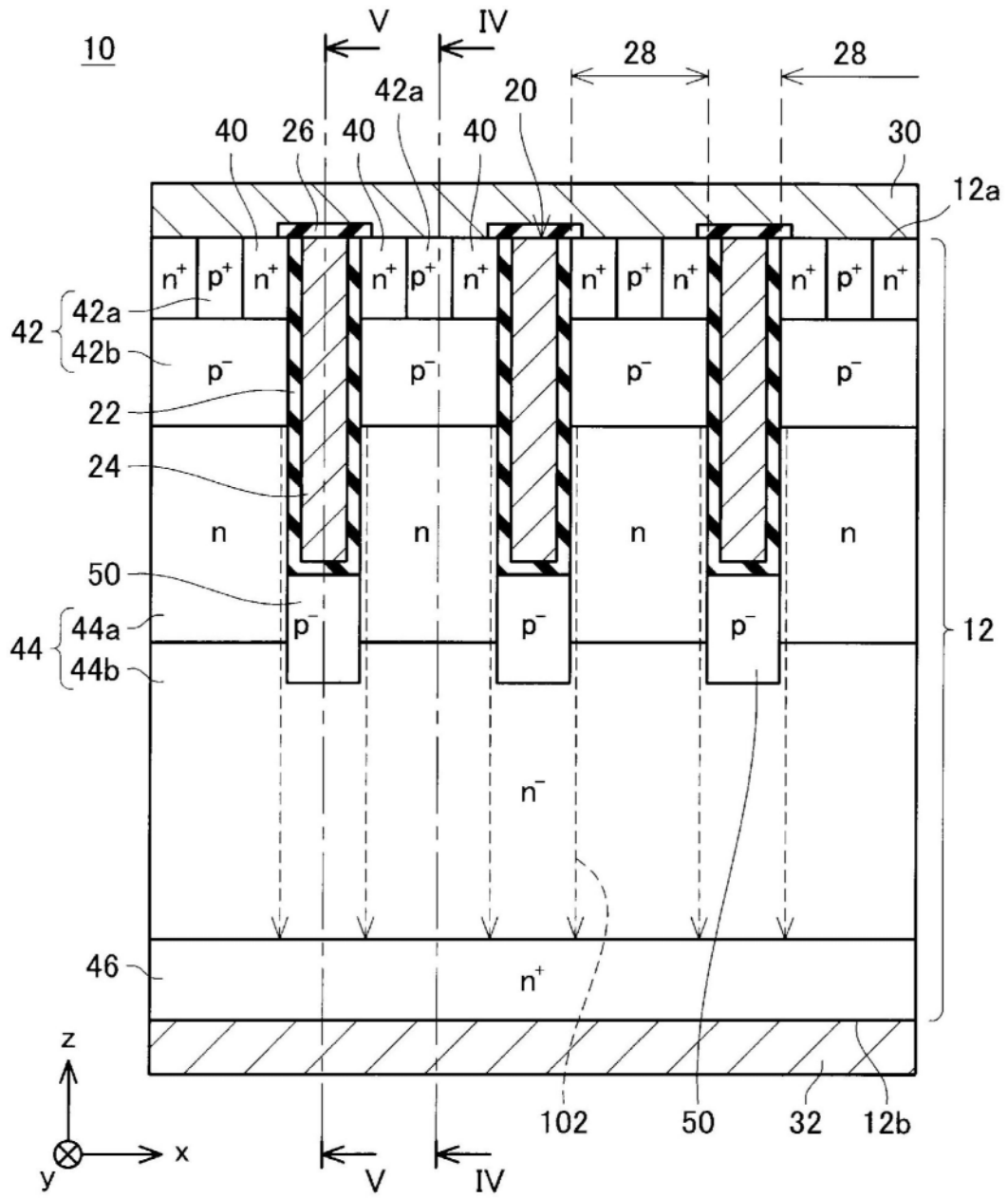


图3

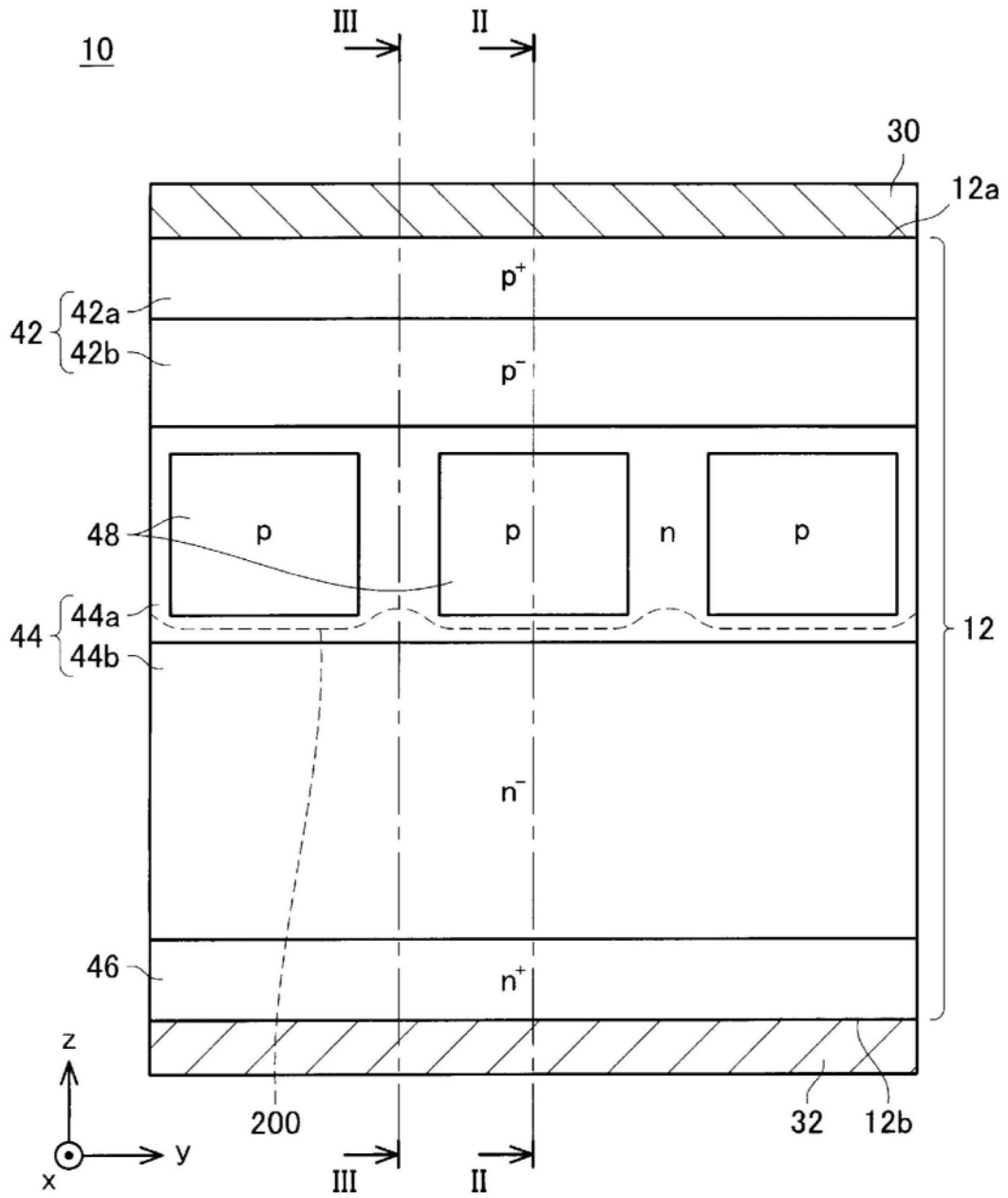


图4

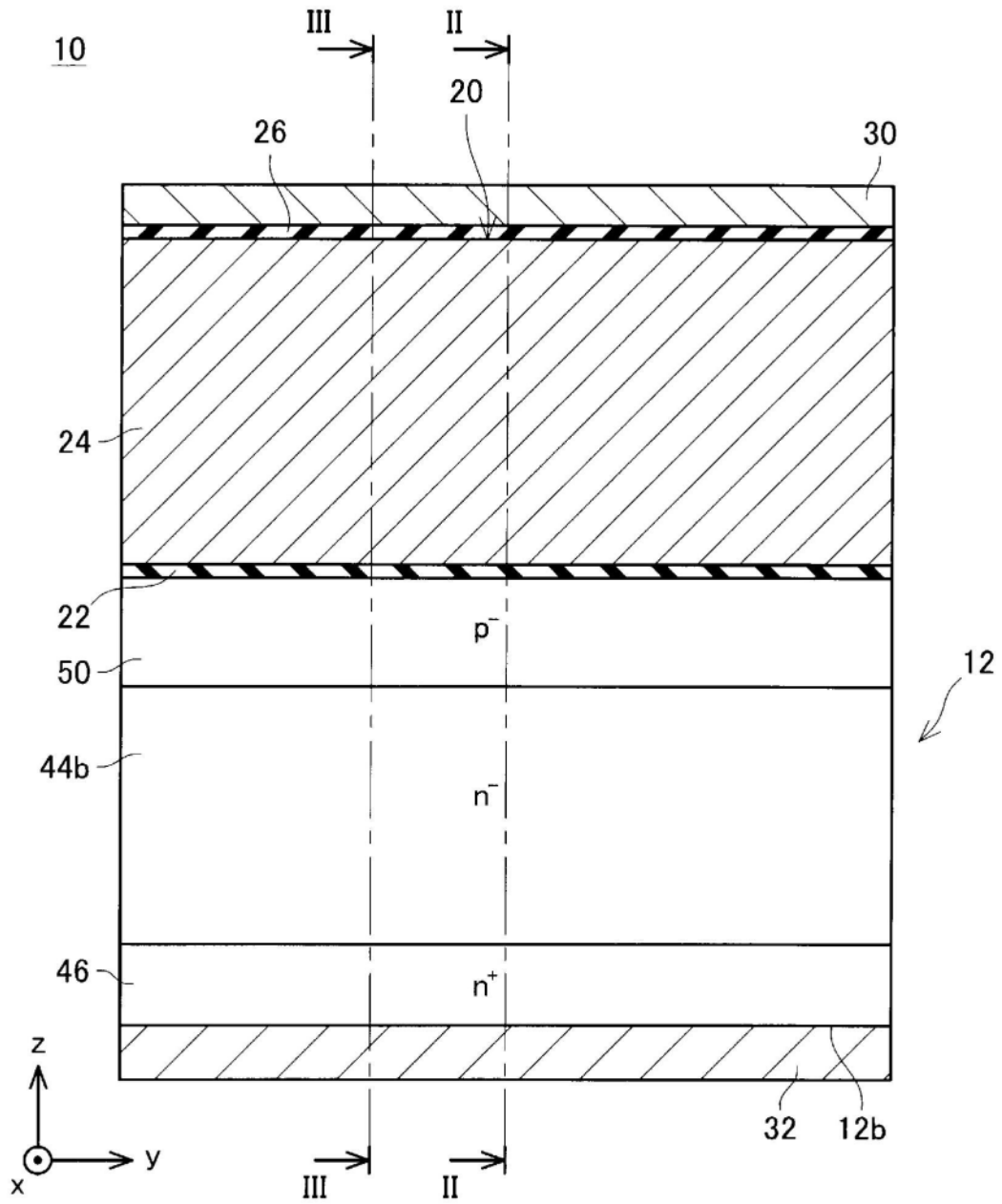


图5

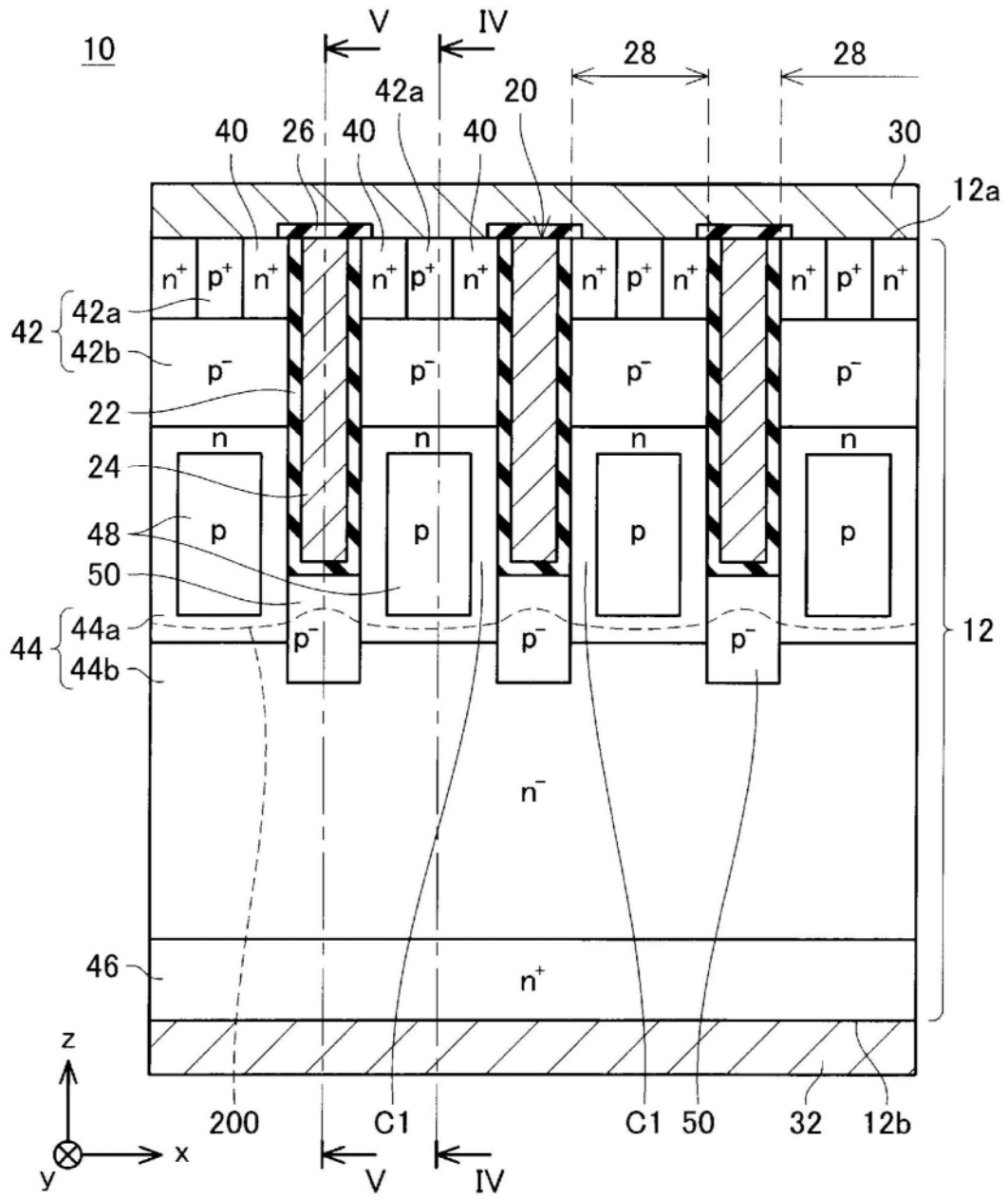


图6

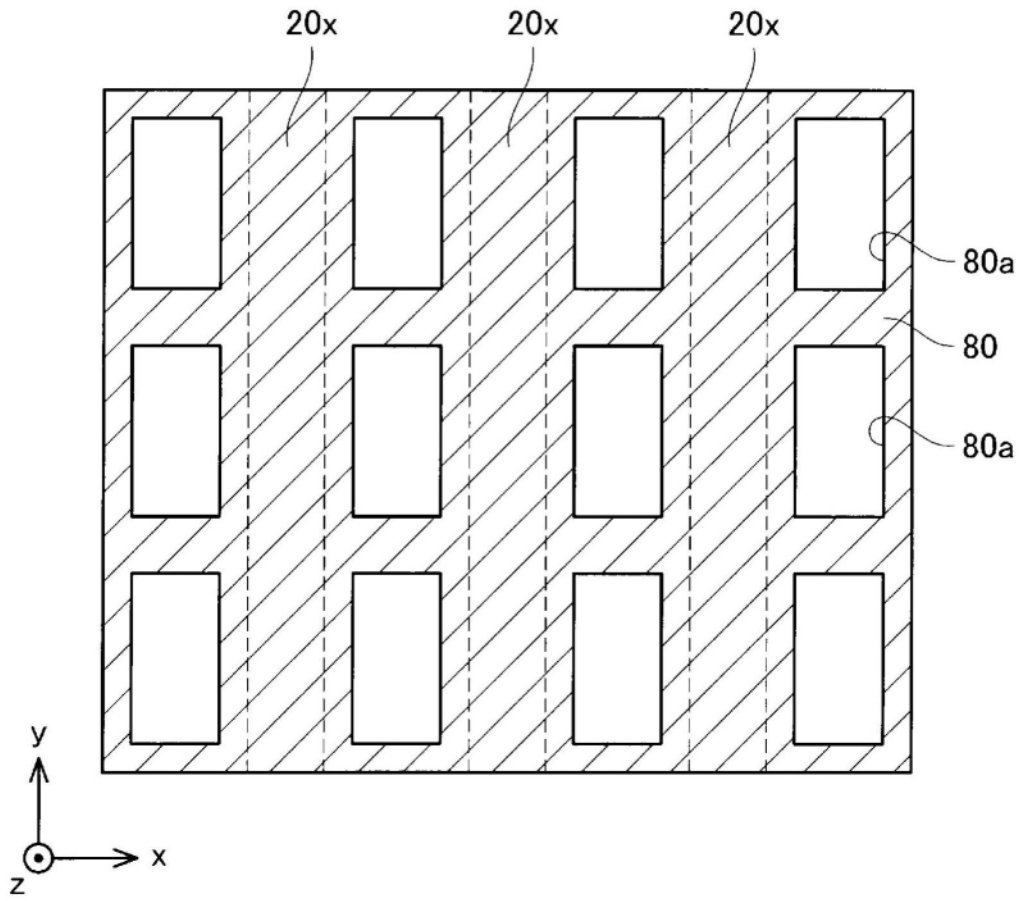


图7

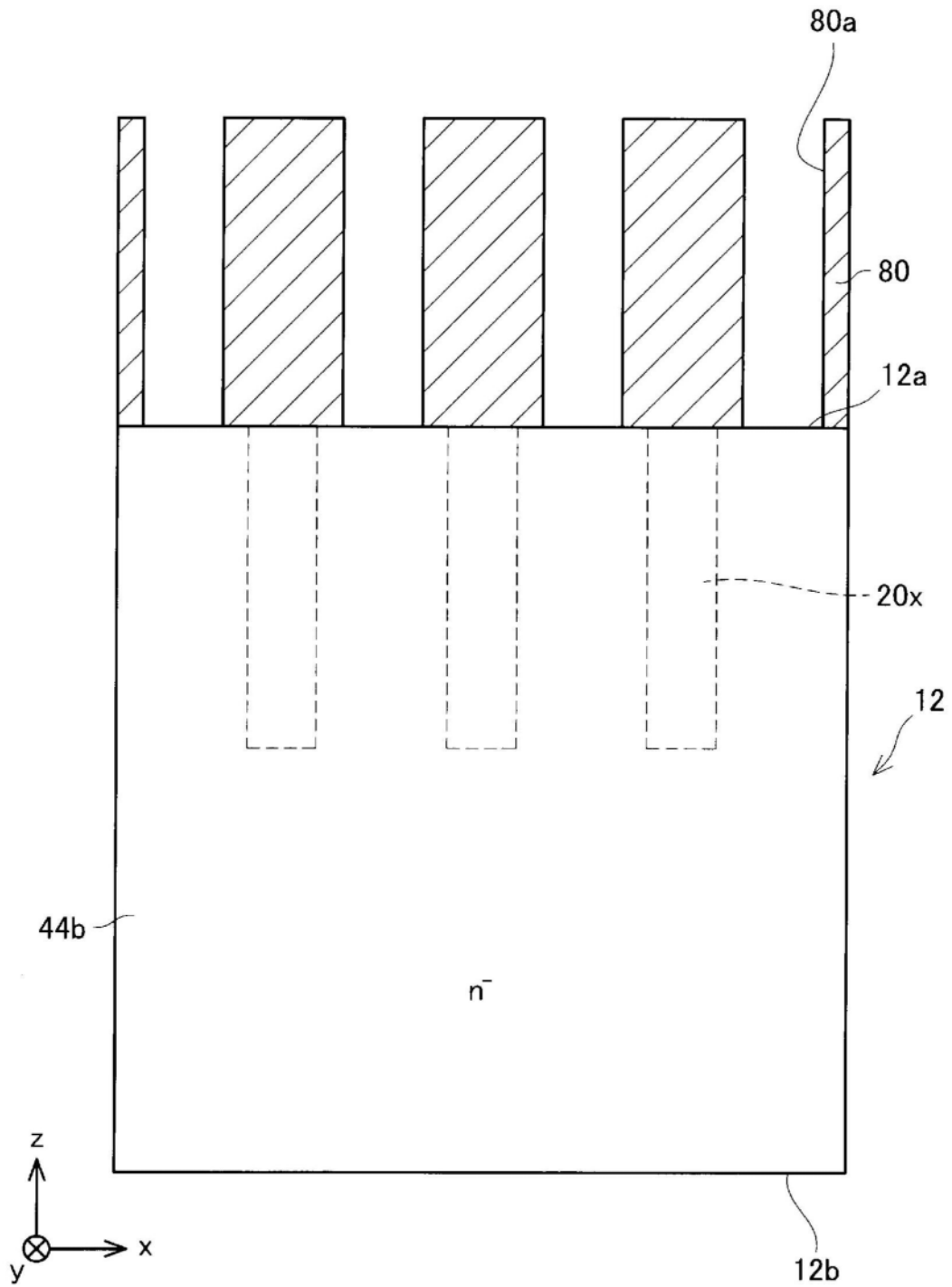


图8

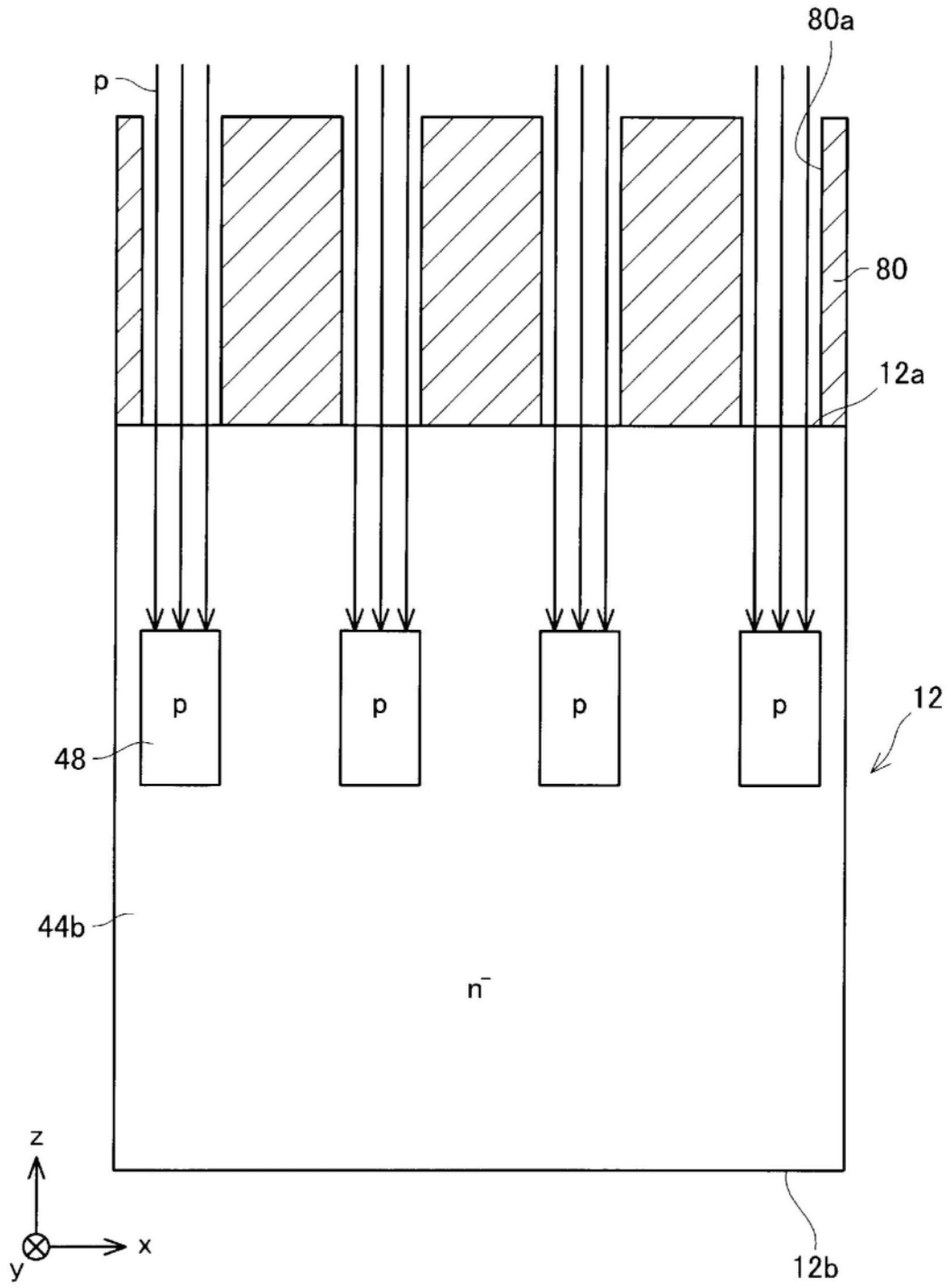


图9

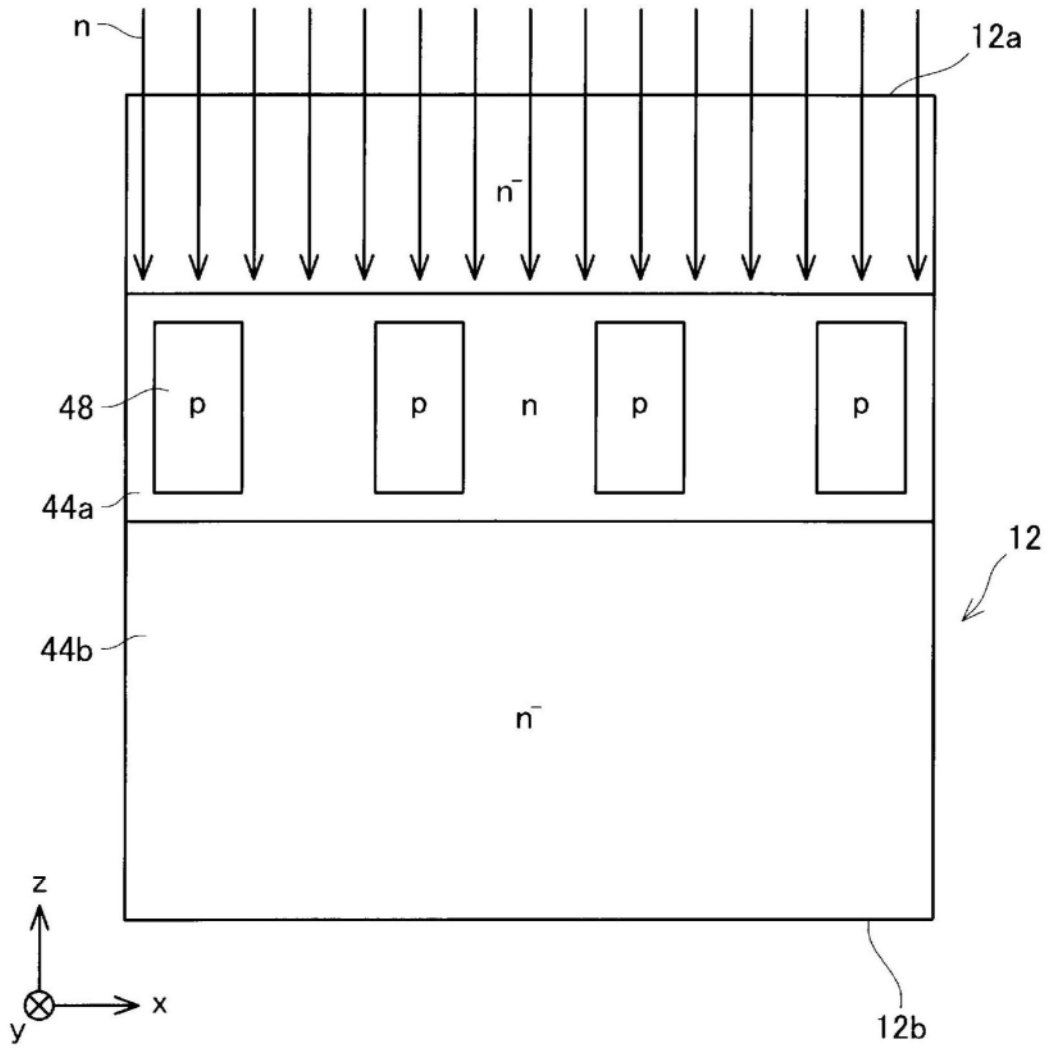


图10

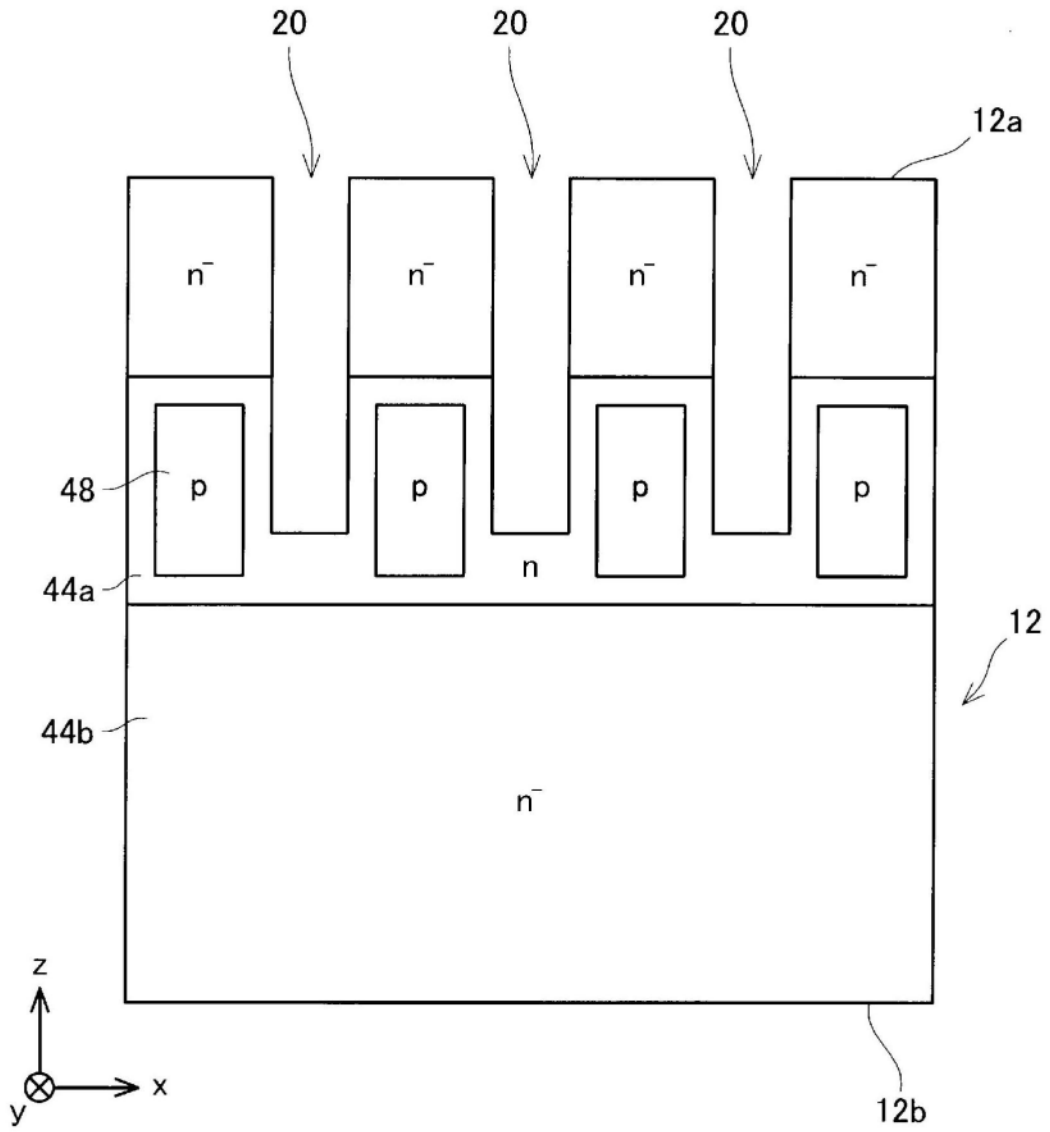


图11

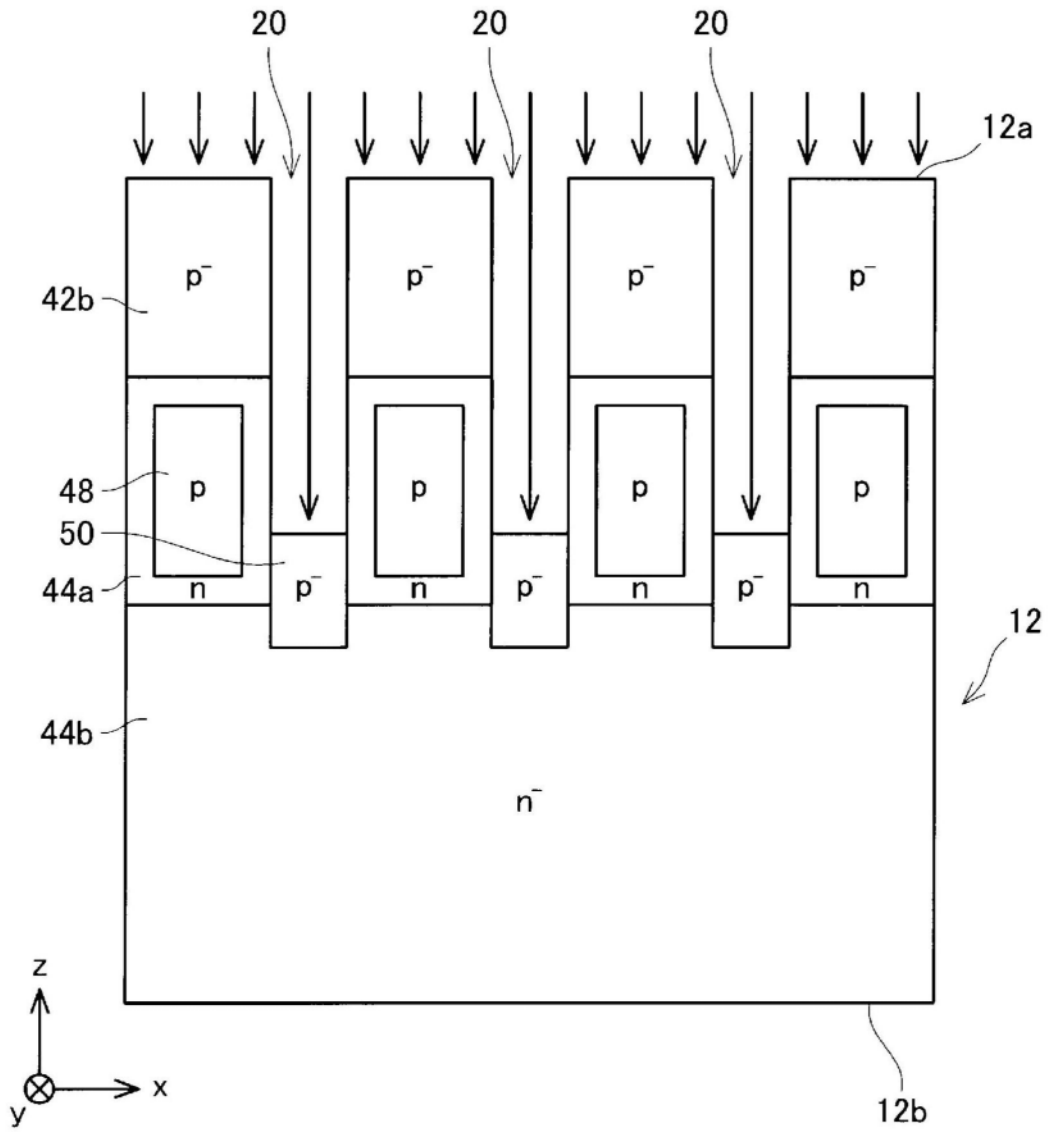


图12

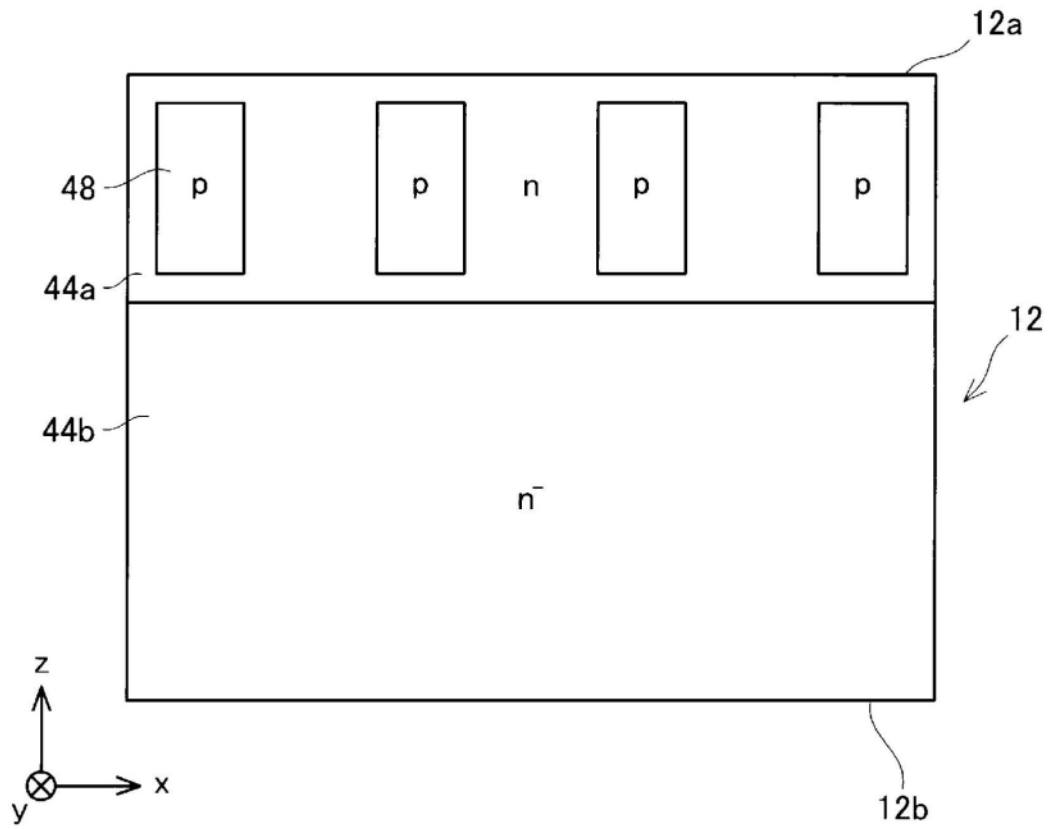


图13

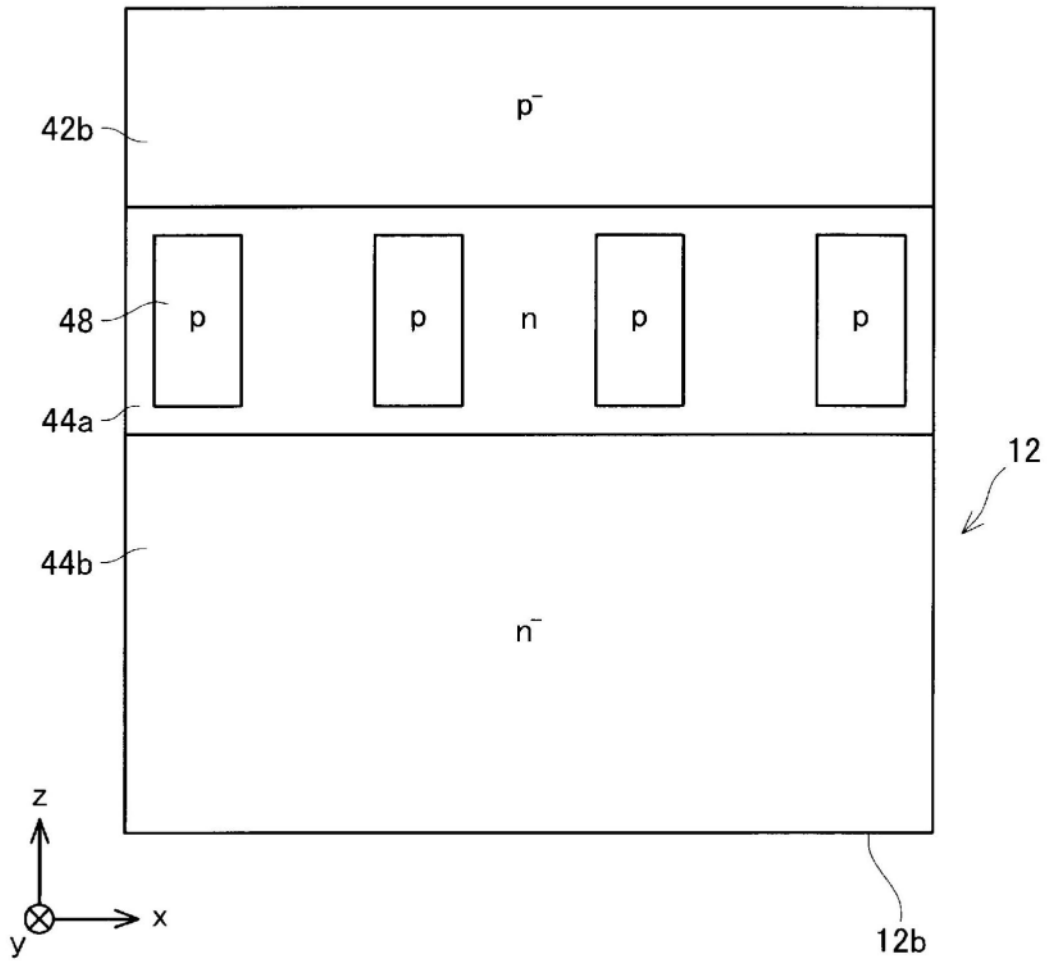


图14

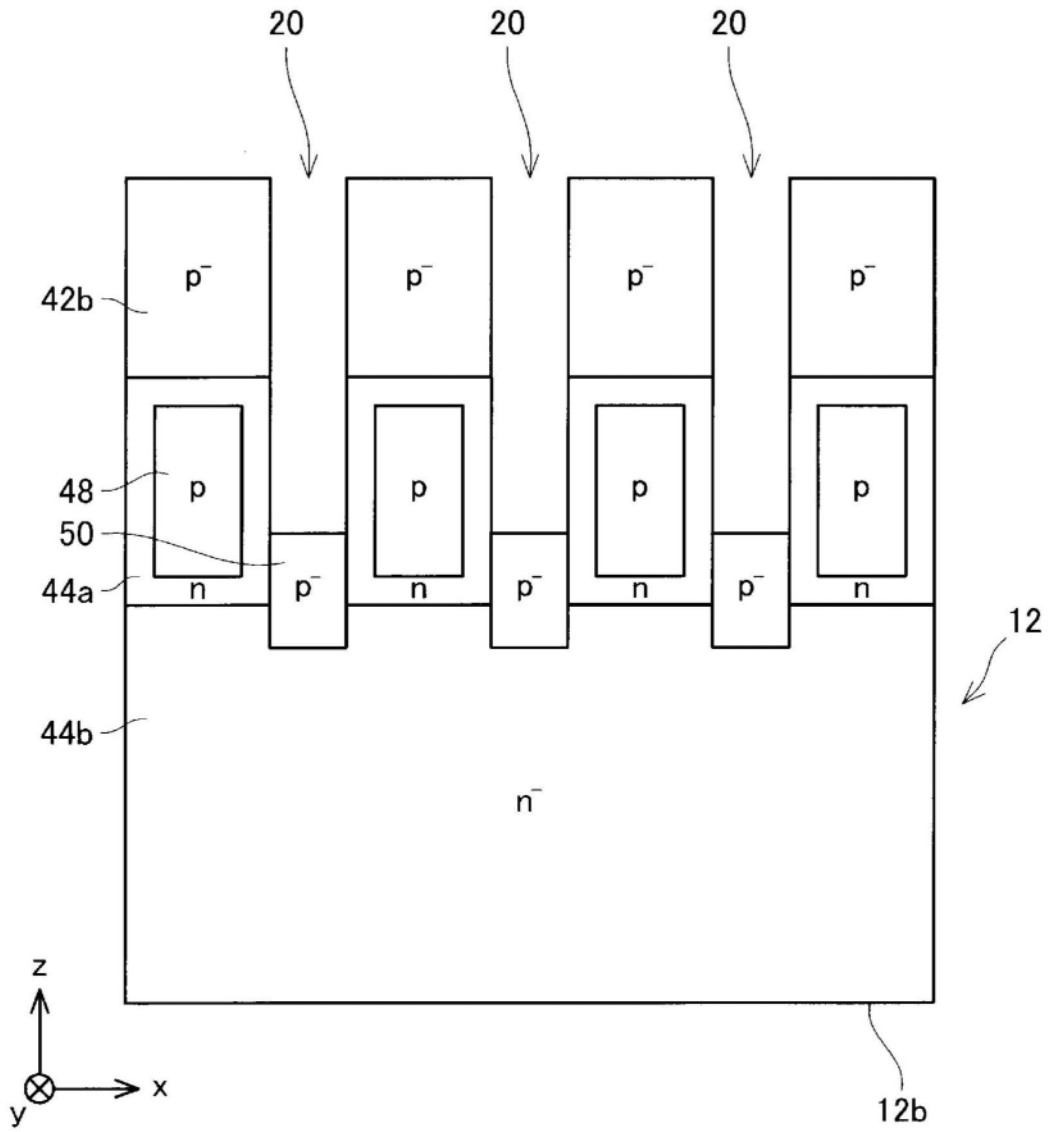


图15

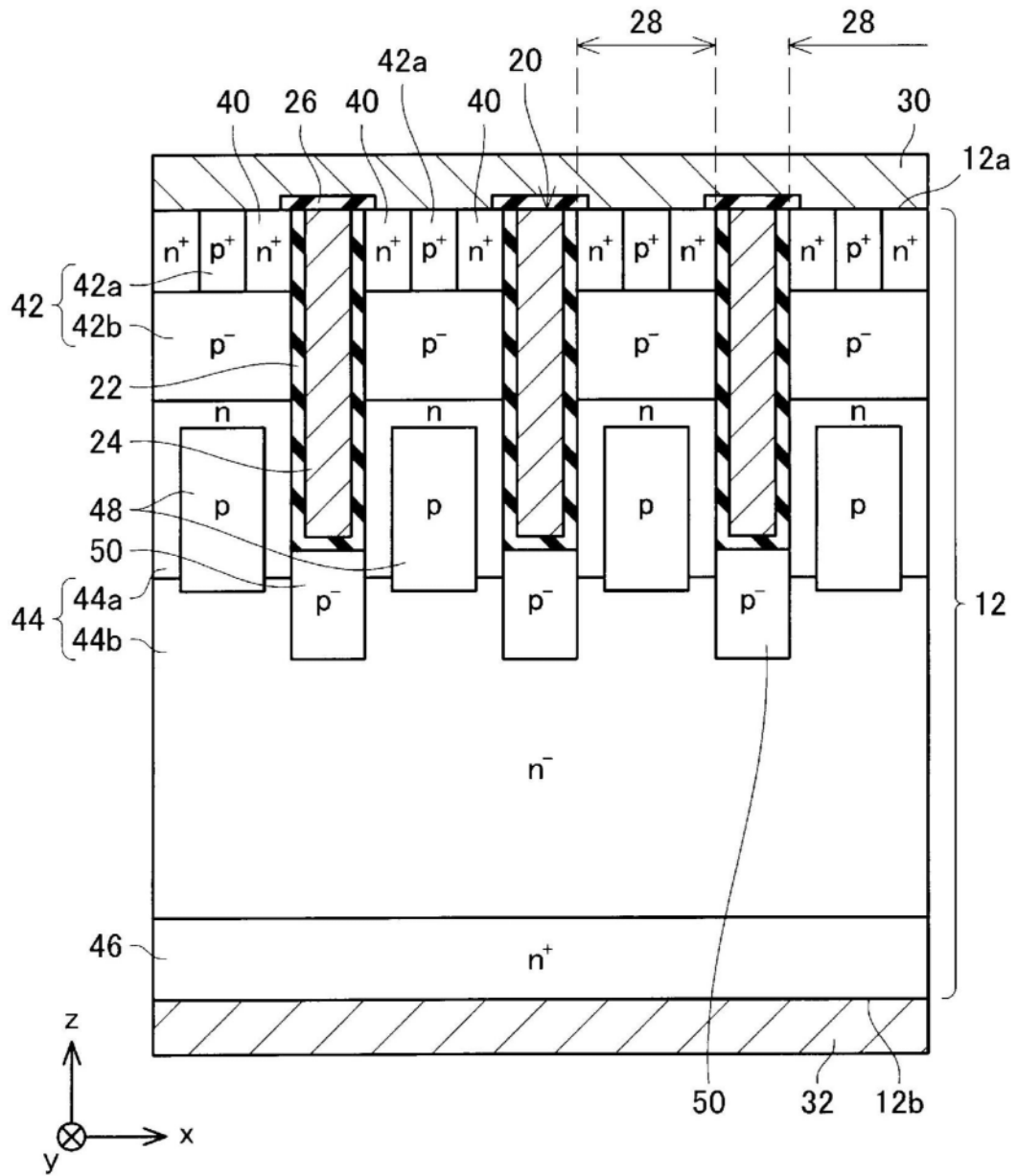


图16

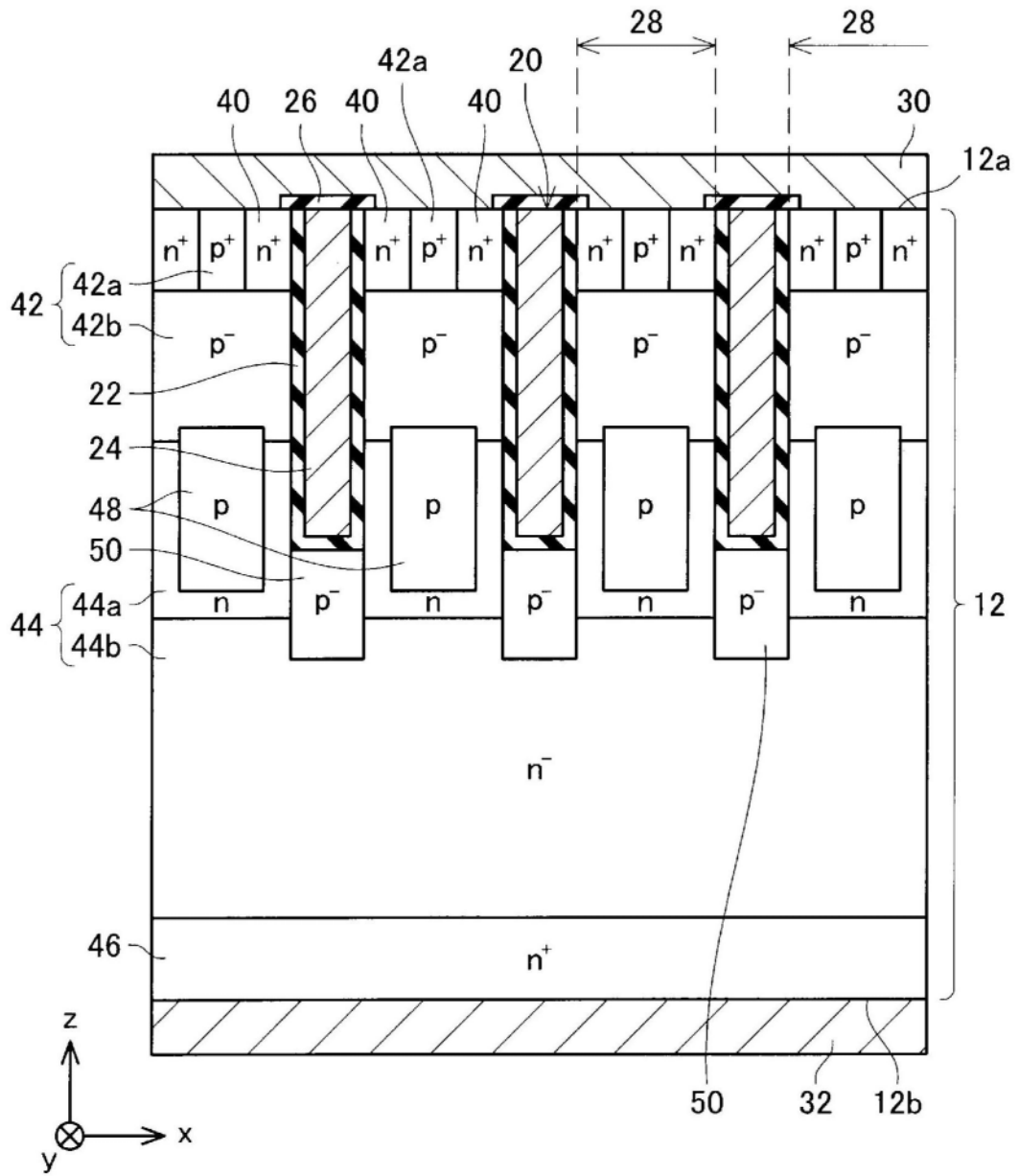


图17

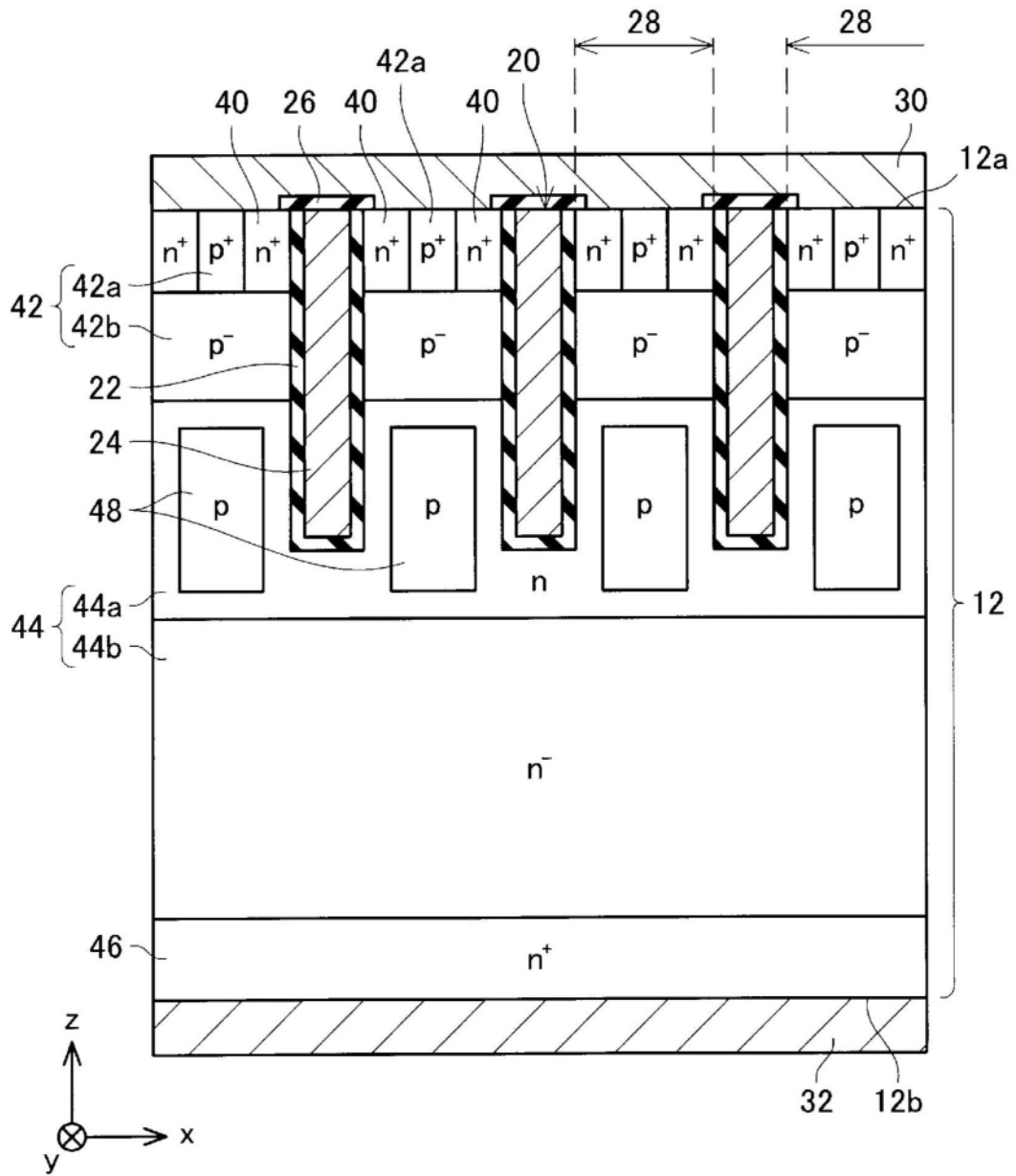


图18