

# 公告本

90年3月5日 修正  
補充

申請日期	88.1.19
案號	57116172
類別	G11C 5/6 H01L 27/8

(以上各欄由本局填註)

439063

## 發明專利說明書 (89年5月修正)

一、發明 名稱	中文	具有斜交位元線及雙重字元線之高密度半導體記憶體
	英文	High density semiconductor memory having diagonal bit lines and dual word lines
二、發明 創作人	姓名	1. 吉哈德慕勒 (Gerhard Mueller) 2. 桐畑俊明 (Toshiaki Kirihata) 3. 漢茲荷尼格米德 (Heinz Hoenigschmid)
	國籍	1. 德國 2. 日本 3. 德國
	住、居所	1. 美國紐約州12590瓦平格斯瀑布城景道168號 2. 美國紐約州12603泡奇普西米斯堤瑞屈圓環10號 3. 美國紐約州12590瓦平格斯瀑布城景道98號
三、申請人	姓名 (名稱)	1. 西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT) 2. 國際商業機器股份有限公司 (International Business Machines Corporation)
	國籍	1. 德國 2. 美國
	住、居所 (事務所)	1. 德國慕尼黑D-80333威田巴契廣場2號 2. 美國紐約州10504艾蒙克新橡路
	代表人 姓名	1. 貝斯納 (Basner) 雷哈特 (Reinhardt) 2. 傑佛瑞 L. 霍曼 (Jeffrey L. Forman)

裝訂線

439061

~~439063~~

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

美 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權  
 1997年9月29日 08/939,455(主張優先權)

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背  
之注意事項再填寫本頁各欄)

經濟部中央標準局員工消費合作社印製

## 五、發明說明( )

發明領域

本發明之發明領域係有關於一如動態隨機存取記憶體(DRAM)的半導體記憶體。基本上，與一用於具斜交位元線之高密度半導體記憶體之具空間效率架構相關者，以簡化半導體記憶體的存取作業，且具有在不同，垂直間隔層上的雙重字元線。

發明背景

由於半導體記憶體之增加容量的需求日益增加，新的設計要求必須在晶片上可簡省空間，但是性能並不隨著減少。因此記憶體晶胞愈來愈小，所以愈來愈需要對具有字元線及位元線的晶胞進行有效地存取，而不會減少晶胞的尺寸。

傳統的DRAM晶片使用配置成列及行之一或多個陣列中配置的數百萬個記憶體晶胞，且位元線在行中平行配置，且字元線在列中平行配置。各記憶體晶胞包含一存取電晶體(如NFET)及一如用於儲存對應數據位元之電荷的溝渠電容器。基本上記憶體晶胞位在字元線及位元線之交叉處。各存取電晶體的閘極電連接相關的字元線，而電晶體汲極端形成相關的位元線。

在所了解的折摺位元線架構中，“真”記憶體晶胞位在與對應互補記憶體晶胞相鄰處。真記憶體晶胞連接真位元線，且互補記憶體晶胞連接互補位元線。真位元線及相鄰的互補位元線形成一位元線對。位元線對傳統連接感測放大器之一端。“行”有時候指位元線對。

在從真晶胞中讀取數據時，應用某一預充電電壓預充

90年3月5日修正  
補充

439063

A7  
B7

### 五、發明說明( > )

~~439061~~

電真及互補位元線，且然後在該電壓處形成漂浮狀態。為了從真晶胞中讀取，開啓該存取電晶體，使在真位元線上的電壓準位依記憶體晶胞電容共同之電荷而變。在互補位元線上的電壓仍維持預充電電壓，在此一差動電壓作用在感測放大器上。然後感測放大器放大該差動電壓以用於讀取及儲存操作的固態邏輯準位。同樣地，為了從互補晶胞中讀取，真位元線維持在預充電準位，而耦合互補晶胞的電壓上升，在此由感測放大器放大類比差動電壓。

設計上用於減少記憶體晶胞存取時間(字元線的RC時間常數)的字元線配置在此稱為雙重字元線配置。雙重字元線包含一配置上持續跨過所有記憶體晶胞陣列或次陣列的主字元線，及多個局部字元線，其彼此互相連接或分開，各均電連接相關列上預定記憶體的記憶體晶胞至主字元線。陣列中的各列使用一主字元線及多個局部字元線。各主字元線覆蓋不同垂直間隔層上的相關局部字元線，而容許的介質層分開兩層。主字元線包含如鋁的低電阻金屬，在此局部字元線基本上包含上方具矽層的高摻雜多晶矽。在稱為"接縫"架構中，局部字元線經該層間的周期電洞接點(接縫)而連接相關的主字元線。"分段"雙重字元線架構中，使用FET開關的字元線驅動器使用取代穿越洞接點。在任何一種方法中，在任何給定記憶體晶胞之路徑中的總電阻實際上已減少。隨著低字元線電阻，與各字元線相關的RC時間常數減少，因此減少

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( )

記憶體晶胞存取時間。分段架構具有減少字元線電容的如上文中所說明，但是其缺點為此配置增加複雜性，且增加需要用於局部字元線驅動器的空間。

最近，已發展出稱為"斜交位元線(DBL)"的高密度DRAM。應用DBL-型式DRAM，有效的晶胞大小約為 $6F^2$ ， $F$ 為進行技術中最小的特徵尺寸。在Sugibayshi的文中"FA 14.6:A 1Gb for file Application"中揭示一斜交位元線型式的DRAM。該文章說明一使用開位元線架構的DRAM。但是，開DRAM結構比折摺位元線架構更易產生雜訊相關的問題。

現在請參考第1A圖，已知部份使用分段雙重字元線及折摺位元線之斜交位元線型式DRAM。在DRAM中的各記憶體陣列分成多個記憶體方塊，如 $B_1, B_2$ 及 $B_3$ 。如 $WL_i$ 或 $WL_y$ 的雙重字元線延伸過多個方塊，且由主字元線驅動器93所驅動。局部字元線驅動器配置在方塊之間的區域LD。如第1B圖所示，如 $WL_i$ 的各雙重字元線包含一主字元線 $MWL_i$ 及 $P_n$ 局部字元線 $LWL_i \sim LWL_p$ 。局部字元線驅動器LWD耦合在各局部字元線及主字元線之間。操作各局部字元線驅動器以驅動相關的局部字元線以允許分別與該局部字元線的晶胞進行選擇性存取。

如 $BLP_j, BLP_i, BLP_y$ 之折摺位元線分別與感測放大器排92內對應的感測放大器連接。如 $BLP_j$ 的各對包含一真位元線/ $BL_j$ 及一互補位元線 $BL_j$ 。位元線雙重對應的字元線，在扭轉區域33改變方向。每 $K$ 個字元線改變一次方向，

## 五、發明說明(4)

在此  $K$  基本上為  $2^N$ ，如 8, 16, 32, 64 等。如第 2 圖所示，各位元線對的真及互補位元線彼此垂直間隔開。在各扭轉區 33，發生 3 維扭轉，使得真及互補字元線的垂直部位互相改變。在文中稱此三維扭轉為垂直扭轉。在扭轉區 33 中，可發生水平驅動的改變。在此例子中，在沿記憶體陣列的水平面上位元線形成鋸齒形圖樣。

在相關之美國專利申請案，S/N \_\_\_\_\_，(申請案號 96E9190Us 及 F18960449, John DeBrosse 等人，1997 年 6 月 30 日申請) 中說明一用於位元線之使用雙重字元線晶胞及垂直扭轉的記憶體晶胞陣列之例子，該專利申請案指定予本發明的受讓人，並列入文中以為參考(下文稱 DeBrosse 等人之申請案)。

在第 1A 圖的架構中，與記憶體方塊之間之局部字元線驅動器位置相關的鋸齒圖樣位元線導致在各記憶體方塊邊緣之區域 A<sub>1</sub> 中晶胞區域的浪費。此浪費的區域為圖樣之位元線傾斜角  $\theta$  及垂直扭轉區域的長度  $D_T$  的函數。

因此，對於使用斜交位元線的高密度記憶體，需要有一改進的結構，其中可減少或實際上去除上述浪費的區域，使得對於給定的記憶體容量所使用的晶片尺寸可較小。

發明概述

本發明與具斜交位元線及雙重字元線配置的高密度半導體記憶體，可高效率使用晶片區域。在實施例中，半導體記憶體包含配置成列及行之記憶體晶胞之記憶體晶

## 五、發明說明( 5 )

胞陣列，及多個斜交位元線，其配置上形成一圖樣，此圖樣隨著記憶體晶胞陣列而改變水平方向，以簡化對記憶體晶胞的存取。此位元線配置上不正交於多個雙重字元線，在此各雙重字元線包含一在第一層上的主字元線及在第二層上的多個局部字元線。局部字元線經多個間隔的電結件連接多個記憶體晶胞及同一列的主字元線。

以電接點為例的電接線走法在記憶體晶胞陣列水平面的走法大致上與位元線者同。位元線可以折摺或開口方式配置。優點為，在本發明中習知技術之區域字元線裏斜交位元線記憶體中存在的浪費的區域可大大地消除。

圖式之簡單說明

第 1A 圖示使用分段字元線之習知技術正交位元線型式記憶體的佈局；

第 1B 圖示簡化的分段字元線配置；

第 2 圖示項之半導體記憶體，其中面上位元線配置；

第 3 圖為本發明基本上 DRAM 的示意方塊圖；

第 4 圖為第 3 圖之 DRAM 一部份的示意圖；

第 5 圖示基本上局部字元線配置；

第 6 圖為對應單一記憶體晶胞區域之 DRAM 部份的平面圖；

第 7 圖為沿第 6 圖之線 7-7 的局部視圖；

第 8 圖為第 3 圖之記憶體晶胞三維區域的透視圖；

第 9 及 10 圖為本發明之 DRAM 的位元線及字元線之佈局的平面圖；

## 五、發明說明 ( b )

第 11 圖示本發明實施例內接縫雙重字元線配置。

較佳實施例之詳細說明

本發明係相關於具足夠空間，高密度半導體記憶體，其使用具充分空間架構之斜交位元線及雙重字元線。本發明提供一方式，可實際上消除與斜交位元線型式之記憶體有關的局部錯誤。為了說明上的需要，可在 DRAM 文章中說明本發明的基本實施例。本發明具相當廣泛的應用。例如，本發明可使用在 EDU-DRAM, SDRAM, RAM BUS-DRAM, MDRAM, SRAM, 快閃 RAM, EPROM, EEPROM, 或單 ROM, 或合併式 DRAM—邏輯 (嵌入式 DRAM)。例如，本發明可使用在如電腦系統，無線電話，個人數位輔助器 (PDA) 的消費性產品及其他的電子產品中。

現在請參考第 3 圖，其中顯示本發明實施例的簡化示意方塊圖，以 DRAM 10 表示。DRAM 10 之記憶體晶胞陣列 12 包含配置在 M 列，N 行之陣列的記憶體晶胞 MC。例如，M, N 可為幾千或幾萬。M 個雙重字元線  $WL_1$  至  $WL_M$  中的各字元線均電耦合如  $R_j$  的相關列之記憶體晶胞 MC。

第 11 圖示在垂直平面中的雙重字元線  $WL_j$  中之一字元線 (在此記憶體晶胞陣列的主表面形成如一水平之平面)。雙重字元線  $WL_j$  包含一主字元線  $MWL_j$  及 X 個局部字元線  $LWL_1 - LWL_x$ ，沿相關列排列。主字元線及局部字元線在不同及垂直間隔的層中製造，且各主字元線覆蓋在對應列中相關的局部字元線。各局部字元線由電接點 (接縫) 29 連接相關的主字元線。此類型的配置稱為接縫雙重字元線架構。最好任何給定列中的局部字元線  $LWL_1 - LWL_x$

## 五、發明說明(7)

形成如陣列的持續線，但是另外可由如所示之間隔 $S$ 分開。

現在請參考第3圖，進入DRAM 10的位址作用在位址緩衝器11中，此緩衝器又提供該位址予列解碼器13及行解碼器15。列解碼器13與字元線驅動器19一起操作，以動作對應進入位址列之主字元線。同樣地，行解碼器15動作對應進入位址之行選擇線 $CSL_1$ 至 $CSL_Y$ 中之線，其中數據可寫入對應該位址之行及列中特定的記憶體晶胞，或從其中讀取數據。感測放大器排21包含 $N$ 個感測放大器 $SA_1 - SA_N$ ，各行配置一感測放大器，各感測放大器耦合對應的位元線對 $BLP_1 - BLP_N$ 。主字元線22連接排中的各感測放大器，且在任何給定時間中，從標地記憶體晶胞中進出數據。輸入/輸出(I/O)緩衝器23連接數據線22，且依據傳統的方式緩衝進入及出去數據。

現在請參考第4圖，其中顯示在水平面上多個DRAM 10之位元線的佈局。本發明中使用的位元線為用於存取如 $6F^2$ 晶胞之小的記憶體晶胞。記憶體晶胞可為傳統上使用的斜交位元線，類似在上述T. Sugibayashi等之文章說明者。在第4圖中，顯示如折摺位元線的位元線，在此如 $BLP_j$ 的位元線包含真及互補斜交位元線 $BL_j, /BL_j$ ，如上述第1A及2圖之位元線的例子。但是，須了解本發明可應用在折摺位元線架構，及應用在開位元線架構。該開位元線架構此將於下文中加以說明。

對於第4圖之折摺位元線架構，如 $BLP_j$ 的各位元線對

## 五、發明說明(8)

如第2圖所示者。各對包含電連接行 $C_j$ 中之真記憶體晶胞 $MC$ 之真位元線 $BL_j$ ，及連接行 $C_j$ 之互補晶胞之互補位元線 $\bar{BL}_j$ 。在垂直面上真及互補位元線互相對齊(在此記憶體晶胞陣列的主表面在水平面上)。在上述說明相關之互補位元線的垂直面中的位置33處真位元線周期性扭轉。而且，真位元線交替覆蓋相關之互補位元線並為其所覆蓋，在此兩線由一介質層垂直隔開。即真位元線之交替部位在互補位元線的上方，反之亦然。各 $K$ 個字元線後發生扭轉，在此 $K$ 最好是 $2^N$ 之數目，如8,16,32,64等。

在水平面上，各位元線對配置在上述第1A圖上述的鋸齒形圖樣上。鋸齒形圖樣的傾斜方向(對應字元線傾斜)在各真及互補位元線的扭轉處改變，即在位置33處。

依據本發明，連接局部字元線至相關主字元線的電接點或接縫29與位元線中水平面中鋸齒圖樣相同。因此，可大大地消除第1A圖之區域架構中上述的局部錯誤。即第1A圖中不使用的區域" $A_p$ "實際上減少為0。需要配置本發明之接縫架構的記憶體晶胞陣列的額外區域為由接縫本身耦合之區域，即每接縫3微米寬(包含在各接縫29兩側之冗餘位元線區域)。在各接縫29之各鋸齒圖樣之間記憶體晶胞區域形成記憶體晶胞方塊，類似第1A圖之記憶體晶胞 $B1-33$ 。如 $B_q$ 及 $B_{q+1}$ 的相鄰記憶體晶胞方塊可以空間有效的方式配置。在給定列中，由距離分開為 $LWL_y$ ， $LWL_{y+1}$ 之相鄰局部字元線之接縫29中，在此 $D$ 與分配予各局

~~439061~~

439063

A7

B7

### 五、發明說明(9)

部字元線之記憶體晶胞的數目及各記憶體晶胞的大小有關。例如，如果次陣列使用8個記憶體方塊B1至B8(在列方向上側邊挨著側邊)，有8個鋸齒接縫圖樣。然後，對於3微米之接縫，由接縫所佔據的區域為24微米乘上次陣列12的行長度。

須了解對於其他折摺位元線實施例，在位元線之水平方向改變的區域與位元線之垂直扭轉區域相符。因此，例如，在某些實施例中，在第4圖中所示之區域33處發生之水平方向的改變，但是垂直扭轉係在所示區域33之間的某處發生。在相鄰局部字元線之間的距離D可因各列之不同部位而不同。例如，最好對於遠離字元線驅動器局部字元線分配較少的記憶體晶胞，在此距離D隨著列與字元線驅動器而逐漸變小。第5圖中顯示此方法。第一局部字元線 $LWL_1$ 的接縫29到 $LWL_2$ 之接縫29之間的距離 $D1$ 實際上大於下一至最後局部字元線 $LWL_{x-1}$ 之間的距離 $Dx$ ，及各列中最後局部字元線 $LWL_x$ 的距離。須了解最好各接縫29連接主字元線至各相關局部字元線的中心。第5圖的方法相關減少各列中接縫的總數。係因為與使用中之均勻局部字元線間隔的例子比較，大量的記憶體晶胞可分配予接近字元線驅動器的局部字元線。例如，約有500個記憶體晶胞連接 $LWL_1$ ，且300個記憶體晶胞連接 $LWL_x$ 。因為在局部字元線長度中的限制因素為從字元線驅動器到各局部字元線之最後記憶體晶胞的延遲時間，所以不規則的間隔移動相當簡單。如果使用均勻的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明(10)

間隔，對於靠近字元線驅動器的記憶體晶胞延遲時間較短，在此如果使用不規則間隔，則所有晶胞的延遲時間可約略相等。

須了解可如所示，局部字元線可彼此分開一距離  $S$ 。另外，所有的局部字元線可形成如一連續之導電線，在此  $S$  為 0。最好，採用後一方法，而局部字元線與列中所有記憶體晶胞(真或互補)的閘極一體成型。

現在請參考第 6 圖，其中顯示對應約兩個記憶體晶胞區域之記憶體晶胞陣列 12 一部份的平均圖。第 7 圖為沿第 6 圖之線 7-7 所視之截面圖。現在請參考第 6 及 7 圖，可看出如  $BL_i$  的真位元線直接蓋在互補位元線  $BL_i$  上。如上所述，在製造陣列中的其他部位，互補位元線覆蓋真位元線。由如二氧化矽的介質層 44 分開位元線。層 44 之基本上厚度約 400 奈米(nanometer)，且對於各位元線之基本上寬度為最小特徵大小  $F$ ，如  $2.25 \mu m$  (對於 0.25 微米的上述而言)。例如，各位元線包含與如  $MWL_j$ ，

$MWL_{j+1}$  之字元線正交的部位 25，及對應字元線傾斜的部位 28 (在第 6 圖中，覆蓋位元線之主字元線  $MWL_j$ ， $MWL_{j-1}$  區域為了清楚起見，已予去除)。對應字元線之部位 28 的代表性角度  $\theta_1$  為 45 度。對於某些雙重晶胞的設計，可去除與字元線正交之部位 25，在此位元線以連續方式雙重  $K$  字元線中的各區段。

電接點或接縫顯示與位元線  $BL_j$  相鄰，且如第 7 圖所示，所主字元線  $MWL_j$  向相關局部字元線  $LWL_j$  擴充，最

## 五、發明說明(II)

好後者與列中電晶體的閘極導體整合。如  $MWL_j$  的主字元線由另一介質層 42 而與上位元線分開。介質層 46 分開下方字元線與局部字元線。如第 6 圖所示，互連結件 34 用於互連結位元線至相關記憶體晶胞電晶體的汲極，及對應之記憶體晶胞的溝渠電容區 36, 38。使用如鋁的適當金屬形成接縫 29。接縫 29 的直徑約為位元線的寬度，如  $0.25 \mu m$ 。但是，需要分配予接縫區域的面積較大，如  $1 \sim 5 \mu m$ ，係因基本上在各接縫的兩側需要一或二個冗餘的位元線。因此，由冗餘位元線所佔據的區域比接縫本質大很多。

現在請參考第 8 圖，其中顯示記憶體陣列 12 之三維透視圖。該區域約等於陣列之 3 個記憶體晶胞。在第 8 圖中的標示數字與第 6, 7 圖者相同。

現在請參考第 8 圖，其中記憶體晶胞陣列 12 之基本上佈局的一部份，只示出位元線，字元線及接縫 29。在區域 33 中，垂直扭轉位元線對以簡化記憶體晶胞的存取。例如，在圖的中心處，如  $BL_i$  的真位元線配置在互補位元線上方，且互補位元線存取該部位之記憶體晶胞。所以，對於圖中心之  $K$  個連續列，只有互補位元線連接記憶體晶胞。如上所述，最好  $K$  為  $2^N$ ，如 8, 16, 32, 64 等。在上下接點 33 處發生垂直扭轉，在此如  $BL_i$  的互補位元線通過如  $BL_i$  的真位元線上方。因此，直接在下區域 33 下方及直接在上區域 33 上方的部位中，互補位元線覆蓋真位元線，且真位元線對於  $K$  個連續的字元線存取真記

## 五、發明說明 ( 1 )

億體晶胞。垂直扭轉區 33 的配置類似或實際上同於上述 De Brosse 等之專利申請案中所揭示者。各垂直扭轉區域 33 的距離  $D_T$  基本上約 3 微米。

除了在各區域 33 中發生的垂直扭轉外，鋸齒圖樣改變文中說明之實施例的方向。介於點線 36 及字元線方向之傾斜角  $\theta_2$  一般為所有鋸齒圖樣的傾斜角。基本上的傾斜角  $\theta_2$  約  $65^\circ$ 。

電接點 29 一般置於相同鋸齒圖樣外以作為位元線。在第 9 圖的實施例中，在一列上更接點與相鄰位元線相間隔相同的距離  $S_1$ 。各接縫 29 兩側的位元線，如  $BL_j$  及  $BL_{j-1}$  實際上如上述說明為冗餘位元線。

現在請參考第 10 圖，圖中設計在很多行上之第 9 圖的佈局。在第 10 圖中，接縫 10 以交錯方式配置，使得如  $LWL_{y-1}$  及  $LWL_y$  的局部字元線在一列中以形成列交錯形態。如上所述，一共同列之其次接點 29 之間的距離視分配予局部字元線之記憶體晶胞數目而定。

上述的說明中在 DRAM 10 之單一記憶體晶胞陣列的佈局。須了解基本上 DRAM 10 為一具多個次記憶體晶胞之多陣列 DRAM，各次陣列基本上與上述陣列 12 相同。而折摺的位元線在鋸齒圖樣中呈現，且一般電接縫 29 追隨位元線圖樣，其餘可類推。

如上所述，本發明可應用在折摺位元線架構及開位元線架構。例如，第 4 圖中可構思一開位元線架構之半，而如  $BLP_j$  的位元線表示單一位元線，而非位元線對。因

五、發明說明(14)

參考符號說明

- 10..... DRAM
- 11.....位址緩衝器
- 12.....記憶體晶胞陣列
- 13.....列解碼器
- 15.....行解碼器
- 29.....電接點
- 33.....垂直扭轉區
- 44, 42.....介質層
- 21, 92.....感測放大器排
- 93.....主字元線驅動器
- 22.....數據線
- 23.....輸入/輸出(I/O)緩衝器
- 34.....互連結件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

經濟部中央標準局員工消費合作社印製

## 四、中文發明摘要(發明之名稱: )

具有斜交位元線及雙重字元線  
之高密度半導體記憶體

一種含高效率晶片區域使用且具斜交位元線及雙重字元線之高密度半導體記憶體。在一代表性的實施例中，半導體記憶體包含一配置成行及列之記憶體晶胞的記憶體晶胞陣列(10)，及多個斜交位元線(BLP<sub>1</sub>-BLP<sub>N</sub>)，其配置圖樣隨著記憶體晶胞陣列而改變水平方向，以簡化對該記憶體的存取。位元線在配置上不正交該多個雙重字元線(WL<sub>1</sub>-WL<sub>M</sub>)，在此各雙重字元線包含第一層之主字元線(MWL<sub>i</sub>)，及第二層上的多個局部字元線(LWL<sub>2</sub>-LWL<sub>x</sub>)。局部字元線經多個間隔的電結件(29)連接同一列之主字元線，如在"接縫"結構中的電接點，且局部字元線連接多個記憶體晶胞(MC)。電結件大致上沿著位元線之記憶體晶胞陣列相同的圖樣配置。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、 文發明摘要 (發明之名稱: High density semiconductor memory having diagonal bit lines and dual word lines )

Disclosed is a high density semiconductor memory having diagonal bit lines and a dual word line configuration with highly efficient use of chip area. In an exemplary embodiment, the semiconductor memory includes a memory cell array (10) of memory cells arranged in rows and columns, and a plurality of diagonal bit lines ( $BLP_1$ - $BLP_N$ ) arranged in a pattern that changes horizontal direction along the memory cell array to facilitate access to said memory cells. The bit lines are arranged non-orthogonal to a plurality of dual word lines ( $WL_1$ - $WL_M$ ), where each dual word line includes a master word line ( $MWL_1$ ) at a first layer and a plurality of local word lines ( $LWL_1$ - $LWL_X$ ) at a second layer. The local word lines are connected to the master word line of a common row via a plurality of spaced electrical connections (29), e.g., electrical contacts in a "stitched" architecture, and each local word line is connected to plural memory cells (MC). The electrical connections run in substantially the same pattern along the memory cell array as the bit lines.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

言

錄

六、申請專利範圍

439063

第 87116172 號「具有斜交位元線及雙重字元線之高密度半  
導體記憶體」專利案 (90年 3月修正)

六申請專利範圍：

1. 一種半導體記憶體，包含

一配置成行及列之記憶體晶胞的記憶體晶胞陣列；

多個在一圖樣中配置的斜交位元線，其在沿該記憶  
體晶胞陣列的水平方向中改變，以簡化對該記憶體晶  
胞的存取作業；

多個與該位元線非正交的雙重字元線，其中雙重字  
元線包含第一層上的主字元線及在第二層上的多個局  
部字元線，該局部字元線經多個間隔的電結件而連接主  
字元線，各局部字元線連接多個記憶體晶胞；

其中該電結件的圖樣大致上沿記憶體晶胞陣列在水  
平方向中改變。

2. 如申請專利範圍第 1 項之半導體記憶體，其中該電結  
件為介於該第一及第二層之間的電接點。

3. 如申請專利範圍第 1 項之半導體記憶體，其中該位元  
線為折摺的位元線。

4. 如申請專利範圍第 3 項之半導體記憶體，其中在該折  
摺位元線中的垂直扭轉係在半導體記憶體中位元線圖  
樣發生改變的水平方向之區域中發生。

5. 如申請專利範圍第 1 項之半導體記憶體，其中該位元  
線配置為形開 (open) 位元線之形態。

六、申請專利範圍

~~439061~~

6. 如申請專利範圍第 1 項之半導體記憶體，其中該記憶體晶胞大致上為  $6F^2$  之晶胞。
7. 如申請專利範圍第 1 項之半導體記憶體，其中該電結件在交替的不同列中以交錯方式配置該電結件上。
8. 如申請專利範圍第 1 項之半導體記憶體，其中同一列中相鄰電結件之間的距離隨著任意給定列而變，以大致上等化沿該列中存取記憶體晶胞的延遲時間。
9. 如申請專利範圍第 1 項之半導體記憶體，其中在水平方向改變的圖樣為一鋸齒形的圖樣。
10. 如申請專利範圍第 1 項之半導體記憶體，該記憶體包含一動態隨機存取記憶體。
11. 一種半導體記憶體，包含
  - 一在第一平面上具主表面的記憶體晶胞陣列；
  - 多個位元線，其中 1 位元線包含耦合多個真記憶體晶胞的真位元線，及耦合多個互補記憶體晶胞之相關的互補位元線，該真位元線周期性地隨著相關之互補位元線扭轉，使得真位元線可在與第一平面正交的第二平面上交替地覆蓋該位元線或為該位元線所覆蓋，以簡化與記憶體晶胞的電結件；
  - 多個與該位元線不正交的雙重字元線，其中一雙重字元線包含一在第一層上的主字元線及多個在第二層上的局部字元線，局部字元線經多個間隔電結件連接同一列上的主字元線，各局部字元線連接多個記憶體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

~~439063~~  
晶胞：

其中多個位元線對大致上以鋸齒形態沿著對應雙重字元線之第一平面上的記憶體晶胞陣列配置，而該電結件大致上沿記憶體晶胞陣列的該鋸齒形圖樣配置。

12. 如申請專利範圍第 11 項之半導體記憶體，其中該電結件包含在第一及第二層中的電接點。
13. 如申請專利範圍第 11 項之半導體記憶體，其中該位元線一般配置在對應該字元線之該鋸齒形圖樣的交錯第一及第二傾斜方向上，且該位元線在水平方向發生改變處的圖樣部位呈三維之扭轉。
14. 如申請專利範圍第 11 項之半導體記憶體，其中同一列之局部字元線彼此相分開。
15. 如申請專利範圍第 11 項之半導體記憶體，其中同一列之局部字元線為電持續導通者。
16. 如申請專利範圍第 11 項之半導體記憶體，其中該位元線包含多個第一部位及第二部位，且該第一部位的方向正交該字元線，且該第二部位對於該字元線相交一第一角度，其中該第一及第二部位形成該鋸齒形態，而與該字元線間夾一第二角。
17. 如申請專利範圍第 11 項之半導體記憶體，其中該記憶體包含一動態隨機存取記憶體。
18. 如申請專利範圍第 11 項之半導體記憶體，其中該記憶體晶胞佔據一約  $6F^2$  的區域， $F$  為記憶體元件之最小特

90年3月5日 修正  
補充

439063

A8  
B8  
C8  
D8

六、申請專利範圍

~~439061~~

徵尺寸。

19. 如申請專利範圍第 11 項之半導體記憶體，更包含在該接縫中個別之接縫兩側的冗餘位元線。

(請先閱讀背面之注意事項再填寫本頁)

表

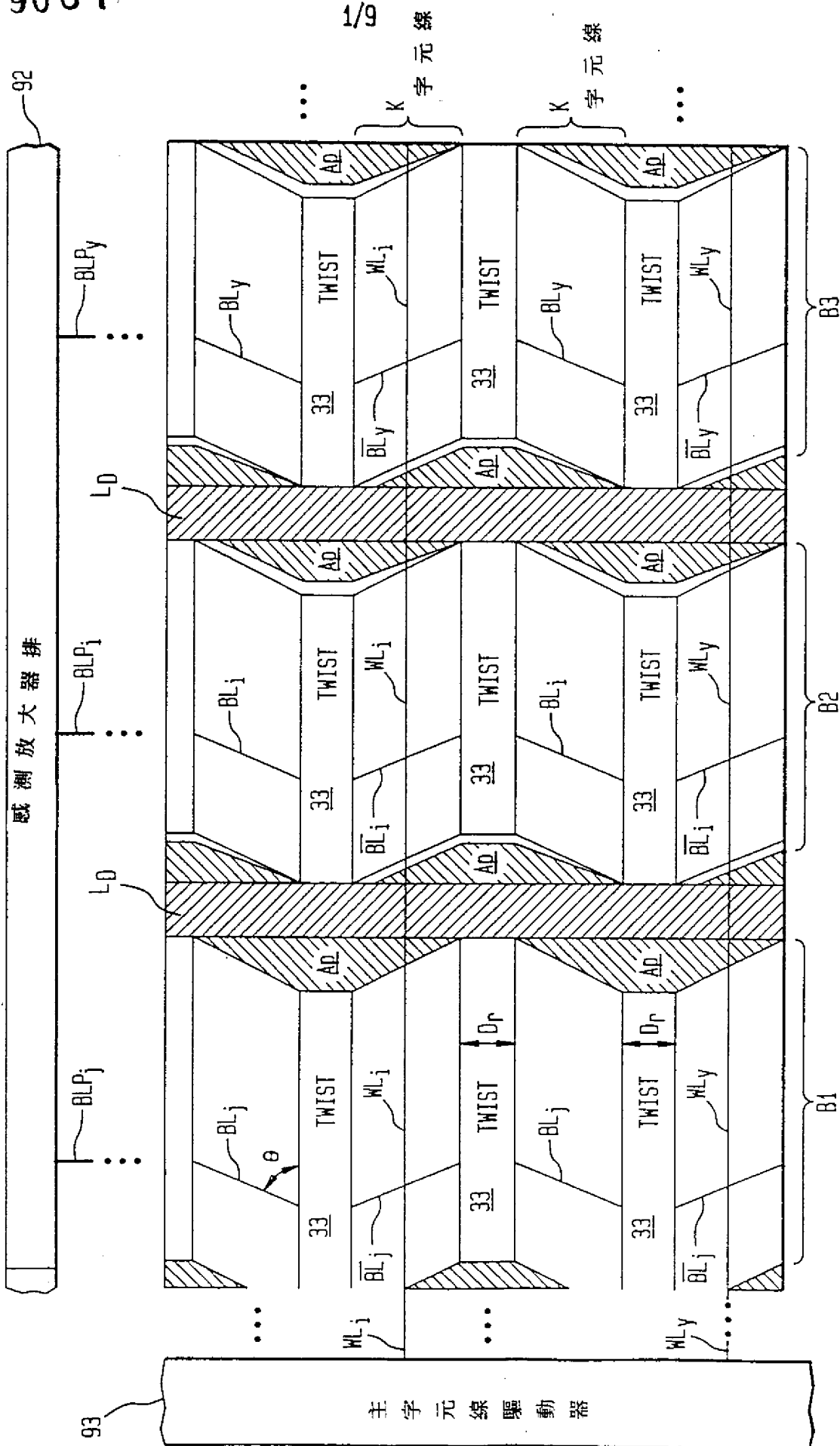
訂

線

439061

1/9

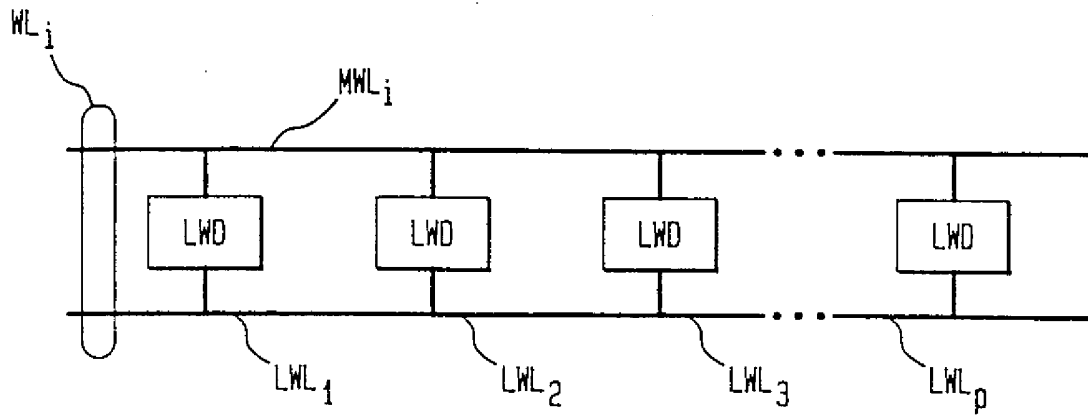
439063



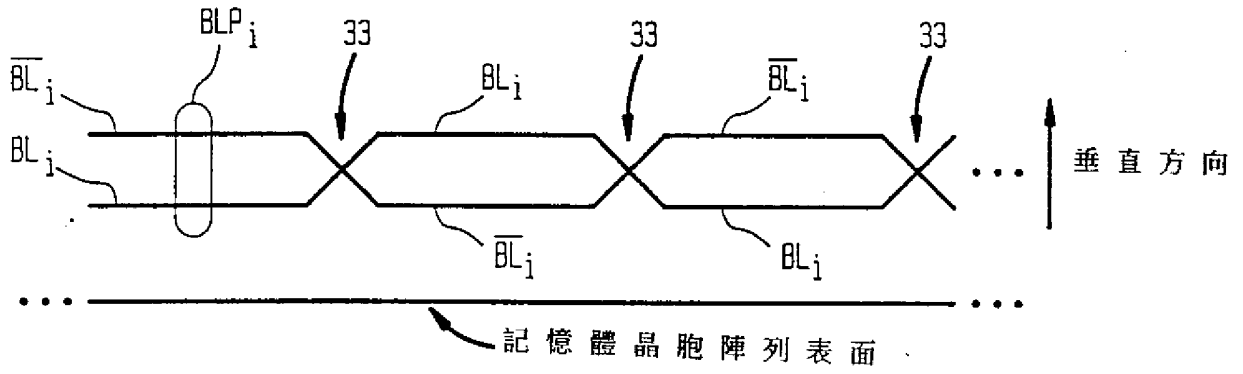
第1A圖 (先前技藝)

~~439061~~

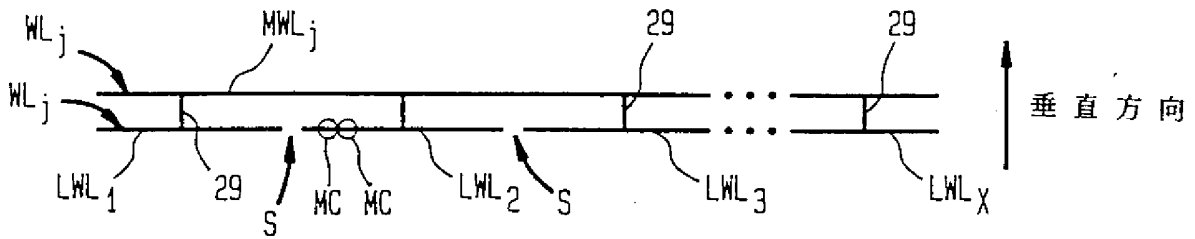
439063



第10圖 (先前技藝)



第2圖 (先前技藝)



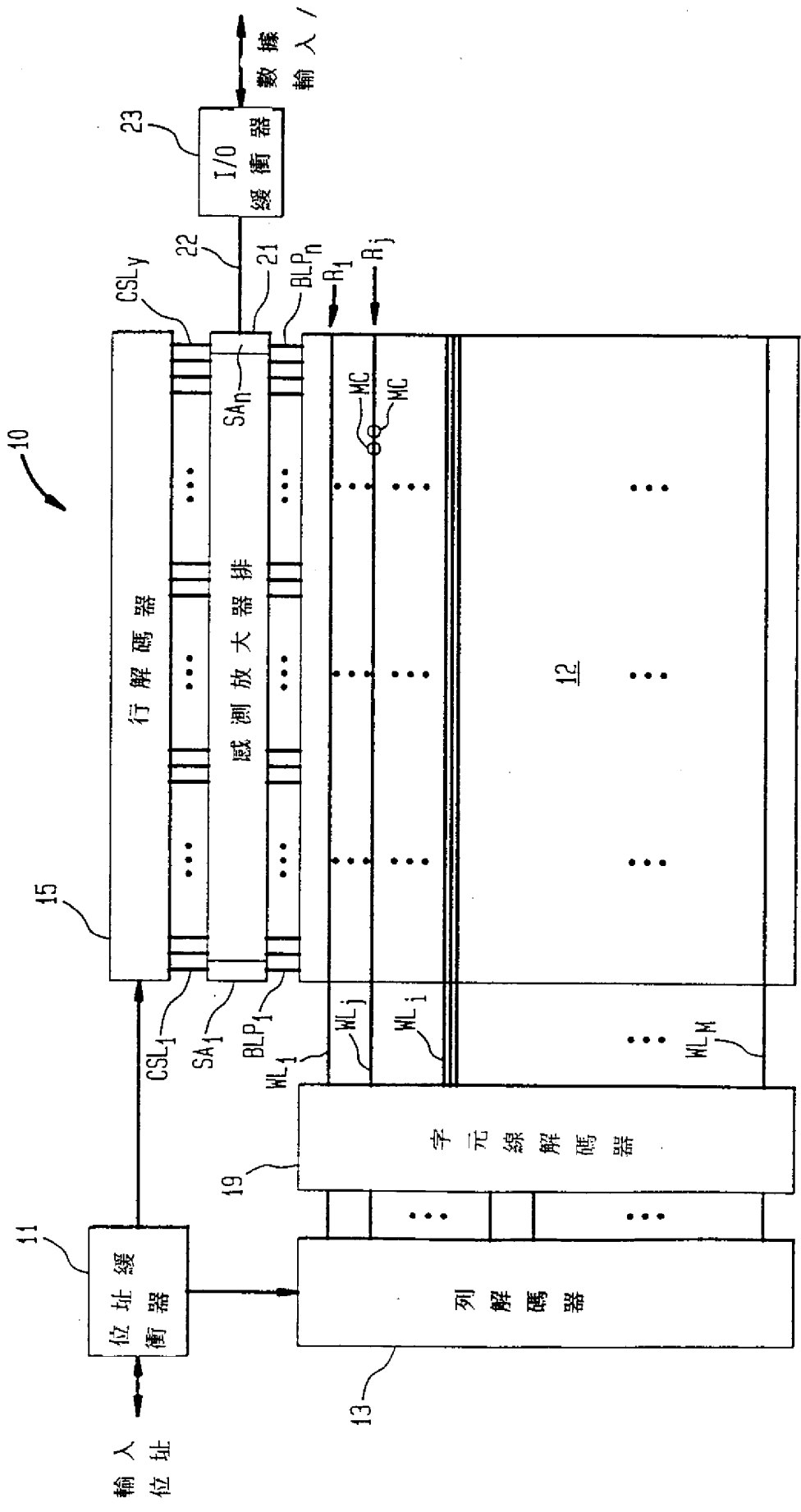
第11圖

439061

439063

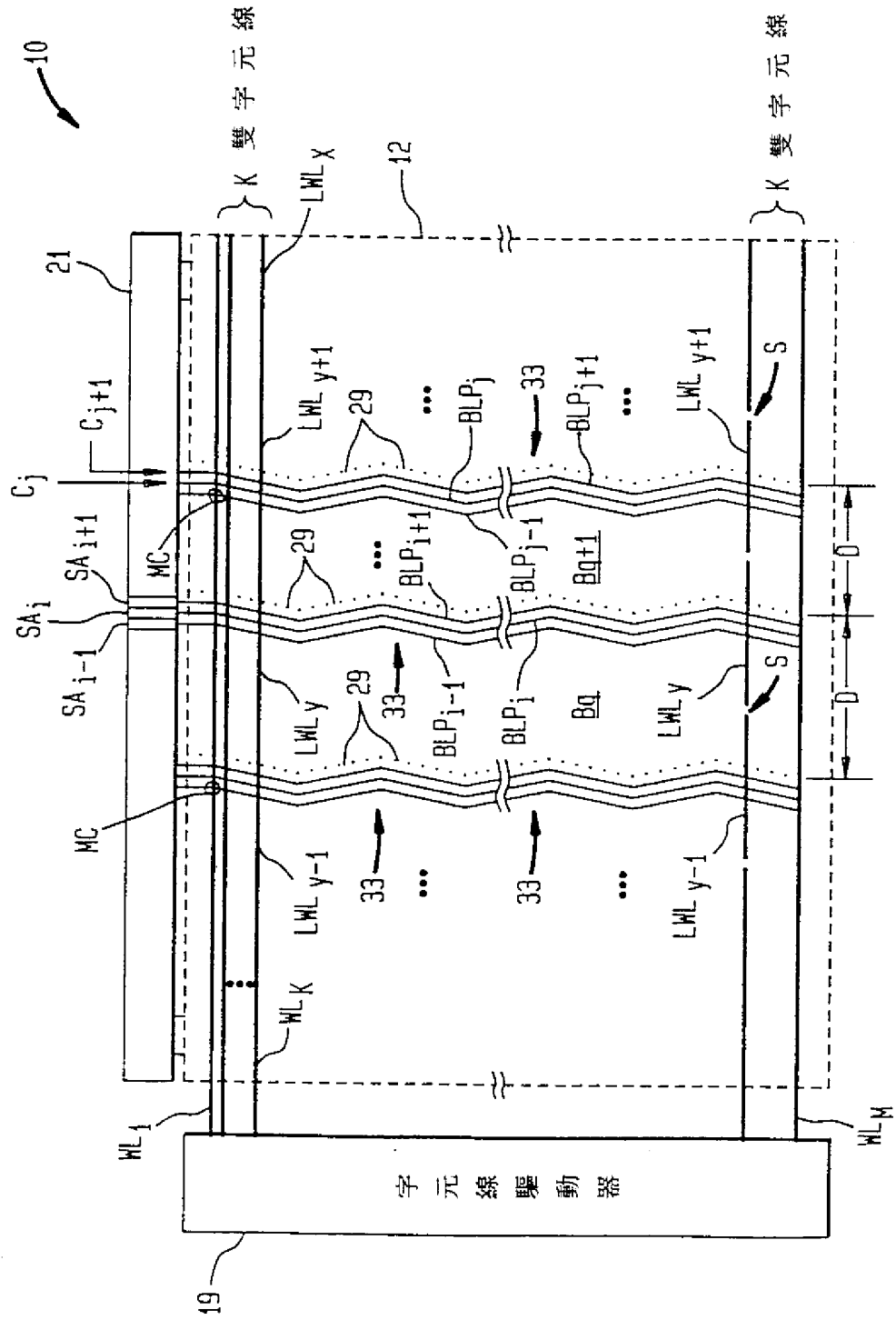
97 0 7643

輸出 3/9

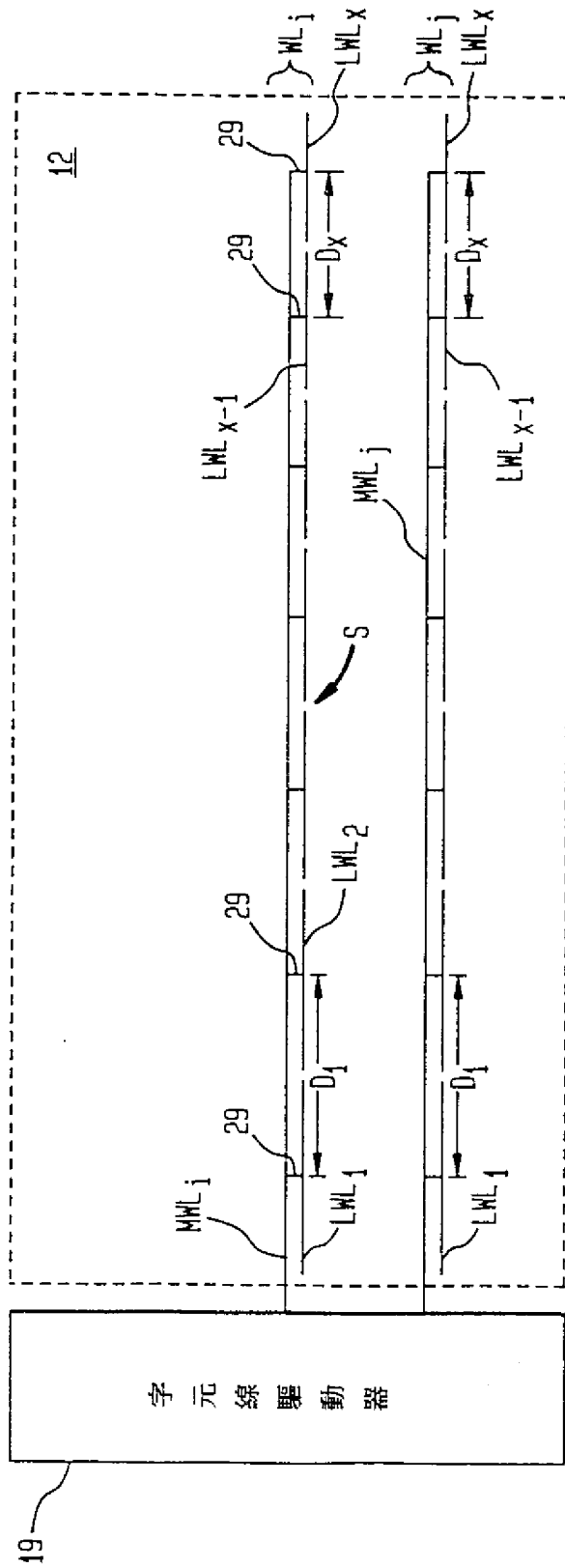


第 3 圖

439061



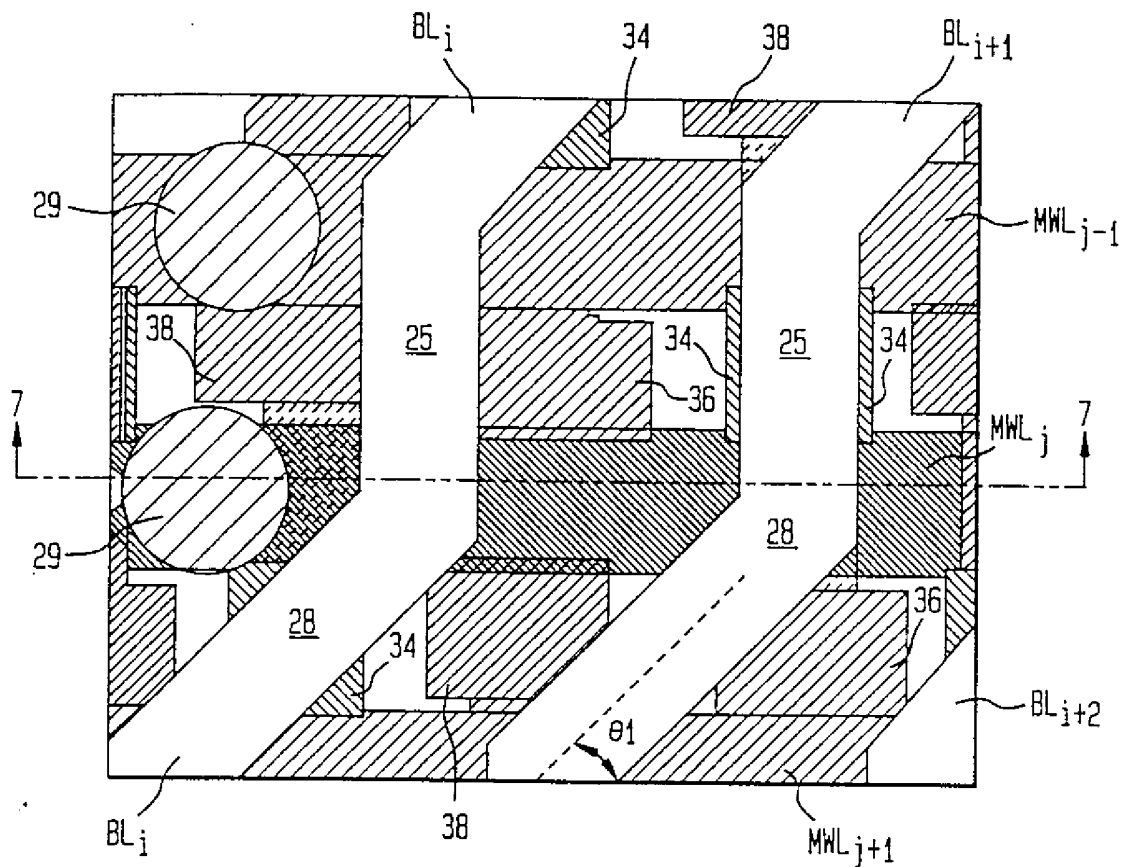
第4圖



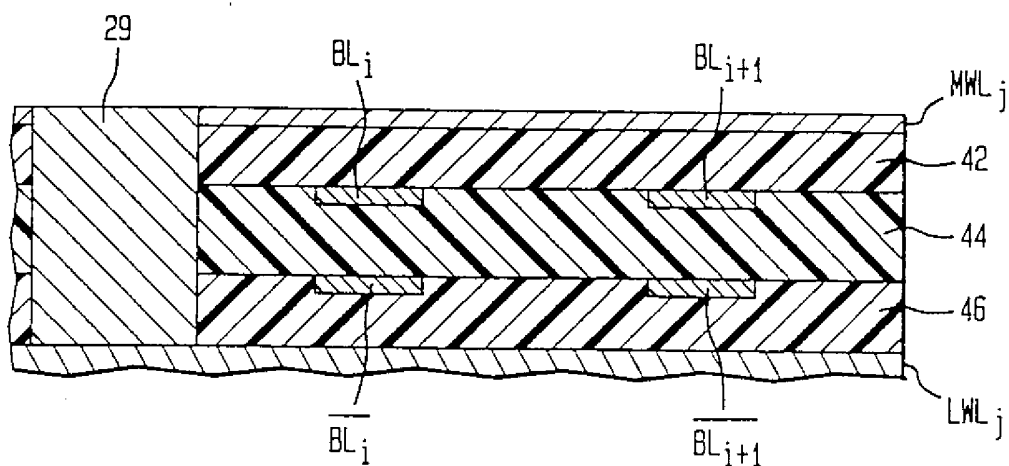
第5圖

~~439061~~

439063



第 6 圖



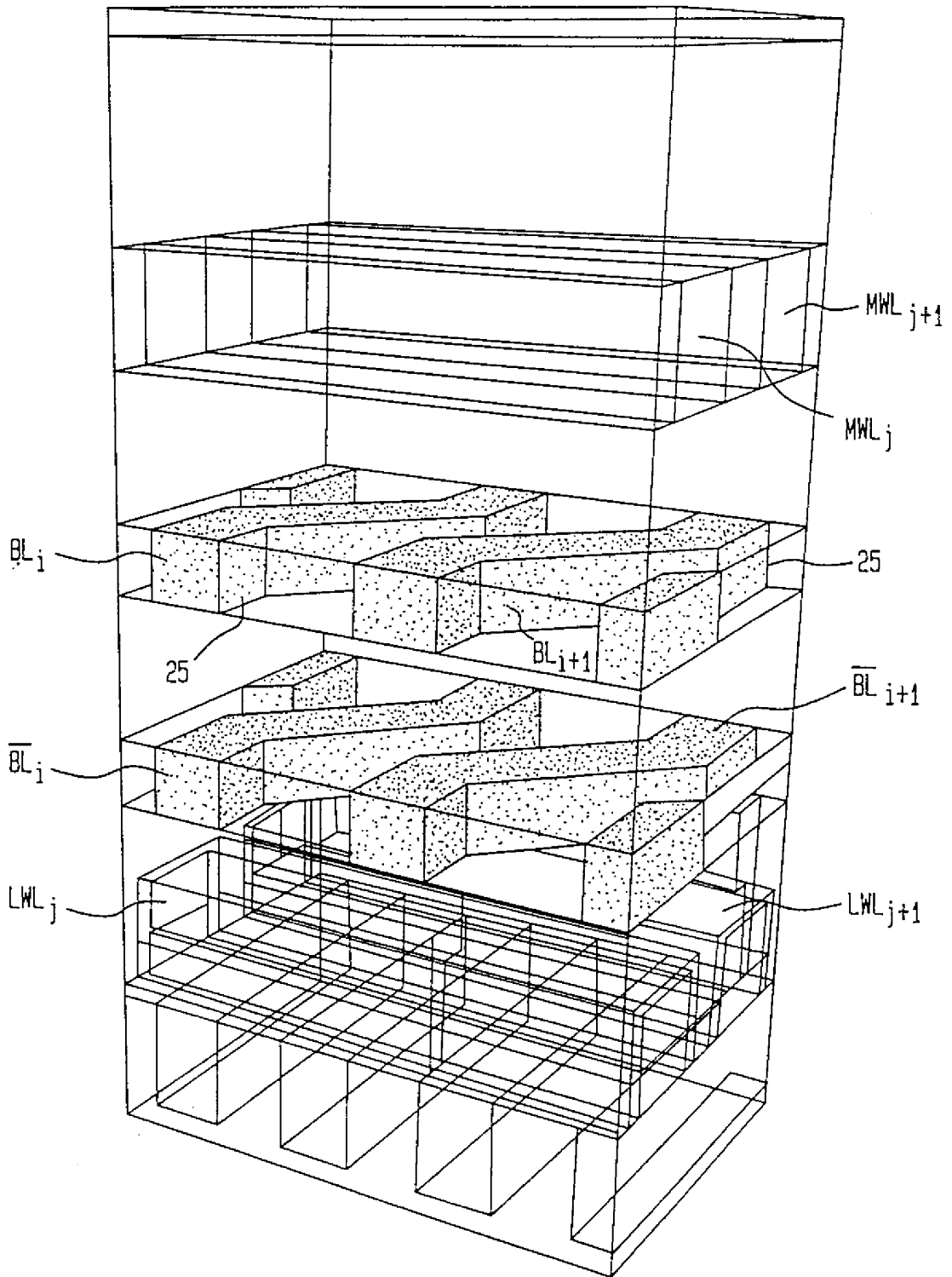
第 7 圖

439061

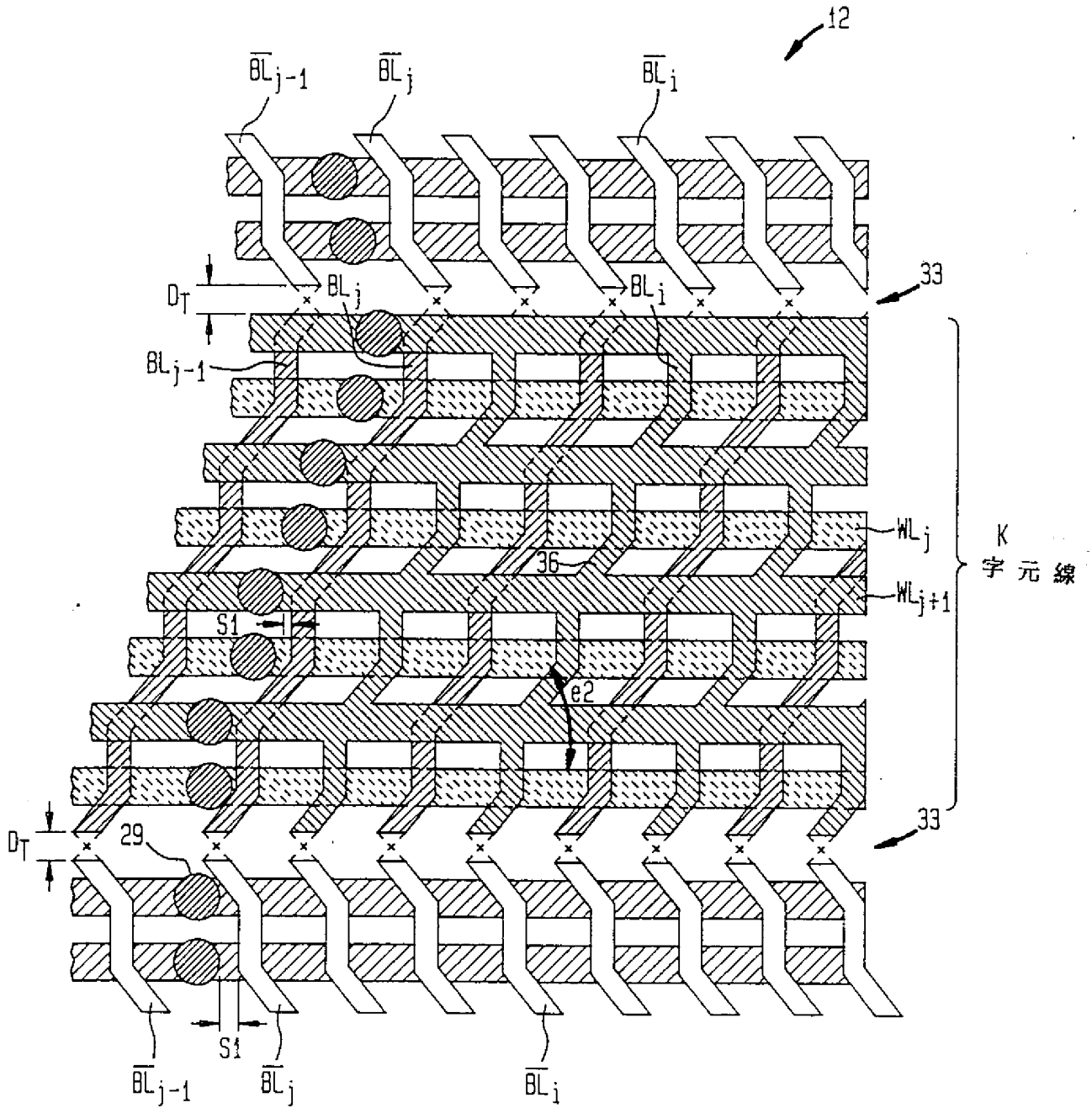
97 P 7643

7/9

439063



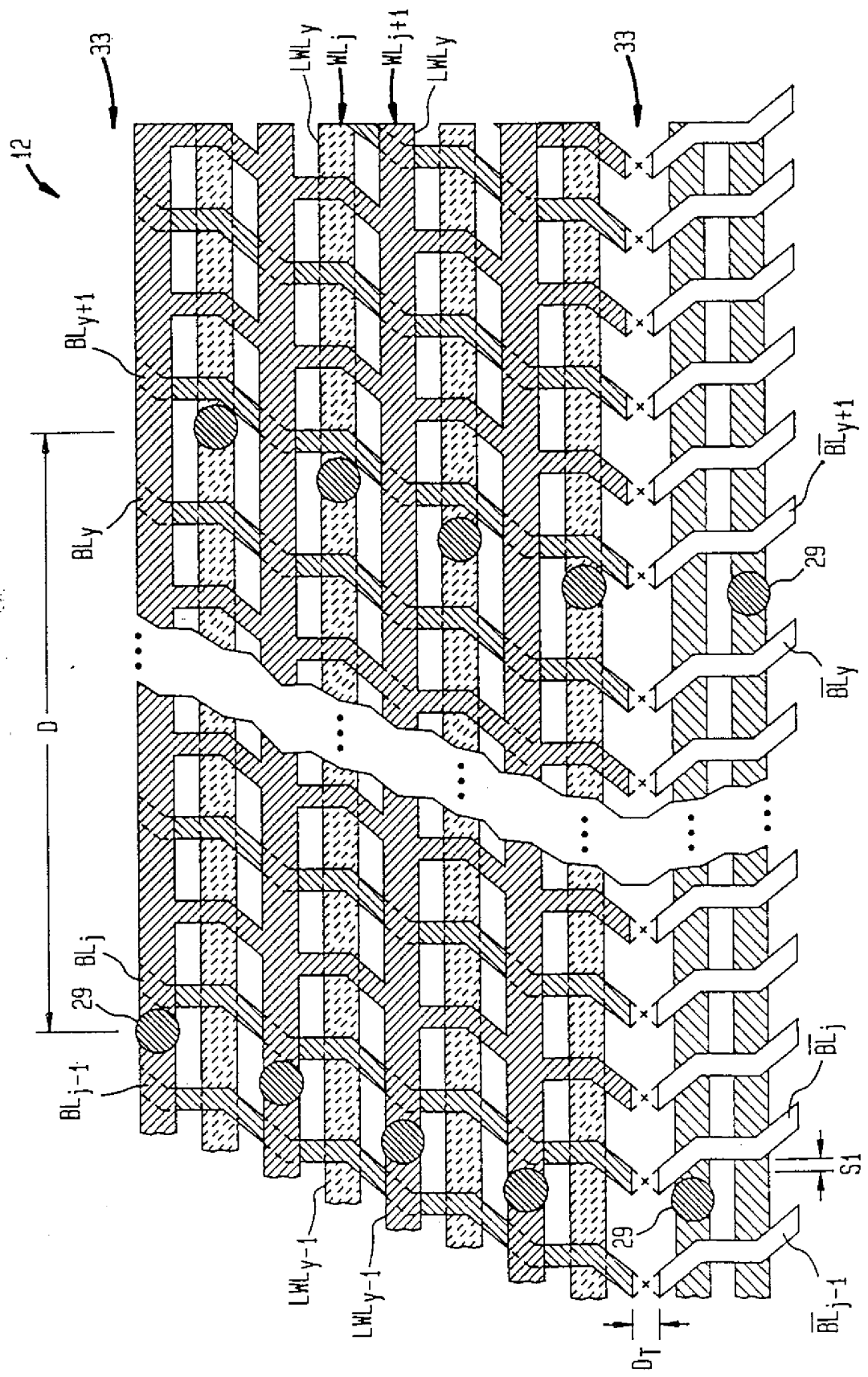
第 8 圖



第 9 圖

439061

439063



第10圖

# 公告本

90年3月5日修正  
補充

申請日期	88.1.19
案號	57116172
類別	G11C 5/6 · H01L 27/8

(以上各欄由本局填註)

439063

## 發明專利說明書 (89年5月修正)

一、發明 名稱	中文	具有斜交位元線及雙重字元線之高密度半導體記憶體
	英文	High density semiconductor memory having diagonal bit lines and dual word lines
二、發明 創作人	姓名	1. 吉哈德慕勒 (Gerhard Mueller) 2. 桐畑俊明 (Toshiaki Kirihata) 3. 漢茲荷尼格米德 (Heinz Hoenigschmid)
	國籍	1. 德國 2. 日本 3. 德國
	住、居所	1. 美國紐約州12590瓦平格斯瀑布城景道168號 2. 美國紐約州12603泡奇普西米斯堤瑞屈圓環10號 3. 美國紐約州12590瓦平格斯瀑布城景道98號
三、申請人	姓名 (名稱)	1. 西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT) 2. 國際商業機器股份有限公司 (International Business Machines Corporation)
	國籍	1. 德國 2. 美國
	住、居所 (事務所)	1. 德國慕尼黑D-80333威田巴契廣場2號 2. 美國紐約州10504艾蒙克新橡路
	代表人 姓名	1. 貝斯納 (Basner) 雷哈特 (Reinhardt) 2. 傑佛瑞 L. 霍曼 (Jeffrey L. Forman)

裝

訂

線

90年3月5日修正  
補充

439063

A7  
B7

### 五、發明說明( > )

~~439061~~

電真及互補位元線，且然後在該電壓處形成漂浮狀態。為了從真晶胞中讀取，開啓該存取電晶體，使在真位元線上的電壓準位依記憶體晶胞電容共同之電荷而變。在互補位元線上的電壓仍維持預充電電壓，在此一差動電壓作用在感測放大器上。然後感測放大器放大該差動電壓以用於讀取及儲存操作的固態邏輯準位。同樣地，為了從互補晶胞中讀取，真位元線維持在預充電準位，而耦合互補晶胞的電壓上升，在此由感測放大器放大類比差動電壓。

設計上用於減少記憶體晶胞存取時間(字元線的RC時間常數)的字元線配置在此稱為雙重字元線配置。雙重字元線包含一配置上持續跨過所有記憶體晶胞陣列或次陣列的主字元線，及多個局部字元線，其彼此互相連接或分開，各均電連接相關列上預定記憶體的記憶體晶胞至主字元線。陣列中的各列使用一主字元線及多個局部字元線。各主字元線覆蓋不同垂直間隔層上的相關局部字元線，而容許的介質層分開兩層。主字元線包含如鋁的低電阻金屬，在此局部字元線基本上包含上方具矽層的高摻雜多晶矽。在稱為"接縫"架構中，局部字元線經該層間的周期電洞接點(接縫)而連接相關的主字元線。"分段"雙重字元線架構中，使用FET開關的字元線驅動器使用取代穿越洞接點。在任何一種方法中，在任何給定記憶體晶胞之路徑中的總電阻實際上已減少。隨著低字元線電阻，與各字元線相關的RC時間常數減少，因此減少

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

90年3月15日修正  
補充

~~439061~~

## 六、申請專利範圍

### 439063

第 87116172 號「具有斜交位元線及雙重字元線之高密度半導體記憶體」專利案 (90年 3月修正)

六申請專利範圍：

1. 一種半導體記憶體，包含

一配置成行及列之記憶體晶胞的記憶體晶胞陣列；

多個在一圖樣中配置的斜交位元線，其在沿該記憶體晶胞陣列的水平方向中改變，以簡化對該記憶體晶胞的存取作業；

多個與該位元線非正交的雙重字元線，其中雙重字元線包含第一層上的主字元線及在第二層上的多個局部字元線，該局部字元線經多個間隔的電結件而連接主字元線，各局部字元線連接多個記憶體晶胞；

其中該電結件的圖樣大致上沿記憶體晶胞陣列在水平方向中改變。

2. 如申請專利範圍第 1 項之半導體記憶體，其中該電結件為介於該第一及第二層之間的電接點。

3. 如申請專利範圍第 1 項之半導體記憶體，其中該位元線為折摺的位元線。

4. 如申請專利範圍第 3 項之半導體記憶體，其中在該折摺位元線中的垂直扭轉係在半導體記憶體中位元線圖樣發生改變的水平方向之區域中發生。

5. 如申請專利範圍第 1 項之半導體記憶體，其中該位元線配置為形開 (open) 位元線之形態。

六、申請專利範圍

~~439061~~

6. 如申請專利範圍第 1 項之半導體記憶體，其中該記憶體晶胞大致上為  $6F^2$  之晶胞。
7. 如申請專利範圍第 1 項之半導體記憶體，其中該電結件在交替的不同列中以交錯方式配置該電結件上。
8. 如申請專利範圍第 1 項之半導體記憶體，其中同一列中相鄰電結件之間的距離隨著任意給定列而變，以大致上等化沿該列中存取記憶體晶胞的延遲時間。
9. 如申請專利範圍第 1 項之半導體記憶體，其中在水平方向改變的圖樣為一鋸齒形的圖樣。
10. 如申請專利範圍第 1 項之半導體記憶體，該記憶體包含一動態隨機存取記憶體。
11. 一種半導體記憶體，包含
  - 一在第一平面上具主表面的記憶體晶胞陣列；
  - 多個位元線，其中 1 位元線包含耦合多個真記憶體晶胞的真位元線，及耦合多個互補記憶體晶胞之相關的互補位元線，該真位元線周期性地隨著相關之互補位元線扭轉，使得真位元線可在與第一平面正交的第二平面上交替地覆蓋該位元線或為該位元線所覆蓋，以簡化與記憶體晶胞的電結件；
  - 多個與該位元線不正交的雙重字元線，其中一雙重字元線包含一在第一層上的主字元線及多個在第二層上的局部字元線，局部字元線經多個間隔電結件連接同一列上的主字元線，各局部字元線連接多個記憶體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

~~439063~~  
晶胞：

其中多個位元線對大致上以鋸齒形態沿著對應雙重字元線之第一平面上的記憶體晶胞陣列配置，而該電結件大致上沿記憶體晶胞陣列的該鋸齒形圖樣配置。

12. 如申請專利範圍第 11 項之半導體記憶體，其中該電結件包含在第一及第二層中的電接點。
13. 如申請專利範圍第 11 項之半導體記憶體，其中該位元線一般配置在對應該字元線之該鋸齒形圖樣的交錯第一及第二傾斜方向上，且該位元線在水平方向發生改變處的圖樣部位呈三維之扭轉。
14. 如申請專利範圍第 11 項之半導體記憶體，其中同一列之局部字元線彼此相分開。
15. 如申請專利範圍第 11 項之半導體記憶體，其中同一列之局部字元線為電持續導通者。
16. 如申請專利範圍第 11 項之半導體記憶體，其中該位元線包含多個第一部位及第二部位，且該第一部位的方向正交該字元線，且該第二部位對於該字元線相交一第一角度，其中該第一及第二部位形成該鋸齒形態，而與該字元線間夾一第二角。
17. 如申請專利範圍第 11 項之半導體記憶體，其中該記憶體包含一動態隨機存取記憶體。
18. 如申請專利範圍第 11 項之半導體記憶體，其中該記憶體晶胞佔據一約  $6F^2$  的區域， $F$  為記憶體元件之最小特

90年3月5日 修正  
補充

439063

A8  
B8  
C8  
D8

六、申請專利範圍

~~439061~~

徵尺寸。

19. 如申請專利範圍第 11 項之半導體記憶體，更包含在該接縫中個別之接縫兩側的冗餘位元線。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線