



(12) 发明专利

(10) 授权公告号 CN 102420249 B

(45) 授权公告日 2014. 08. 27

(21) 申请号 201110277860. 6

(22) 申请日 2011. 09. 19

(30) 优先权数据

216583/2010 2010. 09. 28 JP

(73) 专利权人 株式会社东芝

地址 日本东京都

(72) 发明人 大田浩史 角保人 木村淑

铃木纯二 入船裕行 斋藤涉

小野升太郎

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 徐冰冰 黄剑锋

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 29/06 (2006. 01)

(56) 对比文件

JP 2007227541 A, 2007. 09. 06,

CN 101794813 A, 2010. 08. 04,

US 2002005548 A1, 2002. 01. 17,

JP 2007129086 A, 2007. 05. 24,

审查员 赵龙凤

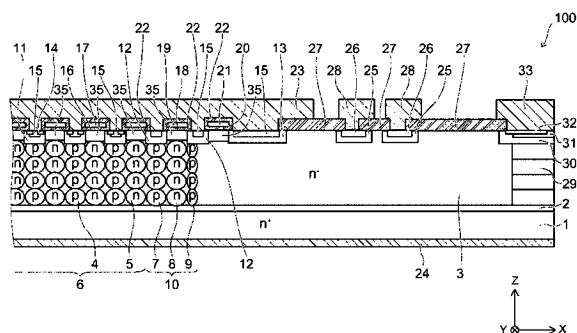
权利要求书3页 说明书10页 附图6页

(54) 发明名称

功率半导体装置

(57) 摘要

一种功率半导体装置,在第一导电型的第一半导体层(1)的第一表面上,相邻接地包括第一柱区域(6)、第二柱区域(10)、及第一导电型的外延层(3)。第一柱区域(6)具有交替配置的多个第二导电型的第一柱层(4)及多个第一导电型的第二柱层(5),多个第二导电型的第一基极层(11)相隔开地连接在多个第一柱层(4)的各个之上。第二柱区域(10)相邻接地具有第二导电型的第三柱层(7)、第一导电型的第四柱层(8)、及第二导电型的第五柱层(9)。多个第二导电型的第二基极层(12)相隔开地连接在第三柱层及第五柱层的各个之上。多个源极层选择性地形成在多个第一基极层各自的表面。



1. 一种功率半导体装置,其特征在于,包括:

第一导电型的第一半导体层,具有第一表面;

第一柱区域,在所述第一半导体层的所述第一表面上,将多个第二导电型的第一柱层与多个第一导电型的第二柱层沿着与所述第一表面平行的第一方向交替地重复配置而构成;

第二柱区域,在所述第一半导体层的所述第一表面上,沿着所述第一方向而与所述第一柱区域的所述第二柱层相邻接,且包含柱组及第二导电型的第五柱层,所述柱组包含至少一个第二导电型的第三柱层、及沿着所述第一方向而与所述第三柱层相邻接的第一导电型的第四柱层,所述第二导电型的第五柱层沿着所述第一方向而与所述柱组相邻接;

第一导电型的外延层,在所述第一半导体层的所述第一表面上,沿着所述第一方向而与所述第二柱区域相邻接,且第一导电型杂质浓度比所述第二柱层低;

多个第二导电型的第一基极层,电连接在所述多个第一柱层的各个之上,且以彼此隔开的方式设置;

多个第二导电型的第二基极层,电连接在所述第三柱层及所述第五柱层的各个之上,且以彼此隔开的方式设置;

第二导电型的第三基极层,在所述外延层的表面,以与所述多个第二基极层中连接在所述第五柱层上的第二基极层相隔开地相邻的方式设置;

多个第一导电型的源极层,选择性地形成在所述多个第一基极层各自的表面,且第一导电型杂质浓度比所述外延层高;

第一栅电极,隔着第一栅极绝缘膜而设置在所述多个第一基极层中相邻的第一基极层的各个之上、所述多个源极层中形成在所述相邻的第一基极层上的源极层上、及所述第二柱层上;

第二栅电极,隔着第二栅极绝缘膜而设置在所述多个第二基极层中相邻的第二基极层的各个之上、及所述第四柱层上;

第三栅电极,隔着第三栅极绝缘膜而设置在所述第三基极层、及连接在所述第五柱层上的所述第二基极层的各个之上;

第一电极,电连接地设置在所述第一半导体层的与所述第一表面为相反侧的表面;以及

第二电极,与所述源极层、所述第一基极层、所述第二基极层、及所述第三基极层的各个电连接。

2. 根据权利要求1所述的功率半导体装置,其特征在于,

所述柱组包含沿着所述第一方向配置的单一的第三柱层及单一的第四柱层。

3. 根据权利要求1所述的功率半导体装置,其特征在于,

所述柱组包含沿着所述第一方向交替地重复配置的多个第三柱层及多个第四柱层,所述多个第二基极层彼此相隔开地电连接在所述多个第三柱层的各个之上。

4. 根据权利要求1所述的功率半导体装置,其特征在于,

设置着多个第一导电型的第三半导体层,所述多个第一导电型的第三半导体层在相邻的所述第一基极层之间与所述第二柱层电连接,在相邻的所述第二基极层之间与所述第四柱层电连接。

5. 根据权利要求 1 所述的功率半导体装置,其特征在于,
在与所述第一表面平行的平面内,形成为所述第五柱层的第二导电型杂质质量比所述第三柱层的第二导电型杂质质量少。

6. 根据权利要求 1 所述的功率半导体装置,其特征在于,
所述第二柱区域在所述第五柱层与所述外延层之间还包括第一导电型的第六柱层。

7. 根据权利要求 6 所述的功率半导体装置,其特征在于,
在与所述第一表面平行的平面内,形成为所述第六柱层的第一导电型杂质质量比所述第四柱层的第一导电型杂质质量少。

8. 根据权利要求 1 所述的功率半导体装置,其特征在于,
所述第三基极层的沿着第一方向的宽度比所述第二基极层沿着该第一方向的宽度宽。

9. 根据权利要求 1 所述的功率半导体装置,其特征在于,
在所述第一半导体层、与所述第一柱区域及所述第二柱区域之间,还包括第一导电型的第四半导体层。

10. 根据权利要求 1 所述的功率半导体装置,其特征在于,
在所述第一半导体层与所述第一电极之间,还包括第二导电型的第五半导体层。

11. 根据权利要求 1 所述的功率半导体装置,其特征在于,
所述第一栅电极隔着所述第一栅极绝缘膜埋入第一沟槽内而形成,在所述第一沟槽中,相邻的所述第一基极层在侧壁露出且所述第二柱层在底面露出;

所述第二栅电极隔着所述第二栅极绝缘膜埋入第二沟槽内而形成,在所述第二沟槽中,相邻的所述第二基极层在侧壁露出且所述第四柱层在底面露出;

所述第三栅电极隔着所述第三栅极绝缘膜埋入第三沟槽内而形成,在所述第三沟槽中,连接在所述第五柱层上的所述第二基极层与所述第三基极层在侧壁露出且所述外延层在底面露出。

12. 根据权利要求 11 所述的功率半导体装置,其特征在于,
所述柱组包含沿着所述第一方向配置的单一的第三柱层及单一的第四柱层。

13. 根据权利要求 11 所述的功率半导体装置,其特征在于,
所述柱组包含沿着所述第一方向交替地重复配置的多个第三柱层及多个第四柱层,所述多个第二基极层彼此相隔开地电连接在所述多个第三柱层的各个之上。

14. 根据权利要求 11 所述的功率半导体装置,其特征在于,
在与所述第一表面平行的平面内,形成为所述第五柱层的第二导电型杂质质量比所述第三柱层的第二导电型杂质质量少。

15. 根据权利要求 11 所述的功率半导体装置,其特征在于,
所述第二柱区域在所述第五柱层与所述外延层之间还包括第一导电型的第六柱层。

16. 根据权利要求 15 所述的功率半导体装置,其特征在于,
在与所述第一表面平行的平面内,形成为所述第六柱层的第一导电型杂质质量比所述第四柱层的第一导电型杂质质量少。

17. 根据权利要求 11 所述的功率半导体装置,其特征在于,
所述第三基极层的沿着第一方向的宽度比所述第二基极层沿着该第一方向的宽度宽。

18. 根据权利要求 11 所述的功率半导体装置,其特征在于,

在所述第一半导体层、与所述第一柱区域及所述第二柱区域之间,还包括第一导电型的第四半导体层。

19. 根据权利要求 11 所述的功率半导体装置,其特征在于,
在所述第一半导体层与所述第一电极之间,还包括第二导电型的第五半导体层。

功率半导体装置

[0001] 本申请基于且主张 2010 年 9 月 28 日申请的在先日本专利申请第 2010-216583 号的优先权的权益,此申请案的全部内容以引用的方式并入本文。

技术领域

[0002] 本发明的实施方式涉及一种功率 MOSFET 等大功率半导体装置。

背景技术

[0003] 功率 MOSFET (Metal Oxide Semiconductor Field Effect Transistor, 金属氧化物半导体场效应晶体管) 包括流通电流的元件区域、及包围所述元件区域而形成在芯片的外周部的终端区域。当在功率 MOSFET 的漂移(drift)层发生雪崩击穿(avalanche breakdown)时,为了防止功率 MOSFET 的破坏,需要使因雪崩击穿所产生的载流子从元件区域侧排出到源电极。这是因为元件区域的使载流子排出到源电极的剖面面积要比终端区域的使载流子排出到源电极的剖面面积宽,所以排出电阻低,从而可防止因电流集中所引起的元件破坏。因此,理想的是将元件区域的耐压设定得比终端区域的耐压低。

[0004] 另外,为了提高功率 MOSFET 的耐压,漂移层需要为杂质浓度低的高阻层。然而,因为欲在元件区域内降低通态电阻,所以期望漂移层为杂质浓度高的低阻层。如上所述,在功率 MOSFET 的耐压与通态电阻之间存在着折衷选择(trade-off)关系。为了改善所述折衷选择关系,在功率 MOSFET 的漂移层中采用超结结构(super junction structure)。通过将超结结构用于漂移层,可一边提高电流路径的杂质浓度,一边提高功率 MOSFET 的耐压。

[0005] 功率 MOSFET 的漂移层被设计成在元件区域具有维持高耐压的同时实现了通态电阻降低的超结结构,且在终端区域具有即使电阻高但耐压更高的高阻层。此种结构的功率 MOSFET 中,因比起终端区域更可能会在元件区域内发生雪崩击穿,所以具有高雪崩耐量(avalanche ruggedness)、低通态电阻及高耐压的特性。

发明内容

[0006] 本发明的实施方式提供一种可抑制终端区域内的元件破坏的半导体装置。

[0007] 本发明的实施方式的功率半导体装置包括:具有第一表面的第一导电型的第一半导体层,第一柱区域,第二柱区域,第一导电型的外延层,多个第二导电型的第一基极层,多个第二导电型的第二基极层,第二导电型的第三基极层,多个第一导电型的源极层,第一栅电极,第二栅电极,第三栅电极,第一电极,及第二电极。所述第一柱区域是在所述第一半导体层的所述第一表面上,多个第二导电型的第一柱层与多个第一导电型的第二柱层沿着与所述第一表面平行的第一方向交替地重复配置而构成。所述第二柱区域是在所述第一半导体层的所述第一表面上,沿着所述第一方向而与所述第一柱区域的所述第二柱层相邻接,且包含柱组(pillar set)及第二导电型的第五柱层,所述柱组包含至少一个第二导电型的第三柱层、及沿着所述第一方向而与所述第三柱层相邻接的第一导电型的第四柱层,所述第二导电型的第五柱层沿着所述第一方向而与所述柱组相邻接。所述外延层是在所述第一

半导体层的所述第一表面上,沿着所述第一方向而与所述第二柱区域相邻接,且第一导电型杂质浓度比所述第二柱层低。所述多个第一基极层电连接在所述多个第一柱层的各个之上且以彼此相隔开的方式设置。所述多个第二基极层电连接在所述第三柱层及所述第五柱层的各个之上且以彼此相隔开的方式设置。所述第三基极层是在所述外延层的表面,以与连接在所述第五柱层上的第二基极层相隔开地相邻的方式设置。所述多个源极层选择性地形成在所述多个第一基极层各自的表面,且第一导电型杂质浓度比所述外延层高。所述第一栅电极隔着第一栅极绝缘膜而设置在所述多个第一基极层中相邻的第一基极层的各个之上、所述多个源极层中形成在所述相邻的第一基极层上的源极层上、及所述第二柱层上。所述第二栅电极隔着第二栅极绝缘膜而设置在所述多个第二基极层中相邻的第二基极层的各个之上、及所述第四柱层上。所述第三栅电极隔着第三栅极绝缘膜而设置在所述第三基极层及连接在所述第二导电型的第五柱层上的所述第二基极层的各个之上。所述第一电极电连接地设置在所述第一半导体层的与所述第一表面为相反侧的表面。所述第二电极与所述源极层、所述第一基极层、所述第二基极层、及所述第三基极层的各个电连接。

[0008] 根据本发明的实施方式,可提供一种能够抑制终端区域内的元件破坏的半导体装置。

附图说明

[0009] 图 1 是第一实施方式的功率半导体装置的主要部分的示意剖视图。

[0010] 图 2 是第一实施方式的功率半导体装置的示意俯视图。

[0011] 图 3 是比较例的功率半导体装置的主要部分的示意剖视图。

[0012] 图 4 是第二实施方式的功率半导体装置的主要部分的示意剖视图。

[0013] 图 5 是第三实施方式的功率半导体装置的主要部分的示意剖视图。

[0014] 图 6 是第四实施方式的功率半导体装置的主要部分的示意剖视图。

具体实施方式

[0015] 以下,一边参照附图一边对本发明的实施方式进行说明。实施方式中的说明所使用的图是为了使说明变得容易而示意性表示的图,图中的各要素的形状、尺寸、大小关系等在实际实施时并不限于必须如图所示,在可取得本发明的效果的范围内可适当地进行变更。虽以第一导电型为 n 型、第二导电型为 p 型来进行说明,但也可分别设为与此相反的导电型。作为半导体,虽以硅为一例进行说明,但也可应用于 SiC 或 GaN 等化合物半导体。作为绝缘膜,虽以氧化硅膜为一例进行说明,但也可使用氮化硅膜、氮氧化硅膜、氧化铝等其他绝缘体。在以 n^+ 、 n 、 n^- 来表述 n 型的导电型的情况下,设为依照 n^+ 、 n 、 n^- 的顺序 n 型杂质浓度降低。p 型也同样地设为依照 p^+ 、 p 、 p^- 的顺序 p 型杂质浓度降低。

[0016] (第一实施方式)

[0017] 使用图 1 对第一实施方式进行说明。图 1 是本发明的第一实施方式的功率半导体装置 100 的主要部分的示意剖视图。图 2 是功率半导体装置 100 的俯视图。沿图 2 的 A-A 线的箭头方向所看到的剖面为图 1。图 2 的俯视图中省略了图 1 中的下述的场电极(field plate electrode) 28。

[0018] 如图 1 及图 2 所示,本实施方式的半导体装置 100 以如下方式构成。在 n 型杂质

浓度例如为 $1 \times 10^{19} \sim 1 \times 10^{20}/\text{cm}^{-3}$ 的 n^+ 型漏极层 1 的第一表面上,形成 n 型杂质浓度比第一半导体层低的 n 型缓冲层 2。第一柱区域 6 形成在 n 型缓冲层 2 的表面上。第一柱区域 6 为沿着与第一半导体层 1 的第一表面平行的图 1 中的 X 方向(第一方向)交替重复着多个 n 型的第一柱层 4 与多个 p 型的第二柱层 5 的超结结构。第一柱层 4 及第二柱层 5 在作为堆积方向的相对于第一表面垂直的方向(图 1 中的 Z 方向)上延伸。而且,第一柱层 4 及第二柱层 5 为在第一表面内在与 X 方向正交的 Y 方向上延伸的条纹结构。

[0019] 第二柱区域 10 在 n 型缓冲层 2 的表面上沿着 X 方向与第一柱区域 6 相邻接地形成。第二柱区域 10 具有 p 型的第三柱层 7、 n 型的第四柱层 8、及 p 型的第五柱层 9。第三柱层 7 沿着图 1 中的 X 方向而与第一柱区域 6 的多个第二柱层 5 中的一个相邻接。第四柱层 8 沿着 X 方向而与第三柱层 7 相邻接。第五柱层 9 沿着 X 方向而与第四柱层 8 相邻接。采用另一种表达方式来说,第三柱层 7 与第四柱层 8 构成柱组,第五柱层 9 沿着 X 方向而与该柱组相邻接。本实施方式中,柱组包含一组第三柱层 7 与第四柱层 8,而在下述实施例中,该柱组包含多组第三柱层 7 与第四柱层 8。第三柱层 7、第四柱层 8 及第五柱层 9 与第一及第二柱层 4、5 同样地在 Z 方向上延伸。而且,第三柱层 7、第四柱层 8 及第五柱层 9 为在第一表面内在与 X 方向正交的 Y 方向上延伸的条纹结构。

[0020] 在第一柱区域内, p 型的第一柱层与 n 型的第二柱层形成为在各柱层整体上杂质质量相等。尤其是如果为如下的状态,即 p 型的第一柱层与 n 型的第二柱层的与图中 X 方向垂直的剖面中的每单位面积内的 p 型杂质质量与 n 型杂质质量相等(取得平衡),则 p 型的第一柱层与 n 型的第二柱层形成为如下状态,即,在图中 Z 方向的各位置(各深度)的与 n^+ 型漏极层 1 的第一表面平行的平面内, p 型杂质质量与 n 型杂质质量相等。由此,在如下述般对源极层与漏极层施加了反向偏置电压(reverse bias voltage)时,即便各柱层的杂质浓度高,也可使第一柱区域整体耗尽。第二柱区域也同样地形成 p 型的第三柱层与 n 型的第四柱层的杂质质量相等。另外,能够通过使 p 型的第一及第三柱层形成为相同的柱层,且使 n 型的第二及第四柱层形成为相同的柱层,而贯穿第一及第二柱区域整体取得杂质质量的平衡。

[0021] p 型的第五柱层也能以与第三柱层相同的杂质质量而形成。然而,因第五柱层形成在第二柱区域的端部,所以理想的是与相邻接的 n 型的第四柱层的沿着 X 方向的一半区域取得杂质质量的平衡。也就是,在与 n^+ 型漏极层 1 的第一表面平行的平面内,只要第五柱层 9 的 p 型杂质质量比第三柱层 7 的 p 型杂质质量少即可,但理想的是优选设为第三柱层的 p 型杂质质量的大约一半。由此,即便在第二柱区域的端部,也能够施加反向偏置时使该第二柱区域的端部完全地耗尽。

[0022] n 型杂质浓度例如为 $1 \times 10^{15} \sim 1 \times 10^{16}/\text{cm}^{-3}$ 的 n^- 型外延层 3,在 n 型缓冲层 2 的表面上沿着 X 方向与第二柱区域 10 的 p 型的第五柱层 9 相邻接地形成。 n^- 型外延生长层 3 的 n 型杂质浓度比第二及第四柱层 5、8 的 n 型杂质浓度低。

[0023] n 型沟道截断环层 29 沿着 X 方向在与第二柱区域相反的一侧与 n^- 型外延层 3 相邻接地形成。 n 型沟道截断环层 29 在利用切割(dicing)而分离成一个一个的功率半导体装置 100 的沿着外周的端部露出而形成。 n 型沟道截断环层 29 的 n 型杂质浓度可设为与第二及第四柱层的 n 型杂质浓度相同。

[0024] 所述第一至第五柱层虽未进行图示的详细说明,但作为一例能够以如下方式制作而成。例如在 n^+ 型漏极层 1 的第一表面上,形成 n 型杂质浓度比 n^+ 型漏极层 1 低的 n 型缓

冲层 2 后,使 n^- 型外延层 3 的第一层在 n 型缓冲层 2 的整个表面外延生长。然后,在 n^- 型外延层 3 的第一层的表面上,使用掩模选择性地对将要形成 p 型的第一、第三、及第五柱层 4、7、9 的区域,以规定的剂量及规定的宽度离子注入 p 型杂质。之后,使用另一掩模对将要形成 n 型的第二及第四柱层 5、8 的区域,以规定的剂量及规定的宽度离子注入 n 型杂质。另外,可通过同时对将要形成沟道截断环层 29 的区域进行离子注入,而在形成 n 型的第二及第四柱层 5、8 的同时形成沟道截断环层 29。

[0025] 然后,使 n^- 型外延层 3 的第二层与第一层同样地在第一层上外延生长之后,与上述同样地,进行用于形成 p 型的第一、第三、及第五柱层的 p 型杂质的离子注入、以及用于形成 n 型的第二及第四柱层与 n 型的沟道截断环层 29 的 n 型杂质的离子注入。之后,重复所述步骤,在本实施方式中重复 4 次后,在高温下进行热处理以使 n 型杂质及 p 型杂质扩散,由此如图 1 所示,功率半导体装置 100 在漂移层具有沿着 X 方向相邻接的第一至第五柱层 4、5、7、8、9、 n^- 型外延层 3、以及 n 型沟道截断环层 29。关于 p 型杂质的离子注入与 n 型杂质的离子注入的顺序,哪个在前均可。另外,本实施方式中,通过重复 4 次外延生长与离子注入的步骤,而使 n 型杂质扩散层与 p 型杂质扩散层形成 4 层,使各个杂质扩散层沿着第一表面的垂直方向(Z 方向)连结,从而形成 p 型柱层及 n 型柱层。可通过增加所述外延生长与离子注入的步骤的重复次数,而使各柱层的厚度增加,从而可进一步提高功率半导体装置 100 的耐压。

[0026] 在以所述方式形成第一柱区域与第二柱区域时,作为取得杂质量的平衡的方法,例如只要在所述 n 型杂质与 p 型杂质的离子注入的步骤中,使剂量相等,并使图中 X 方向上的离子注入的区域的宽度(柱宽)相等即可。既可以在第一区域与第二区域的各区域内使 n 型杂质与 p 型杂质的各柱宽与各剂量相等,也可以贯穿第一区域与第二区域在整体上使 n 型杂质与 p 型杂质的各柱宽与剂量相等。理想的是位于第二柱区域的端部的 p 型的第五柱层如所述般以成为相邻接的 n 型的第四柱层的杂质量的大约一半的方式而形成。因此,只要将第五柱层的柱宽以成为第一及第三柱宽的大约一半的方式形成即可。

[0027] 另外,作为所述以外的柱层的形成方法,例如还可利用外延生长等向形成在 n^- 型外延层 3 中的沟槽内埋入 p 型半导体层及 n 型半导体层,由此形成 p 型柱层及 n 型柱层。

[0028] 多个第一 p 型基极层 11 电连接在第一柱区域 6 中的多个 p 型的第一柱层 4 的各个之上而形成。在各个相邻的第一 p 型基极层 11 之间,形成着包含 n 型半导体层的多个 JFET (junction field effect transistor, 结型场效应晶体管) 层 35。JFET 层 35 电连接在多个 n 型的第二柱层 5 的各个之上。多个 n^+ 型源极层 14 选择性地形成在多个第一 p 型基极层 11 各自的表面上。多个第一栅电极 17 以隔着第一栅极绝缘膜 16 横跨分别相邻的第一 p 型基极层 11 的方式形成。也就是,各个第一栅电极 17 隔着第一栅极绝缘膜 16 而形成在如下三个部分上,即 JFET 层 35 上、夹着所述 JFET 层 35 而相邻的第一 p 型基极层 11 的各自相向的一部分上、以及选择性地形成在相邻的第一 p 型基极层 11 的各自的表面的 n^+ 型源极层 14 上。形成着所述 n^+ 型源极层 14 的第一柱区域是如下述般电流从 n^+ 型漏极层 1 经由 n 型的第二柱层 5 及 p 型基极层 11 而流向 n^+ 型源极层 14 的元件区域。终端区域在比所述元件区域靠功率半导体装置 100 的端部(切割线的部分)侧包围元件区域而形成。

[0029] 两个相邻的第二 p 型基极层 12 分别电连接在第二柱区域 10 中的 p 型的第三柱层 7 上及 p 型的第五柱层 9 上,且彼此相隔开地形成。因为形成着所述第二 p 型基极层 12 的

第二柱区域 10 是不流通电流的终端区域,所以在第二 p 型基极层 12 的表面并未形成 n 型源极层 14。与第一柱区域 6 上同样地,在相邻的第二 p 型基极层 12 之间,形成着包含 n 型半导体层的 JFET 层 35。所述 JFET 层 35 电连接在 n 型的第四柱层 8 上。第二栅电极 19 隔着第二栅极绝缘膜 18 而形成在由所述两个相邻的第二 p 型基极层 12 所夹着的 JFET 层 35 上、以及所述相邻的第二 p 型基极层 12 的各自相向的一部分上。另外,多个第一栅电极 17 中的位于最靠第二柱区域 10 侧的第一栅电极 17,隔着第一栅极绝缘膜 16 横跨在第一柱区域 6 的最端部处所形成的 p 型的第一柱层 4 上所形成的第一 p 型基极层 11 上、与第二柱区域 10 的 p 型的第三柱层 7 上所形成的第二 p 型基极层 12 上而形成。在所述第一栅电极 17 的下方,与其他第一栅电极 17 同样地存在 n 型的第二柱层 5 与 JFET 层 35。

[0030] 第三 p 型基极层 13 在 n⁻型外延层 3 的表面上的第二柱区域 10 侧,中间隔着 JFET 层 35 而与电连接地形成在第五柱层 9 上的第二 p 型基极层 12 相邻地形成。第三 p 型基极层 13 在 X 方向上的宽度可与第一 p 型基极层 11 或第二 p 型基极层 12 在 X 方向上的宽度相同,但理想的是宽度比第一 p 型基极层 11 或第二 p 型基极层 12 宽。这是因为需要如下所述般将因雪崩击穿所产生的空穴的电流在终端区域内高效地经由第三 p 型基极层 13 而排出到源电极。第三栅电极 21 隔着第三栅极绝缘膜 20 横跨在所述第五柱层 9 上所形成的第二 p 型基极层 12 上、与第三 p 型基极层 13 上而形成。因为第三 p 型基极层 13 与第二 p 型基极层 12 同样地形成在不流通电流的终端区域,所以该第三 p 型基极层 13 的表面也未形成 n⁺型源极层 14。

[0031] 两个相隔开的 p 型保护环层 25 是在 n⁻型外延层 3 的表面上的第三 p 型基极层 13 相隔开地形成。n 型半导体层 30 电连接地形成在沟道截断环层 29 的上部。绝缘膜 27 以覆盖第三 p 型基极层的切割线侧的端部上、p 型保护环层 25、及 n 型半导体层 30 的元件区域侧的端部上的方式形成。在绝缘膜 27 的开口部,场电极 28 经由 p⁺型接触层 26 而与 p 型保护环层 25 欧姆接合。在绝缘膜 27 的另一开口部,沟道截断电极 33 隔着 p⁺型半导体层 31 及 n⁺型半导体层 32 而形成在 n 型半导体层 30 上。沟道截断电极 33 经由 n⁺型半导体层 32 而与 n 型半导体层 30 欧姆接合且与沟道截断环层 29 电连接。

[0032] 这里,第一至第三 p 型基极层 11、12、13、JFET 层 35、p 型保护环层 25、n 型半导体层 30、p⁺型接触层 15、26、31、及 n⁺型源极层 14 例如可通过以下的方式形成。重复多次 n⁻型外延层 3 与 n 型及 p 型杂质的离子注入步骤,形成所述的第一及第二柱区域 6、10 以及沟道截断环层后,最后在整个表面形成 n⁻型外延层 3。然后,将所述绝缘膜 27 及第一至第三栅电极等用作掩模,在最后外延生长的 n⁻型外延层 3 中实施 n 型杂质及 p 型杂质的离子注入,之后实施热处理,从而形成所述各层。

[0033] 源电极 23 隔着层间绝缘膜 22 而形成在第一栅电极 17、第二栅电极 19、及第三栅电极 21 上,且与第一至第三栅电极 17、19、21 绝缘。源电极 23 经由分别形成在第一 p 型基极层 11 的表面上的 n⁺型源极层 14 之间、第二 p 型基极层 12 上、及第三 p 型基极层 13 上的 p⁺型接触层 15,而分别与第一 p 型基极层 11、第二 p 型基极层 12、及第三 p 型基极层 13 欧姆接合。漏电极 24 欧姆接合地形成在 n⁺型漏极层 1 的与第一表面为相反侧的第二表面。另外,第一至第三栅电极 17、19、21 在未图示的区域内相互电连接,且通过层间绝缘膜 22 的开口部而引出到功率半导体装置 100 的外部。源电极 23 及漏电极 24 也同样地在未图示的区域内引出到功率半导体装置 100 的外部。

[0034] 接下来,对本实施方式的功率半导体装置 100 的动作进行说明。如果在对漏电极 24 施加了相对于源电极 23 为正的电压的状态下,对第一栅电极 17 施加超过阈值的电压,则基于粒子数反转的沟道层在第一 p 型基极层 11 的表面的与第一栅电极 17 相向的部分,以将 n^+ 型源极层 14 与 n 型的第二柱层 5 连接的方式形成,从而功率半导体装置 100 成为导通(ON)状态。结果为,在第一柱区域 6 内,电流从漏电极 24 通过 n^+ 型漏极层 1、n 型的第二柱层 5、第一 p 型基极层 11、及 n^+ 型源极层 14 而流向源电极 23。所述电流是利用对第一栅电极 17 所施加的电压来进行控制。利用第二及第三栅电极而在第二及第三 p 型基极层中分别形成着沟道层,但由于并未形成 n^+ 型源极层 14,所以在第二柱区域 10 及 n^- 型外延层 3 内不流通电流。

[0035] 如果对第一栅电极 17 所施加的电压小于阈值,则沟道层会消失,因此功率半导体装置 100 成为断开(off)状态,从漏电极 24 流向源电极 23 的电流被阻断。随后,在施加到源电极 23 与漏电极 24 的电压的作用下,第一柱区域 6、第二柱区域 10、及 n^- 型外延层 3 分别耗尽。为了降低通态电阻而将第二及第四柱层 5、8 的 n 型杂质浓度设定得高,但因为是以与第一及第三柱层 4、7 的 p 型杂质质量相等的方式而形成的,所以第一柱区域 6 及第二柱区域 10 因被完全地耗尽而维持着高耐压。另外, n^- 型外延层 3 因无须降低通态电阻,所以杂质浓度低,因此易耗尽而耐压高。可通过降低杂质浓度来使耐压高于第一及第二柱区域。

[0036] 在第二柱区域 10 与 n^- 型外延层 3 的连接部分,第一及第二柱区域内连续的 p 型柱层与 n 型柱层的重复结构中断。在所述部分,难以保持 p 型杂质质量与 n 型杂质质量的平衡。本实施方式中,第五柱层 9 的 p 型杂质质量是以成为相邻接的第四柱层 8 的 n 型杂质质量的一半左右的方式而形成(也就是, p 型的第三柱层 7 的 p 型杂质质量的一半左右),从而在第四柱层 8 与第五柱层 9 的接合部取得了杂质质量的平衡。然而,所述连接部分与第一及第二柱区域中 4、5 的 p-n 结部相比,要取得杂质质量的平衡较为困难。因此,当功率半导体装置 100 为断开状态时,耐压低而易发生雪崩击穿。为了防止由因雪崩击穿所产生的空穴的电流集中而导致元件破坏,需要将因雪崩击穿所产生的空穴高效地(以低电阻)排出到源电极。本实施方式的功率半导体装置 100 中,第五柱层 9 中因雪崩击穿所产生的空穴不仅通过第三 p 型基极层 13,还通过与第五柱层 9 的上部连接的第二 p 型基极层 12 及与第三柱层 7 的上部连接的第二 p 型基极层 12 而排出到源电极 23。因第二 p 型基极层 12 并未形成 n^+ 型源极层 14,所以与第一 p 型基极层 11 相比第二 p 型基极层 12 与源电极 23 的接触面积较大,因此空穴排出时的电阻低。因此,由因雪崩击穿所产生的空穴电流的排出而引起的发热被抑制为少量。而且,因为在第二 p 型基极层 12 与第三 p 型基极层 13 中并未形成 n^+ 型源极层 14,所以并无因雪崩击穿的空穴电流引起 n^+ 型源极层 / 第二 p 型基极层(第三 p 型基极层) / 第四 n 型柱层(n^- 型外延层 3)的寄生晶体管(parasitic transistor)的锁存(latch up)的担忧。因此,本实施方式的功率半导体装置 100 在终端区域内的雪崩耐量高,可进行高耐压的动作。

[0037] 接下来,将本实施方式的功率半导体装置 100 与比较例的功率半导体装置 101 进行比较,来说明本实施方式的优点。图 3 是比较例的功率半导体装置 101 的主要部分的示意剖视图。另外,对于与本实施方式中所说明的构成相同的构成的部分使用相同的参照编号或符号并省略该部分的说明。主要对与本实施方式的不同之处进行说明。

[0038] 比较例的功率半导体装置 101 为如下结构:在本实施方式的功率半导体装置 100

中去除第二栅电极 19 与第二栅极绝缘膜 18、及第三栅电极 21 与第三栅极绝缘膜 20, 且将相邻的两个第二 p 型基极层 12 及第三 p 型基极层 13 分别相互沿水平方向(X 方向)连接而形成第三 p 型基极层 13a。源电极 23 经由 p⁺ 型接触层 15 而与第三 p 型基极层 13a 欧姆接合。除了所述方面以外, 比较例的功率半导体装置 101 与本实施方式的功率半导体装置 100 相同。

[0039] 比较例的功率半导体装置 101 与本实施方式的功率半导体装置 100 相比, 并不具有在第二柱区域 10a 的上部多个第二 p 型基极层 12 相隔开且中间具有 JFET 层 35 的结构, 因此第三 p 型基极层 13a 与源电极 23 的接触面积大。因此, 即便在第五柱层 9a 发生雪崩击穿, 比较例的功率半导体装置 101 的空穴向漏电极排出时的电阻也比本实施方式的功率半导体装置 100 低。然而, 功率半导体装置 101 在第二柱区域 10a 的上部, 在 n 型的第四柱层 8a 的上部存在第三 p 型柱层 13a。因此, 第二柱区域 10a 成为与第一柱区域 6 相比, 在源电极 23 侧的表面附近 p 型杂质量比 n 型杂质量多的状态。在第二柱区域 10a 内, 杂质量失去平衡, 可将第二柱区域 10a 整体近似地看作 p 型杂质量少的 p 型的半导体层。与此相对, 在第一柱区域 6 内, 在 n 型的第二柱层 5 上连接着 n 型的 JFET 层 35, 从而在源电极 23 侧也取得了 p 型杂质量与 n 型杂质量的平衡, 可将第一柱区域 6 整体近似地看作已完全耗尽的高阻层。在图 3 的下部表示了第一柱区域 6 及第二柱区域 10a 中的沿着 C1-C2 及 B1-B2 剖面的深度方向的电场强度分布。左侧为第一柱区域 6 的电场强度分布, 右侧为第二柱区域 10a 的电场强度分布。第一柱区域 6 是完全耗尽的, 因此电场强度相对于深度方向为固定。与此相对, 第二柱区域 10a 整体近似于 p 型半导体, 因而成为电场强度朝向源电极 23 侧逐渐下降的分布。因为耐压是深度方向的电场强度的积分值, 所以第二柱区域 10a 的耐压远低于第一柱区域 6。因此, 比较例的功率半导体装置 101 在终端区域内的耐压低, 所以在终端区域内易发生元件破坏。

[0040] 与此相对, 本实施方式的功率半导体装置 100 在第二柱区域 10 内与第一柱区域 6 同样地在 n 型柱层上具有 n 型的 JFET 层 35, 且形成隔着所述 JFET 层 35 而相邻的第二 p 型基极层 12, 在源电极 23 侧具有与第一柱区域 6 相同的柱结构。因此, 本实施方式的功率半导体装置 100 的第二柱区域 10 具有与第一柱区域 6 大致相同的耐压, 所以与比较例的功率半导体装置 101 相比, 终端区域内的耐压提高, 终端区域内的元件破坏受到抑制。比较例的功率半导体装置 101 的耐压为 640V, 而本实施方式的功率半导体装置 100 的耐压提高到了 670V。

[0041] 本实施方式的功率半导体装置 100 包括形成元件区域的第一柱区域 6、及沿着 X 方向而与所述第一柱区域 6 相邻接的第二柱区域 10。第二柱区域 10 包括柱组及沿着 X 方向而与所述柱组相邻接的第五柱层 9。柱组包括第三柱层 7、及沿着 X 方向而与所述第三柱层 7 相邻接的第四柱层 8。多个 p 型的第二基极层 12 电连接在第三柱层 7 及第五柱层 9 的各个之上且以彼此相隔开的方式设置。在所述第二 p 型基极层 12 中并未形成 n⁺ 型源极层 14。由此, 因雪崩击穿所产生的空穴以低电阻向第二柱区域 10 的上部的源电极 23 排出, 且锁存的发生也被抑制, 因此功率半导体装置 100 中, 在终端区域内的元件破坏可被抑制。此外, 因为在第二柱区域 10 的源电极 23 侧, 也可取得 p 型杂质量与 n 型杂质量的平衡, 所以功率半导体装置 100 的终端区域内的耐压与元件区域同样地高。也就是, 可获得终端区域内的元件破坏受到抑制的功率半导体装置。

[0042] (第二实施方式)

[0043] 使用图 4 来说明第二实施方式的功率半导体装置 200。图 4 是第二实施方式的功率半导体装置 200 的主要部分的示意剖视图。另外,对于与第一实施方式中所说明的构成相同的构成的部分使用相同的参照编号或符号,并省略该部分的说明。主要对与第一实施方式的不同之处进行说明。

[0044] 如图 4 所示,本实施方式的功率半导体装置 200 在以下方面与第一实施方式的功率半导体装置 100 不同。功率半导体装置 200 具有如下结构:在第一实施方式的功率半导体装置 100 中,在第一柱区域 6 的 n 型的第二柱层 5 与第二柱区域 10 的 p 型的第三柱层 7 之间,插入有另一组 p 型的第三柱层 7 与 n 型的第四柱层 8。也就是,在第一实施方式的功率半导体装置 100 中,第二柱区域的柱组具有一组第三柱层 7 及第四柱层 8。与此相对,在本实施方式的功率半导体装置 200 中,柱组包含沿着图中 X 方向交替地重复配置的两个周期(两组)的第三柱层 7 及第四柱层 8。以与所追加的第三柱层 7 的上部连接的方式追加形成第二 p 型基极层 12。以与所追加的第四柱层 8 的上部连接的方式追加形成 n 型的 JFET 层 35。在所追加的第二 p 型基极层 12 上、及与该追加的第二 p 型基极层 12 相邻的第二 p 型基极层 12 上再追加形成隔着第二栅极绝缘膜 18 的第二栅电极 19。

[0045] 本实施方式的功率半导体装置 200 如所述般,与第一实施方式的功率半导体装置 100 相比,在不流通电流的第二柱区域 10b 内,第二 p 型基极层 12 与第二栅电极 19 各增加了一组。因此,当在第二柱区域 10b 的端部即第五柱层 9 发生雪崩击穿时,使空穴排出到源电极 23 的电阻进一步降低,因此本实施方式的功率半导体装置 200 与第一实施方式的功率半导体装置 100 相比,终端区域内的雪崩耐量上升,可靠性提高。在所述第二柱区域 10b 内,第二 p 型基极层 12 的数量越增加则越可提高雪崩耐量,但终端区域相对于元件区域的面积的比例会增加,从而对制造成本的上升造成影响,因此实际的第二 p 型基极层 12 的数量将根据设计来决定详情。除所述内容以外,可取得与第一实施方式同样的效果。也就是,可获得终端区域内的元件破坏受到抑制的功率半导体装置。

[0046] (第三实施方式)

[0047] 使用图 5 来说明第三实施方式的功率半导体装置 300。图 5 是第三实施方式的功率半导体装置 300 的主要部分的示意剖视图。另外,对于与第一实施方式中所说明的构成相同的构成的部分使用相同的参照编号或符号,并省略该部分的说明。主要对与第一实施方式的不同之处进行说明。

[0048] 第三实施方式的功率半导体装置 300 在以下方面与第一实施方式的功率半导体装置 100 不同:在第二柱区域 10c 内,在 p 型的第五柱层 9c 与 n⁻型外延层 3 之间还具有 n 型的第六柱层 34。所述 n 型的第六柱层 34 在其上部连接于 n 型的 JFET 层 35,所述 n 型的 JFET 层 35 由与第五柱层 9c 的上部连接的第二 p 型基极层 12 及第三 p 型基极层 13 所夹着。在第六柱层 34 的上部配置着第三栅电极 21。这时, p 型的第五柱层 9c 未形成在第二柱区域 10c 的端部,因此由与 p 型的第三柱层 7 相同的结构而形成。也就是, p 型的第五柱层 9c 形成在与 n⁺型漏极层 1 的第一表面平行的平面内,该 p 型的第五柱层 9c 的 p 型杂质量与 p 型的第三柱层 7 的 p 型杂质量相等。作为代替, n 型的第六柱层 34 形成在第二柱区域 10c 的端部,因此 n 型的第六柱层 34 在与 n⁺型漏极层 1 的第一表面平行的平面内, n 型杂质量形成得比 n 型的第四柱层 8 的 n 型杂质量少即可,优选以成为大约一半的方式形成即可。

[0049] 本实施方式的功率半导体装置 300 中,第二柱区域 10c 的端部由 n 型的第六柱层 34 所构成,因此雪崩击穿易发生在第六柱层 34 的区域。与第一实施方式的功率半导体装置 100 相比,因雪崩击穿所产生的空穴容易流向第三 p 型基极层 13,从而雪崩耐量增加少许。除此以外,功率半导体装置 300 具有与第一实施方式同样的效果。也就是,可获得终端区域内的元件破坏受到抑制的功率半导体装置。

[0050] (第四实施方式)

[0051] 使用图 6 来说明第四实施方式的功率半导体装置 400。图 6 是第四实施方式的功率半导体装置 400 的主要部分的示意剖视图。另外,对于与第一实施方式中所说明的构成相同的构成的部分使用相同的参照编号或符号,并省略该部分的说明。主要对与第一实施方式的不同之处进行说明。

[0052] 第四实施方式的功率半导体装置 400 与第一实施方式的功率半导体装置 100 具有平面结构的栅电极的情况不同,在具有沟槽结构的栅电极的方面有差异。除此以外,与第一实施方式为相同的结构。第四实施方式的功率半导体装置 400 中,第一栅电极 17a 是在相邻的第一 p 型基极层 11a 之间,隔着第一栅极绝缘膜 16a 埋入第一沟槽内而形成,在所述第一沟槽中,相邻的第一 p 型基极层 11a 在侧壁露出,且 n 型的第二柱层 5 在底面露出。第二栅电极 19a 是在相邻的第二 p 型基极层 12 之间,隔着第二栅极绝缘膜 18a 埋入第二沟槽内而形成,在所述第二沟槽中,相邻的第二基极层 12 在侧壁露出,且 n 型的第四柱层 8 在底面露出。第三栅电极 21a 是在与 p 型的第五柱层 9 的上部连接的第二 p 型基极层 12 及与该第二 p 型基极层 12 相邻的第三 p 型基极层 13 之间,隔着第三栅极绝缘膜 20a 埋入第三沟槽内而形成,在所述第三沟槽中,所述第二 p 型基极层 12 与所述第三 p 型基极层 13 在侧壁露出,且 n^- 型外延层 3 在底面露出。在所埋入的第一至第三栅电极 17a、19a、21a 上形成着层间绝缘膜 22,第一至第三栅电极 17a、19a、21a 通过层间绝缘膜 22 而与源电极 23 绝缘。

[0053] 本实施方式的功率半导体装置 400 也与第一实施方式的功率半导体装置 100 同样地具有形成元件区域的第一柱区域 6、及沿着 X 方向与该第一柱区域 6 相邻接的第二柱区域 10。第二柱区域 10 具有柱组、及沿着 X 方向与该柱组相邻接的第五柱层 9。柱组具有第三柱层 7、及沿着 X 方向与该第三柱层 7 相邻接的第四柱层 8。多个 p 型的第二基极层 12 以电连接在第三柱层 7 及第五柱层 9 的各个之上且彼此相隔开的方式设置。在所述第二 p 型基极层 12 上未形成 n^+ 型源极层 14。由此,因雪崩击穿所产生的空穴以低电阻向第二柱区域 10 的上部的源电极 23 排出,还可抑制锁存的发生,因此在功率半导体装置 400 中可抑制终端区域内的元件的破坏。此外,因为在第二柱区域 10 的源电极 23 侧也可以取得 p 型杂质质量与 n 型杂质质量的平衡,所以功率半导体装置 400 在终端区域内的耐压高。也就是,可获得终端区域内的元件破坏受到抑制的功率半导体装置。而且,本实施方式的功率半导体装置 400 的栅电极是由沟槽结构的栅电极而形成的,因此具有与平面结构的栅电极相比可提高集成度的优点。

[0054] 以上所说明的各实施方式及比较例中,将第一至第五柱层作为在图中 Y 方向上延伸的条纹状的柱层来说明了各功率半导体装置。然而,只要是具有各实施例的主要部分剖视图所示的结构功率半导体装置,则第一至第五柱层也可以是在 Y 方向上延伸的格子状或交错格子状的柱层。

[0055] 虽已对本发明的若干实施方式进行了说明,但这些实施方式是作为示例而提出

的,并未意图限定发明的范围。这些新颖的实施方式可以用其他各种方式来实施,在不脱离发明的主旨的范围内可进行各种省略、替换、变更。这些实施方式及其变形包含在发明的范围及主旨内,且包含在权利要求书所述的发明及与其等同的范围内。

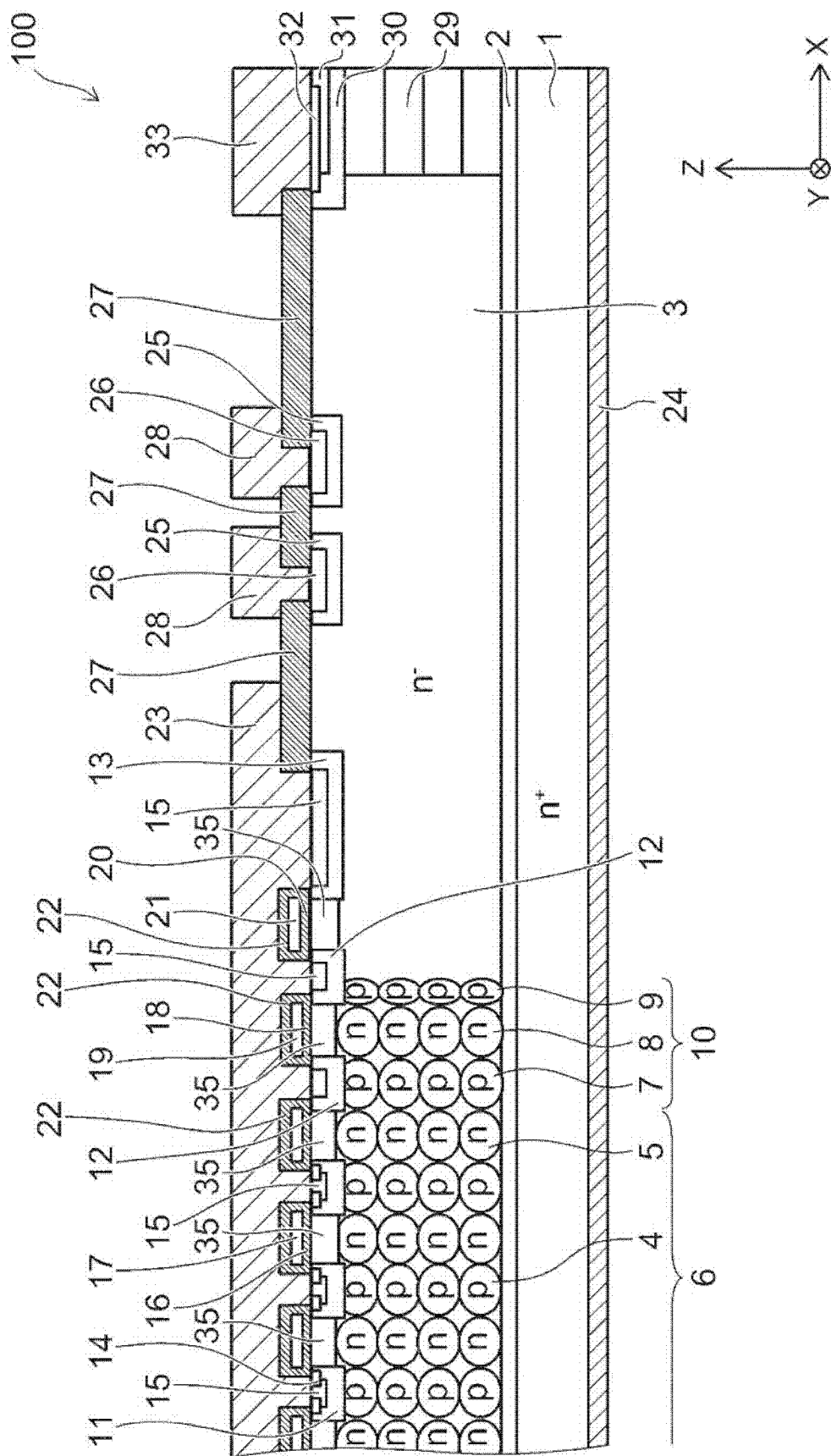


图 1

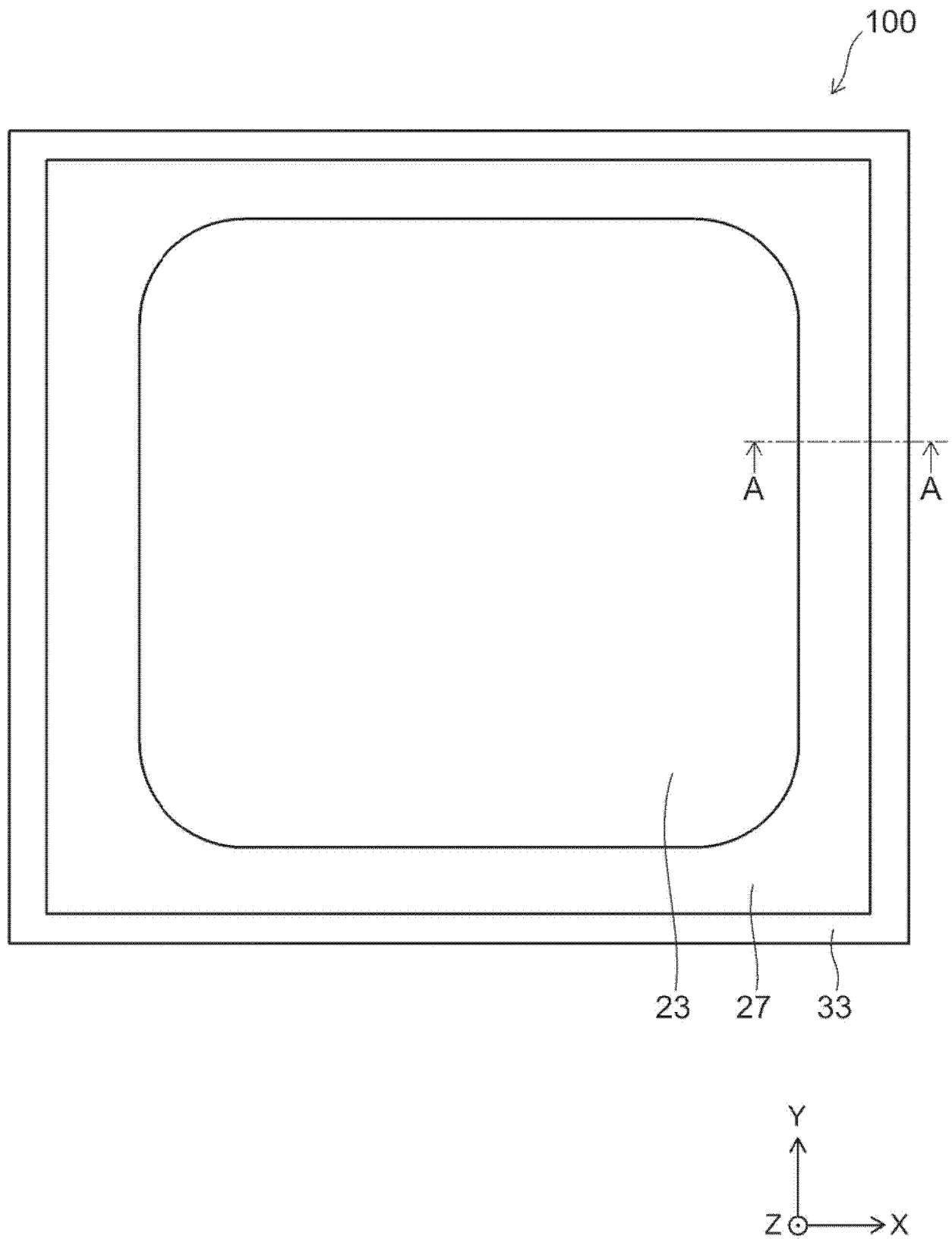


图 2

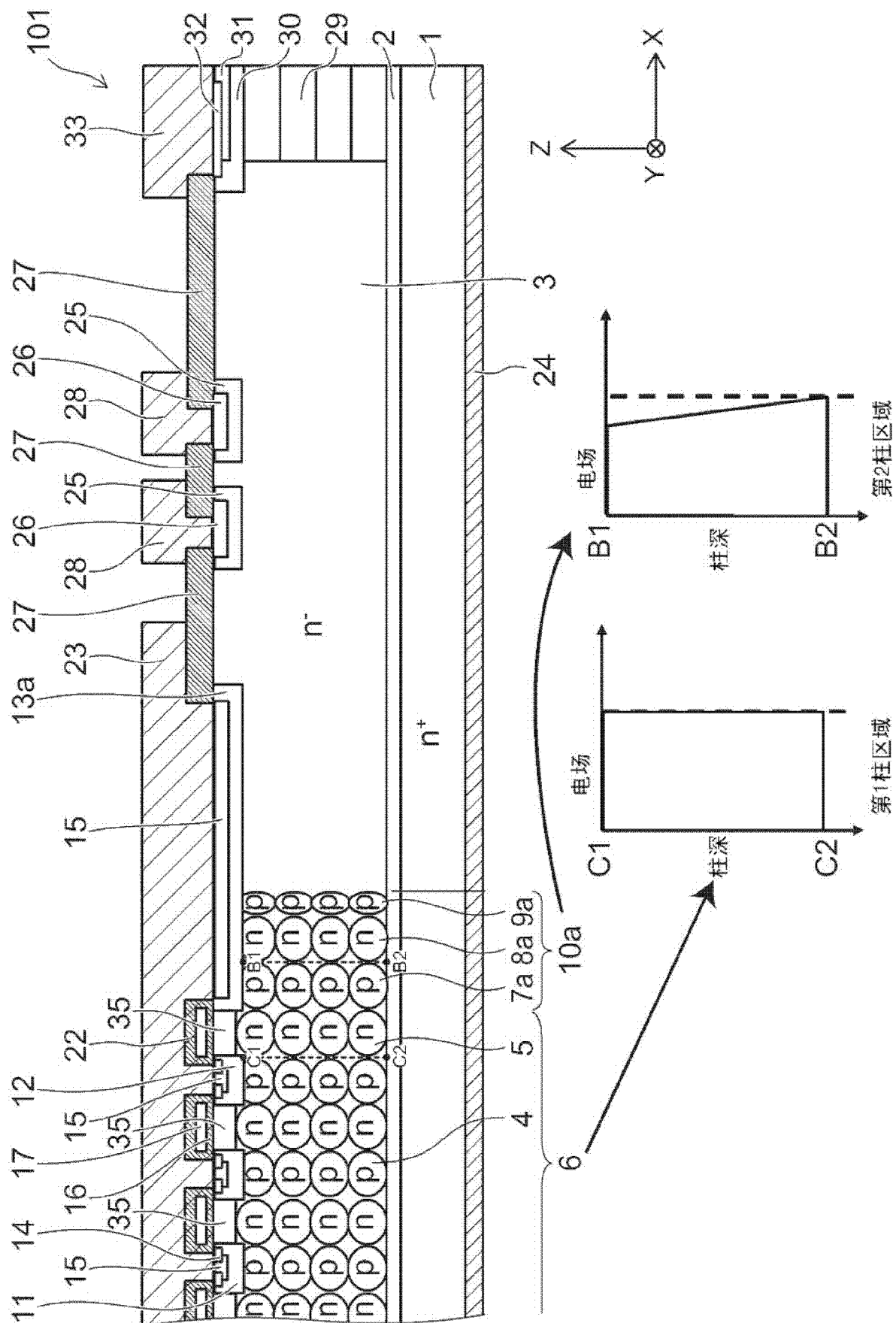


图 3

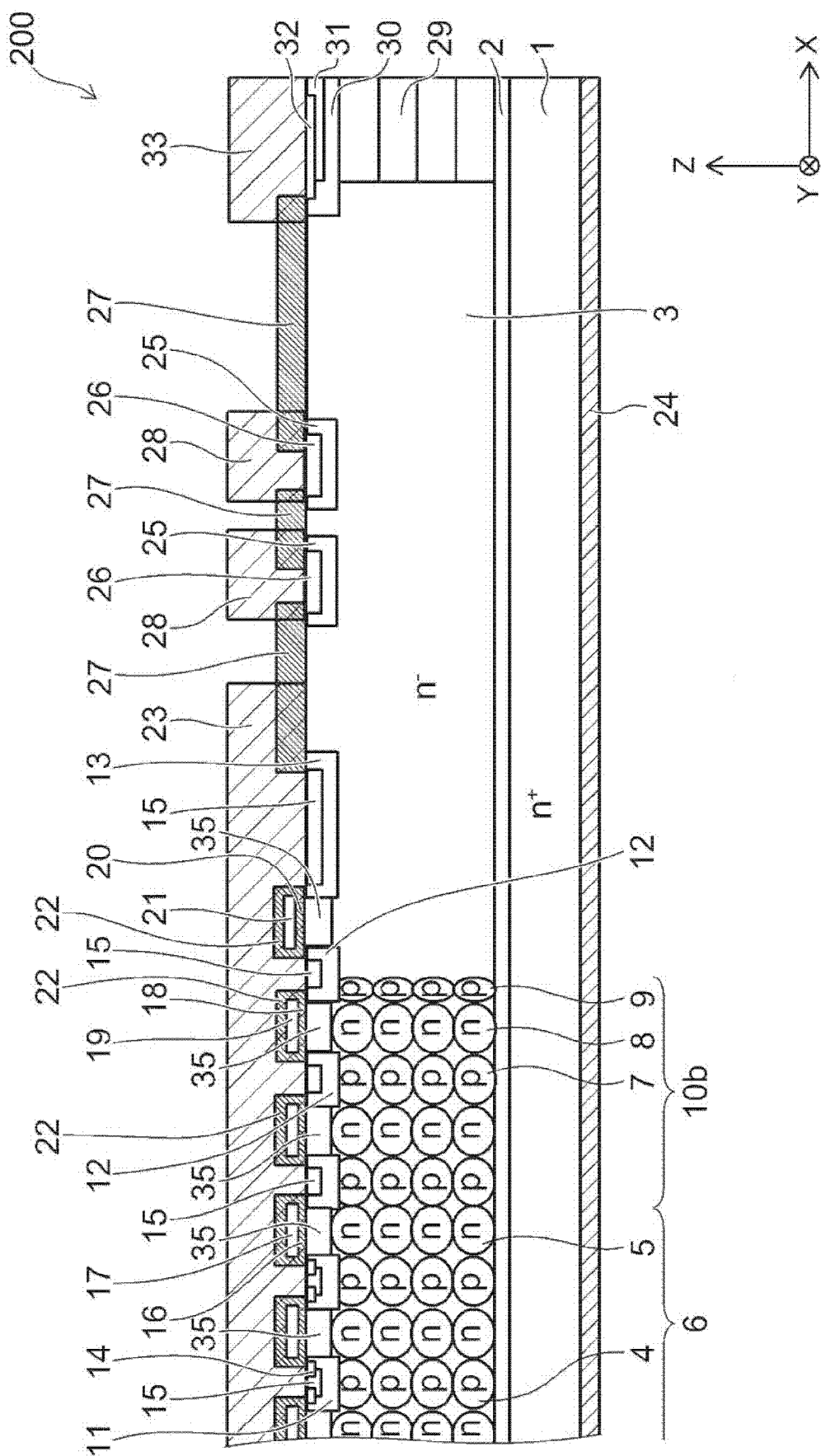


图 4

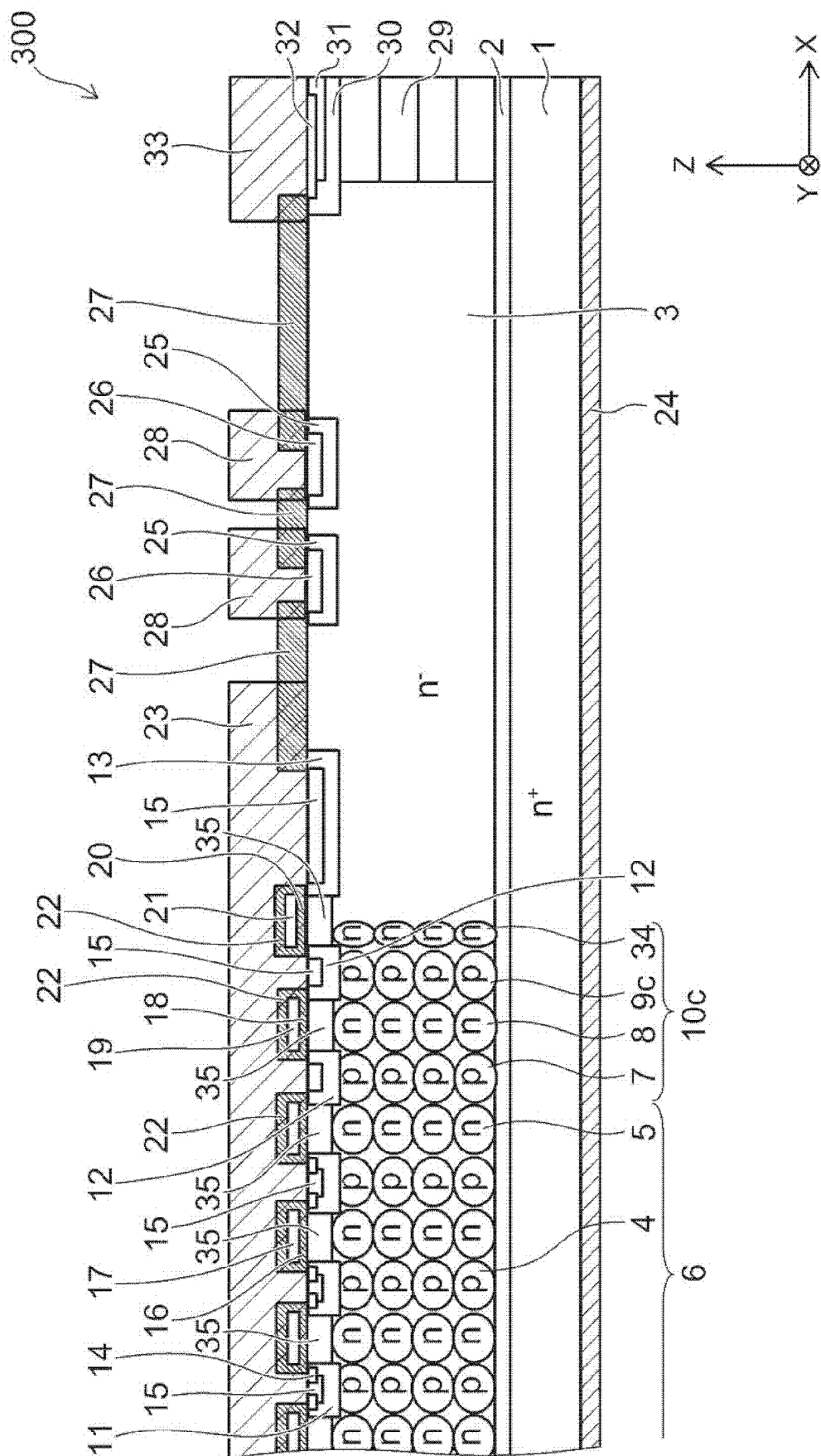


图 5

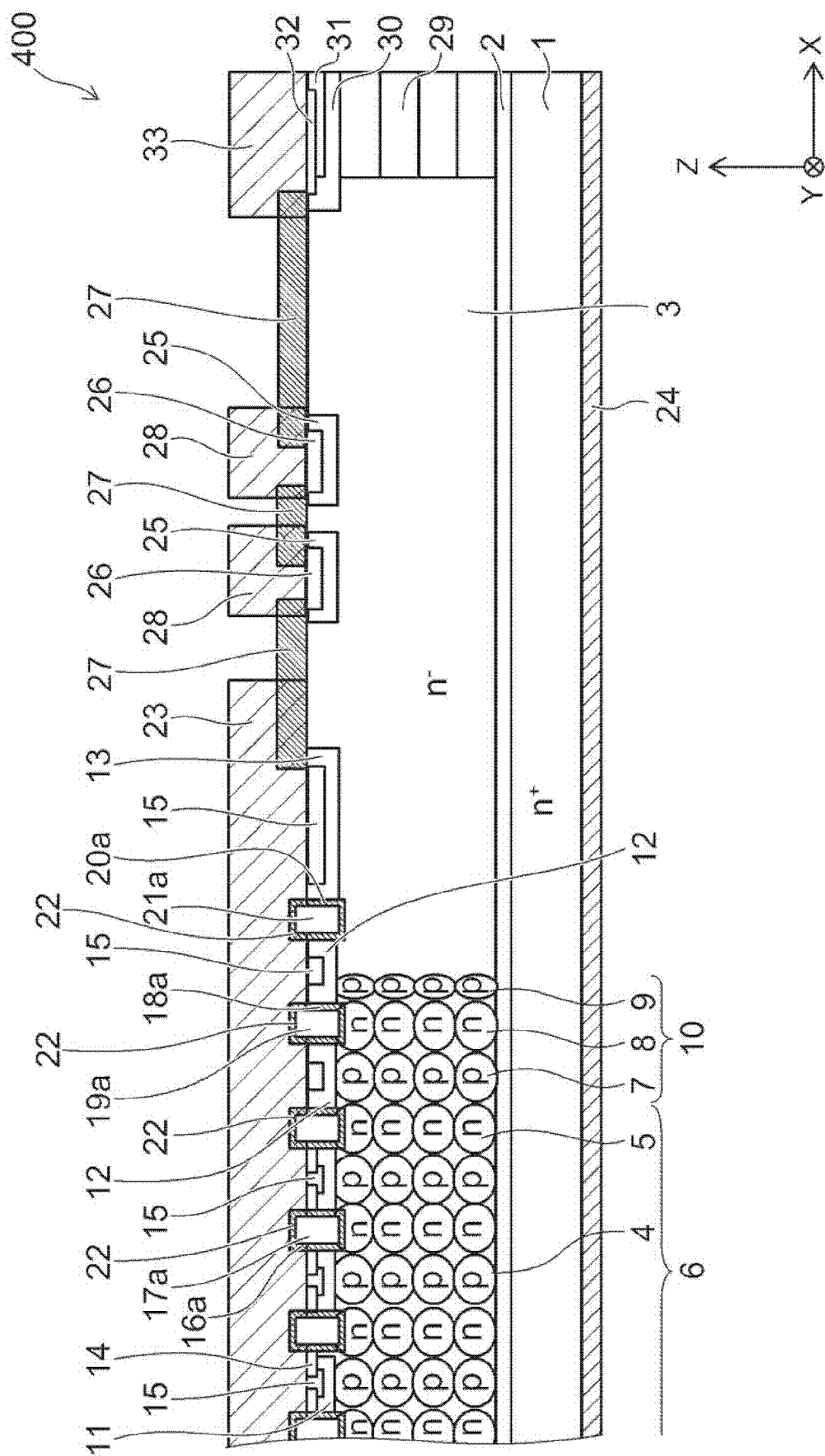


图 6