

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 10 月 27 日 (27.10.2005)

PCT

(10) 国際公開番号
WO 2005/101477 A1

(51) 国際特許分類: H01L 21/336, 29/78, 21/8238, 27/092

(21) 国際出願番号: PCT/JP2004/005309

(22) 国際出願日: 2004 年 4 月 14 日 (14.04.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 島 昌司 (SHIMA,

Masashi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

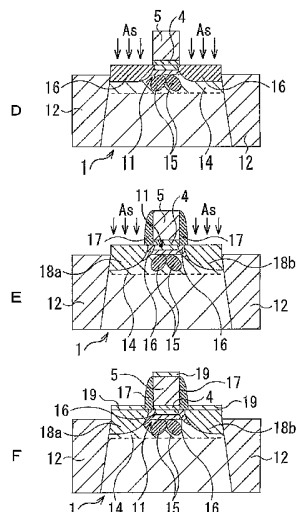
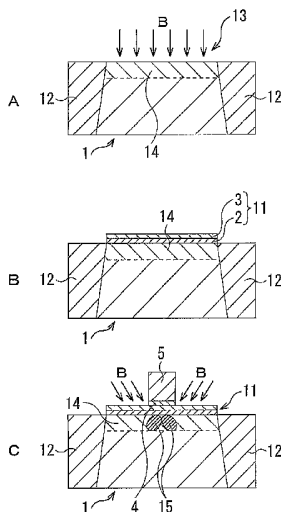
(74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋 1 丁目 1 7 番 8 号 池袋 T G ホーメストビル 5 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A heterojunction structure semiconductor film e.g., a semiconductor film (11) is composed of an SiGe layer (2) and an Si layer (3) on the SiGe layer. By utilizing the difference in impurity diffusion coefficients in the SiGe layer (2) and the Si layer (3), the impurity concentrations are controlled so that the impurity concentration in the upper layer, i.e., the SiGe layer (2) is higher than that in the lower layer i.e., the Si layer (3). The conductivity type of the impurities in the semiconductor film (11) is opposite to the conductivity type of the transistor (that is, the p-type if the transistor is of an n-type or an n-type if the transistor is of a p-type MOS transistor). In such a way, a semiconductor device having a compressive strain structure and comprising a semiconductor layer of a heterojunction structure has an increased mobility, improved transistor characteristics, and a high reliability.

(57) 要約: ヘテロ接合構造の半導体膜、例えば SiGe 層 (2) 上に Si 層 (3) の積層された半導体膜 (11) において、SiGe 層 (2) と Si 層 (3) とで不純物の拡散係数が異なることを利用して、下層の SiGe 層 (2) の不純物濃度を上層の Si 層 (3) よりも高くなるように制御する。ここで、半導体膜 11 の含有する不純物は当該トランジスタの導電型と

/ 続葉有 /

WO 2005/101477 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

反対の導電型（n型MOSトランジスタであればp型、p型MOSトランジスタであればn型）のものである。これにより、圧縮歪み構造を有するヘテロ接合構造の半導体層を備えた半導体装置において、移動度を増加させ、トランジスタ特性を向上させて、高信頼性を実現する。

明 細 書

半導体装置及びその製造方法

技術分野

本発明は、拡散係数の異なる２種類の半導体層が積層してなるヘテロ接合構造の半導体層にチャネルが形成されるＭＩＳトランジスタ及びその製造方法に関し、特にＣＭＯＳ構造のｎ型及びｐ型ＭＯＳトランジスタにそれぞれ適用して好適である。

背景技術

従来より、電気伝導を担うチャネルの移動度を向上させるために、結晶に歪みを印加してチャネルを形成する半導体材料の物性を変えたヘテロ接合構造の半導体層を備えるＭＯＳトランジスタが開発されている。このＭＯＳトランジスタは、図１２（ｎ型、括弧内はｐ型）に示すように、Ｓｉ基板１０１上に圧縮歪み構造をなすＳｉＧｅ層１０２（１１２）及びゲート絶縁膜の形成のためのキャップ膜となるＳｉ層１０３（１１３）が順次積層されてなる半導体膜１１１（１２１）が形成され、この半導体膜１１１（１２１）上にゲート絶縁膜１０４を介してゲート電極１０５がパターン形成されており、ゲート電極１０５の両側における半導体膜１１１（１２１）に不純物が導入されてエクステンション領域１０６（１１６）及びソース／ドレイン１０７（１１７）が形成され、構成される。このＭＯＳトランジスタでは、Ｓｉ基板１０１上に格子整合するように積層されたＳｉＧｅ層１０２（１１２）の圧縮歪み構造により正孔の移動度が大きくなり、特にｐ型ＭＩＳトランジスタの特性を大幅に向上させることができる。

特許文献１ 特開２００２－３１４０８９号公報

しかしながら、圧縮歪み構造の半導体膜を備えたＭＩＳトランジスタでは、以下のような諸問題がある（図１３）。なお、図１３Ａ、図１３Ｂでは便宜上、図１２のソース／ドレイン領域１０７（１１７）を省略する。

ｎ型ＭＯＳトランジスタでは、図１３Ａに示すように、

(1) 電子の移動度が低下する。

(2) エクステンション領域 106 からの n 型不純物 (例えば砒素 (As)) の SiGe 層 102 中への拡散が速いため、ショートチャネルで閾値電圧 (V_{th}) が大きくシフトしてオフ電流 (I_{off}) が増大する。

という問題があり、n 型 MIS トランジスタの特性を大きく劣化させることになる。

一方、p 型 MOS トランジスタでも、図 13B に示すように、SiGe 層 112 中における n 型不純物 (例えば砒素 (As)) の拡散が速いため、Si 層 113 中で n 型不純物の濃度が増加し、これにより Si 層 113 中の電界が増大して、

(1) 電界増大による正孔移動度が低下する。

(2) Si 層 113 に SiGe 層 112 と並列してチャネルが形成されることにより、実効的な移動度が低下する。

という問題がある。

このように、圧縮歪み構造を有する n 型及び p 型 MOS トランジスタには、それぞれ固有の問題点があり、これらを集積して特性の優れた CMOS トランジスタを得ることは極めて困難である。

本発明は、上記の課題に鑑みてなされたものであり、圧縮歪み構造を有するヘテロ接合構造の半導体層を備えた半導体装置において、移動度を増加させ、トランジスタ特性を向上させて、高信頼性を実現する半導体装置及びその製造方法を提供することを目的とする。

発明の開示

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

本発明の半導体装置は、半導体基板と、前記半導体基板上に形成された半導体層と、前記半導体膜上に絶縁膜を介して形成されたゲートと、前記ゲートの両側における前記半導体層に第 1 の不純物が導入されてなる一対の第 1 の不純物拡散領域とを含み、前記半導体膜は、第 2 の不純物の拡散係数の異なる 2 種類の半導体層が積層してなるヘテロ接合構造を有しており、一方の前記半導体層における前記第 2 の不純物の濃度が他方の前記半導体層よりも高く分布している。

本発明の半導体装置の製造方法は、基板上に半導体層を形成する工程と、前記半導体膜上に絶縁膜を介してゲートをパターン形成する工程と、前記ゲートの両側における前記半導体層に第1の不純物を導入して一対の第1の不純物拡散領域を形成する工程とを含み、前記半導体膜を、第2の不純物の拡散係数の異なる2種類の半導体層が積層してなるヘテロ接合構造に形成し、一方の前記半導体層における前記第2の不純物の濃度を他方の前記半導体層よりも高く分布するように制御する。

図面の簡単な説明

図1Aは、本発明のn型MOSトランジスタの主要構成を示す概略断面図である。

図1Bは、本発明のn型MOSトランジスタのゲート電極にバイアスを印加した時のエネルギーバンド構造を示す模式図である。

図2Aは、本発明のp型MOSトランジスタの主要構成を示す概略断面図である。

図2Bは、本発明のp型MOSトランジスタのゲート電極にバイアスを印加した時のエネルギーバンド構造を示す模式図である。

図3A～図3Fは、第1の実施形態によるn型MOSトランジスタの製造方法を工程順に示す概略断面図である。

図4A～図4Fは、第2の実施形態によるn型MOSトランジスタの製造方法を工程順に示す概略断面図である。

図5A～図5Fは、第3の実施形態によるn型MOSトランジスタの製造方法を工程順に示す概略断面図である。

図6A～図6Fは、第4の実施形態によるn型MOSトランジスタの製造方法を工程順に示す概略断面図である。

図7A～図7Fは、第5の実施形態によるn型MOSトランジスタの製造方法を工程順に示す概略断面図である。

図8A～図8Fは、第6の実施形態によるn型MOSトランジスタの製造方法

を工程順に示す概略断面図である。

図 9 A～図 9 F は、第 7 の実施形態による n 型 MOS トランジスタの製造方法を工程順に示す概略断面図である。

図 10 A～図 10 F は、第 8 の実施形態による n 型 MOS トランジスタの製造方法を工程順に示す概略断面図である。

図 11 A～図 11 F は、第 9 の実施形態による n 型 MOS トランジスタの製造方法を工程順に示す概略断面図である。

図 12 は、従来の圧縮歪み構造を有するヘテロ接合構造の半導体層を備えた半導体装置を示す概略断面図である。

図 13 A, 図 13 B は、従来の圧縮歪み構造を有するヘテロ接合構造の半導体層を備えた半導体装置の問題点を説明するための概略断面図である。

発明を実施するための最良の形態

ー本発明の基本骨子ー

本発明では、ヘテロ接合構造の半導体膜、例えば SiGe 層上に Si 層の積層された半導体膜において、SiGe 層と Si 層とで不純物の拡散係数が異なることを利用して、下層の SiGe 層の不純物濃度を上層の Si 層よりも高くなるように制御する。ここで、半導体膜の含有する前記不純物は当該トランジスタの導電型と反対の導電型（n 型 MOS トランジスタであれば p 型、p 型 MOS トランジスタであれば n 型）のものである。

以下、n 型、p 型 MOS トランジスタの夫々について、図 1（n 型）及び図 2（p 型）を用いて本発明の基本骨子について説明する。図 1 A 及び図 2 A では説明の便宜上、MOS トランジスタの構成として、シリコン半導体基板（Si 基板）1 上に形成された SiGe 層 2、4 2 及び Si 層 3、4 3 からなる半導体膜 1 1、4 1 と、その上にゲート絶縁膜 4 を介してパターン形成されたゲート電極 5 のみを示す。図 1 B 及び図 2 B では、いずれもゲート電極にバイアスを印加した時のエネルギーバンド構造を示す。

本発明の n 型 MOS トランジスタでは、図 1 A の右図に示すように、電子を SiGe 層 2 ではなく Si 層 3 に局在させるべく、p 型不純物、例えばホウ素 B の

濃度をS i 層3中よりもS i G e 層2中のほうが高くなるように、具体的にはS i G e 層2及びS i 層3について例えば図1 Aの右図に示すような濃度分布となるように制御する。これにより、図1 Bに示すように、S i 層3中の電界が小さくなり、このS i 層3が高移動度の電子チャネルとして機能する。また、S i G e 層2におけるp型不純物の高濃度制御により、エクステンション領域からのn型不純物の拡散によるS i G e 層2への悪影響も抑制される。

本発明のp型MOSトランジスタでは、図2 Aに示すように、S i G e 層42及びS i 層43の双方がチャネルとなる並列チャネル化を改善すべく、正孔をS i G e 層42に局在させるため、n型不純物、例えば砒素(A s)の濃度をS i 層43中よりもS i G e 層42中のほうが高くなるように制御する。これにより、図2 Bに示すように、S i 層43中の電界が小さくなり、S i G e 層42のみが高移動度の正孔チャネルとして機能する。

圧縮歪み構造を有するMOSトランジスタでは、ゲート電極とドレインとの間には殆ど電位差は生じないが、ゲート電極とソースとの間には電位差が生じる。そのため、当該MOSトランジスタにおける上記した問題は半導体膜のソース側で顕著となる。そこで本発明では、n型及びp型MOSトランジスタの双方（特にp型）において、半導体膜11, 41のソース側でS i 層3, 43中の電界を低減すべく、少なくともソース側において、不純物（n型MOSトランジスタではp型、p型MOSトランジスタではn型）濃度がS i 層3, 43中でS i G e 層2, 42中よりも高くないように、好ましくはS i G e 層2, 42の不純物濃度をS i 層3, 43よりも高くなるように制御する必要がある。

ー本発明を適用した具体的な諸実施形態ー

以下、具体的な諸実施形態について図面を参照しながら詳細に説明する。

（第1の実施形態）

本実施形態では、n型MOSトランジスタを対象として、チャネルを構成する半導体膜（S i G e 層及びS i 層）について図1 Aの右図に示す濃度分布を達成する制御方法として、閾値電圧制御のためのS i 基板へのp型不純物のイオン注入を利用する。p型不純物、例えばホウ素Bの拡散係数はS i G e 層では高く、S i 層では低い。この拡散係数の相違を利用し、半導体膜へホウ素を熱拡散させ

る。拡散係数の相違により、S i G e層ではS i層よりもホウ素濃度が高くなる。

図3A～図3Fは、第1の実施形態によるn型MOSトランジスタの製造方法を工程順に示す概略断面図である。本実施形態では、n型MOSトランジスタの構造を製造方法と共に説明する。

まず、図3Aに示すように、シリコン半導体基板（S i基板）1の素子分離領域に素子分離構造、ここではS i基板1の当該領域に形成した溝にシリコン酸化膜等の絶縁物を充填してなるSTI（Shallow Trench Isolation）構造12を形成して活性領域13を画定する。そして、活性領域13の表層に閾値電圧（ V_t ）制御のためにp型不純物、ここではホウ素を例えばドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー10keVでイオン注入し、チャネル不純物領域14を形成する。

続いて、図3Bに示すように、CVD法により、活性領域13上に選択的に薄いS i G e層2及びS i層3を成長させ、2層構造の半導体膜11を形成する。このとき、後のチャネル不純物領域14の活性化アニールで半導体膜11の上述したホウ素の不純物分布を確実に達成すべく、S i G e層2をS i層3よりも厚く、例えばS i G e層2を4nm程度、S i層3を3nm程度の膜厚に形成する。

続いて、図3Cに示すように、S i層3上にゲート絶縁膜4となるシリコン酸化膜を膜厚1.5nm程度に形成する。その後、ゲート絶縁膜4上に多結晶シリコン膜を堆積し、これをパターニングすることにより、ゲート電極5を形成する。そして、チャネル周辺の不純物プロファイルを調整してショートチャネル効果を抑制するため、ゲート電極5をマスクとして半導体膜11及びS i基板1の表層にp型不純物、ここではホウ素をドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー10keVで傾斜角度（基板面に対する垂線からの角度）を 45° としてイオン注入し、一対のポケット領域15を形成する。

続いて、図3Dに示すように、ゲート電極5をマスクとして半導体膜11及びS i基板1の表層にn型不純物、ここでは砒素（As）をドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー5keVで傾斜角度を 0° としてイオン注入し、一対のエクステンション領域16を形成する。

続いて、図3Eに示すように、ゲート電極5を覆うように全面に絶縁膜、ここ

ではシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性エッチング(エッチバック)してゲート電極5の両側面のみにシリコン酸化膜を残し、サイドウォール絶縁膜17を形成する。そして、ゲート電極5及びサイドウォール絶縁膜17をマスクとして半導体膜11及びSi基板1の表層にn型不純物、ここでは砒素(As)をドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギー30keVで傾斜角度を 0° としてイオン注入し、エクステンション領域16と一部重畳しこれよりも深いソース領域18a、ドレイン領域18bを形成する。

その後、温度1000℃で1秒間の活性化アニール処理を実行し、導入した各不純物を熱拡散させる。このとき、チャネル不純物領域14としてイオン注入したホウ素は、SiGe層2ではその拡散係数が高く、Si層3では低いため、チャネル不純物領域14からSiGe層2へ多く拡散するが、SiGe層2からSi層3への拡散は小さい。その結果、ホウ素濃度はSiGe層2で高く、Si層3でSiGe層2よりも低く分布する。これにより、Si層3中の電界が小さくなり、このSi層3が高移動度の電子チャネルとして機能する。また、SiGe層2におけるホウ素の高濃度制御により、エクステンション領域16からの砒素の拡散によるSiGe層2への悪影響(ショートチャネル効果： V_{th} シフトによるオフ電流の増大)も抑制される。

続いて、図3Fに示すように、全面にシリサイド金属、ここではNi膜を形成し、熱処理によりゲート電極5上及びソース/ドレイン領域18a、18bのSi層3上にそれぞれシリサイド(NiSi)膜19を形成(シリサイド化)する。そして、未反応のNi膜を除去した後、層間絶縁膜やコンタクト孔、配線層等の形成を経て、n型MOSトランジスタを完成させる。

以上説明したように、本実施形態によれば、圧縮歪み構造を有するヘテロ接合構造の半導体膜を備えたn型MOSトランジスタにおいて、 V_{th} 制御のためのp型不純物のイオン注入を利用し、閾値電圧を制御したまま、SiGe層2中のp型不純物の濃度をSi層3よりも高くすることができる。これにより、Si層3のみがチャネルとして機能して電子移動度を増加させ、トランジスタ特性を向上させて、信頼性の高いn型MOSトランジスタを容易且つ確実に実現することが可能である。

(第2の実施形態)

本実施形態では、n型MOSトランジスタを対象として、チャネルを構成する半導体膜(SiGe層及びSi層)について図1Aの右図に示す濃度分布を達成する制御方法として、閾値電圧制御のためのSi基板へのp型不純物のイオン注入及びショートチャネル効果を抑制するためのp型不純物のイオン注入を利用する。p型不純物、例えばホウ素Bの拡散係数はSiGe層では高く、Si層では低い。この拡散係数の相違を利用し、半導体膜へホウ素を熱拡散させる。拡散係数の相違により、SiGe層ではSi層よりもホウ素濃度が高くなる。

図4A～図4Fは、第2の実施形態によるn型MOSトランジスタの製造方法を工程順に示す概略断面図である。本実施形態では、n型MOSトランジスタの構造を製造方法と共に説明する。

先ず、図4Aに示すように、シリコン半導体基板(Si基板)1の素子分離領域に素子分離構造、ここではSi基板1の当該領域に形成した溝にシリコン酸化膜等の絶縁物を充填してなるSTI構造12を形成して活性領域13を画定する。そして、活性領域13の表層に閾値電圧(V_{th})制御のためにp型不純物、ここではホウ素を例えばドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー10keVでイオン注入し、チャネル不純物領域14を形成する。

続いて、図4Bに示すように、CVD法により、活性領域13上に選択的に薄いSiGe層2及びSi層3を成長させ、2層構造の半導体膜11を形成する。このとき、後のチャネル不純物領域14及びポケット領域21の活性化アニールで半導体膜11の上述したホウ素の不純物分布を確実に達成すべく、SiGe層2をSi層3よりも厚く、例えばSiGe層2を4nm程度、Si層3を3nm程度の膜厚に形成する。

続いて、図4Cに示すように、Si層3上にゲート絶縁膜4となるシリコン酸化膜を膜厚1.5nm程度に形成する。その後、ゲート絶縁膜4上に多結晶シリコン膜を堆積し、これをパターニングすることにより、ゲート電極5を形成する。そして、チャネル周辺の不純物プロファイルを調整してショートチャネル効果を抑制するため、ゲート電極5をマスクとして半導体膜11及びSi基板1の表層にp型不純物、ここではホウ素をイオン注入し、一対のポケット領域21を

形成する。ここでは、半導体膜 11 の上述した濃度プロファイルを実現すべく、S i G e 層 2 の下方の S i 基板 1 の部位にホウ素の濃度ピークが位置するように加速エネルギー及び傾斜角度を制御してイオン注入する。具体的には、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 10 k e V で傾斜角度を (45°) としてイオン注入する。

続いて、図 4 D に示すように、ゲート電極 5 をマスクとして半導体膜 11 及び S i 基板 1 の表層に n 型不純物、ここでは砒素 (A s) をドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー 5 k e V で傾斜角度を 0° としてイオン注入し、一対のエクステンション領域 16 を形成する。

続いて、図 4 E に示すように、ゲート電極 5 を覆うように全面に絶縁膜、ここではシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性エッチング(エッチバック)してゲート電極 5 の両側面のみシリコン酸化膜を残し、サイドウォール絶縁膜 17 を形成する。そして、ゲート電極 5 及びサイドウォール絶縁膜 17 をマスクとして半導体膜 11 及び S i 基板 1 の表層に n 型不純物、ここでは砒素 (A s) をドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 30 k e V で傾斜角度を 0° としてイオン注入し、エクステンション領域 16 と一部重畳しこれよりも深い一対のソース領域 18 a、ドレイン領域 18 b を形成する。

その後、温度 1000℃で1秒間の活性化アニール処理を実行し、導入した各不純物を熱拡散させる。このとき、チャネル不純物領域 14 としてイオン注入したホウ素は、S i G e 層 2 ではその拡散係数が高く、S i 層 3 では低いため、チャネル不純物領域 14 から S i G e 層 2 へ多く拡散するが、S i G e 層 2 から S i 層 3 への拡散は小さい。また、ポケット領域 21 としてイオン注入したホウ素も同様に、ポケット領域 21 から S i G e 層 2 へ多く拡散するが、ポケット領域 21 から S i 層 3 への拡散は小さい。その結果、ホウ素濃度は S i G e 層 2 で高く、S i 層 3 で S i G e 層 2 よりも低く分布する。これにより、S i 層 3 中の電界が小さくなり、この S i 層 3 が高移動度の電子チャネルとして機能する。また、S i G e 層 2 におけるホウ素の高濃度制御により、エクステンション領域 16 からの砒素の拡散による S i G e 層 2 への悪影響(ショートチャネル効果等)も抑制される。特に、ポケット領域形成のためのイオン注入でチャネル不純物プロフ

ファイルが決定する、ショートチャネルのn型MOSトランジスタでより高い特性向上が期待できる。

続いて、図4Fに示すように、全面にシリサイド金属、ここではNi膜を形成し、熱処理によりゲート電極5上及びソース／ドレイン領域18a, 18bのSi層3上にそれぞれシリサイド(NiSi)膜19を形成(シリサイド化)する。そして、未反応のNi膜を除去した後、層間絶縁膜やコンタクト孔、配線層等の形成を経て、n型MOSトランジスタを完成させる。

以上説明したように、本実施形態によれば、圧縮歪み構造を有するヘテロ接合構造の半導体膜を備えたn型MOSトランジスタにおいて、 V_{th} 制御のためのp型不純物のイオン注入及びショートチャネル効果を抑制するためのp型不純物のイオン注入を利用し、閾値電圧を制御したまま、SiGe層2中のp型不純物の濃度をSi層3よりも高くすることができる。これにより、Si層3のみがチャネルとして機能して電子移動度を増加させ、トランジスタ特性を向上させて、信頼性の高いn型MOSトランジスタを容易且つ確実に実現することが可能である。

(第3の実施形態)

本実施形態では、n型MOSトランジスタを対象として、チャネルを構成する半導体膜(SiGe層及びSi層)について図1Aの右図に示す濃度分布を達成する制御方法として、閾値電圧制御のためのSi基板へのp型不純物のイオン注入及びショートチャネル効果を抑制するためのp型不純物のイオン注入を利用する。p型不純物、例えばホウ素Bの拡散係数はSiGe層では高く、Si層では低い。この拡散係数の相違を利用し、半導体膜へホウ素を熱拡散させる。拡散係数の相違により、SiGe層ではSi層よりもホウ素濃度が高くなる。

図5A～図5Fは、第3の実施形態によるn型MOSトランジスタの製造方法を工程順に示す概略断面図である。本実施形態では、n型MOSトランジスタの構造を製造方法と共に説明する。

まず、図5Aに示すように、シリコン半導体基板(Si基板)1の素子分離領域に素子分離構造、ここではSi基板1の当該領域に形成した溝にシリコン酸化膜等の絶縁物を充填してなるSTI構造12を形成して活性領域13を画定する。そして、活性領域13の表層に閾値電圧(V_{th})制御のためにp型不純物、ここ

ではホウ素を例えばドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 10 keV でイオン注入し、チャンネル不純物領域 14 を形成する。

続いて、図 5 B に示すように、CVD 法により、活性領域 13 上に選択的に薄い SiGe 層 2 及び Si 層 3 を成長させ、2 層構造の半導体膜 11 を形成する。このとき、後のチャンネル不純物領域 14 及びポケット領域 22 a, 22 b の活性化アニールで半導体膜 11 の上述したホウ素の不純物分布を確実に達成すべく、SiGe 層 2 を Si 層 3 よりも厚く、例えば SiGe 層 2 を 4 nm 程度、Si 層 3 を 3 nm 程度の膜厚に形成する。

続いて、図 5 C に示すように、Si 層 3 上にゲート絶縁膜 4 となるシリコン酸化膜を膜厚 1.5 nm 程度に形成する。その後、ゲート絶縁膜 4 上に多結晶シリコン膜を堆積し、これをパターニングすることにより、ゲート電極 5 を形成する。そして、チャンネル周辺の不純物プロファイル进行调整してショートチャンネル効果を抑制するため、ゲート電極 5 をマスクとして半導体膜 11 及び Si 基板 1 の表層に p 型不純物、ここではホウ素をイオン注入し、一対のポケット領域 22 a, 22 b を形成する。ここでは、半導体膜 11 の上述した濃度プロファイルを実現するに際して、特に電界が強くなるソース側のみ、SiGe 層 2 の下方の Si 基板 1 の部位にホウ素の濃度ピークが位置するように、左右で非対称のポケット領域 22 a, 22 b を形成すべく加速エネルギー及び傾斜角度を制御してイオン注入する。具体的には、ソース側のポケット領域 22 a については、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 30 keV で傾斜角度を 40° としてイオン注入し、ドレイン側のポケット領域 22 b については、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 10 keV で傾斜角度を 45° としてイオン注入する。

続いて、図 5 D に示すように、ゲート電極 5 をマスクとして半導体膜 11 及び Si 基板 1 の表層に n 型不純物、ここでは砒素 (As) をドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー 5 keV で傾斜角度を 0° としてイオン注入し、一対のエクステンション領域 16 を形成する。

続いて、図 5 E に示すように、ゲート電極 5 を覆うように全面に絶縁膜、ここではシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性エッチング(エッチバック)してゲート電極 5 の両側面のみシリコン酸化膜を残し、サイドウ

オール絶縁膜 17 を形成する。そして、ゲート電極 5 及びサイドウォール絶縁膜 17 をマスクとして半導体膜 11 及び Si 基板 1 の表層に n 型不純物、ここでは砒素 (As) をドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 30 keV で傾斜角度を 0° としてイオン注入し、エクステンション領域 16 と一部重畳しこれよりも深い一対のソース領域 18a, ドレイン領域 18b を形成する。

その後、温度 1000℃ で 1 秒間の活性化アニール処理を実行し、導入した各不純物を熱拡散させる。このとき、チャネル不純物領域 14 としてイオン注入したホウ素は、SiGe 層 2 ではその拡散係数が高く、Si 層 3 では低いため、チャネル不純物領域 14 から SiGe 層 2 へ多く拡散するが、SiGe 層 2 から Si 層 3 への拡散は小さい。また、ポケット領域 22a, 22b としてイオン注入したホウ素も同様に、ポケット領域 22a, 22b から SiGe 層 2 へ多く拡散するが、ポケット領域 22a, 22b から Si 層 3 への拡散は小さい。その結果、ホウ素濃度は SiGe 層 2 で高く、Si 層 3 で SiGe 層 2 よりも低く分布する。本実施形態では、ソース側のポケット領域 22a をそのホウ素の濃度ピークが SiGe 層 2 の下方の Si 基板 1 の部位に位置するように形成したため、特にソース側で SiGe 層 2 と Si 層 3 との当該濃度分布差を確実に得ることができる。これにより、Si 層 3 中の電界が小さくなり、この Si 層 3 が高移動度の電子チャネルとして機能する。また、SiGe 層 2 におけるホウ素の高濃度制御により、エクステンション領域 16 からの砒素の拡散による SiGe 層 2 への悪影響（ショートチャネル効果等）も抑制される。特に、ポケット領域形成のためのイオン注入でチャネル不純物プロファイルが決定する、ショートチャネルの n 型 MOS トランジスタでより高い特性向上が期待できる。

続いて、図 5F に示すように、全面にシリサイド金属、ここでは Ni 膜を形成し、熱処理によりゲート電極 5 上及びソース／ドレイン領域 18a, 18b の Si 層 3 上にそれぞれシリサイド (NiSi) 膜 19 を形成（シリサイド化）する。そして、未反応の Ni 膜を除去した後、層間絶縁膜やコンタクト孔、配線層等の形成を経て、n 型 MOS トランジスタを完成させる。

以上説明したように、本実施形態によれば、圧縮歪み構造を有するヘテロ接合構造の半導体膜を備えた n 型 MOS トランジスタにおいて、 V_{th} 制御のための p

型不純物のイオン注入及びショートチャネル効果を抑制するためのp型不純物のイオン注入を利用し、閾値電圧を制御したまま、特に電界の強いソース側を考慮してSiGe層2中のp型不純物の濃度をSi層3よりも高くすることができる。これにより、Si層3のみがチャネルとして機能して電子移動度を増加させ、トランジスタ特性を向上させて、信頼性の高いn型MOSトランジスタを容易且つ確実に実現することが可能である。

(第4の実施形態)

本実施形態では、n型MOSトランジスタを対象として、チャネルを構成する半導体膜(SiGe層及びSi層)について図1Aの右図に示す濃度分布を達成する制御方法として、閾値電圧制御のためのSi基板へのp型不純物のイオン注入及びショートチャネル効果を抑制するためのp型不純物のイオン注入を利用する。p型不純物、例えばホウ素Bの拡散係数はSiGe層では高く、Si層では低い。この拡散係数の相違を利用し、半導体膜へホウ素を熱拡散させる。拡散係数の相違により、SiGe層ではSi層よりもホウ素濃度が高くなる。

図6A～図6Fは、第4の実施形態によるn型MOSトランジスタの製造方法を工程順に示す概略断面図である。本実施形態では、n型MOSトランジスタの構造を製造方法と共に説明する。

先ず、図6Aに示すように、シリコン半導体基板(Si基板)1の素子分離領域に素子分離構造、ここではSi基板1の当該領域に形成した溝にシリコン酸化膜等の絶縁物を充填してなるSTI構造12を形成して活性領域13を画定する。そして、活性領域13の表層に閾値電圧(V_{th})制御のためにp型不純物、ここではホウ素を例えばドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー10keVでイオン注入し、チャネル不純物領域14を形成する。

続いて、図6Bに示すように、CVD法により、活性領域13上に選択的に薄いSiGe層2及びSi層3を成長させ、2層構造の半導体膜11を形成する。このとき、後のチャネル不純物領域14及びポケット領域23の活性化アニールで半導体膜11の上述したホウ素の不純物分布を確実に達成すべく、SiGe層2をSi層3よりも厚く、例えばSiGe層2を4nm程度、Si層3を3nm程度の膜厚に形成する。

続いて、図 6 C に示すように、S i 層 3 上にゲート絶縁膜 4 となるシリコン酸化膜を膜厚 1.5 nm 程度に形成する。その後、ゲート絶縁膜 4 上に多結晶シリコン膜を堆積し、これをパターニングすることにより、ゲート電極 5 を形成する。そして、チャネル周辺の不純物プロファイル进行调整してショートチャネル効果を抑制するため、ゲート電極 5 をマスクとして半導体膜 11 及び S i 基板 1 の表層のうちドレイン側のみに p 型不純物、ここではホウ素をイオン注入し、ポケット領域 23 を形成する。ここでは、半導体膜 11 の上述した濃度プロファイルを実現するに際して、ドレイン側のみにポケット領域 23 を形成すべく加速エネルギー及び傾斜角度を制御してイオン注入する。具体的には、ドレイン側のみにドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 10 keV で傾斜角度を 45° としてイオン注入する。

続いて、図 6 D に示すように、ゲート電極 5 をマスクとして半導体膜 11 及び S i 基板 1 の表層に n 型不純物、ここでは砒素 (As) をドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー 5 keV で傾斜角度を 0° としてイオン注入し、一対のエクステンション領域 16 を形成する。

続いて、図 6 E に示すように、ゲート電極 5 を覆うように全面に絶縁膜、ここではシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性エッチング(エッチバック)してゲート電極 5 の両側面のみにシリコン酸化膜を残し、サイドウォール絶縁膜 17 を形成する。そして、ゲート電極 5 及びサイドウォール絶縁膜 17 をマスクとして半導体膜 11 及び S i 基板 1 の表層に n 型不純物、ここでは砒素 (As) をドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 30 keV で傾斜角度を 0° としてイオン注入し、エクステンション領域 16 と一部重畳しこれよりも深い一対のソース領域 18 a, ドレイン領域 18 b を形成する。

その後、温度 1000°C で 1 秒間の活性化アニール処理を実行し、導入した各不純物を熱拡散させる。このとき、チャネル不純物領域 14 としてイオン注入したホウ素は、S i G e 層 2 ではその拡散係数が高く、S i 層 3 では低いため、チャネル不純物領域 14 から S i G e 層 2 へ多く拡散するが、S i G e 層 2 から S i 層 3 への拡散は小さい。その結果、ホウ素濃度は S i G e 層 2 で高く、S i 層 3 で S i G e 層 2 よりも低く分布する。これにより、S i 層 3 中の電界が小さく

なり、このSi層3が高移動度の電子チャネルとして機能する。この場合、ポケット領域のイオン注入は特にドレイン側で必要であり、SiGe層2とSi層3との当該濃度分布差はドレイン側ではさほど重要ではないことから、本実施形態ではポケット領域23をドレイン側のみに形成することにより、ショートチャネル効果を抑制するとともに、ソース側のSi層3中のホウ素濃度を増加させることもない。また、SiGe層2におけるホウ素の高濃度制御により、エクステンション領域16からの砒素の拡散によるSiGe層2への悪影響（ショートチャネル効果等）も抑制される。特に、ポケット領域形成のためのイオン注入でチャネル不純物プロファイルが決定する、ショートチャネルのn型MOSトランジスタでより高い特性向上が期待できる。

続いて、図6Fに示すように、全面にシリサイド金属、ここではNi膜を形成し、熱処理によりゲート電極5上及びソース／ドレイン領域18a, 18bのSi層3上にそれぞれシリサイド(NiSi)膜19を形成（シリサイド化）する。そして、未反応のNi膜を除去した後、層間絶縁膜やコンタクト孔、配線層等の形成を経て、n型MOSトランジスタを完成させる。

以上説明したように、本実施形態によれば、圧縮歪み構造を有するヘテロ接合構造の半導体膜を備えたn型MOSトランジスタにおいて、 V_{th} 制御のためのp型不純物のイオン注入及びショートチャネル効果を抑制するためのp型不純物のイオン注入を利用し、閾値電圧を制御したまま、特に電界の強いソース側を考慮してSiGe層2中のp型不純物の濃度をSi層3よりも高くすることができる。これにより、Si層3のみがチャネルとして機能して電子移動度を増加させ、トランジスタ特性を向上させて、信頼性の高いn型MOSトランジスタを容易且つ確実に実現することが可能である。

（第5の実施形態）

本実施形態では、p型MOSトランジスタを対象として、チャネルを構成する半導体膜について、n型不純物がSiGe層で高く、Si層で低い濃度分布を達成する制御方法として、ショートチャネル効果を抑制するためのn型不純物のイオン注入を利用する。n型不純物、例えば砒素(As)の拡散係数はSiGe層では高く、Si層では低い。この拡散係数の相違を利用し、半導体膜へ砒素を熱

拡散させる。拡散係数の相違により、S i G e層ではS i層よりも砒素濃度が高くなる。

図7A～図7Fは、第5の実施形態によるp型MOSトランジスタの製造方法を工程順に示す概略断面図である。本実施形態では、p型MOSトランジスタの構造を製造方法と共に説明する。

先ず、図7Aに示すように、シリコン半導体基板（S i基板）1の素子分離領域に素子分離構造、ここではS i基板1の当該領域に形成した溝にシリコン酸化膜等の絶縁物を充填してなるSTI構造12を形成して活性領域31を画定する。そして、活性領域13の表層に閾値電圧（ V_{th} ）制御のためにn型不純物、ここでは砒素を例えばドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー100keVでイオン注入し、チャネル不純物領域32を形成する。

続いて、図7Bに示すように、CVD法により、活性領域31上に選択的に薄いS i G e層42及びS i層43を成長させ、2層構造の半導体膜41を形成する。このとき、後のポケット領域24の活性化アニールで半導体膜41の上述した砒素の不純物分布を確実に達成すべく、S i G e層42をS i層43よりも厚く、例えばS i G e層42を4nm程度、S i層43を3nm程度の膜厚に形成する。

続いて、図7Cに示すように、S i層43上にゲート絶縁膜4となるシリコン酸化膜を膜厚1.5nm程度に形成する。その後、ゲート絶縁膜4上に多結晶シリコン膜を堆積し、これをパターニングすることにより、ゲート電極5を形成する。そして、チャネル周辺の不純物プロファイル进行调整してショートチャネル効果を抑制するため、ゲート電極5をマスクとして半導体膜11及びS i基板1の表層にn型不純物、ここでは砒素をイオン注入し、一対のポケット領域24を形成する。ここでは、半導体膜41の上述した濃度プロファイルを実現すべく、S i G e層42の下方のS i基板1の部位に砒素の濃度ピークが位置するように加速エネルギー及び傾斜角度を制御してイオン注入する。具体的には、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー50keVで傾斜角度を40°としてイオン注入する。

続いて、図7Dに示すように、ゲート電極5をマスクとして半導体膜11及び

S i 基板 1 の表層に p 型不純物、ここではホウ素 B をドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー 1 k e V で傾斜角度を 0° としてイオン注入し、一対のエクステンション領域 3 3 を形成する。

続いて、図 7 E に示すように、ゲート電極 5 を覆うように全面に絶縁膜、ここではシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性エッチング(エッチバック)してゲート電極 5 の両側面のみにシリコン酸化膜を残し、サイドウォール絶縁膜 1 7 を形成する。そして、ゲート電極 5 及びサイドウォール絶縁膜 1 7 をマスクとして半導体膜 4 1 及び S i 基板 1 の表層に p 型不純物、ここではホウ素 B をドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 5 k e V で傾斜角度を 0° としてイオン注入し、エクステンション領域 3 3 と一部重畳しこれよりも深い一対のソース領域 3 4 a , ドレイン領域 3 4 b を形成する。

その後、温度 1000°C で 1 秒間の活性化アニール処理を実行し、導入した各不純物を熱拡散させる。このとき、ポケット領域 2 4 としてイオン注入した砒素は、S i G e 層 4 2 ではその拡散係数が高く、S i 層 4 3 では低いため、ポケット領域 2 4 から S i G e 層 4 2 へ多く拡散するが、ポケット領域 2 4 から S i 層 3 への拡散は小さい。その結果、砒素濃度は S i G e 層 4 2 で高く、S i 層 4 3 で S i G e 層 4 2 よりも低く分布する。これにより、S i 層 4 3 中の電界が小さくなり、S i G e 層 4 2 及び S i 層 4 3 の並列チャネルの形成が抑止され、S i G e 層 4 2 のみが高移動度の正孔チャネルとして機能する。特に、ポケット領域形成のためのイオン注入でチャネル不純物プロファイルが決定する、ショートチャネルの p 型 MOS トランジスタでより高い特性向上が期待できる。

続いて、図 7 F に示すように、全面にシリサイド金属、ここでは N i 膜を形成し、熱処理によりゲート電極 5 上及びソース/ドレイン領域 3 4 a , 3 4 b の S i 層 4 3 上にそれぞれシリサイド (N i S i) 膜 1 9 を形成(シリサイド化)する。そして、未反応の N i 膜を除去した後、層間絶縁膜やコンタクト孔、配線層等の形成を経て、p 型 MOS トランジスタを完成させる。

以上説明したように、本実施形態によれば、圧縮歪み構造を有するヘテロ接合構造の半導体膜を備えた n 型 MOS トランジスタにおいて、ショートチャネル効果を抑制するための p 型不純物のイオン注入を利用し、S i G e 層 4 2 中の n 型

不純物の濃度をS i 層 4 3 よりも高くすることができる。これにより、S i G e 層 4 2 のみがチャネルとして機能して正孔移動度を増加させ、トランジスタ特性を向上させて、信頼性の高いp型MOS トランジスタを容易且つ確実に実現することが可能である。

(第6の実施形態)

本実施形態では、p型MOS トランジスタを対象として、チャネルを構成する半導体膜について、n型不純物がS i G e 層で高く、S i 層で低い濃度分布を達成する制御方法として、ショートチャネル効果を抑制するためのn型不純物のイオン注入を利用する。n型不純物、例えば砒素(A s)の拡散係数はS i G e 層では高く、S i 層では低い。この拡散係数の相違を利用し、半導体膜へ砒素を熱拡散させる。拡散係数の相違により、S i G e 層ではS i 層よりも砒素濃度が高くなる。

図8 A～図8 Fは、第6の実施形態によるp型MOS トランジスタの製造方法を工程順に示す概略断面図である。本実施形態では、p型MOS トランジスタの構造を製造方法と共に説明する。

先ず、図8 Aに示すように、シリコン半導体基板(S i 基板) 1の素子分離領域に素子分離構造、ここではS i 基板1の当該領域に形成した溝にシリコン酸化膜等の絶縁物を充填してなるSTI構造12を形成して活性領域31を画定する。そして、活性領域13の表層に閾値電圧(V_{th})制御のためにn型不純物、ここでは砒素を例えばドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー100 keVでイオン注入し、チャネル不純物領域32を形成する。

続いて、図8 Bに示すように、CVD法により、活性領域31上に選択的に薄いS i G e 層42及びS i 層43を成長させ、2層構造の半導体膜41を形成する。このとき、後のポケット領域24a, 24bの活性化アニールで半導体膜41の上述した砒素の不純物分布を確実に達成すべく、S i G e 層42をS i 層43よりも厚く、例えばS i G e 層42を4 nm程度、S i 層43を3 nm程度の膜厚に形成する。

続いて、図8 Cに示すように、S i 層43上にゲート絶縁膜4となるシリコン酸窒化膜を膜厚1.5 nm程度に形成する。その後、ゲート絶縁膜4上に多結晶

シリコン膜を堆積し、これをパターニングすることにより、ゲート電極 5 を形成する。そして、チャネル周辺の不純物プロファイルを調整してショートチャネル効果を抑制するため、ゲート電極 5 をマスクとして半導体膜 1 1 及び S i 基板 1 の表層に n 型不純物、ここでは砒素をイオン注入し、一対のポケット領域 2 5 a , 2 5 b を形成する。ここでは、半導体膜 4 1 の上述した濃度プロファイルを実現するに際して、特に電界が強くなるソース側のみ、S i G e 層 4 2 の下方の S i 基板 1 の部位に砒素の濃度ピークが位置するように、左右で非対称のポケット領域 2 5 a , 2 5 b を形成すべく加速エネルギー及び傾斜角度を制御してイオン注入する。具体的には、ソース側のポケット領域 2 5 a については、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 50 k e V で傾斜角度を 40° としてイオン注入し、ドレイン側のポケット領域 2 5 b については、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 30 k e V で傾斜角度を 45° としてイオン注入する。

続いて、図 8 D に示すように、ゲート電極 5 をマスクとして半導体膜 1 1 及び S i 基板 1 の表層に p 型不純物、ここではホウ素 B をドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー 1 k e V で傾斜角度を 0° としてイオン注入し、一対のエクステンション領域 3 3 を形成する。

続いて、図 8 E に示すように、ゲート電極 5 を覆うように全面に絶縁膜、ここではシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性エッチング(エッチバック)してゲート電極 5 の両側面のみにシリコン酸化膜を残し、サイドウォール絶縁膜 1 7 を形成する。そして、ゲート電極 5 及びサイドウォール絶縁膜 1 7 をマスクとして半導体膜 4 1 及び S i 基板 1 の表層に p 型不純物、ここではホウ素 B をドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 5 k e V で傾斜角度を 0° としてイオン注入し、エクステンション領域 3 3 と一部重畳しこれよりも深い一対のソース領域 3 4 a , ドレイン領域 3 4 b を形成する。

その後、温度 1000°C で 1 秒間の活性化アニール処理を実行し、導入した各不純物を熱拡散させる。このとき、ポケット領域 2 5 a , 2 5 b としてイオン注入した砒素は、S i G e 層 4 2 ではその拡散係数が高く、S i 層 4 3 では低いいため、ポケット領域 2 5 a , 2 5 b から S i G e 層 4 2 へ多く拡散するが、ポケット領域 2 5 a , 2 5 b から S i 層 3 への拡散は小さい。その結果、砒素濃度は S

i Ge 層 4 2 で高く、S i 層 4 3 でS i Ge 層 4 2 よりも低く分布する。本実施形態では、ソース側のポケット領域 2 5 a をそのホウ素の濃度ピークがS i Ge 層 2 の下方のS i 基板 1 の部位に位置するように形成したため、特にソース側でS i Ge 層 4 2 とS i 層 4 3 との当該濃度分布差を確実に得ることができる。これにより、S i 層 4 3 中の電界が小さくなり、S i Ge 層 4 2 及びS i 層 4 3 の並列チャネルの形成が抑止され、S i Ge 層 4 2 のみが高移動度の正孔チャネルとして機能する。特に、ポケット領域形成のためのイオン注入でチャネル不純物プロファイルが決定する、ショートチャネルの p 型MOS トランジスタでより高い特性向上が期待できる。

続いて、図 8 F に示すように、全面にシリサイド金属、ここではN i 膜を形成し、熱処理によりゲート電極 5 上及びソース／ドレイン領域 3 4 a , 3 4 b のS i 層 4 3 上にそれぞれシリサイド (N i S i) 膜 1 9 を形成 (シリサイド化) する。そして、未反応のN i 膜を除去した後、層間絶縁膜やコンタクト孔、配線層等の形成を経て、p 型MOS トランジスタを完成させる。

以上説明したように、本実施形態によれば、圧縮歪み構造を有するヘテロ接合構造の半導体膜を備えた n 型MOS トランジスタにおいて、ショートチャネル効果を抑制するための p 型不純物のイオン注入を利用し、特に電界の強いソース側を考慮してS i Ge 層 4 2 中の n 型不純物の濃度をS i 層 4 3 よりも高くすることができる。これにより、S i Ge 層 4 2 のみがチャネルとして機能して正孔移動度を増加させ、トランジスタ特性を向上させて、信頼性の高い p 型MOS トランジスタを容易且つ確実に実現することが可能である。

(第 7 の実施形態)

本実施形態では、p 型MOS トランジスタを対象として、チャネルを構成する半導体膜について、n 型不純物がS i Ge 層で高く、S i 層で低い濃度分布を達成する制御方法として、ショートチャネル効果を抑制するための n 型不純物のイオン注入を利用する。n 型不純物、例えば砒素 (A s) の拡散係数はS i Ge 層では高く、S i 層では低い。この拡散係数の相違を利用し、半導体膜へ砒素を熱拡散させる。拡散係数の相違により、S i Ge 層ではS i 層よりも砒素濃度が高くなる。

図 9 A～図 9 F は、第 7 の実施形態による p 型 MOS トランジスタの製造方法を工程順に示す概略断面図である。本実施形態では、p 型 MOS トランジスタの構造を製造方法と共に説明する。

先ず、図 9 A に示すように、シリコン半導体基板（Si 基板）1 の素子分離領域に素子分離構造、ここでは Si 基板 1 の当該領域に形成した溝にシリコン酸化膜等の絶縁物を充填してなる STI 構造 12 を形成して活性領域 31 を画定する。そして、活性領域 13 の表層に閾値電圧（ V_{th} ）制御のために n 型不純物、ここでは砒素を例えばドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 100 keV でイオン注入し、チャンネル不純物領域 32 を形成する。

続いて、図 9 B に示すように、CVD 法により、活性領域 31 上に選択的に薄い SiGe 層 42 及び Si 層 43 を成長させ、2 層構造の半導体膜 41 を形成する。このとき、後のポケット領域 26 の活性化アニールで半導体膜 41 の上述した砒素の不純物分布を確実に達成すべく、SiGe 層 42 を Si 層 43 よりも厚く、例えば SiGe 層 42 を 4 nm 程度、Si 層 43 を 3 nm 程度の膜厚に形成する。

続いて、図 9 C に示すように、Si 層 43 上にゲート絶縁膜 4 となるシリコン酸化膜を膜厚 1.5 nm 程度に形成する。その後、ゲート絶縁膜 4 上に多結晶シリコン膜を堆積し、これをパターニングすることにより、ゲート電極 5 を形成する。そして、チャンネル周辺の不純物プロファイルを調整してショートチャンネル効果を抑制するため、ゲート電極 5 をマスクとして半導体膜 11 及び Si 基板 1 の表層のうちドレイン側のみに n 型不純物、ここでは砒素をイオン注入し、ポケット領域 26 を形成する。ここでは、半導体膜 41 の上述した濃度プロファイルを実現するに際して、ドレイン側のみにポケット領域 26 を形成すべく加速エネルギー及び傾斜角度を制御してイオン注入する。具体的には、ドレイン側のみにドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 30 keV で傾斜角度を 45° としてイオン注入する。

続いて、図 9 D に示すように、ゲート電極 5 をマスクとして半導体膜 11 及び Si 基板 1 の表層に p 型不純物、ここではホウ素 B をドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー 1 keV で傾斜角度を 0° としてイオン注入し、一対のエク

テンション領域 33 を形成する。

続いて、図 9 E に示すように、ゲート電極 5 を覆うように全面に絶縁膜、ここではシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性エッチング(エッチバック)してゲート電極 5 の両側面のみにシリコン酸化膜を残し、サイドウォール絶縁膜 17 を形成する。そして、ゲート電極 5 及びサイドウォール絶縁膜 17 をマスクとして半導体膜 41 及び Si 基板 1 の表層に p 型不純物、ここではホウ素 B をドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 5 keV で傾斜角度を 0° としてイオン注入し、エクステンション領域 33 と一部重畳しこれよりも深い一対のソース領域 34 a, ドレイン領域 34 b を形成する。

その後、温度 1000°C で 1 秒間の活性化アニール処理を実行し、導入した各不純物を熱拡散させる。このとき、ポケット領域 26 としてイオン注入した砒素は、SiGe 層 42 ではその拡散係数が高く、Si 層 43 では低いため、ポケット領域 26 から SiGe 層 42 へ多く拡散するが、ポケット領域 26 から Si 層 43 への拡散は小さい。その結果、砒素濃度は SiGe 層 42 で高く、Si 層 43 で SiGe 層 42 よりも低く分布する。これにより、Si 層 43 中の電界が小さくなり、SiGe 層 42 及び Si 層 43 の並列チャネルの形成が抑止され、SiGe 層 42 のみが高移動度の正孔チャネルとして機能する。この場合、ポケット領域のイオン注入は特にドレイン側で必要であり、SiGe 層 42 と Si 層 43 との当該濃度分布差はドレイン側ではさほど重要ではないことから、本実施形態ではポケット領域 26 をドレイン側のみに形成することにより、ショートチャネル効果を抑制するとともに、ソース側の Si 層 43 中の砒素濃度を増加させることもない。特に、ポケット領域形成のためのイオン注入でチャネル不純物プロファイルが決定する、ショートチャネルの p 型 MOS トランジスタでより高い特性向上が期待できる。

続いて、図 9 F に示すように、全面にシリサイド金属、ここでは Ni 膜を形成し、熱処理によりゲート電極 5 上及びソース／ドレイン領域 34 a, 34 b の Si 層 43 上にそれぞれシリサイド (NiSi) 膜 19 を形成 (シリサイド化) する。そして、未反応の Ni 膜を除去した後、層間絶縁膜やコンタクト孔、配線層等の形成を経て、p 型 MOS トランジスタを完成させる。

以上説明したように、本実施形態によれば、圧縮歪み構造を有するヘテロ接合構造の半導体膜を備えたn型MOSトランジスタにおいて、ショートチャネル効果を抑制するためのp型不純物のイオン注入を利用し、特に電界の強いソース側を考慮してSiGe層42中のn型不純物の濃度をSi層43よりも高くすることができる。これにより、SiGe層42のみがチャネルとして機能して正孔移動度を増加させ、トランジスタ特性を向上させて、信頼性の高いp型MOSトランジスタを容易且つ確実に実現することが可能である。

(第8の実施形態)

本実施形態では、p型MOSトランジスタを対象として、チャネルを構成する半導体膜について、n型不純物がSiGe層で高く、Si層で低い濃度分布を達成する制御方法として、ショートチャネル効果を抑制するためのn型不純物のイオン注入を利用する。n型不純物、例えば砒素(As)の拡散係数はSiGe層では高く、Si層では低い。この拡散係数の相違を利用し、半導体膜へ砒素を熱拡散させる。拡散係数の相違により、SiGe層ではSi層よりも砒素濃度が高くなる。

図10A～図10Fは、第8の実施形態によるp型MOSトランジスタの製造方法を工程順に示す概略断面図である。本実施形態では、p型MOSトランジスタの構造を製造方法と共に説明する。

先ず、図10Aに示すように、シリコン半導体基板(Si基板)1の素子分離領域に素子分離構造、ここではSi基板1の当該領域に形成した溝にシリコン酸化膜等の絶縁物を充填してなるSTI構造12を形成して活性領域31を画定する。そして本実施形態では、閾値電圧(V_{th})制御のためにn型不純物の導入は実行しない。

続いて、図10Bに示すように、CVD法により、活性領域31上に選択的に薄いSiGe層42及びSi層43を成長させ、2層構造の半導体膜41を形成する。このとき、後のポケット領域27の活性化アニールで半導体膜41の上述した砒素の不純物分布を確実に達成すべく、SiGe層42をSi層43よりも厚く、例えばSiGe層42を4nm程度、Si層43を3nm程度の膜厚に形成する。

続いて、図 10 C に示すように、S i 層 4 3 上にゲート絶縁膜 4 となるシリコン酸窒化膜を膜厚 1.5 nm 程度に形成する。その後、ゲート絶縁膜 4 上に多結晶シリコン膜を堆積し、これをパターニングすることにより、ゲート電極 5 を形成する。そして、チャネル周辺の不純物プロファイル进行调整してショートチャネル効果を抑制するため、ゲート電極 5 をマスクとして半導体膜 1 1 及び S i 基板 1 の表層に n 型不純物、ここでは砒素をイオン注入し、一対のポケット領域 2 7 を形成する。ここでは、半導体膜 4 1 の上述した濃度プロファイルを実現すべく、S i G e 層 4 2 の部位にホウ素の濃度ピークが位置するように加速エネルギー及び傾斜角度を制御してイオン注入する。具体的には、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 30 keV で傾斜角度を 45° としてイオン注入する。

続いて、図 10 D に示すように、ゲート電極 5 をマスクとして半導体膜 1 1 及び S i 基板 1 の表層に p 型不純物、ここではホウ素 B をドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー 1 keV で傾斜角度を 0° としてイオン注入し、一対のエクステンション領域 3 3 を形成する。

続いて、図 10 E に示すように、ゲート電極 5 を覆うように全面に絶縁膜、ここではシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性エッチング（エッチバック）してゲート電極 5 の両側面のみにシリコン酸化膜を残し、サイドウォール絶縁膜 1 7 を形成する。そして、ゲート電極 5 及びサイドウォール絶縁膜 1 7 をマスクとして半導体膜 4 1 及び S i 基板 1 の表層に p 型不純物、ここではホウ素 B をドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 5 keV で傾斜角度を 0° としてイオン注入し、エクステンション領域 3 3 と一部重畳しこれよりも深い一対のソース領域 3 4 a、ドレイン領域 3 4 b を形成する。

その後、温度 1000℃ で 1 秒間の活性化アニール処理を実行し、導入した各不純物を熱拡散させる。このとき、ポケット領域 2 7 としてイオン注入した砒素は、S i G e 層 4 2 ではその拡散係数が高く、S i 層 4 3 では低いため、ポケット領域 2 7 からの横方向拡散が S i G e 層 4 2 では助長されて多く拡散するが、ポケット領域 2 7 から S i 層 3 への拡散は小さい。その結果、砒素濃度は S i G e 層 4 2 で高く、S i 層 4 3 で S i G e 層 4 2 よりも低く分布する。これにより、S i 層 4 3 中の電界が小さくなり、S i G e 層 4 2 及び S i 層 4 3 の並列チャネ

ルの形成が抑止され、S i G e層42のみが高移動度の正孔チャネルとして機能する。特に、ポケット領域形成のためのイオン注入でチャネル不純物プロファイルが決定する、ショートチャネルのp型MOSトランジスタでより高い特性向上が期待できる。

続いて、図10Fに示すように、全面にシリサイド金属、ここではNi膜を形成し、熱処理によりゲート電極5上及びソース／ドレイン領域34a, 34bのSi層43上にそれぞれシリサイド(NiSi)膜19を形成(シリサイド化)する。そして、未反応のNi膜を除去した後、層間絶縁膜やコンタクト孔、配線層等の形成を経て、p型MOSトランジスタを完成させる。

以上説明したように、本実施形態によれば、圧縮歪み構造を有するヘテロ接合構造の半導体膜を備えたn型MOSトランジスタにおいて、ショートチャネル効果を抑制するためのp型不純物のイオン注入を利用し、S i G e層42中のn型不純物の濃度をS i層43よりも高くすることができる。これにより、S i G e層42のみがチャネルとして機能して正孔移動度を増加させ、トランジスタ特性を向上させて、信頼性の高いp型MOSトランジスタを容易且つ確実に実現することが可能である。

(第9の実施形態)

本実施形態では、p型MOSトランジスタを対象として、チャネルを構成する半導体膜について、n型不純物がS i G e層で高く、S i層で低い濃度分布を達成する制御方法として、ソース／ドレイン領域形成のためのp型不純物のイオン注入を利用する。このp型不純物によりS i層中のn型不純物、例えば砒素(As)の分布を打ち消すことにより、S i G e層ではS i層よりも相対的に砒素濃度が高くなる。

図11A～図11Fは、第9の実施形態によるp型MOSトランジスタの製造方法を工程順に示す概略断面図である。本実施形態では、p型MOSトランジスタの構造を製造方法と共に説明する。

まず、図11Aに示すように、シリコン半導体基板(Si基板)1の素子分離領域に素子分離構造、ここではSi基板1の当該領域に形成した溝にシリコン酸化膜等の絶縁物を充填してなるSTI構造12を形成して活性領域31を画定す

る。そして、活性領域 13 の表層に閾値電圧 (V_{th}) 制御のために n 型不純物、ここでは砒素を例えばドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 100 keV でイオン注入し、チャネル不純物領域 32 を形成する。

続いて、図 11B に示すように、CVD 法により、活性領域 31 上に選択的に薄い SiGe 層 42 及び Si 層 43 を成長させ、2 層構造の半導体膜 41 を形成する。このとき、上述した砒素の不純物分布を確実に達成すべく、SiGe 層 42 を Si 層 43 よりも厚く、例えば SiGe 層 42 を 4 nm 程度、Si 層 43 を 3 nm 程度の膜厚に形成する。

続いて、図 11C に示すように、Si 層 43 上にゲート絶縁膜 4 となるシリコン酸化膜を膜厚 1.5 nm 程度に形成する。その後、ゲート絶縁膜 4 上に多結晶シリコン膜を堆積し、これをパターニングすることにより、ゲート電極 5 を形成する。そして、チャネル周辺の不純物プロファイルを調整してショートチャネル効果を抑制するため、ゲート電極 5 をマスクとして半導体膜 11 及び Si 基板 1 の表層に n 型不純物、ここでは砒素をドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速エネルギー 30 keV で傾斜角度を 45° としてイオン注入し、一対のポケット領域 28 を形成する。

続いて、図 11D に示すように、ゲート電極 5 をマスクとして半導体膜 11 及び Si 基板 1 の表層に p 型不純物、ここではホウ素 B をドーズ量 $1 \times 10^{14} / \text{cm}^2$ 、加速エネルギー 1 keV で傾斜角度を 0° としてイオン注入し、一対のエクステンション領域 33 を形成する。

続いて、図 11E に示すように、ゲート電極 5 を覆うように全面に絶縁膜、ここではシリコン酸化膜を堆積し、このシリコン酸化膜の全面を異方性エッチング（エッチバック）してゲート電極 5 の両側面のみシリコン酸化膜を残し、サイドウォール絶縁膜 17 を形成する。

そして、ゲート電極 5 及びサイドウォール絶縁膜 17 をマスクとして半導体膜 41 及び Si 基板 1 の表層に p 型不純物、ここではホウ素 B をイオン注入し、エクステンション領域 33 と一部重畳しこれよりも深い一対のソース領域 35a、ドレイン領域 35b を形成する。この場合、注入したホウ素がゲート電極 5 及びゲート絶縁膜 4 をすり抜け、その下の Si 層 43 に到達するように、加速エネルギー

ギーを制御する。具体的には、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ 、加速エネルギー 8 keV で傾斜角度を 0° としてイオン注入する。

その後、温度 1000°C で 1 秒間の活性化アニール処理を実行し、導入した各不純物を熱拡散させる。このとき、ソース／ドレイン領域 35a, 35b としてイオン注入した p 型不純物であるホウ素が Si 層 43 中で拡散し、Si 層 43 中に存する n 型不純物である砒素の分布がホウ素により打ち消され、実質的に n 型不純物濃度が低下する。その結果、相対的には、砒素濃度は SiGe 層 42 で高く、Si 層 43 で SiGe 層 42 よりも低く分布する。これにより、Si 層 43 中の電界が小さくなり、SiGe 層 42 及び Si 層 43 の並列チャネルの形成が抑止され、SiGe 層 42 のみが高移動度の正孔チャネルとして機能する。

続いて、図 11F に示すように、全面にシリサイド金属、ここでは Ni 膜を形成し、熱処理によりゲート電極 5 上及びソース／ドレイン領域 35a, 35b の Si 層 43 上にそれぞれシリサイド (NiSi) 膜 19 を形成 (シリサイド化) する。そして、未反応の Ni 膜を除去した後、層間絶縁膜やコンタクト孔、配線層等の形成を経て、p 型 MOS トランジスタを完成させる。

以上説明したように、本実施形態によれば、圧縮歪み構造を有するヘテロ接合構造の半導体膜を備えた n 型 MOS トランジスタにおいて、ソース／ドレイン領域 35a, 35b 形成のための p 型不純物のイオン注入を利用し、SiGe 層 42 中の n 型不純物の濃度を Si 層 43 よりも相対的に高くすることができる。これにより、SiGe 層 42 のみがチャネルとして機能して正孔移動度を増加させ、トランジスタ特性を向上させて、信頼性の高い p 型 MOS トランジスタを容易且つ確実に実現することが可能である。

なお、上述した各実施形態を通じて、トランジスタの所望の V_{th} を得るために、イオン注入条件及びアニール条件は適宜選択できるものである。

産業上の利用可能性

本発明によれば、圧縮歪み構造を有するヘテロ接合構造の半導体膜を備えた半導体装置において、移動度を増加させ、トランジスタ特性を向上させて、信頼性の高い半導体装置を実現することができる。

請 求 の 範 囲

1. 半導体基板と、

前記半導体基板上に形成された半導体層と、

前記半導体膜上に絶縁膜を介して形成されたゲートと、

前記ゲートの両側における前記半導体層に第1の不純物が導入されてなる一対の第1の不純物拡散領域と

を含み、

前記半導体膜は、第2の不純物の拡散係数の異なる2種類の半導体層が積層してなるヘテロ接合構造を有しており、一方の前記半導体層における前記第2の不純物の濃度が他方の前記半導体層よりも高く分布していることを特徴とする半導体装置。

2. 前記第2の不純物は前記第1の不純物と反対導電型であることを特徴とする請求の範囲1に記載の半導体装置。

3. 2種類の前記半導体層のうち、下層の前記半導体層における前記第2の不純物の濃度が上層の前記半導体層よりも高く分布していることを特徴とする請求の範囲2に記載の半導体装置。

4. 下層の前記半導体層は上層の前記半導体層よりも厚いことを特徴とする請求の範囲3に記載の半導体装置。

5. 前記ゲートの両側に前記第2の不純物が導入されてなる一対の第2の不純物拡散領域を更に含み、

前記第2の不純物拡散領域からの前記第2の不純物の拡散により、前記第2の不純物の濃度差が形成されていることを特徴とする請求の範囲2に記載の半導体装置。

6. 前記各第2の不純物拡散領域は、深さが異なるように非対称に形成されており、

一方の前記半導体層と前記他方の前記半導体層との前記第2の不純物の濃度差が、一方の前記第1の不純物拡散領域側の部位と他方の前記第1の不純物拡散領域側の部位とで異なることを特徴とする請求の範囲5に記載の半導体装置。

7. 前記ゲートの片側にのみ前記第 2 の不純物が導入されてなる第 2 の不純物拡散領域を更に含み、

一方の前記半導体層と前記他方の前記半導体層との前記第 2 の不純物の濃度差が、一方の前記第 1 の不純物拡散領域側の部位と他方の前記第 1 の不純物拡散領域側の部位とで異なることを特徴とする請求の範囲 2 に記載の半導体装置。

8. 前記半導体膜下の前記基板の表層に前記第 2 の不純物が導入されてなる第 3 の不純物拡散領域を更に含むことを特徴とする請求の範囲 2 に記載の半導体装置。

9. 前記第 1 の不純物が n 型不純物とされてなる n 型 M I S トランジスタであって、

前記半導体膜は、下層の前記半導体層が S i からなり、上層の前記半導体層が S i よりも第 2 の不純物の拡散係数の小さい材料からなることを特徴とする請求の範囲 3 に記載の半導体装置。

10. 前記第 1 の不純物が p 型不純物とされてなる p 型 M I S トランジスタであって、

前記半導体膜は、下層の前記半導体層が S i からなり、上層の前記半導体層が S i よりも第 2 の不純物の拡散係数の大きい材料からなることを特徴とする請求の範囲 3 に記載の半導体装置。

11. 基板上に半導体層を形成する工程と、

前記半導体膜上に絶縁膜を介してゲートをパターン形成する工程と、

前記ゲートの両側における前記半導体層に第 1 の不純物を導入して一对の第 1 の不純物拡散領域を形成する工程と

を含み、

前記半導体膜を、第 2 の不純物の拡散係数の異なる 2 種類の半導体層が積層してなるヘテロ接合構造に形成し、一方の前記半導体層における前記第 2 の不純物の濃度を他方の前記半導体層よりも高く分布するように制御することを特徴とする半導体装置の製造方法。

12. 前記第 2 の不純物は前記第 1 の不純物と反対導電型であることを特徴とする請求の範囲 11 に記載の半導体装置の製造方法。

13. 2 種類の前記半導体層のうち、下層の前記半導体層における前記第 2 の不

純物の濃度が上層の前記半導体層よりも高く分布するように制御することを特徴とする請求の範囲 1 2 に記載の半導体装置の製造方法。

1 4. 下層の前記半導体層が上層の前記半導体層よりも厚くなるように制御して形成することを特徴とする請求の範囲 1 3 に記載の半導体装置の製造方法。

1 5. 前記ゲートをマスクとして前記第 2 の不純物を導入して一対の第 2 の不純物拡散領域を形成する工程を更に含み、

前記第 2 の不純物拡散領域から前記第 2 の不純物を拡散させて前記分布を得ることを特徴とする請求の範囲 1 2 に記載の半導体装置の製造方法。

1 6. 前記各第 2 の不純物拡散領域を深さが異なるように非対称に形成し、

一方の前記半導体層と前記他方の前記半導体層との前記第 2 の不純物の濃度差を、一方の前記第 1 の不純物拡散領域側の部位と他方の前記第 1 の不純物拡散領域側の部位とで異なるように制御することを特徴とする請求の範囲 1 5 に記載の半導体装置の製造方法。

1 7. 一方の前記第 1 の不純物拡散領域側にのみ前記第 2 の不純物を導入して前記第 2 の不純物拡散領域を形成し、

前記第 2 の不純物拡散領域から前記第 2 の不純物を拡散させ、一方の前記半導体層と前記他方の前記半導体層との前記第 2 の不純物の濃度差を、一方の前記第 1 の不純物拡散領域側の部位が他方の前記第 1 の不純物拡散領域側の部位よりも大きくなるように制御することを特徴とする請求の範囲 1 5 に記載の半導体装置の製造方法。

1 8. 前記半導体膜に前記第 2 の不純物を導入して前記第 2 の不純物拡散領域を形成し、

前記第 2 の不純物拡散領域から前記第 2 の不純物を横方向拡散させて前記分布を得ることを特徴とする請求の範囲 1 5 に記載の半導体装置の製造方法。

1 9. 前記半導体膜を形成する前に、前記基板の表層に前記第 2 の不純物を導入して第 3 の不純物拡散領域を形成する工程を更に含み、

前記第 3 の不純物拡散領域から前記第 2 の不純物を拡散させ、下層の前記半導体層における前記第 2 の不純物の濃度を上層の前記半導体層よりも高く分布するように制御することを特徴とする請求の範囲 1 2 に記載の半導体装置の製造方法。

20. 前記第1の不純物拡散領域と一部重畳するように、前記半導体層に前記第1の不純物と同一導電型の第3の不純物を導入し、一対の第4の不純物拡散領域を形成する工程を更に含み、

前記第4の不純物拡散領域を形成する際に、前記ゲートをすり抜けて上層の前記半導体層の前記ゲートの下方に位置する前記半導体基板の部位に前記第3の不純物が到達するように調節し、上層の前記半導体層の前記第2の不純物の分布を制御することを特徴とする請求の範囲12に記載の半導体装置の製造方法。

21. 前記第1の不純物がn型不純物とされてなるn型MISトランジスタであって、

前記半導体膜は、下層の前記半導体層がSiからなり、上層の前記半導体層がSiよりも第2の不純物の拡散係数の小さい材料からなることを特徴とする請求の範囲13に記載の半導体装置の製造方法。

22. 前記第1の不純物がp型不純物とされてなるp型MISトランジスタであって、

前記半導体膜は、下層の前記半導体層がSiからなり、上層の前記半導体層がSiよりも第2の不純物の拡散係数の大きい材料からなることを特徴とする請求の範囲13に記載の半導体装置の製造方法。

図1A

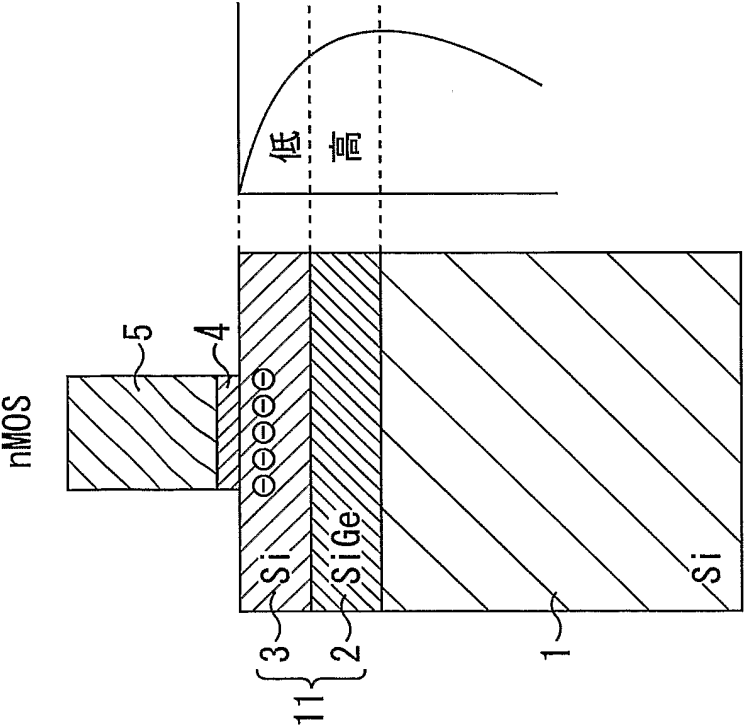


図1B

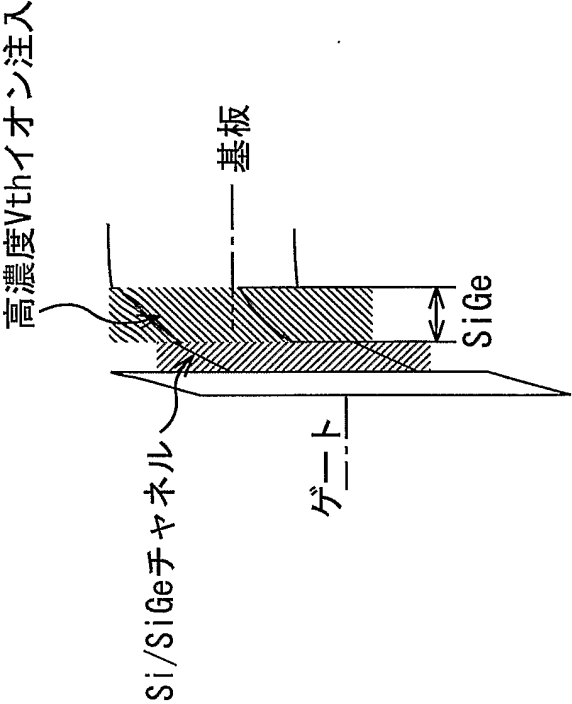


図2B

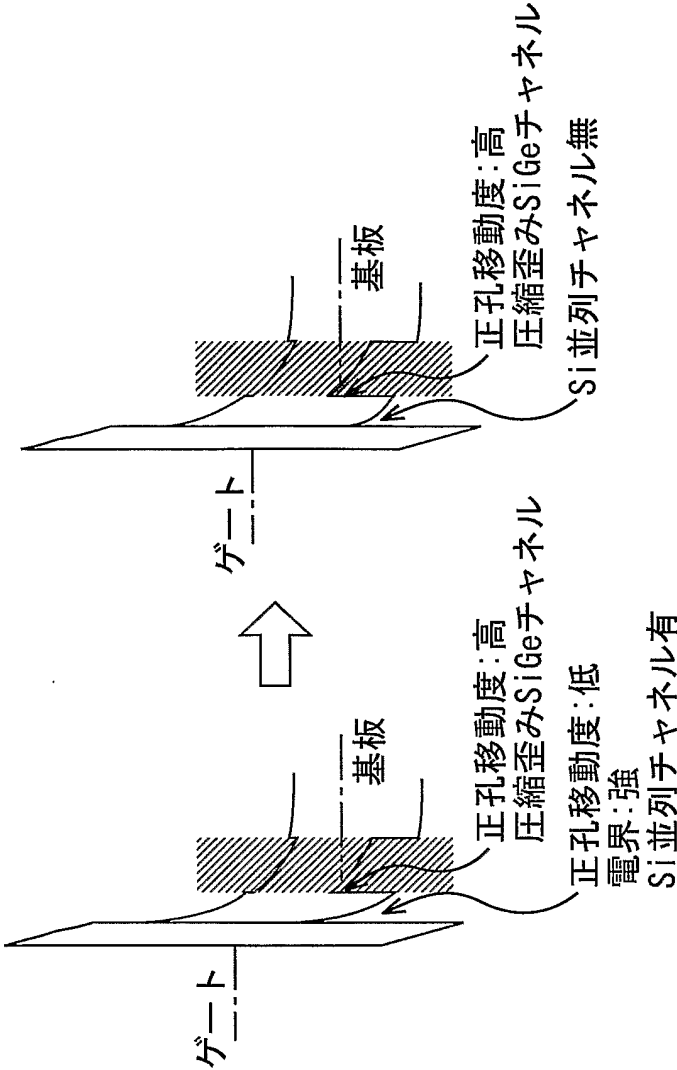
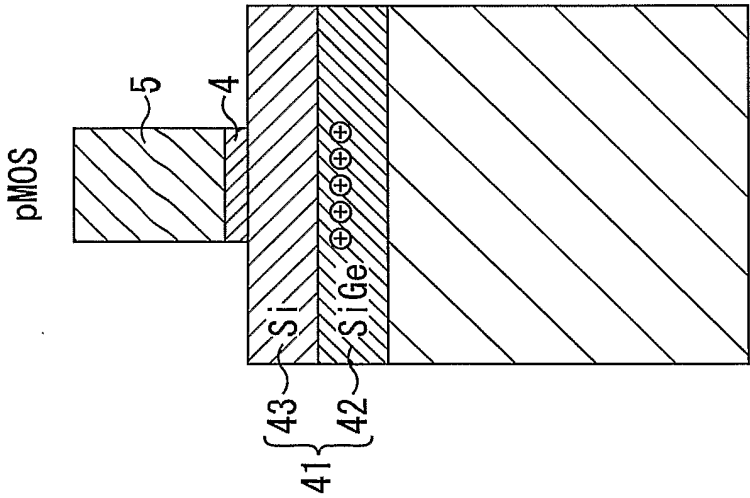
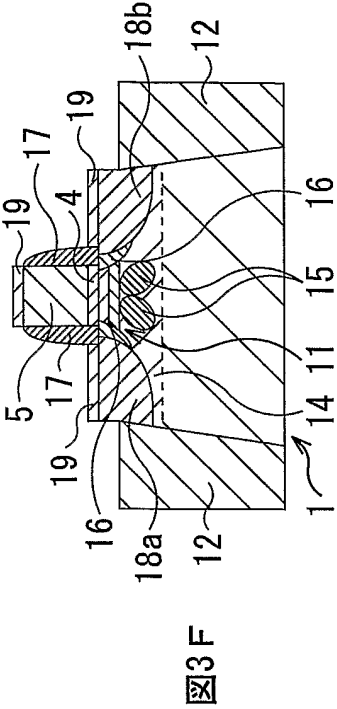
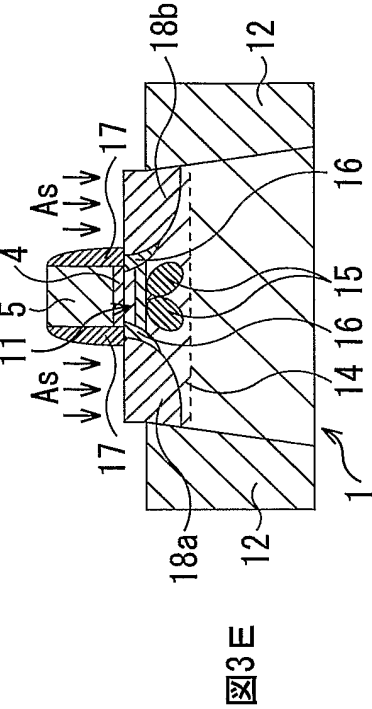
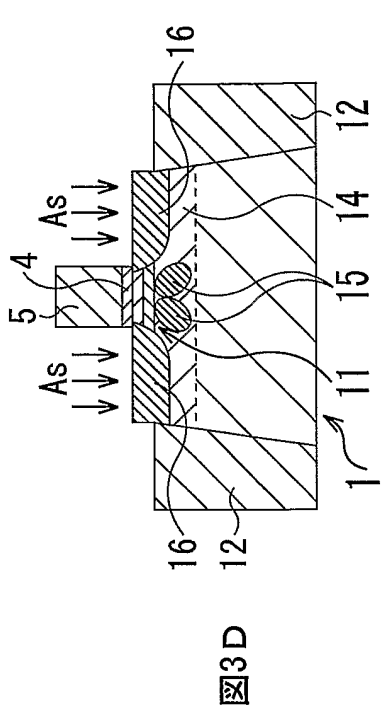
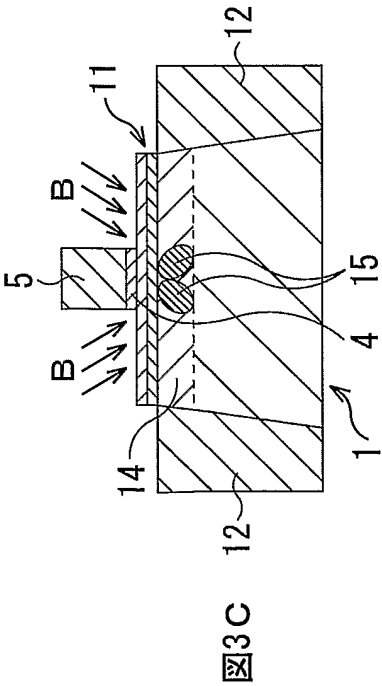
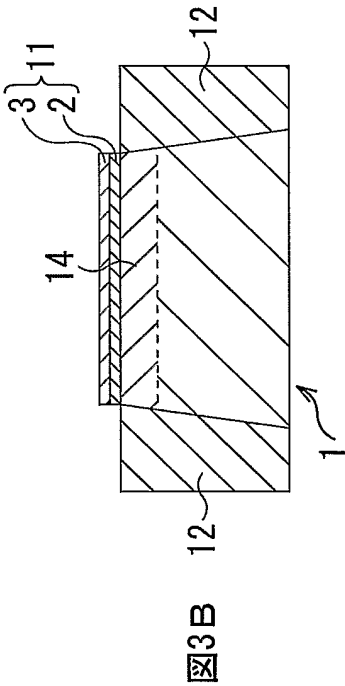
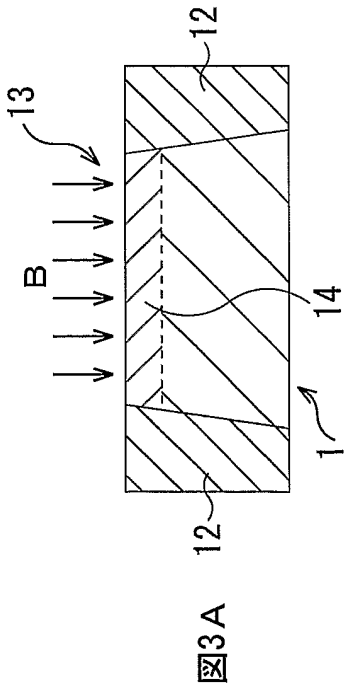


図2A





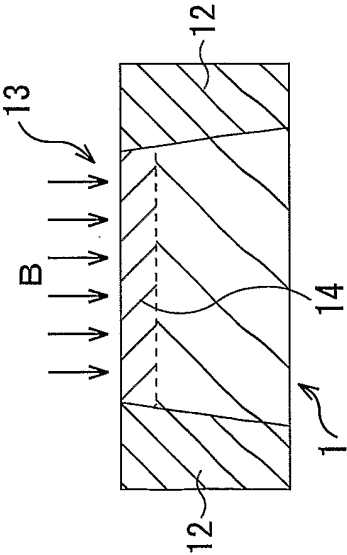


図4A

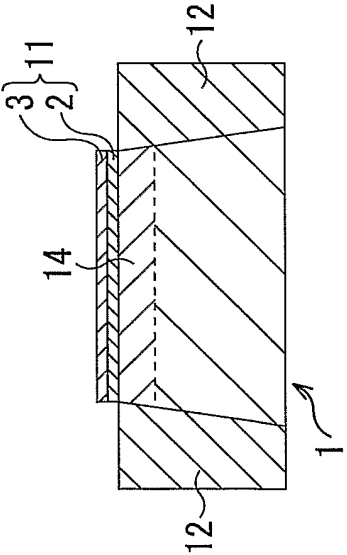


図4B

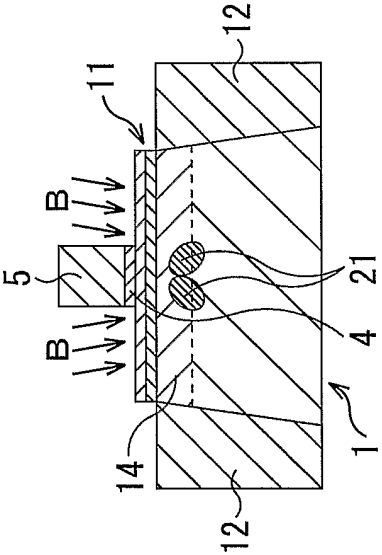


図4C

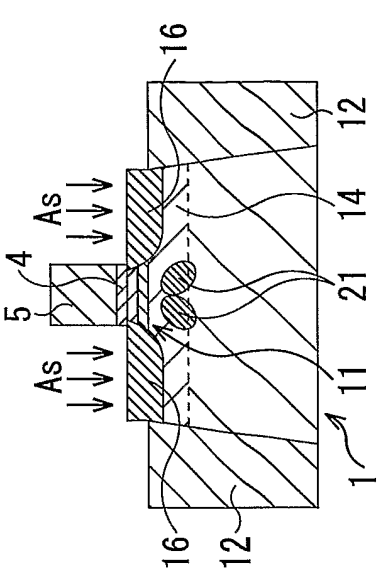


図4D

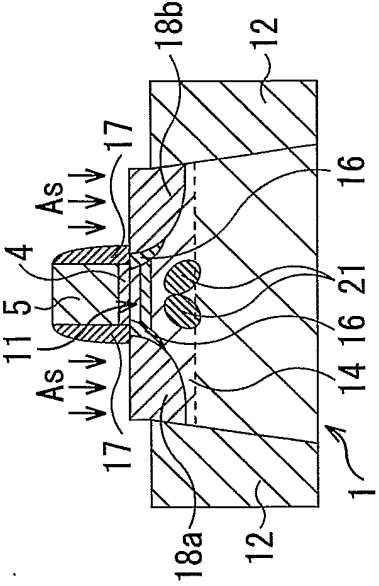


図4E

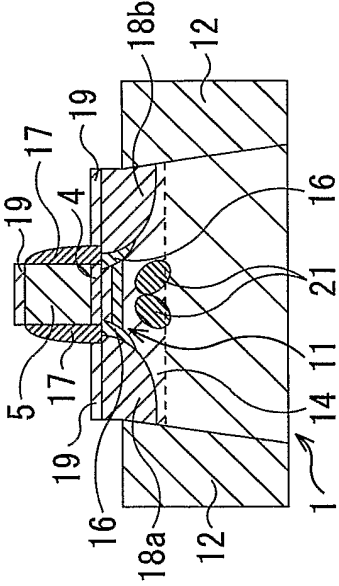
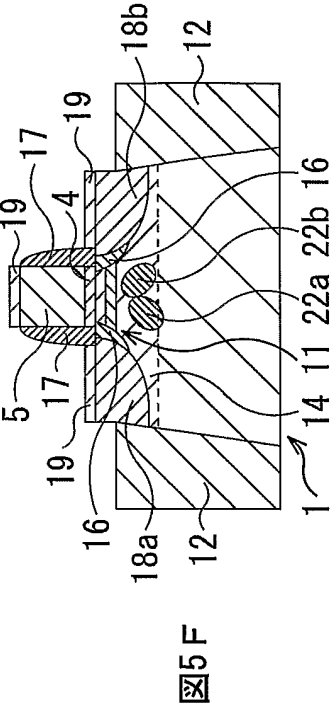
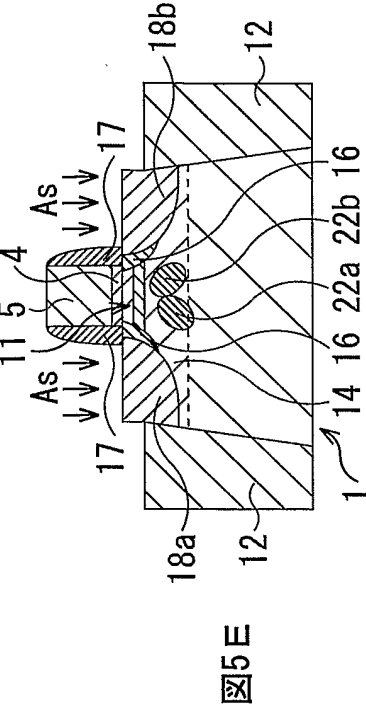
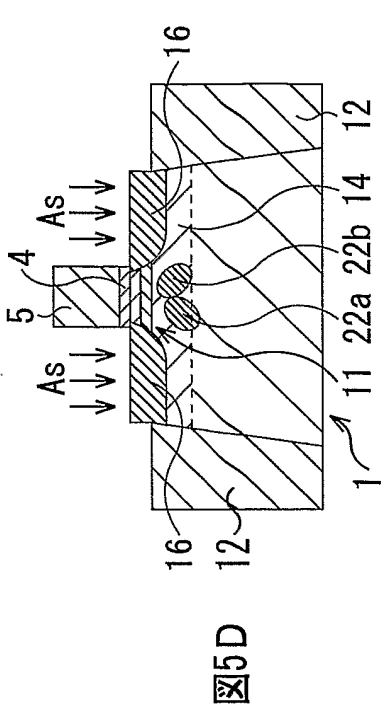
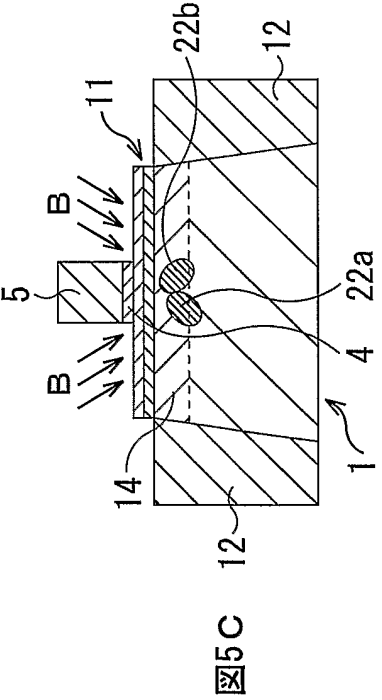
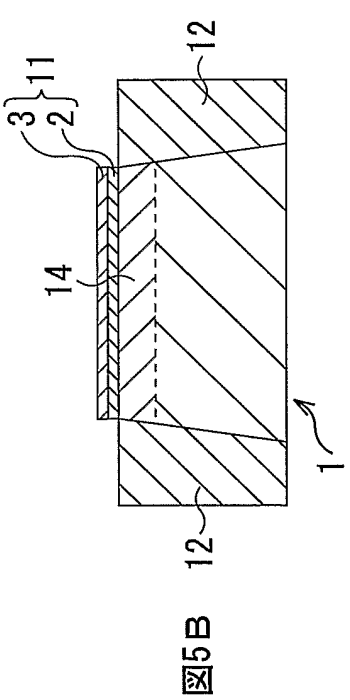
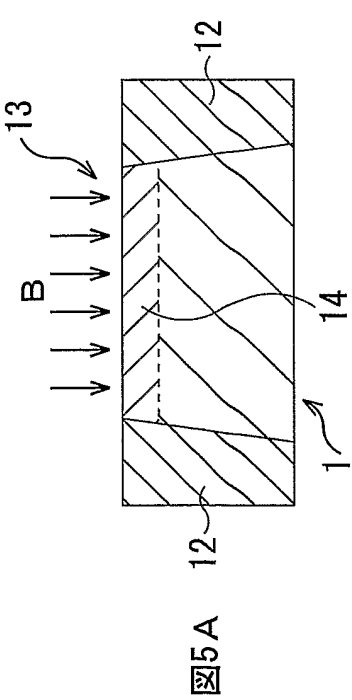


図4F



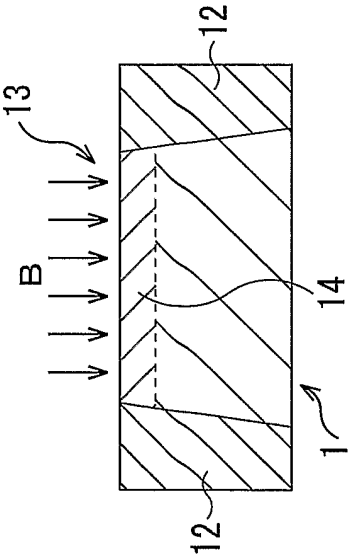


図6A

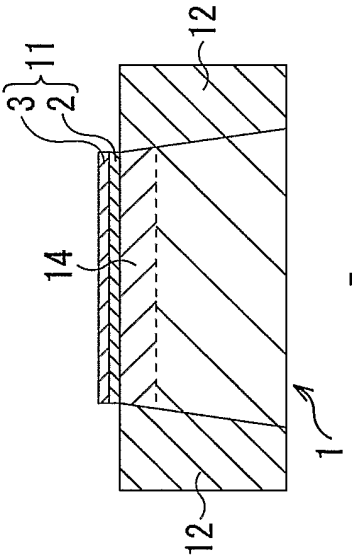


図6B

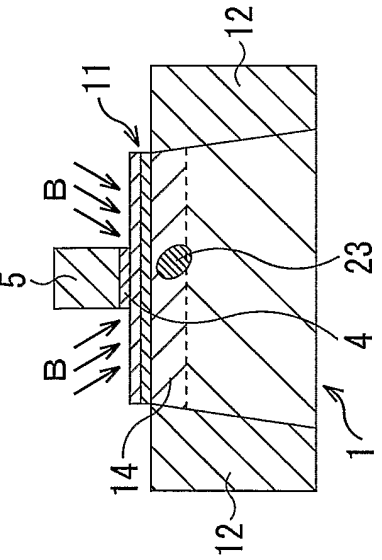


図6C

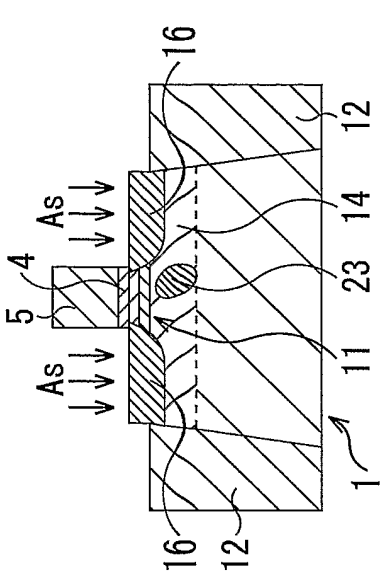


図6D

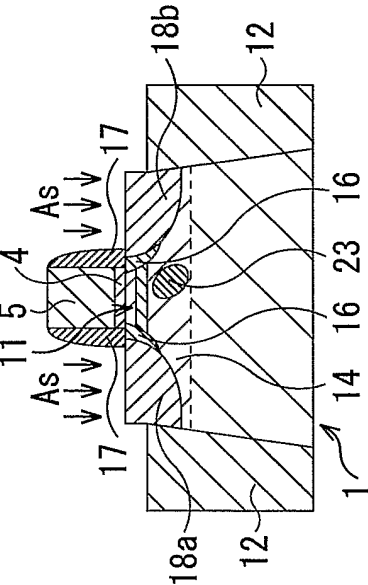


図6E

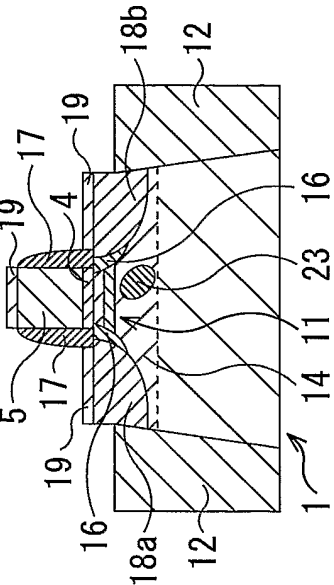
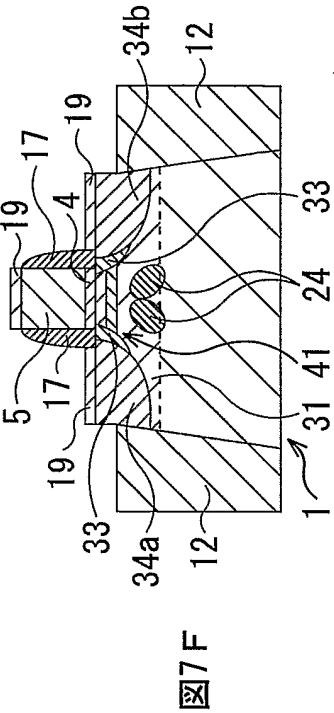
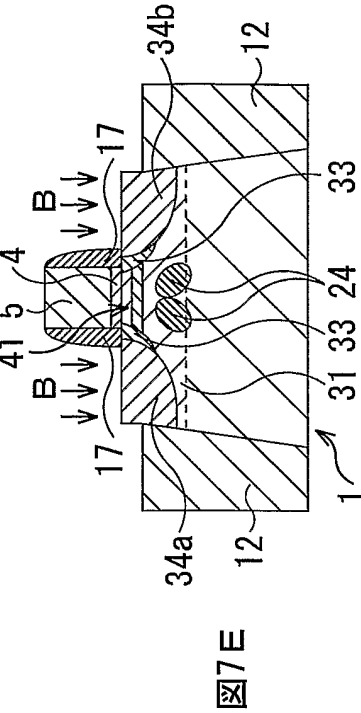
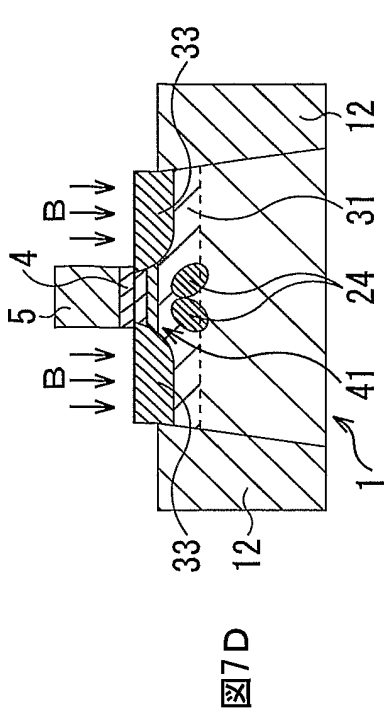
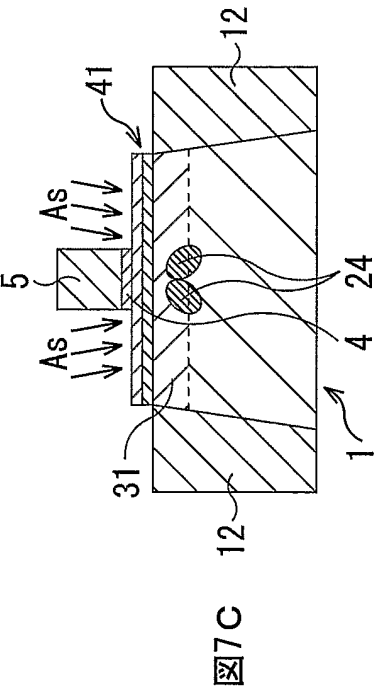
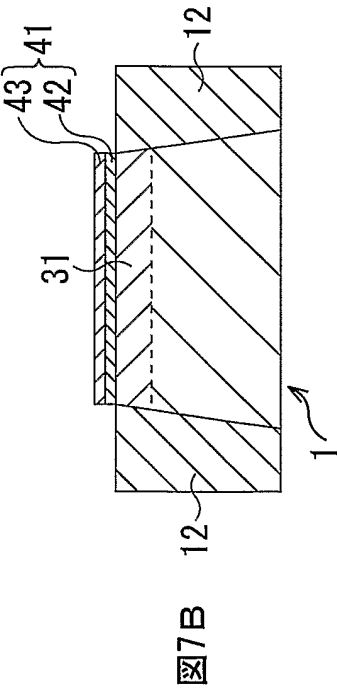
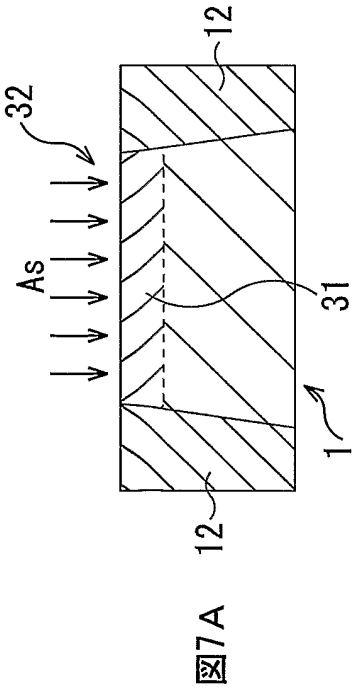
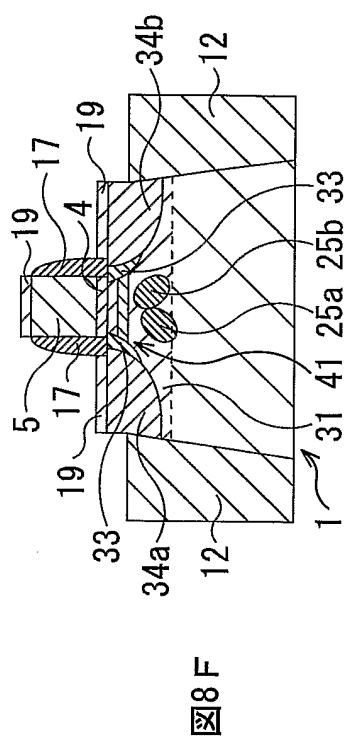
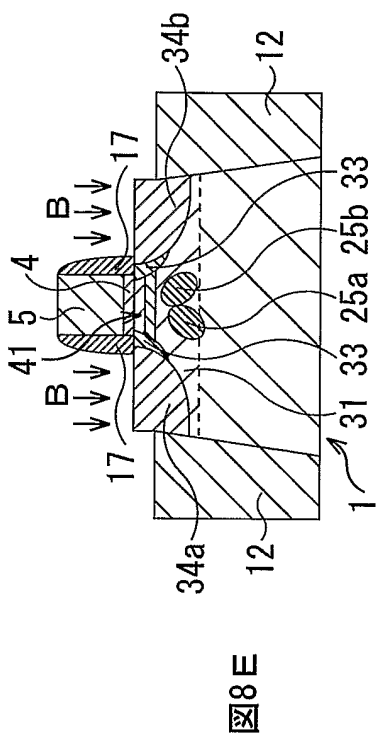
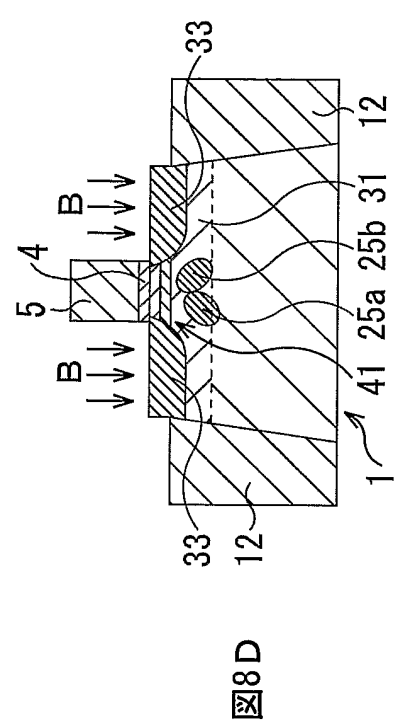
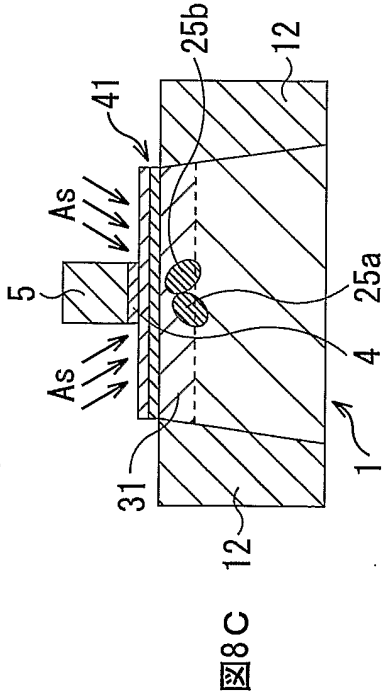
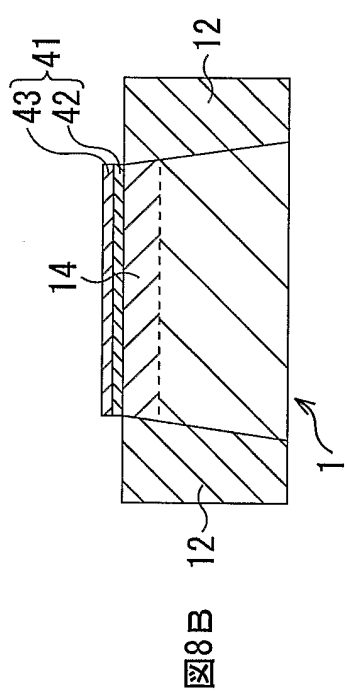
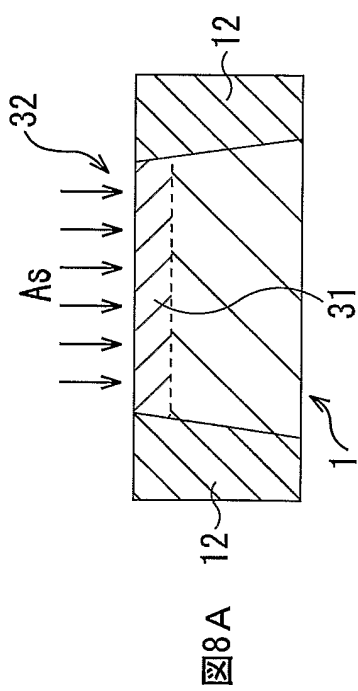
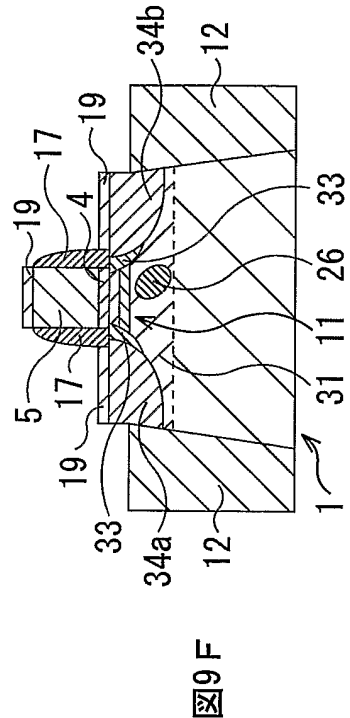
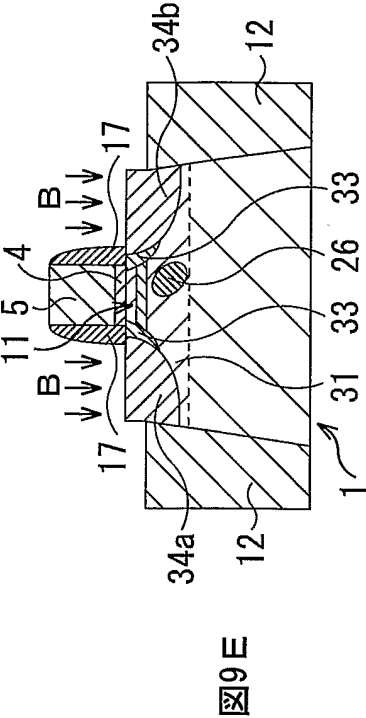
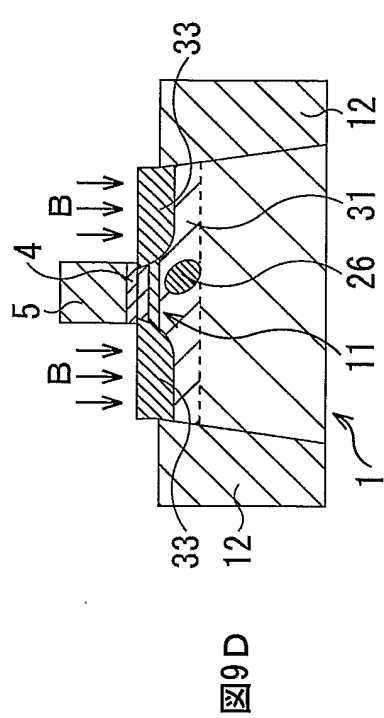
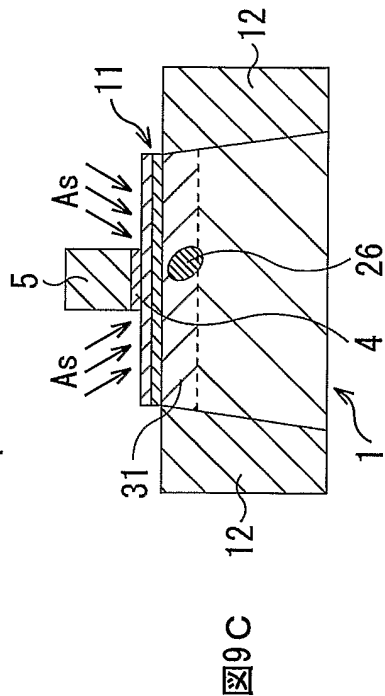
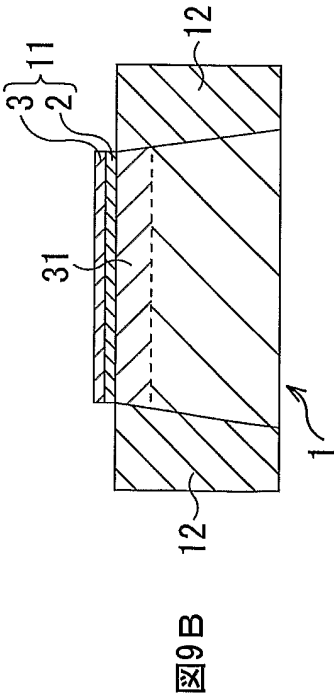
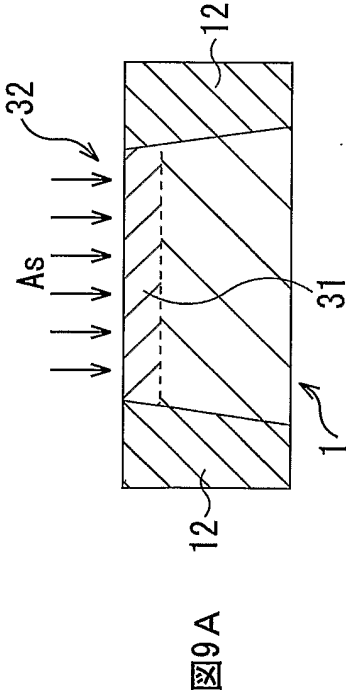


図6F







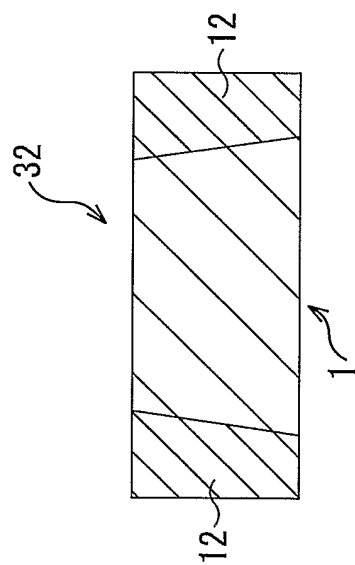
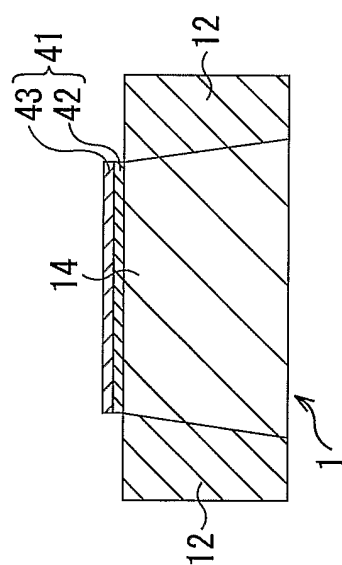
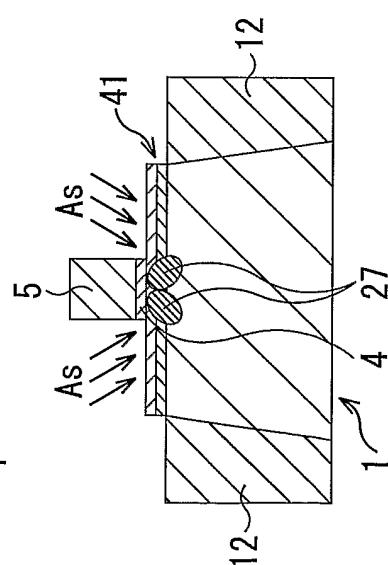


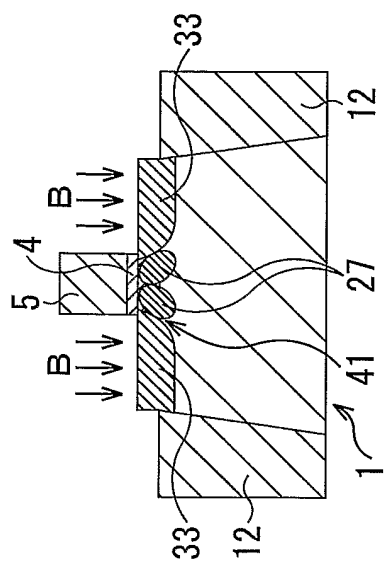
图 10A



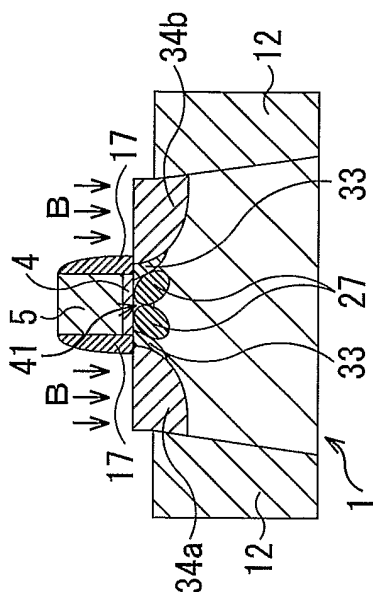
10B



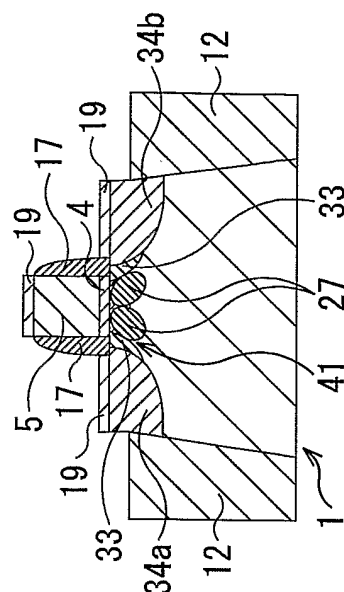
10C



10D



10E 図



10F

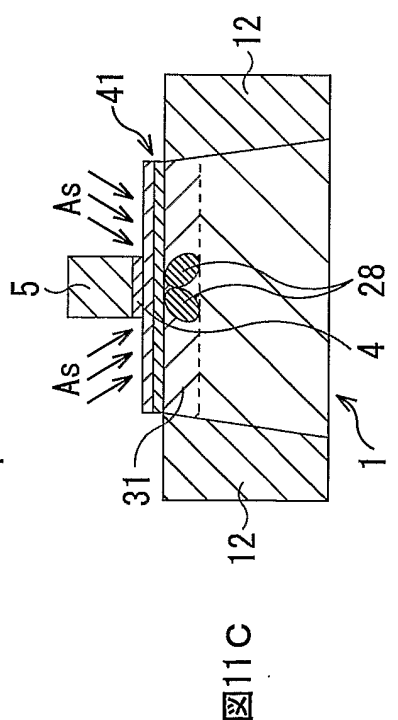
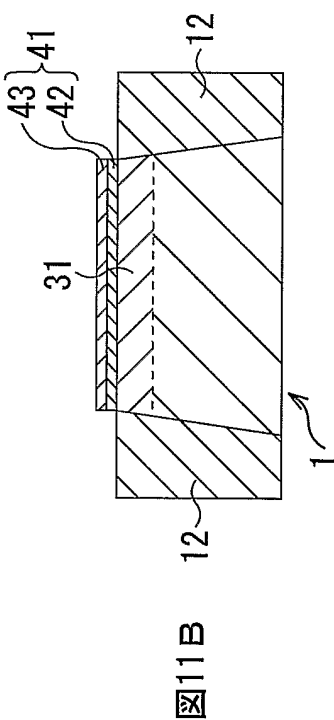
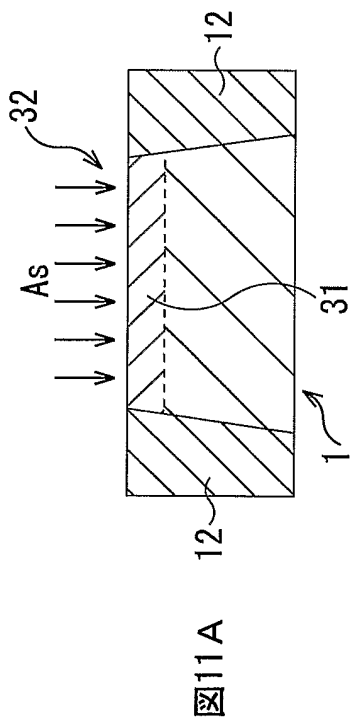
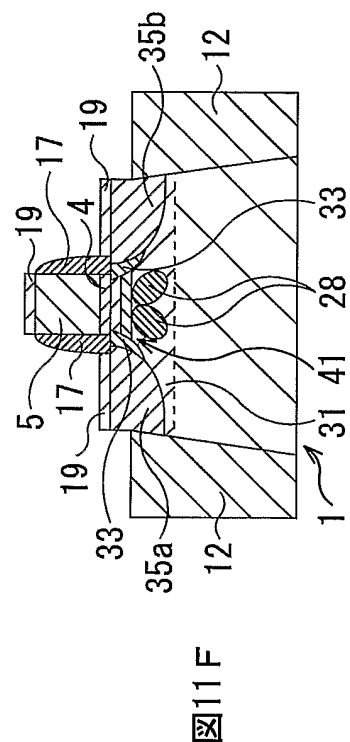
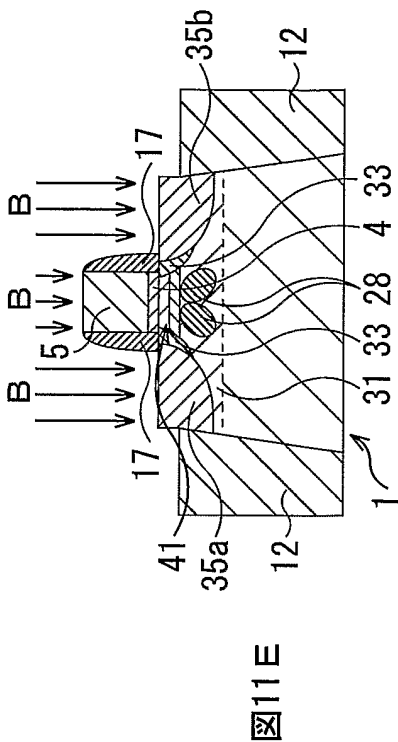
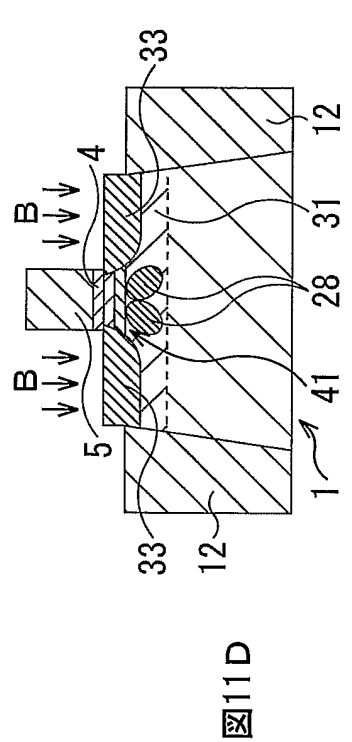


図12

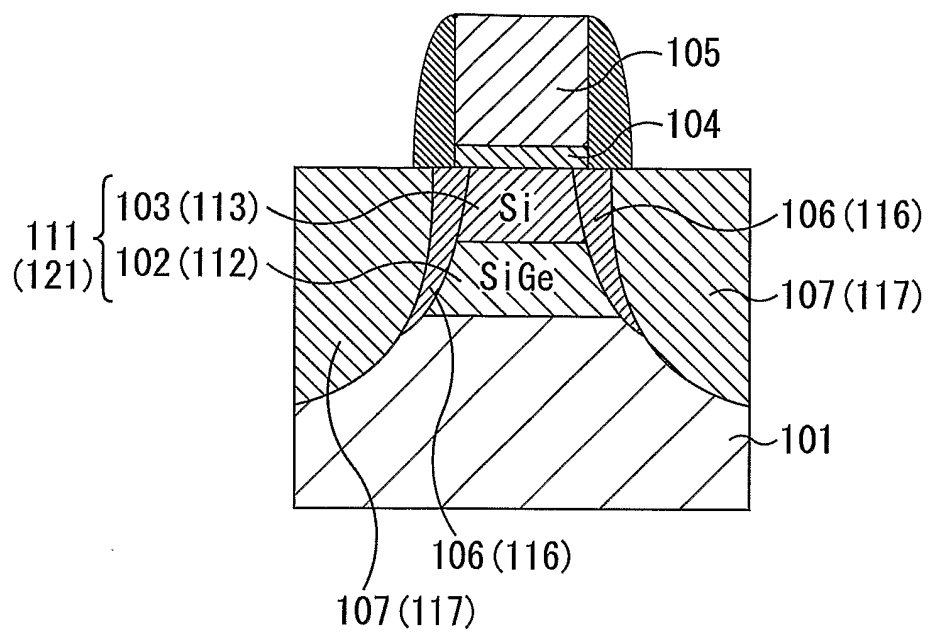


図13A

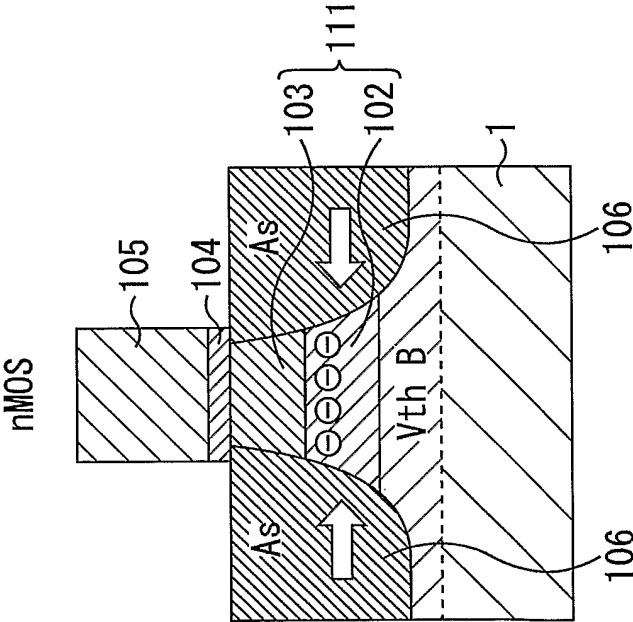
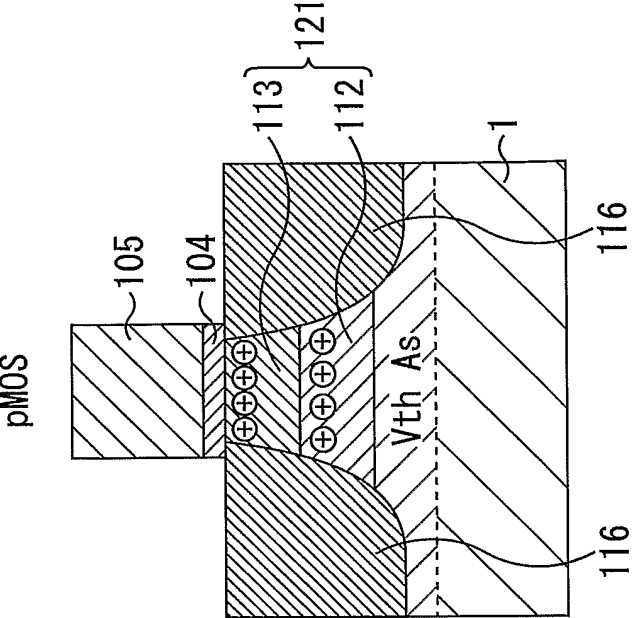


図13B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005309

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/336, H01L29/78, H01L21/8238, H01L27/092

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/336, H01L29/78, H01L21/8238, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-314089 A (Matsushita Electric Industrial Co., Ltd.), 25 October, 2002 (25.10.02), Full text; all drawings (Family: none)	1-4, 11-14
X	JP 11-500873 A (Philips Electronics N.V.), 19 January, 1999 (19.01.99), Full text; all drawings & EP 809865 A1 & KR 98702309 A & TW 317648 B & US 6271551 B1 & WO 97/23000 A1	1-4, 11-14

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 July, 2004 (05.07.04)Date of mailing of the international search report
20 July, 2004 (20.07.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005309

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/0097608 A1 (STMICROELECTRONICS), 25 July, 2002 (25.07.02), Full text; all drawings & FR 2818012 A1	1-4,11-14
X	Kern (Ken) Rim et al., Fabrication and Analysis of Deep submicron Strained-Si N-MOSFET's, IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.47, No.7, July, 2000, pages 1406 to 1415	1-4,11-14
X	T. KAWASHIMA et al., Proposal of N-channel Heterostructure Dynamic Threshold-Voltage MOSFET(HDMOS) with P-typed SiGe Body, Device Research Conference, 2002, 60th DRC. Conference Digest., June, 2002, pages 51 to 52	1-4,11-14
X	T. Ernst et al., Fabrication of a novel strained SiGe:C-channel planar 55nm nMOSFET for High-Performance CMOS, 2002, Symposium On VLSI Technology Digest of Technical Papers, pages 92 to 93	1-4,11-14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005309

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. However, as mentioned on the (extra sheet), this international application contains seven inventions: the invention of claims 1-4, 11-14; the invention of claims 5, 6, 15-18; the invention of claim 7; the invention of claims 8, 19; the invention of claims 9, 21; the invention of claims 10, 22; and the invention of claim 20. (Continued to extra sheets.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-4, 11-14

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005309

Continuation of Box No. III of continuation of first sheet (2)

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. However, the group of inventions of claims 1-22 are linked only by the technical feature of claim 1.

However, this technical feature cannot be a special technical feature since it is disclosed in prior art documents such as JP 2002-314089 A (Matsushita Electric Industrial Co., Ltd.) 25 October, 2002 (25.10.02), JP 11-500873 A (Philips Electronics N.V.), 19 January, 1999 (19.01.99), US 2002/0097608 A1 (STMICROELECTRONICS), 25 July, 2002 (25.07.02), and Kern (Ken) Rim et al., Fabrication and Analysis of Deep submicron Strained-Si N-MOSFET's, IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 47, No. 7, July 2000, pages 1406 to 1415.

Therefore, there exists no special technical feature so linking the group of inventions of claims 1-22 as to form a single general inventive concept. Consequently, it appears that claims 1-22 do not satisfy the requirement of unity of invention.

Next, the number of inventions of the claims in the international application so linked as to form a single general inventive concept, namely, the number of inventions will be examined

The inventions of claims 3-10 are linked only by the technical feature common to claims 1, 2. However, this technical feature cannot be a special technical feature since it is disclosed in the above prior art documents. Therefore, the inventions of claims 1-12 are divided into four inventions: the invention of claims 1-4, 9, 10; the invention of claims 5, 6; the invention of claim 7; and the invention of claim 8.

Examining the inventions of claims 1-4, 9, 10, the inventions of claims 4, 9, 10 are linked only by the technical feature common to claims 1-3. However, this technical feature cannot be a special technical feature since it is disclosed in the above prior art documents. Consequently, the inventions of claims 1-4, 9, 10 are divided into three inventions: the invention of claims 1-4; the invention of claim 9; and the invention of claim 10.

The inventions of claims 13-22 are linked only by the technical feature common to claims 11, 12. However, this technical feature cannot be a special technical feature since it is disclosed in the above prior art documents. Consequently, the inventions of claims 11-22 are divided into four inventions: the invention of claims 11-14, 21, 22; the invention of claims 15-18; the invention of claim 19; and the invention of claim 20.

Examining the inventions of claims 11-14, 21, 22, the inventions of claims 14, 21, 22 are linked only by the technical feature common to claims 11-13. However, this technical feature cannot be a special technical feature since it is disclosed in the above prior art documents. Consequently, the inventions of claims 11-14, 21, 22 are divided into three inventions: the invention of claims 11-14; the invention of claim 21; and the invention of claim 22.

The inventions of claims 1-4, claims 5, 6, claim 8, claim 9, and claim 10 and the inventions of claims 11-14, claims 15-18, claim 19, claim 21, and claim 22 are linked by the technical features, a semiconductor device and a method for manufacturing the semiconductor device respectively.

Consequently, the international application contains seven inventions: the invention of claims 1-4, 11-14; the invention of claims 5, 6, 15-18; the invention of claim 7; the invention of claims 8, 19; the invention of claims 9, 21; (Continued to the next extra sheet.)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005309

the invention of claims 10, 22; and claim 20.

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl ⁷ H01L21/336, H01L29/78, H01L21/8238, H01L27/092			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl ⁷ H01L21/336, H01L29/78, H01L21/8238, H01L27/092			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
IEEE Xplore			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP 2002-314089 A(松下電気産業株式会社) 2002.10.25 全文, 全図(ファミリーなし)	1-4, 11-14	
X	JP 11-500873 A(フィリップス エレクトロニクス ネムローゼ フェンノートシャップ) 1999.01.19 全文, 全図 & EP 809865 A1 & KR 98702309 A & TW 317648 B & US 6271551 B1 & WO 97/23000 A1	1-4, 11-14	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 05.07.2004		国際調査報告の発送日 20.7.2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 松嶋 秀忠	4M 9836
		電話番号 03-3581-1101	内線 3460

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 2002/0097608 A1 (STMICROELECTRONICS) 2002. 07. 25. 全文, 全図 & FR 2818012 A1	1-4, 11-14
X	Kern (Ken) Rim et al., Fabrication and Analysis of Deep submicron Strained-Si N-MOSFET's, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 47, NO. 7, JULY 2000, pp.1406-1415	1-4, 11-14
X	T. KAWASHIMA et al., Proposal of N-channel Heterostructure Dynamic Threshold-Voltage MOSFET (HDMOS) with P-typed SiGe Body, Device Research Conference, 2002. 60th DRC. Conference Digest., June 2002, pp.51-52	1-4, 11-14
X	T. Ernst et al., Fabrication of a novel strained SiGe:C-channel planar 55nm nMOSFET for High-Performance CMOS, 2002 Symposium On VLSI Technology Digest of Technical Papers, pp. 92-93	1-4, 11-14

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

(特別ページ)に記載したように、請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、[1-4, 11-14]、[5, 6, 15-18]、[7]、[8, 19]、[9, 21]、[10, 22]、[20]に区分される7個の発明が記載されていると認める。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1-4, 11-14

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-22に記載されている一群の発明は、請求の範囲1に記載された事項でのみ連関していると認められる。

しかしながら、この事項は先行技術文献、例えば、JP 2002-314089 A (松下電器産業株式会社)、2002.10.25、JP 11-500873 A (フィリップス エレクトロニクス ネムローゼ フェンノートシャップ)、1999.01.19、US 2002/0097608 A1 (STMICROELECTRONICS)、2002.07.25、Kern (Ken) Rim et al., Fabrication and Analysis of Deep submicron Strained-Si N-MOSFET's, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.47, NO.7, JULY 2000, pp.1406-1415に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-22に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲1-22に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数につき検討する。

請求の範囲3-10に記載された発明は、請求の範囲1及び2に記載されている事項でのみ連関しているが、この事項は上記先行技術文献に記載されているため、特別な技術的特徴とはなり得ないため、請求の範囲1-12に記載された発明には、[1-4, 9, 10]、[5, 6]、[7]、[8]に区分される4個の発明が記載されている。

請求の範囲1-4, 9, 10について詳細に検討するに、請求の範囲4, 9, 10に記載された発明は、請求の範囲1乃至3に記載されている事項でのみ連関しているが、この事項は上記先行技術文献に記載されているため、特別な技術的特徴とはなり得ないため、請求の範囲1-4, 9, 10に記載された発明には、[1-4]、[9]、[10]に区分される3個の発明が記載されている。

また、請求の範囲13-22に記載された発明は、請求の範囲11及び12に記載されている事項でのみ連関しているが、この事項は上記先行技術文献に記載されているため、特別な技術的特徴とはなり得ないため、請求の範囲11-22に記載された発明には、[11-14, 21, 22]、[15-18]、[19]、[20]に区分される4個の発明が記載されている。

請求の範囲11-14, 21, 22に記載された発明について詳細に検討するに、請求の範囲14, 21, 22に記載された発明は、請求の範囲11乃至13に記載されている事項でのみ連関しているが、この事項は上記先行技術文献に記載されているため、特別な技術的特徴とはなり得ないため、請求の範囲11-14, 21, 22に記載された発明には、[11-14]、[21]、[22]に区分される3個の発明が記載されている。

一方、請求の範囲[1-4]、[5, 6]、[8]、[9]、[10]に記載された発明と、請求の範囲[11-14]、[15-18]、[19]、[21]、[22]に記載された発明とは、それぞれ、半導体装置とその半導体装置の製造方法という点で連関するものと認められる。

したがって、この国際出願の請求の範囲には、[1-4, 11-14]、[5, 6, 15-18]、[7]、[8, 19]、[9, 21]、[10, 22]、[20]に区分される7個の発明が記載されていると認める。