

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4230753号  
(P4230753)

(45) 発行日 平成21年2月25日(2009.2.25)

(24) 登録日 平成20年12月12日(2008.12.12)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 1 1 A

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 1 2 B

G 1 1 C 17/00 6 2 2 E

請求項の数 4 (全 26 頁)

(21) 出願番号 特願2002-316720 (P2002-316720)  
 (22) 出願日 平成14年10月30日(2002.10.30)  
 (65) 公開番号 特開2004-152414 (P2004-152414A)  
 (43) 公開日 平成16年5月27日(2004.5.27)  
 審査請求日 平成17年2月23日(2005.2.23)

前置審査

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100084618  
 弁理士 村松 貞男  
 (74) 代理人 100070437  
 弁理士 河井 将次

最終頁に続く

(54) 【発明の名称】 半導体メモリ

(57) 【特許請求の範囲】

【請求項 1】

マトリクスに配置される複数のメモリセルユニットから構成されるメモリセルアレイと

、

複数の前記メモリセルアレイから構成される第1のセルアレイブロックと、

前記第1のセルアレイブロックを構成する複数の前記メモリセルアレイとは別の複数の前記メモリセルアレイから構成される第2のセルアレイブロックと、

を具備し、

前記メモリセルアレイに対して書き込み動作が実行されると共に、前記書き込み動作は動作の終了後に動作の成功又は失敗を示すPass/Failが判定される動作であり、前記第1のセルアレイブロック内の少なくとも1つのメモリセルアレイと前記第2のセルアレイブロック内の少なくとも1つのメモリセルアレイの両方に対して並列に前記書き込み動作が実行された時には、前記書き込み動作の終了後には、前記セルアレイブロック毎に、前記セルアレイブロック内のメモリセルアレイにおいて実行された書き込み動作の成功又は失敗を示す第1 Pass/Fail信号を出力する

ことを特徴とする半導体メモリ。

【請求項 2】

マトリクスに配置される複数のメモリセルユニットから構成されるメモリセルアレイと

、

複数の前記メモリセルアレイから構成される第1のセルアレイブロックと、

10

20

前記第 1 のセルアレイブロックを構成する複数の前記メモリセルアレイとは別の複数の前記メモリセルアレイから構成される第 2 のセルアレイブロックと、

を具備し、

前記メモリセルアレイに対して消去動作が実行されると共に、前記消去動作は動作の終了後に動作の成功又は失敗を示すPass/Failが判定される動作であり、前記第 1 のセルアレイブロック内の少なくとも 1 つのメモリセルアレイと前記第 2 のセルアレイブロック内の少なくとも 1 つのメモリセルアレイの両方に対して並列に前記消去動作が実行された時には、前記消去動作の終了後には、前記セルアレイブロック毎に、前記セルアレイブロック内のメモリセルアレイにおいて実行された消去動作の成功又は失敗を示す第 1 Pass/Fail信号を出力する

10

ことを特徴とする半導体メモリ。

【請求項 3】

前記第 1 Pass/Fail信号は、前記第 1 のセルアレイブロック内の第 1 のメモリセルアレイと第 2 のメモリセルアレイの両方において並列に動作が実行された時に、前記第 1 のメモリセルアレイと前記第 2 のメモリセルアレイの両方において動作が成功したか、又は、前記第 1 のメモリセルアレイと前記第 2 のメモリセルアレイの少なくとも 1 つにおいて動作が失敗したかを示すPass/Fail信号であることを特徴とする請求項 1 又は 2 に記載の半導体メモリ。

【請求項 4】

前記第 1 Pass/Fail信号は、前記第 1 のセルアレイブロック内の複数のメモリセルアレイのうちの選択された 1 つのメモリセルアレイに対して、動作が成功したか、又は、失敗したかを示すPass/Fail信号であることを特徴とする請求項 1 又は 2 に記載の半導体メモリ。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に、並列動作を行うことが可能な複数のメモリセルアレイを有する不揮発性半導体メモリに関する。

【0002】

【従来の技術】

30

従来、半導体メモリの一つとして、電氣的に書き換えが可能なEEPROMが知られている。なかでも、メモリセルを複数個直列接続してNANDセルブロックを構成するNANDセル型EEPROMは、高集積化ができるものとして注目されている（例えば、特許文献 1 を参照）。

【0003】

NANDセル型EEPROMの一つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲート（電荷蓄積層）と制御ゲートが積層されたFET-MOS構造を有する。そして、複数のメモリセルが隣接するもの同士でソース・ドレインを共用する形で直列接続されてNANDセルを構成し、これを一単位として、ビット線に接続するものである。

【0004】

40

このようなNANDセルがマトリックス配列されてメモリセルアレイが構成される。メモリセルアレイは、p型基板又はp型ウェル内に集積形成される。

【0005】

メモリセルアレイの列方向に並ぶNANDセルの一端側のドレインは、それぞれ選択ゲートトランジスタを介してビット線に共通接続され、その他端側のソースは、それぞれ選択ゲートトランジスタを介して共通ソース線に接続される。メモリトランジスタの制御ゲート及び選択ゲートトランジスタのゲート電極は、メモリセルアレイの行方向にそれぞれ制御ゲート線（ワード線）、選択ゲート線として共通接続される。

【0006】

このNANDセル型EEPROMの動作は、次の通りである。

50

## 【 0 0 0 7 】

データ書き込みの動作は、主に、ビット線コンタクトから最も離れた位置のメモリセルから順に行う。

## 【 0 0 0 8 】

まず、データ書き込み動作が開始されると、書き込みデータに応じて、ビット線には、 $0\text{ V}$  (“ 1 ” - データ書き込みビット線) 又は電源電圧  $V_{cc}$  (“ 0 ” - データ書き込みビット線) を与え、ビット線コンタクト側の選択ゲート線には、 $V_{cc}$  が与えられる。この場合、“ 1 ” - データ書き込みビット線に接続された選択  $NAND$  セルでは、選択ゲートトランジスタを介して  $NAND$  セル内チャネル部が  $0\text{ V}$  に固定される。

## 【 0 0 0 9 】

一方、“ 1 ” - データ書き込みビット線に接続された選択  $NAND$  セルでは、 $NAND$  セル内チャネル部は、選択ゲートトランジスタを介して、 $[V_{cc} - V_{tsg}]$  ( $V_{tsg}$  は、選択ゲートトランジスタの閾値電圧) まで充電された後に、フローティング状態となる。続いて、選択  $NAND$  セル内の選択メモリセルの制御ゲート線が、 $0\text{ V}$   $V_{pp}$  (=  $20\text{ V}$  程度：書き込み用高電圧)、選択  $NAND$  セル内の他の制御ゲート線が、 $0\text{ V}$   $V_mg$  (=  $10\text{ V}$  程度：中間電圧) となる。

## 【 0 0 1 0 】

“ 1 ” - データ書き込みビット線に接続された選択  $NAND$  セルでは、 $NAND$  内チャネル部が  $0\text{ V}$  に固定されているため、選択  $NAND$  セル内の選択メモリセルのゲート (=  $V_{pp}$  電位) とチャネル部 (=  $0\text{ V}$ ) に大きな電位差 (=  $20\text{ V}$  程度) が発生し、チャネル部から浮遊ゲートに電子注入が生じる。これにより、その選択されたメモリセルのしきい値は、正方向にシフトし、“ 1 ” - データの書き込みが完了する。

## 【 0 0 1 1 】

“ 0 ” - データ書き込みビット線に接続された選択  $NAND$  セルでは、 $NAND$  内チャネル部がフローティング状態にある。このため、選択  $NAND$  セル内の制御ゲート線とチャネル部の間の容量カップリングの影響により、制御ゲート線電圧の上昇 ( $0\text{ V}$   $V_{pp}$ ,  $V_mg$ ) に伴い、チャネル部電位がフローティング状態を維持したまま  $[V_{cc} - V_{tsg}]$  電位  $V_{mch}$  (=  $8\text{ V}$  程度) と上昇する。この時には、選択  $NAND$  セル内の選択メモリセルのゲート (=  $V_{pp}$  電位) とチャネル部 (=  $V_{mch}$ ) の間の電位差が  $12\text{ V}$  程度と比較的小さいため、電子注入が起こらない。従って、選択メモリセルのしきい値は、変化せず、負の状態に維持される。

## 【 0 0 1 2 】

データ消去は、選択された  $NAND$  セルブロック内の全てのメモリセルに対して同時に行われる。即ち、選択された  $NAND$  セルブロック内の全ての制御ゲートを  $0\text{ V}$  とし、ビット線、ソース線、 $p$  型ウェル (もしくは  $p$  型基板)、非選択  $NAND$  セルブロック中の制御ゲート及び全ての選択ゲートに  $20\text{ V}$  程度の高電圧を印加する。これにより、選択  $NAND$  セルブロック中の全てのメモリセルで浮遊ゲートの電子が  $p$  型ウェル (もしくは  $p$  型基板) に放出され、しきい値電圧は、負方向にシフトする。

## 【 0 0 1 3 】

データ読み出し動作は、選択されたメモリセルの制御ゲートを  $0\text{ V}$  とし、それ以外のメモリセルの制御ゲート及び選択ゲートを読み出し用中間電圧  $V_{read}$  ( $4\text{ V}$ ) として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

## 【 0 0 1 4 】

## 【 特許文献 1 】

特開平 9 - 8 2 9 2 3 号公報

## 【 0 0 1 5 】

## 【 発明が解決しようとする課題 】

以上のような  $NAND$  セル型  $EEPROM$  は、通常、書き込み、消去などの動作が終了した後に、この動作が成功したか、又は、失敗したかを示す  $Pass/Fail$  信号を出力する機能を有している。即ち、例えば、書き込み / 消去動作が終了した後に、 $Pass/Fail$  信号をチ

10

20

30

40

50

ップ外に出力するためのコマンドを入力すると、I/OパッドからPass/Fail信号が出力される。

【0016】

また、図14に示すように、近年のNAND型EEPROMは、1チップ内に複数のメモリセルアレイ Array0, Array1, Array2, Array3 を有し、かつ、高速動作を実現するために、これら複数のメモリセルアレイ Array0, Array1, Array2, Array3 が並列動作するように構成されている。

【0017】

この場合、NAND型EEPROMには、例えば、書き込み/消去動作が終了した後に、全てのメモリセルアレイに対して書き込み/消去動作が成功したか、又は、少なくとも1つのメモリセルアレイに対して書き込み/消去動作が失敗したかを示すPass/Fail信号、即ち、チップ全体のPass/Fail信号を出力する機能が付加される。また、複数のメモリセルアレイの各々に対して、書き込み/消去動作が成功したか、又は、失敗したかを示す複数のPass/Fail信号、即ち、メモリセルアレイ毎のPass/Fail信号を出力する機能が付加される。

【0018】

表1は、図14の不揮発性半導体メモリにおけるPass/Fail信号のデータ入出力端子I/O0～I/O7への割付けの一例を示している。

【0019】

【表1】

(a) com-A

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Not Used	0
I/O2	Not Used	0
I/O3	Not Used	0
I/O4	Not Used	0
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0020】

【表2】

(b) com-B

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(0)	Pass → 0 Fail → 1
I/O2	Array(1)	Pass → 0 Fail → 1
I/O3	Array(2)	Pass → 0 Fail → 1
I/O4	Array(3)	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0021】

表1及び表2から分かるように、通常、不揮発性半導体メモリは、チップ全体のPass/Fail信号を出力する機能(表1)を持つと共に、メモリセルアレイ毎のPass/Fail信号を出力する機能(表2)も持っている。

【0022】

そして、例えば、表1の機能を実現するには、コマンドcom-Aをチップに与えればよく、また、表2の機能を実現するには、コマンドcom-Bをチップに与えればよい。

【0023】

ところで、図14に示すように、パッケージ品に必要なメモリ容量が1チップで足りる場合(パッケージ品 = 1ギガビット、メモリチップ容量 = 1ギガビット)には、通常、パッ

10

20

30

40

50

ケース品内には、1個のチップのみを入れるが、図15に示すように、パッケージ品に必要なメモリ容量が1チップでは足りない場合（パッケージ品＝2ギガビット、メモリチップ容量＝1ギガビット）には、パッケージ品内には、複数チップ、本例では、2個のチップを入れる必要がある。

【0024】

また、図15の不揮発性半導体メモリにおけるPass/Fail信号のデータ入出力端子I/O0～I/O7への割付けは、図14の半導体メモリの場合と同様に、表1及び表2に示すようになる。

【0025】

即ち、2個のチップの選択は、チップアドレスにより行う。そして、選択されたチップに対して、表1又は表2に基づくステータスの下で、Pass/Fail信号の出力動作が実行される。

10

【0026】

図14及び図15に示すパッケージ品に使用されるチップを第1世代とした場合、第2世代のチップは、デザインルールの縮小などにより、通常、第1世代が有するメモリ容量の2倍以上のメモリ容量を有する。従って、例えば、図15に示すパッケージ品に、第2世代のチップを使用すれば、パッケージ品内には、1個のチップのみを入れればよいので、チップコストの低減を図れる。

【0027】

しかし、従来の不揮発性半導体メモリは、Pass/Fail信号の出力モードとしては、チップ全体のPass/Fail信号の出力モードと、メモリセルアレイ毎のPass/Fail信号の出力モードとからなる2種類の出力モードしか持っていない。これは、メモリチップの世代が進んでも同じであった。一方、メモリチップの世代が1つ進むと、1チップ内に配置される並列動作可能なメモリセルアレイ数は、2倍以上に増える。

20

【0028】

このため、例えば、第2世代のチップに対するメモリセルアレイ毎のPass/Fail信号の出力においては、表2に示すような第1世代のチップに対するPass/Fail信号のデータ入出力端子I/O0～I/O7への割付けをそのまま使用することができない。

【0029】

従って、第2世代のチップにおけるPass/Fail信号を出力するシステムは、第1世代のチップにおけるそれとは異なるものとなるため、同一のパッケージ品に対して、メモリチップを、単純に、第1世代から第2世代に置き換えるということとはできなくなる。

30

【0030】

このように、従来は、同一パッケージ品に使用するチップを第1世代から第2世代に置き換えるということは、チップコストの低減を図るに当たって非常に有効となる。しかし、第1世代のチップにおけるPass/Fail信号を出力するシステムと第2世代のチップにおけるPass/Fail信号を出力するシステムとの間には、互換性がないため、結果として、同一パッケージ品に使用するチップを第1世代から第2世代に置き換えることが困難となる、という問題があった。

【0031】

本発明は、このような問題を解決するためになされたものであり、その目的は、Pass/Fail信号を出力するシステムに関して、前世代のチップと後世代のチップとの間に互換性を持たせることにより、同一パッケージ品に対して、前世代のチップから後世代のチップへの置き換えを容易にし、チップコストの低減を図ることにある。

40

【0032】

【課題を解決するための手段】

本発明の半導体メモリは、マトリクスに配置される複数のメモリセルユニットから構成されるメモリセルアレイと、複数の前記メモリセルアレイから構成される第1のセルアレイブロックと、前記第1のセルアレイブロックを構成する複数の前記メモリセルアレイとは別の複数の前記メモリセルアレイから構成される第2のセルアレイブロックと、を備え

50

、前記メモリセルアレイに対して書き込み動作が実行されると共に、前記書き込み動作は動作の終了後に動作の成功又は失敗を示すPass/Failが判定される動作であり、前記第1のセルアレイブロック内の少なくとも1つのメモリセルアレイと前記第2のセルアレイブロック内の少なくとも1つのメモリセルアレイの両方に対して並列に前記書き込み動作が実行された時には、前記書き込み動作の終了後には、前記セルアレイブロック毎に、前記セルアレイブロック内のメモリセルアレイにおいて実行された書き込み動作の成功又は失敗を示す第1 Pass/Fail信号を出力する。

【0033】

本発明の半導体メモリは、マトリクスに配置される複数のメモリセルユニットから構成されるメモリセルアレイと、複数の前記メモリセルアレイから構成される第1のセルアレイブロックと、前記第1のセルアレイブロックを構成する複数の前記メモリセルアレイとは別の複数の前記メモリセルアレイから構成される第2のセルアレイブロックと、を備え、前記メモリセルアレイに対して消去動作が実行されると共に、前記消去動作は動作の終了後に動作の成功又は失敗を示すPass/Failが判定される動作であり、前記第1のセルアレイブロック内の少なくとも1つのメモリセルアレイと前記第2のセルアレイブロック内の少なくとも1つのメモリセルアレイの両方に対して並列に前記消去動作が実行された時には、前記消去動作の終了後には、前記セルアレイブロック毎に、前記セルアレイブロック内のメモリセルアレイにおいて実行された消去動作の成功又は失敗を示す第1 Pass/Fail信号を出力する。

【0044】

【発明の実施の形態】

以下、図面を参照しながら、本発明の半導体メモリについて詳細に説明する。

【0045】

(1) 概要

図1は、本発明の実施の形態に関わるNANDセル型EEPROMの主要部を示している。

【0046】

メモリセルアレイ101に対して、データ書き込み、読み出し、再書き込み及びベリファイ読み出しを行うために、ビット線制御回路102が設けられている。このビット線制御回路102は、データ入出力バッファ106につながり、アドレスバッファ104からのアドレス信号を受けるカラムデコーダ103の出力を入力として受ける。

【0047】

また、メモリセルアレイ101に対して、制御ゲート及び選択ゲートを制御するために、ロウデコーダ105が設けられる。基板電位制御回路107は、メモリセルアレイ101が形成されるp型基板（または、p型ウェル）の電位を制御する。また、データ書き込み動作時に、書き込み用高電圧発生回路109は、書き込み用高電圧 $V_{pp}$ （20V）を発生し、書き込み用中間電圧発生回路110は、中間電圧 $V_{mg}$ （10V）を発生する。

【0048】

読み出し用中間電圧発生回路111は、データ読み出し時に、読み出し用中間電圧 $V_{read}$ を発生する。また、消去用高電圧発生回路112は、消去動作時に、消去用高電圧 $V_{pp}$ （20V）を発生する。

【0049】

ビット線制御回路102は、主に、CMOSフリップフロップから成り、書き込みのためのデータのラッチやビット線の電位を読むためのセンス動作、また、書き込み後のベリファイ読み出しのためのセンス動作、さらに、再書き込みデータのラッチを行う。

【0050】

図2(a)、(b)は、メモリセルアレイの1つのNANDセル部分の平面図と等価回路図であり、図3(a)は、図2(a)のA-A'線に沿う断面図、図3(b)は、図2(a)のB-B'線に沿う断面図である。

【0051】

10

20

30

40

50

素子分離酸化膜 12 で囲まれた p 型シリコン基板（又は p 型ウェル）11 に、複数の NAND セルからなるメモリセルアレイが形成されている。1 つの NAND セルに着目して説明すると、この例では、8 個のメモリセル M1 ~ M8 が直列接続されて、1 つの NAND セルを構成している。

#### 【0052】

メモリセルは、シリコン基板 11 上に形成される。メモリセルは、ゲート絶縁膜 13 上の浮遊ゲート電極 14（14<sub>1</sub>，14<sub>2</sub>，・・・14<sub>8</sub>）と、層間絶縁膜 15 上の制御ゲート電極 16（16<sub>1</sub>，16<sub>2</sub>，・・・16<sub>8</sub>）とから構成される。制御ゲート電極 16（16<sub>1</sub>，16<sub>2</sub>，・・・16<sub>8</sub>）は、ワード線として機能する。

#### 【0053】

n 型拡散層（19<sub>0</sub>，19<sub>1</sub>，・・・19<sub>10</sub>）は、メモリセルのソース/ドレインとなる。n 型拡散層（19<sub>0</sub>，19<sub>1</sub>，・・・19<sub>10</sub>）は、互いに隣接するメモリセル同士で共用され、その結果、複数のメモリセルが直列接続されて、NAND セルが構成される。

#### 【0054】

NAND セルのドレイン側及びソース側には、それぞれ、選択ゲート電極 14<sub>9</sub>，16<sub>9</sub>，14<sub>10</sub>，16<sub>10</sub> が形成される。選択ゲート電極 14<sub>9</sub>，16<sub>9</sub>，14<sub>10</sub>，16<sub>10</sub> は、メモリセルの浮遊ゲート電極 14（14<sub>1</sub>，14<sub>2</sub>，・・・14<sub>8</sub>）及び制御ゲート電極 16（16<sub>1</sub>，16<sub>2</sub>，・・・16<sub>8</sub>）と同時に形成される。

#### 【0055】

メモリセル及び選択トランジスタは、CVD 酸化膜 17 により覆われる。ビット線 18 は、CVD 酸化膜 17 上に配置され、NAND セルの一端、即ち、ドレイン側拡散層 19 に接続される。

#### 【0056】

制御ゲート電極 16（16<sub>1</sub>，16<sub>2</sub>，・・・16<sub>8</sub>）は、制御ゲート線 CG1，CG2，・・・CG8 となり、選択ゲート電極 14<sub>9</sub>，16<sub>9</sub>，14<sub>10</sub>，16<sub>10</sub> は、選択ゲート線 SG1，SG2 となる。

#### 【0057】

図 4 は、マトリクスに配置された NAND セルから構成されるメモリセルアレイの等価回路を示している。

#### 【0058】

制御ゲート線 CG1，CG2，・・・CG8 及び選択ゲート線 SG1，SG2 が延びる方向に配置される複数の NAND セルユニットは、1 つのブロックを構成する。具体的には、図 4 の破線で囲まれた領域が 1 つのブロックとなる。通常の読み出し/書き込み動作においては、複数のブロックのうちの 1 つだけが選択される。選択されたブロックは、選択ブロックとなる。

#### 【0059】

図 5 は、NAND セル型 EEPROM のチップ構成の一例を示している。

#### 【0060】

NAND セル型 EEPROM のチップは、メモリセルアレイ、ビット線制御回路、ロウデコード回路、パッド領域、及び、[周辺回路+バスライン]領域を含んでいる。

#### 【0061】

NAND セル型 EEPROM のチップ構成は、上述のように、複数の要素から構成されるが、以下（図 6 以降）の説明では、簡単のため、チップ外形とセルアレイのみを示すことにする。

#### 【0062】

##### (1) 実施例 1

・ 2 ギガビットパッケージ品に対するチップの置き換え  
パッケージ品に必要なメモリ容量が 2 ギガビットである場合について考える。

#### 【0063】

10

20

30

40

50

第 1 世代の E E P R O M チップは、例えば、図 1 4 に示すように、4 つのメモリセルアレイ Array0 , Array1 , Array2 , Array3 を有し、チップ全体のメモリ容量は、1 ギガビットとなっている。

【 0 0 6 4 】

この場合、図 1 4 に示すように、パッケージ品に必要なメモリ容量が 1 ギガビットであれば、パッケージ品内には、1 個の E E P R O M チップを入れれば足りる。しかし、本例では、パッケージ品に必要なメモリ容量は、2 ギガビットであるため、図 1 5 に示すように、パッケージ品内には、2 個の E E P R O M チップを入れなければならない。

【 0 0 6 5 】

2 個の E E P R O M チップの選択は、チップアドレスにより実行される。選択された E E P R O M チップでは、コマンド c o m - A がチップに与えられると、表 1 に示す Pass/Fail 信号のデータ入出力端子 I / O 0 ~ I / O 7 への割付けに従い、チップ全体の Pass/Fail 信号が出力される。また、コマンド c o m - B がチップに与えられると、表 2 に示す Pass/Fail 信号のデータ入出力端子 I / O 0 ~ I / O 7 への割付けに従い、メモリセルアレイ毎の Pass/Fail 信号が出力される。

【 0 0 6 6 】

ところで、第 1 世代（第 1 のデザインルールを使用した世代）よりも後の第 2 世代（第 1 のデザインルールよりも小さい第 2 のデザインルールを使用した世代）では、1 つの E E P R O M チップが持つメモリ容量は、第 1 世代の E E P R O M チップのメモリ容量よりも大きくなる。

【 0 0 6 7 】

例えば、第 1 世代の E E P R O M チップの最大メモリ容量が 1 ギガビットである場合には、第 2 世代の E E P R O M チップの最大メモリ容量は、2 ギガビットとなる。この場合には、図 7 に示すように、2 ギガビットパッケージ品に対して、第 1 世代の 2 個の E E P R O M チップを、第 2 世代の 1 個の E E P R O M チップに置き換えることが可能になる。

【 0 0 6 8 】

通常、一定のメモリ容量（例えば、1 ビット）当たりのチップコストは、第 1 世代のチップよりも、第 2 世代のチップの方が小さくなるため、この置き換えにより、パッケージ品のコストの低下を実現できる。

【 0 0 6 9 】

しかし、第 1 世代のチップを第 2 世代のチップに置き換える際に注意しなければならない点は、システムの互換性である。

【 0 0 7 0 】

N A N D セル型 E E P R O M には、通常、チップの Pass/Fail 状態を出力する機能が備えられており、例えば、書き込み / 消去動作後に、これらの動作が成功したか、又は、失敗したかを示す Pass/Fail 信号を出力することが可能となっている。この Pass/Fail 信号は、Pass/Fail 出力用コマンドがチップに入力された後、I / O パッドから出力される。

【 0 0 7 1 】

即ち、Pass/Fail 信号出力時の流れとしては、  
1 Pass/Fail 出力用コマンド入力  
2 Pass/Fail 信号の出力、となる。

【 0 0 7 2 】

表 3 及び表 4 は、図 7 の第 2 世代の E E P R O M チップにおける Pass/Fail 信号のデータ入出力端子 I / O 0 ~ I / O 7 への割付けの一例を示している。

【 0 0 7 3 】

【表 3】

10

20

30

40

## (a) com-A

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Not Used	0
I/O2	Not Used	0
I/O3	Not Used	0
I/O4	Not Used	0
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【 0 0 7 4 】

10

【 表 4 】

## (b) com-B

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(0) or Array(4) Status	Pass → 0 Fail → 1
I/O2	Array(1) or Array(5) Status	Pass → 0 Fail → 1
I/O3	Array(2) or Array(6) Status	Pass → 0 Fail → 1
I/O4	Array(3) or Array(7) Status	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

20

【 0 0 7 5 】

表 3 及び表 4 の例では、使用するデータ入出力端子は、I / O 0 ~ I / O 7 の 8 本であり、データ入出力端子 I / O 0 ~ I / O 7 から出力されるデータは、最大で、8 ビットとなっている。これは、本発明におけるチップの置き換えを分かり易くするためのもので、第 1 世代の E E P R O M チップ（表 1 及び表 2）に合せたものである。

【 0 0 7 6 】

以下の説明では、このように、8 本のデータ入出力端子 I / O 0 ~ I / O 7 を使用する例（8 ビット出力）について説明するが、本発明は、この場合に限定されるものではなく、例えば 1 ビット出力、2 ビット出力、4 ビット出力、16 ビット出力、32 ビット出力などの場合に応用することも可能である。

30

【 0 0 7 7 】

表 3 は、チップ全体の Pass/Fail 信号を出力する場合のステータスを示している。この場合には、Pass/Fail 出力用コマンドとして、c o m - A がチップに与えられる。

【 0 0 7 8 】

チップ全体の Pass/Fail 信号の出力動作では、チップ内の全てのメモリセルアレイに対して所定の動作が成功した場合には、Pass 信号（= “ 0 ”）を出力し、チップ内の少なくとも 1 つのメモリセルアレイに対して所定の動作が失敗した場合には、Fail 信号（= “ 1 ”）を出力する。チップ全体の Pass/Fail 信号は、データ入出力端子 I / O 0 から出力される。

【 0 0 7 9 】

40

チップ全体の Pass/Fail 信号は、例えば、図 7 の E E P R O M チップの場合、8 つのメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 からそれぞれ出力される Pass/Fail 信号の論理和（オア）をとることにより得られる（Pass = “ 0 ”、Fail = “ 1 ” の場合）。

【 0 0 8 0 】

表 3 におけるデータ入出力端子 I / O 0 ~ I / O 7 のステータスは、表 1 におけるデータ入出力端子 I / O 0 ~ I / O 7 のステータスと一致している。例えば、いずれの場合も、チップ全体の Pass/Fail 信号は、データ入出力端子 I / O 0 から出力される。

【 0 0 8 1 】

従って、第 2 世代の E E P R O M に、チップ全体の Pass/Fail 信号を出力する機能を設け

50

ることに関しては、第1世代のチップと第2世代のチップとの間で互換性が保たれており、図15に示す2個の第1世代チップを用いた2ギガビットパッケージ品を、図7に示す1個の第2世代チップを用いた2ギガビットパッケージ品に置き換えることができる。

【0082】

表4は、チップ全体のPass/Fail信号を出力すると共に、複数のメモリセルアレイからなるセルアレイブロック毎のPass/Fail信号を出力する場合のステータスを示している。この場合には、Pass/Fail出力用コマンドとして、com-Bがチップに与えられる。

【0083】

チップ全体のPass/Fail信号の出力動作については、表3で、既に説明したため、ここでは、省略する。

10

【0084】

複数のメモリセルアレイからなるセルアレイブロック毎のPass/Fail信号の出力動作では、セルアレイブロック内の全てのメモリセルアレイに対して所定の動作が成功した場合には、そのセルアレイブロックからPass信号(=“0”)を出力し、セルアレイブロック内の少なくとも1つのメモリセルアレイに対して所定の動作が失敗した場合には、そのセルアレイブロックからFail信号(=“1”)を出力する。セルアレイブロック毎のPass/Fail信号は、データ入出力端子I/O1~I/O4から出力される。

【0085】

セルアレイブロック毎のPass/Fail信号は、例えば、図7のEEPROMチップの場合、1つのセルアレイブロックを構成する2つのメモリセルアレイ Array0, Array4 からそれぞれ出力されるPass/Fail信号の論理和(オア)をとることにより得られる(Pass=“0”、Fail=“1”の場合)。他のセルアレイブロックについても、同様である。

20

【0086】

メモリセルアレイ Array0, Array4 からなるセルアレイブロックのPass/Fail信号は、データ入出力端子I/O1から出力され、メモリセルアレイ Array1, Array5 からなるセルアレイブロックのPass/Fail信号は、データ入出力端子I/O2から出力され、メモリセルアレイ Array2, Array6 からなるセルアレイブロックのPass/Fail信号は、データ入出力端子I/O3から出力され、メモリセルアレイ Array3, Array7 からなるセルアレイブロックのPass/Fail信号は、データ入出力端子I/O4から出力される。

【0087】

表4におけるデータ入出力端子I/O0~I/O7のステータスは、表2におけるデータ入出力端子I/O0~I/O7のステータスと一致している。例えば、いずれの場合も、Pass/Fail信号は、データ入出力端子I/O0~I/O4から出力される。

30

【0088】

従って、第2世代のEEPROMに、チップ全体のPass/Fail信号を出力する機能を設けると共に、複数のメモリセルアレイからなるセルアレイブロック毎のPass/Fail信号を出力する機能を設ける場合には、第1世代のチップと第2世代のチップとの間で互換性が保たれており、図15に示す2個の第1世代チップを用いた2ギガビットパッケージ品を、図7に示す1個の第2世代チップを用いた2ギガビットパッケージ品に置き換えることができる。

40

【0089】

ここで、例えば、2ギガビットパッケージ品に対して、第1世代の2個のチップ(1個のチップのメモリ容量は、1ギガビット)から第2世代の1個のチップ(1個のチップのメモリ容量は、2ギガビット)に置き換える場合に、両世代の間でシステムの互換性を確保するための原理について説明する。

【0090】

まず、2ギガビットパッケージ品内に第1世代の2個のチップを搭載するシステムの場合には、図15に示すように、1ビットのチップアドレスにより、チップの選択を行う。Pass/Fail信号は、選択されたチップのみから出力される。このときの選択されたチップにおけるデータ入出力端子I/O0~I/O7のステータスは、例えば、表2に示すように

50

なる。

【 0 0 9 1 】

ところで、パッケージ品に接続された外部装置からパッケージ品を見た場合には、図 1 5 のパッケージ品は、図 6 に示すようなチップイメージとなる。即ち、図 1 5 のパッケージ品は、図 6 のパッケージ品に等しいとみなすことができる。図 6 では、パッケージ品内には、1 個のチップが搭載され、そのチップ内には、4 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 が配置される。また、1 個のメモリセルアレイ Array i ( i = 0 , 1, 2, 3 ) は、2 つの領域を有し、その 2 つの領域は、チップアドレスにより選択される。表 2 のステータスの下で、4 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 からは、Pass/Fail 信号が出力される。

10

【 0 0 9 2 】

図 6 において、4 個のメモリセルアレイ ( 点線で囲んだ部分 ) Array0 , Array1 , Array 2 , Array3 を、それぞれ、セルアレイブロックと考え、1 個のメモリセルアレイ Array i 内の 2 つの領域を、それぞれ、独立したメモリセルアレイと考えると、図 6 のパッケージ品は、第 2 世代のチップを使用した図 7 のパッケージ品に等しくなる。

【 0 0 9 3 】

但し、図 7 のパッケージ品では、図 6 のチップアドレスに対応するものではなく、また、1 チップ内には、8 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 が存在する。

【 0 0 9 4 】

通常、書き込み、消去、読み出しなどの動作においては、高速化を実現するために、8 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 は、並列動作する。このため、第 2 世代のチップにおいて、メモリセルアレイ毎の Pass/Fail 信号の出力形式を採用すると、少なくとも、8 つの Pass/Fail 信号を出力するために、8 個のデータ入出力端子が必要になる。

20

【 0 0 9 5 】

この場合には、表 2 に示すデータ入出力端子のステータスに等しいステータスを採用することができず、第 1 世代のチップと第 2 世代のチップとの間で、システムの互換性を確保することができない。

【 0 0 9 6 】

そこで、図 7 に示すような第 2 世代のチップにおいては、2 つのメモリセルアレイを含むセルアレイブロック ( 点線で囲んだ部分 ) から 1 つの Pass/Fail 信号を出力するようなシステムを構成する。

30

【 0 0 9 7 】

この場合には、図 7 における 4 つのセルアレイブロックから 4 つの Pass/Fail 信号が出力されることになるため、表 4 に示すようなデータ入出力端子 I / O 0 ~ I / O 7 のステータスにより、Pass/Fail 信号を出力できる。つまり、第 1 世代のチップと第 2 世代のチップとの間で、システムの互換性を確保できる。

【 0 0 9 8 】

なお、セルアレイブロックから 1 つの Pass/Fail 信号を出力するようなシステムとは、例えば、セルアレイブロックを構成する複数のメモリセルアレイからそれぞれ出力される Pass/Fail 信号の論理和 ( オア ) をとり、これを、セルアレイブロックの Pass/Fail 信号とするようなシステムをいう ( Pass = “ 0 ”、Fail = “ 1 ” の場合 ) 。

40

【 0 0 9 9 】

本例では、第 2 世代のチップのメモリセルアレイの数 ( メモリ容量 ) が、第 1 世代のチップのメモリセルアレイの数 ( メモリ容量 ) の 2 倍になる場合について述べたが、本発明は、一般に、メモリセルアレイの数が n ( n は自然数 ) 倍になる場合に適用できる。この場合には、セルアレイブロック内のメモリセルアレイの数は、全てのセルアレイブロックの間で、等しくなる。

【 0 1 0 0 】

50

また、これらの場合に限らず、本発明は、第2世代のチップのメモリセルアレイの数が、第1世代のチップのメモリセルアレイの数よりも単に多くなる場合にも、応用することができる。この場合には、セルアレイブロック内のメモリセルアレイの数は、一定とならない。

#### 【0101】

本例では、セルアレイブロックからは、そのセルアレイブロック内の複数のメモリセルアレイのPass/Fail信号の論理和をとった信号が出力されるが、Pass = “1”、Fail = “0”の場合には、論理積（アンド）となる。

#### 【0102】

また、本例では、セルアレイブロックからは、そのセルアレイブロック内の複数のメモリセルアレイのPass/Fail信号の論理和又は論理積をとった1つの信号を出力するが、これに代えて、そのセルアレイブロック内の複数のメモリセルアレイのPass/Fail信号を選択的に出力するようにしてもよい。

#### 【0103】

以上のように、本発明によれば、チップ全体のPass/Fail信号を出力する機能及びメモリセルアレイ毎のPass/Fail信号を出力する機能に加え、複数のメモリセルアレイからなるセルアレイブロックを新規に設定し、セルアレイブロック毎のPass/Fail信号を出力する機能を新たに設けている。

#### 【0104】

従って、Pass/Fail信号を出力するシステムに関して、前世代のチップと後世代のチップとの間に互換性を持たせることができるため、同一パッケージ品に対して、前世代のチップから後世代のチップへの置き換えを容易にし、チップコストの低減を図ることができる。

#### 【0105】

次に、上述した本発明の不揮発性半導体メモリに、さらに、メモリセルアレイ毎のPass/Fail信号を出力する機能を付加する例について説明する。

#### 【0106】

表5は、図7の第2世代のEEPROMチップにおけるPass/Fail信号のデータ入出力端子I/O0～I/O7への割付けの一例を示している。

#### 【0107】

#### 【表5】

(c) com-Q

	STATUS	OUTPUT
I/O0	Array(0) Status	Pass → 0 Fail → 1
I/O1	Array(1) Status	Pass → 0 Fail → 1
I/O2	Array(2) Status	Pass → 0 Fail → 1
I/O3	Array(3) Status	Pass → 0 Fail → 1
I/O4	Array(4) Status	Pass → 0 Fail → 1
I/O5	Array(5) Status	Pass → 0 Fail → 1
I/O6	Array(6) Status	Pass → 0 Fail → 1
I/O7	Array(7) Status	Pass → 0 Fail → 1

#### 【0108】

同一パッケージ品に対して、第1世代のチップから第2世代のチップへの置き換えのみを考慮した場合には、例えば、図15に示す第1世代のチップにおけるデータ入出力端子I/O0～I/O7のステータス（表1及び表2）に対して、図7に示す第2世代のチップにおけるデータ入出力端子I/O0～I/O7のステータス（表3及び表4）を規定すれば足りる。

#### 【0109】

しかし、例えば、図7に示す第2世代のチップの特徴の一つは、8個のメモリセルアレイ Array0, Array1, Array2, Array3, Array4, Array5, Array6, Array7 を並列動

作させることによる高速動作機能にある。

【 0 1 1 0 】

この高速動作機能を実効的なものにするには、8個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 を並列動作させると共に、メモリセルアレイ毎のPass/Fail信号を出力する機能を付加することが重要となる。

【 0 1 1 1 】

そこで、図7に示す第2世代のEEPROMチップに、メモリセルアレイ毎のPass/Fail信号を出力する機能を付加する。この機能を実施するには、例えば、Pass/Fail出力用コマンドとして、com - Cをチップに与えればよい。

【 0 1 1 2 】

この場合、例えば、Pass/Fail信号のデータ入出力端子 I / O 0 ~ I / O 7 への割付けは、表5に示すようになる。即ち、8個のメモリセルアレイArray0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 から出力される8個のPass/Fail信号は、8個のデータ入出力端子 I / O 0 ~ I / O 7 から出力される。

【 0 1 1 3 】

このように、本例では、メモリセルアレイ毎のPass/Fail信号を出力する機能を付加しているため、同一パッケージ品に対して、第1世代のチップから第2世代のチップへの置き換えを容易化できると共に、第2世代のチップにおける高速動作機能を実現できる。

【 0 1 1 4 】

次に、上述の本発明の不揮発性半導体メモリの変形例について説明する。

【 0 1 1 5 】

上述の例では、セルアレイブロックからは、そのセルアレイブロック内の複数のメモリセルアレイのPass/Fail信号の論理和又は論理積をとった1つの信号を出力したが、本例では、そのセルアレイブロック内の複数のメモリセルアレイのPass/Fail信号を選択的に出力する。

【 0 1 1 6 】

このように、本例では、セルアレイブロック内の選択された1つのメモリセルアレイのPass/Fail信号を、セルアレイブロック毎に出力する。

【 0 1 1 7 】

表6～表9は、図7の第2世代のEEPROMチップにおけるPass/Fail信号のデータ入出力端子 I / O 0 ~ I / O 7 への割付けの一例を示している。

【 0 1 1 8 】

【表6】

(a) com-A

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0   Fail → 1
I/O1	Not Used	0
I/O2	Not Used	0
I/O3	Not Used	0
I/O4	Not Used	0
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0   Ready → 1
I/O7	Write Protect	Protect → 0   Not Protect → 1

【 0 1 1 9 】

コマンド com - A が入力された場合には、チップ全体のPass/Fail信号が出力される。このときのデータ入出力端子 I / O 0 ~ I / O 7 のステータスは、表6に示すようになる。

【 0 1 2 0 】

【表7】

## (b) com-B

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(0) Status	Pass → 0 Fail → 1
I/O2	Array(1) Status	Pass → 0 Fail → 1
I/O3	Array(2) Status	Pass → 0 Fail → 1
I/O4	Array(3) Status	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【 0 1 2 1 】

10

コマンド com - B が入力された場合には、セルアレイブロック毎のPass/Fail信号が出力される。このときのデータ入出力端子 I / O 0 ~ I / O 7 のステータスは、表 7 に示すようになる。

【 0 1 2 2 】

4つのセルアレイブロック内の8個のメモリセルアレイArray0, Array1, Array2, Array3, Array4, Array5, Array6, Array7 のうちの4個のメモリセルアレイArray0, Array1, Array2, Array3 が選択される。これら選択されたメモリセルアレイArray0, Array1, Array2, Array3 のPass/Fail信号が、セルアレイブロック毎に出力される。

【 0 1 2 3 】

【表 8】

20

## (c) com-C

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(4) Status	Pass → 0 Fail → 1
I/O2	Array(5) Status	Pass → 0 Fail → 1
I/O3	Array(6) Status	Pass → 0 Fail → 1
I/O4	Array(7) Status	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【 0 1 2 4 】

30

コマンド com - C が入力された場合には、セルアレイブロック毎のPass/Fail信号が出力される。このときのデータ入出力端子 I / O 0 ~ I / O 7 のステータスは、表 8 に示すようになる。

【 0 1 2 5 】

4つのセルアレイブロック内の8個のメモリセルアレイArray0, Array1, Array2, Array3, Array4, Array5, Array6, Array7 のうちの4個のメモリセルアレイArray4, Array5, Array6, Array7 が選択される。これら選択されたメモリセルアレイArray4, Array5, Array6, Array7 のPass/Fail信号が、セルアレイブロック毎に出力される。

【 0 1 2 6 】

【表 9】

40

## (d) com-D

	STATUS	OUTPUT
I/O0	Array(0) Status	Pass → 0 Fail → 1
I/O1	Array(1) Status	Pass → 0 Fail → 1
I/O2	Array(2) Status	Pass → 0 Fail → 1
I/O3	Array(3) Status	Pass → 0 Fail → 1
I/O4	Array(4) Status	Pass → 0 Fail → 1
I/O5	Array(5) Status	Pass → 0 Fail → 1
I/O6	Array(6) Status	Pass → 0 Fail → 1
I/O7	Array(7) Status	Pass → 0 Fail → 1

【 0 1 2 7 】

50

コマンド `com - D` が入力された場合には、メモリセルアレイ毎のPass/Fail信号が出力される。このときのデータ入出力端子 `I / O 0 ~ I / O 7` のステータスは、表 9 に示すようになる。

【 0 1 2 8 】

本例においては、表 6 のステータスは、表 1 のステータスと同じである。また、表 7 及び表 8 のステータスは、表 2 のステータスと同じである。従って、同一パッケージ品に対して、第 1 世代のチップから第 2 世代のチップへの置き換えを容易化できる。さらに、表 9 に示すようなメモリセルアレイ毎のPass/Fail信号の出力機能を設ければ、第 2 世代のチップにおける高速動作機能を実現できる。

【 0 1 2 9 】

以上、本発明の説明を行ったが、本発明は、上述の例に限定されるものではなく、種々変更可能である。

【 0 1 3 0 】

上述の例では、第 1 世代の E E P R O M チップが 4 個のメモリセルアレイを有し、第 2 世代の E E P R O M チップが 8 個のメモリセルアレイを有する場合に、同一パッケージ品に対して、第 1 世代の 2 個のチップを第 2 世代の 1 個のチップに置き換える例について説明した。

【 0 1 3 1 】

これに対し、例えば、本発明は、第 1 世代の E E P R O M チップが 4 個のメモリセルアレイを有し、第 2 世代の E E P R O M チップが 8 個のメモリセルアレイを有し、第 3 世代の E E P R O M チップが 1 6 個のメモリセルアレイを有する場合に、同一パッケージ品に対して、第 1 世代の 4 個のチップを第 2 世代の 2 個のチップに置き換え、又は、第 2 世代の 2 個のチップを第 3 世代の 1 個のチップに置き換える場合にも適用できる。

【 0 1 3 2 】

(2) 実施例 2

・ 4 ギガビットパッケージ品に対するチップの置き換え

図 8 は、4 ギガビットパッケージ品に、第 1 世代のチップを 4 個搭載した例を示している。図 9 は、4 ギガビットパッケージ品に、第 2 世代のチップを 2 個搭載した例を示している。図 10 は、4 ギガビットパッケージ品に、第 3 世代のチップを 1 個搭載した例を示している。

【 0 1 3 3 】

このように、同一パッケージ品に対して、第 1 世代のチップから第 2 世代のチップへの置き換えを実行し、さらに、第 2 世代のチップから第 3 世代のチップへの置き換えを実行することができる。

【 0 1 3 4 】

ここで、第 1 世代のチップは、4 個のメモリセルアレイと 1 ギガビットのメモリ容量を有し、第 2 世代のチップは、8 個のメモリセルアレイと 2 ギガビットのメモリ容量を有し、第 3 世代のチップは、1 6 個のメモリセルアレイと 4 ギガビットのメモリ容量を有するものとする。

【 0 1 3 5 】

図 8 に示す第 1 世代の E E P R O M チップは、図 15 に示す第 1 世代の E E P R O M チップと同様に、表 1 に示すチップ全体のPass/Fail信号を出力する機能及び表 2 に示すメモリセルアレイ毎のPass/Fail信号を出力する機能を有している。

【 0 1 3 6 】

図 9 に示す第 2 世代の E E P R O M チップは、図 7 に示す第 2 世代の E E P R O M チップと同様に、表 3 又は表 6 に示すチップ全体のPass/Fail信号を出力する機能及び表 4 又は表 7 , 8 に示すセルアレイブロック毎のPass/Fail信号を出力する機能を有している。さらに、図 9 に示す第 2 世代の E E P R O M チップは、図 7 に示す第 2 世代の E E P R O M チップと同様に、表 5 又は表 9 に示すメモリセルアレイ毎のPass/Fail信号を出力する機能を付加してもよい。

## 【 0 1 3 7 】

図 1 0 に示す第 3 世代の E E P R O M チップは、表 1 0 に示すチップ全体の Pass/Fail 信号を出力する機能及び表 1 1 に示すセルアレイブロック毎の Pass/Fail 信号を出力する機能を有している。

## 【 0 1 3 8 】

表 1 1 の機能は、セルアレイブロック内の複数のメモリセルアレイの Pass/Fail 信号の論理和又は論理積をとるものであるが、表 7 及び表 8 の場合と同様に、選択されたメモリセルアレイの Pass/Fail 信号を出力する機能にしてもよい。

## 【 0 1 3 9 】

## 【 表 1 0 】

10

## (a) com-A

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Not Used	0
I/O2	Not Used	0
I/O3	Not Used	0
I/O4	Not Used	0
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

## 【 0 1 4 0 】

20

## 【 表 1 1 】

## (b) com-B

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(0), Array(4), Array(8) or Array(12) Status	Pass → 0 Fail → 1
I/O2	Array(1), Array(5), Array(9) or Array(13) Status	Pass → 0 Fail → 1
I/O3	Array(2), Array(6), Array(10) or Array(14) Status	Pass → 0 Fail → 1
I/O4	Array(3), Array(7), Array(11) or Array(15) Status	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

30

## 【 0 1 4 1 】

さらに、図 1 0 に示す第 3 世代の E E P R O M チップは、表 1 2 及び表 1 3 に示すメモリセルアレイ毎の Pass/Fail 信号を出力する機能を付加してもよい。

## 【 0 1 4 2 】

## 【 表 1 2 】

## (c) com-C

	STATUS	OUTPUT
I/O0	Array(0) Status	Pass → 0 Fail → 1
I/O1	Array(1) Status	Pass → 0 Fail → 1
I/O2	Array(2) Status	Pass → 0 Fail → 1
I/O3	Array(3) Status	Pass → 0 Fail → 1
I/O4	Array(4) Status	Pass → 0 Fail → 1
I/O5	Array(5) Status	Pass → 0 Fail → 1
I/O6	Array(6) Status	Pass → 0 Fail → 1
I/O7	Array(7) Status	Pass → 0 Fail → 1

40

## 【 0 1 4 3 】

## 【 表 1 3 】

## (d) com-D

	STATUS	OUTPUT
I/O0	Array(8) Status	Pass → 0 Fail → 1
I/O1	Array(9) Status	Pass → 0 Fail → 1
I/O2	Array(10) Status	Pass → 0 Fail → 1
I/O3	Array(11) Status	Pass → 0 Fail → 1
I/O4	Array(12) Status	Pass → 0 Fail → 1
I/O5	Array(13) Status	Pass → 0 Fail → 1
I/O6	Array(14) Status	Pass → 0 Fail → 1
I/O7	Array(15) Status	Pass → 0 Fail → 1

## 【 0 1 4 4 】

10

図 1 0 では、1 6 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 , Array8 , Array9 , Array10 , Array11 , Array12 , Array13 , Array14 , Array15 に対して、データ入出力端子 I / O 0 ~ I / O 7 は、8 個しかないため、表 1 2 及び表 1 3 に示すように、メモリセルアレイ毎の Pass/Fail 信号は、2 回 ( c o m - C , c o m - D ) で読み出す。

## 【 0 1 4 5 】

表 1 2 及び表 1 3 の機能は、セルアレイブロック内の選択された複数のメモリセルアレイの Pass/Fail 信号を、セルアレイブロック毎に出力する機能ということもできる。

## 【 0 1 4 6 】

図 1 1 は、4 ギガビットパッケージ品に、第 2 世代のチップを 2 個搭載した例を示している。図 1 2 は、外部装置から図 1 1 のパッケージ品を見た場合のチップイメージを示している。図 1 3 は、4 ギガビットパッケージ品に、第 3 世代のチップを 1 個搭載した例を示している。

20

## 【 0 1 4 7 】

図 1 1 に示す第 2 世代の E E P R O M チップは、図 7 に示す第 2 世代の E E P R O M チップと同様に、表 3 又は表 6 に示すチップ全体の Pass/Fail 信号を出力する機能及び表 4 又は表 7 , 8 に示すセルアレイブロック毎の Pass/Fail 信号を出力する機能を有している。さらに、図 9 に示す第 2 世代の E E P R O M チップは、図 7 に示す第 2 世代の E E P R O M チップと同様に、表 5 又は表 9 に示すメモリセルアレイ毎の Pass/Fail 信号を出力する機能を付加してもよい。

30

## 【 0 1 4 8 】

図 1 3 に示す第 3 世代の E E P R O M チップは、表 1 4 に示すチップ全体の Pass/Fail 信号を出力する機能及び表 1 5 に示すセルアレイブロック毎の Pass/Fail 信号を出力する機能を有している。

## 【 0 1 4 9 】

表 1 5 の機能は、セルアレイブロック内の複数のメモリセルアレイの Pass/Fail 信号の論理和又は論理積をとるものであるが、表 7 及び表 8 の場合と同様に、選択されたメモリセルアレイの Pass/Fail 信号を出力する機能にしてもよい。

## 【 0 1 5 0 】

## 【 表 1 4 】

40

## (a) com-A

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Not Used	0
I/O2	Not Used	0
I/O3	Not Used	0
I/O4	Not Used	0
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

50

【 0 1 5 1 】

【 表 1 5 】

(b) com-B

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(0), Array(4), Array(8) or Array(12) Status	Pass → 0 Fail → 1
I/O2	Array(1), Array(5), Array(9) or Array(13) Status	Pass → 0 Fail → 1
I/O3	Array(2), Array(6), Array(10) or Array(14) Status	Pass → 0 Fail → 1
I/O4	Array(3), Array(7), Array(11) or Array(15) Status	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

10

【 0 1 5 2 】

さらに、図 1 3 に示す第 3 世代の E E P R O M チップは、表 1 6 及び表 1 7 に示すメモリセルアレイ毎のPass/Fail信号を出力する機能を付加してもよい。

【 0 1 5 3 】

【 表 1 6 】

(c) com-C

	STATUS	OUTPUT
I/O0	Array(0) Status	Pass → 0 Fail → 1
I/O1	Array(1) Status	Pass → 0 Fail → 1
I/O2	Array(2) Status	Pass → 0 Fail → 1
I/O3	Array(3) Status	Pass → 0 Fail → 1
I/O4	Array(4) Status	Pass → 0 Fail → 1
I/O5	Array(5) Status	Pass → 0 Fail → 1
I/O6	Array(6) Status	Pass → 0 Fail → 1
I/O7	Array(7) Status	Pass → 0 Fail → 1

20

【 0 1 5 4 】

【 表 1 7 】

(d) com-D

	STATUS	OUTPUT
I/O0	Array(8) Status	Pass → 0 Fail → 1
I/O1	Array(9) Status	Pass → 0 Fail → 1
I/O2	Array(10) Status	Pass → 0 Fail → 1
I/O3	Array(11) Status	Pass → 0 Fail → 1
I/O4	Array(12) Status	Pass → 0 Fail → 1
I/O5	Array(13) Status	Pass → 0 Fail → 1
I/O6	Array(14) Status	Pass → 0 Fail → 1
I/O7	Array(15) Status	Pass → 0 Fail → 1

30

【 0 1 5 5 】

図 1 3 では、1 6 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 , Array8 , Array9 , Array10 , Array11 , Array12 , Array13 , Array14 , Array15 に対して、データ入出力端子 I / O 0 ~ I / O 7 は、8 個しかないため、表 1 6 及び表 1 7 に示すように、メモリセルアレイ毎のPass/Fail信号は、2 回 ( c o m - C , c o m - D ) で読み出す。

40

【 0 1 5 6 】

本例では、さらに、表 1 5 のセルアレイブロック内の複数のメモリセルアレイのPass/Fail信号の論理和又は論理積をとる機能と、表 1 6 及び表 1 7 のメモリセルアレイ毎のPass/Fail信号を出力する機能とを組み合わせても良い。

【 0 1 5 7 】

【 表 1 8 】

(e) com-E

	STATUS	OUTPUT
I/O0	Array(0) or Array(8) Status	Pass → 0 Fail → 1
I/O1	Array(1) or Array(9) Status	Pass → 0 Fail → 1
I/O2	Array(2) or Array(10) Status	Pass → 0 Fail → 1
I/O3	Array(3) or Array(11) Status	Pass → 0 Fail → 1
I/O4	Array(4) or Array(12) Status	Pass → 0 Fail → 1
I/O5	Array(5) or Array(13) Status	Pass → 0 Fail → 1
I/O6	Array(6) or Array(14) Status	Pass → 0 Fail → 1
I/O7	Array(7) or Array(15) Status	Pass → 0 Fail → 1

【 0 1 5 8 】

10

表 1 8 の機能は、例えば、図 1 3 のメモリセルアレイ Array0 , Array8 の Pass/Fail 信号の論理和又は論理積をとり、その結果を、メモリセルアレイ Array0 , Array8 からなるセルアレイブロックの Pass/Fail 出力として、データ入出力端子 I / O 0 から出力したものである。

【 0 1 5 9 】

同様に、メモリセルアレイ Array1 , Array9 の Pass/Fail 信号の論理和又は論理積をとり、その結果を、メモリセルアレイ Array1 , Array9 からなるセルアレイブロックの Pass/Fail 出力として、データ入出力端子 I / O 1 から出力する。

【 0 1 6 0 】

メモリセルアレイ Array2 , Array10 の Pass/Fail 信号の論理和又は論理積をとり、その結果を、メモリセルアレイ Array2 , Array10 からなるセルアレイブロックの Pass/Fail 出力として、データ入出力端子 I / O 2 から出力する。

20

【 0 1 6 1 】

メモリセルアレイ Array3 , Array11 の Pass/Fail 信号の論理和又は論理積をとり、その結果を、メモリセルアレイ Array3 , Array11 からなるセルアレイブロックの Pass/Fail 出力として、データ入出力端子 I / O 3 から出力する。

【 0 1 6 2 】

メモリセルアレイ Array4 , Array12 の Pass/Fail 信号の論理和又は論理積をとり、その結果を、メモリセルアレイ Array4 , Array12 からなるセルアレイブロックの Pass/Fail 出力として、データ入出力端子 I / O 4 から出力する。

30

【 0 1 6 3 】

メモリセルアレイ Array5 , Array13 の Pass/Fail 信号の論理和又は論理積をとり、その結果を、メモリセルアレイ Array5 , Array13 からなるセルアレイブロックの Pass/Fail 出力として、データ入出力端子 I / O 5 から出力する。

【 0 1 6 4 】

メモリセルアレイ Array6 , Array14 の Pass/Fail 信号の論理和又は論理積をとり、その結果を、メモリセルアレイ Array6 , Array14 からなるセルアレイブロックの Pass/Fail 出力として、データ入出力端子 I / O 6 から出力する。

【 0 1 6 5 】

メモリセルアレイ Array7 , Array15 の Pass/Fail 信号の論理和又は論理積をとり、その結果を、メモリセルアレイ Array7 , Array15 からなるセルアレイブロックの Pass/Fail 出力として、データ入出力端子 I / O 7 から出力する。

40

【 0 1 6 6 】

(3) その他

上述の例では、1 個の NAND セルを構成する直列接続されたメモリセルの数が 8 個の場合について説明したが、1 個の NAND セルは、8 個ではなく、例えば、2、4、16、32、64 個などであってもよい。

【 0 1 6 7 】

本発明は、2 つの選択トランジスタの間に 1 つのメモリセルのみが配置されるいわゆる 3 t r - NAND セルにも適用できる。

50

## 【 0 1 6 8 】

上述の例では、NANDセル型EEPROMについて説明を行なったが、本発明は、NANDセル型EEPROM以外のデバイス、例えば、NORセル型EEPROM、DINORセル型EEPROM、ANDセル型EEPROM、選択トランジスタ付きNORセル型EEPROMなどにも適用できる。

## 【 0 1 6 9 】

なお、DINORセル型EEPROMの詳細に関しては、例えば、"H. Onoda et al., IEDM Tech. Digest, 1992, pp. 599-602" に、ANDセル型EEPROMの詳細に関しては、例えば、"H. Kume et al., IEDM Tech. Digest, 1992, pp. 991-993" に記載されている。

10

## 【 0 1 7 0 】

本発明は、主に、電氣的に書き換えが可能な不揮発性半導体メモリに適用されるが、例えば、その他の不揮発性半導体メモリ、DRAMや、SRAMなどにも適用できると考えられる。

## 【 0 1 7 1 】

以上、実施例を用いて本発明の説明を行なったが、本発明は、その要旨を逸脱しない範囲で種々変更可能である。

## 【 0 1 7 2 】

## 【発明の効果】

以上、説明したように、本発明の例によれば、チップ動作に関するPass/Fail結果を出力するに当たり、チップ全体のPass/Fail信号、メモリセルアレイ毎のPass/Fail信号に加えて、チップ内の複数のメモリセルアレイからなるセルアレイブロック毎のPass/Fail信号を出力可能とした。これにより、後世代のチップ内にセルアレイブロックを1個以上設けることにより、同一パッケージ品に対して、前世代のチップから後世代のチップへの置き換えが可能になる。

20

## 【 0 1 7 3 】

なお、前世代のチップから後世代のチップへの置き換えに際しては、後世代のチップ内のセルブロックの数は、前世代のチップ内のメモリセルアレイの数又はセルブロックの数と同じにするのがよい。

## 【 0 1 7 4 】

この置き換えが可能になったことにより、チップコストが低い後世代のチップを大容量パッケージ品に対して使用することができ、その結果、安価なパッケージ品を実現することができる。

30

## 【図面の簡単な説明】

【図1】本発明の例に関わるEEPROMの主要部を示すブロック図。

【図2】NANDセルの例を示す図。

【図3】NANDセルの構造例を示す断面図。

【図4】NANDセルアレイの回路例を示す回路図。

【図5】NANDセル型EEPROMのチップレイアウトの例を示す図。

【図6】外部装置から図15のパッケージ品を見た場合のチップイメージを示す図。

40

【図7】第2世代の1個のチップを搭載したパッケージ品を示す図。

【図8】第1世代の4個のチップを搭載したパッケージ品を示す図。

【図9】第2世代の2個のチップを搭載したパッケージ品を示す図。

【図10】第3世代の1個のチップを搭載したパッケージ品を示す図。

【図11】第2世代の2個のチップを搭載したパッケージ品を示す図。

【図12】外部装置から図11のパッケージ品を見た場合のチップイメージを示す図。

【図13】第3世代の1個のチップを搭載したパッケージ品を示す図。

【図14】第1世代の1個のチップを搭載したパッケージ品を示す図。

【図15】第1世代の2個のチップを搭載したパッケージ品を示す図。

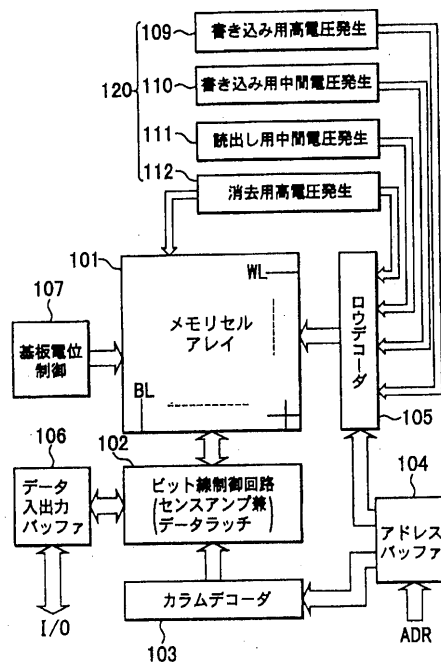
【符号の説明】

50

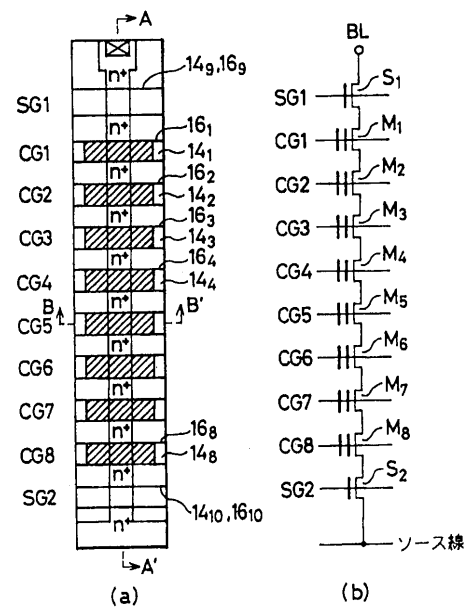
- 1 0 1 : メモリセルアレイ、
- 1 0 2 : ビット線制御回路、
- 1 0 3 : カラムデコーダ、
- 1 0 4 : アドレスバッファ、
- 1 0 5 : ロウデコーダ、
- 1 0 6 : データ入出力バッファ、
- 1 0 7 : 基板バイアス回路、
- 1 0 9 : 書き込み用高電圧発生回路、
- 1 1 0 : 書き込み用中間電圧発生回路、
- 1 1 1 : 読み出し用中間電圧発生回路、
- 1 1 2 : 消去用高電圧発生回路。

10

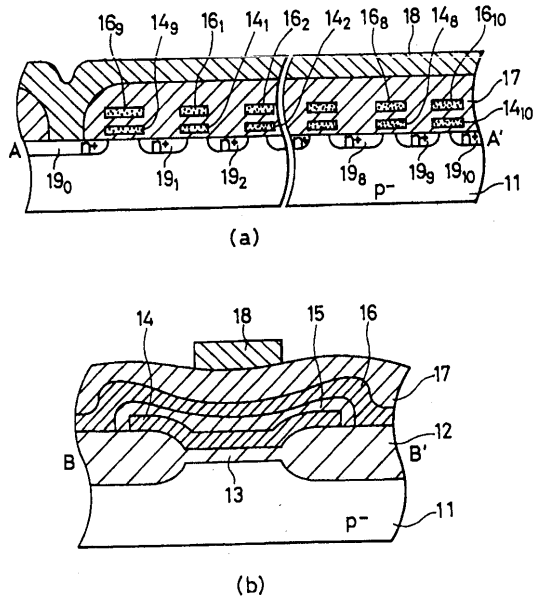
【図 1】



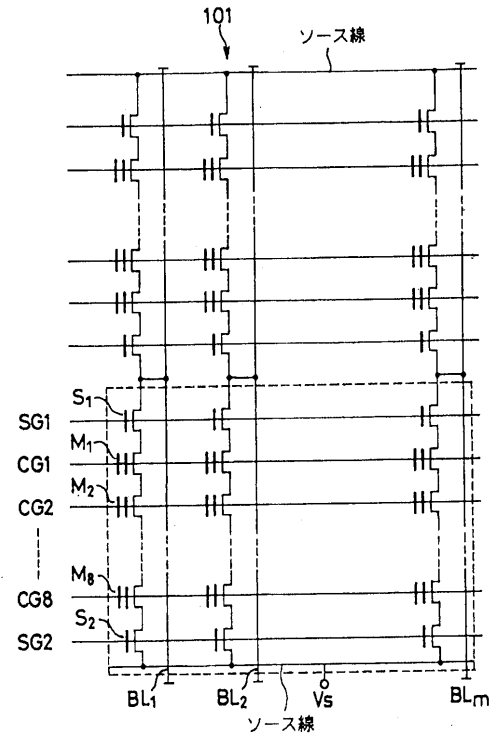
【図 2】



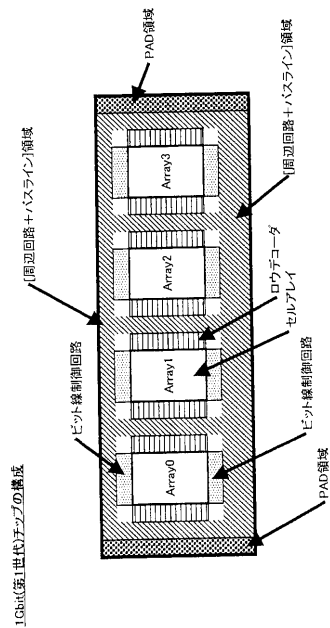
【図3】



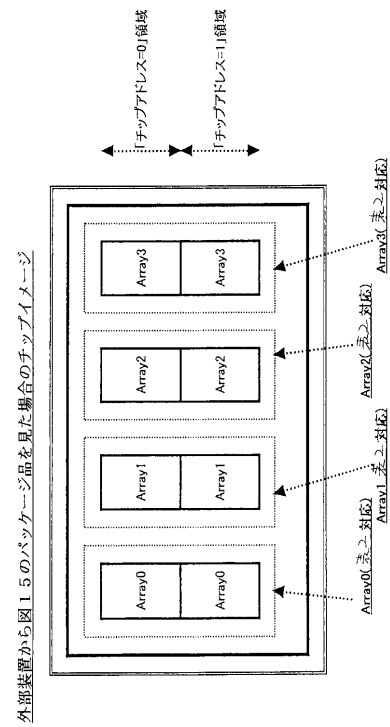
【図4】



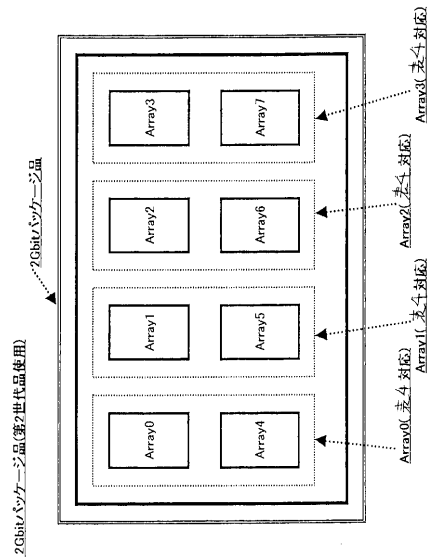
【図5】



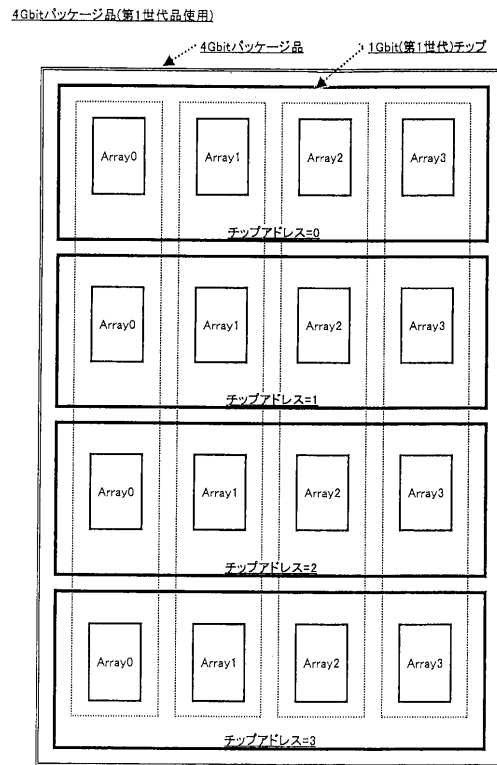
【図6】



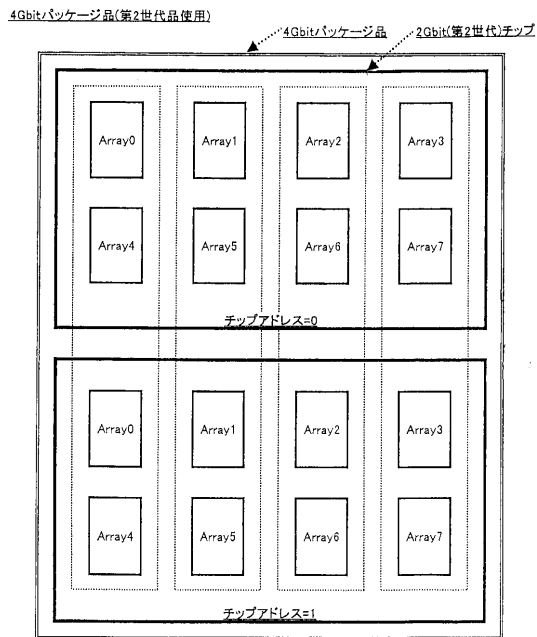
【図 7】



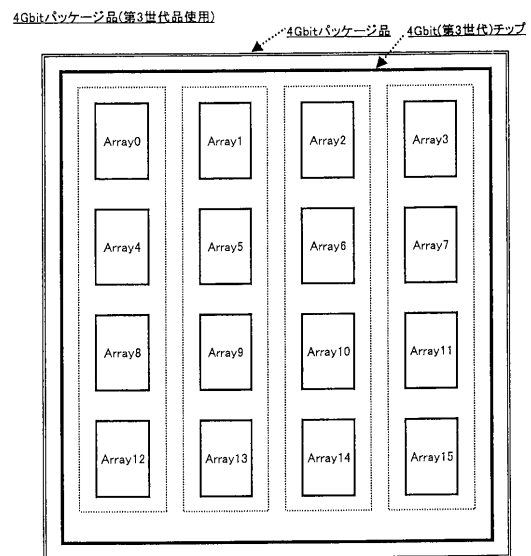
【図 8】



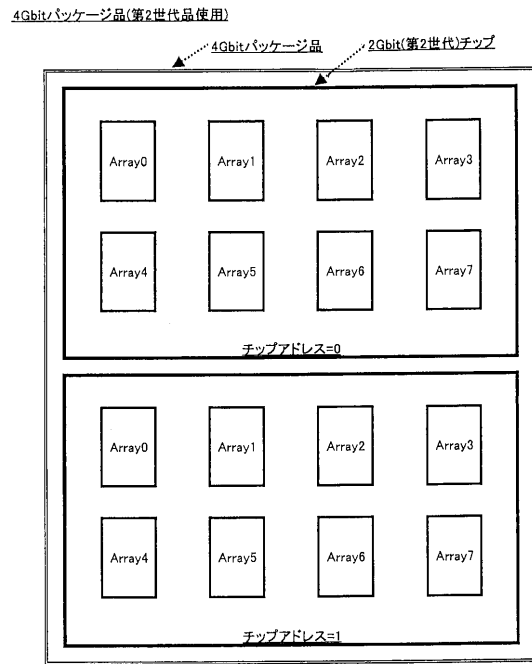
【図 9】



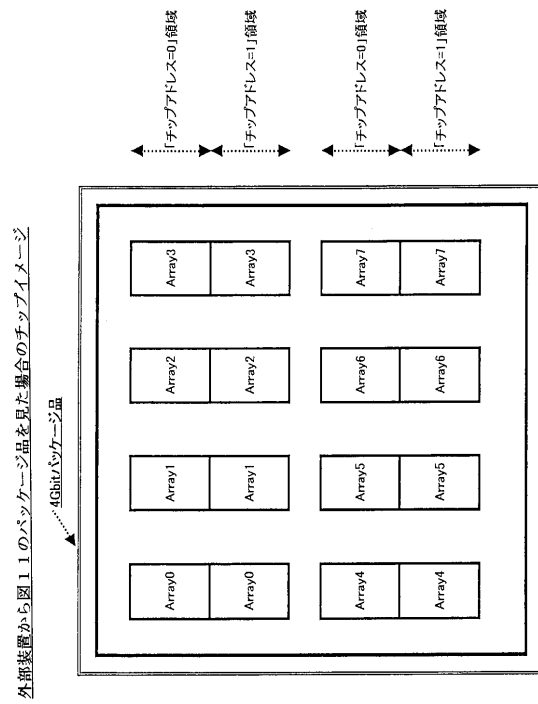
【図 10】



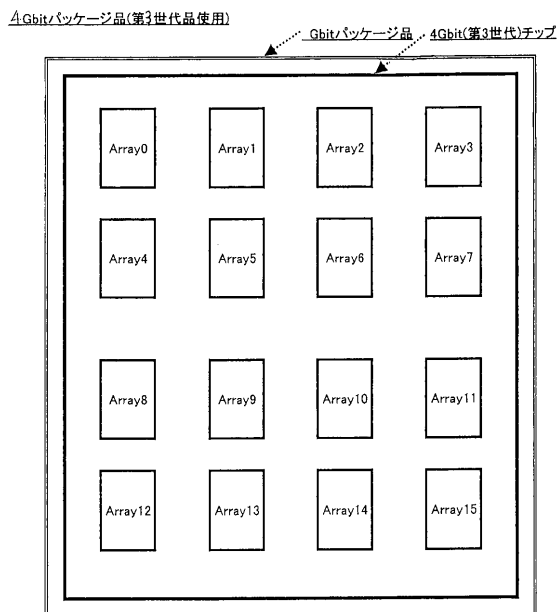
【図 1 1】



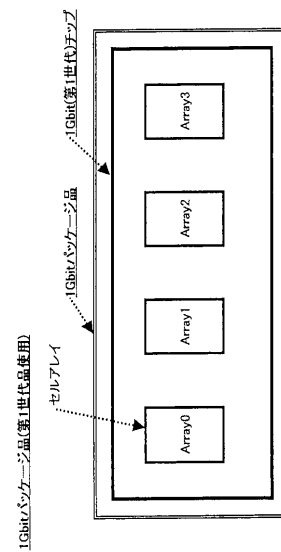
【図 1 2】



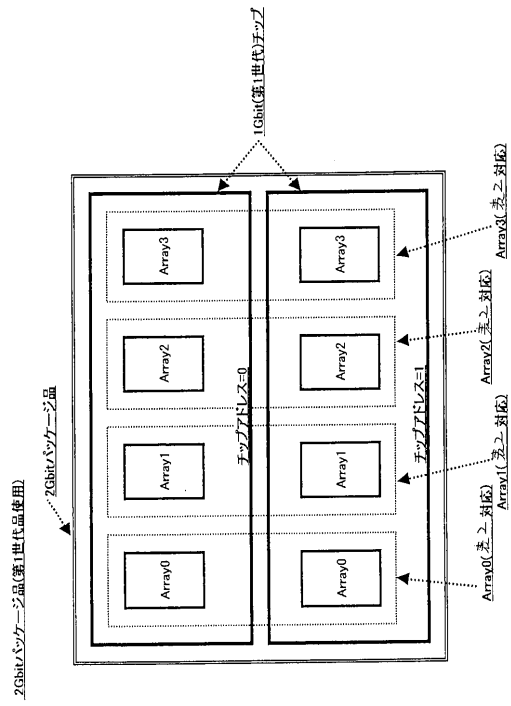
【図 1 3】



【図 1 4】



【図15】



---

フロントページの続き

(72)発明者 中村 寛

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 山村 俊雄

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 高野 芳徳

(56)参考文献 特開 2 0 0 1 - 1 6 7 5 8 6 ( J P , A )

特開平 1 1 - 2 2 4 4 9 2 ( J P , A )

特開平 0 7 - 2 8 1 9 5 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G11C 16/00-16/34